

Grupo de trabajo	APELLIDOS Y NOMBRES COMPLETOS	Lab01: Sumador de 1 bit				
		Repositorio	Entregable 1: Descripción del HDL con bloques primitivos.	Entregable 2: Descripción del HDL con descripción de suma.	Entregable 3: Simulación de los HDL	Comentarios
1	Santiago Marín Becerra	https://github.com/unal-edigital1-lab/lab01-2024-1-Smarinbe	SI	SI	SI	
	Miguel Fabian Duarte Diaz	https://github.com/unal-edigital1-lab/lab01-2024-1-Fasbi2721	SI	NO	NO	En el README no hay descripción del entregable 2 ni soporte de simulaciones de ningún HDL.
	Juan David Palacios Chávez	https://github.com/unal-edigital1-lab/lab01-2024-1-JuanDavidPalaciosCh	SI	SI	SI	
	María Alejandra Pérez Petro	https://github.com/unal-edigital1-lab/lab01-2024-1-maperezp/commits/master	NO	NO	NO	0 commits
2	Niccolás Dhavid Parra Canastero	https://github.com/unal-edigital1-lab/lab01-2024-1-niccolasparra/commits/master	NO	NO	NO	0 commits
	Miller Javier Arias Quintero	https://github.com/unal-edigital1-lab/lab01-2024-1-Miller1999	SI	SI	NO	En el README no hay soporte de simulaciones.
	Mateo Ramos Cujer	https://github.com/unal-edigital1-lab/lab01-2024-1-MateoKGR	NO	NO	NO	
3	Andrés Santiago Cañón Porras	https://github.com/unal-edigital1-lab/lab01-2024-1-SirSantiago23	SI	SI	SI	Es importante profundizar en el funcionamiento de elementos de HDL como los wire, reg y el bloque always.
	Cristian Fabián Martínez Bohorquez	https://github.com/unal-edigital1-lab/lab01-2024-1-smartinezbo	SI	SI	SI	
	Mateo Bustos Aguilar	https://github.com/unal-edigital1-lab/lab01-2024-1-rekrt3?tab=readme-ov-file	SI	SI	SI	Decir que "se obtienen los mismos resultados en ambas simulaciones" no es prueba de que ambos códigos funcionan correctamente, es importante comparar la simulación con la teoría, es decir, la tabla de verdad

Grupo de trabajo	APELLIDOS Y NOMBRES COMPLETOS	Lab01: Sumador de 1 bit				
		Repositorio	Entregable 1: Descripción del HDL con bloques primitivos.	Entregable 2: Descripción del HDL con descripción de suma.	Entregable 3: Simulación de los HDL	Comentarios
4	Oscar Jhondairo Siabato Leon	https://github.com/unal-edigital1-lab/lab01-2024-1-Gacarsicabato18	SI	SI	SI	<p>1. El lab01 era individual pero los readme de ambos repositorios resaltados en rojo son exactamente iguales, la única diferencia es que uno importó bien las imágenes en el markdown y el otro no.</p> <p>2. Es importante empezar a familiarizarse con la sintaxis de un markdown para mejorar la escritura del readme.</p> <p>3.OJO: Los "wire" son un tipo de datos que se utilizan para conectar componentes en un diseño HDL. Es importante tener en cuenta que los "wire" no almacenan datos en el sentido convencional como lo hacen las variables en lenguajes de programación de alto nivel.</p>
	Juan Manuel Beltrán Botello	https://github.com/unal-edigital1-lab/lab01-2024-1-JuanBeltran2024/blob/main/readme.md	SI	SI	Incompleto	
	Julián Camilo Casallas	https://github.com/unal-edigital1-lab/lab01-2024-1-jcasallasv/commits/master	NO	NO	NO	
	William Mauricio Meza Patiño	https://github.com/unal-edigital1-lab/lab01-2024-1-WMMEZA	NO	NO	NO	
5	Jorge Santaigo Camargo Guerrero	https://github.com/unal-edigital1-lab/lab01-2024-1-Jocamargog	SI	SI	SI	<p>Decir que "se obtienen los mismos resultados en ambas simulaciones" no es prueba de que ambos códigos funcionan correctamente, es importante comparar la simulación con la teoría, es decir, la tabla de verdad</p>
	Sebastian Jaramillo Verdugo	https://github.com/unal-edigital1-lab/lab01-2024-1-Jaramillov	SI	SI	Incompleto	
	Juan Alejandro Gualteros Fonseca	https://github.com/unal-edigital1-lab/lab01-2024-1-walter-agf	SI	SI	SI	

Grupo de trabajo	APELLIDOS Y NOMBRES COMPLETOS	Lab01: Sumador de 1 bit				
		Repositorio	Entregable 1: Descripción del HDL con bloques primitivos.	Entregable 2: Descripción del HDL con descripción de suma.	Entregable 3: Simulación de los HDL	Comentarios
6	Jaime Andres Martin Moreno	https://github.com/unal-edigital1-lab/lab01-2024-1-jaimeandresmartin	SI	SI	NO	1. La imagen de simulación no es clara y tampoco hay una descripción que demuestre que se entiende la simulación. 2. Se recomienda respetar la estructura del README, ya que no se encuentra nombre del propietario.
	Duvan Felipe Pacheco Rodriguez	https://github.com/unal-edigital1-lab/lab01-2024-1-dupachecor	SI	SI	SI	Entrega adicional: Agregó video de la implementación.
	Jairo David Diaz Luna		NO	NO	NO	No hay repositorio
7	Gabriel Felipe Ostos Iguavita	https://github.com/unal-edigital1-lab/lab01-2024-1-GabrielO88	SI	SI	SI	
	Cristian Camilo Barbosa Suarez	https://github.com/unal-edigital1-lab/lab01-2024-1-CristianB123	SI	SI	NO	1. La entrega del Lab01 es individual, no deberían estar en el README los nombres de todos los integrantes. 2. No hay soportes ni análisis de las simulaciones
	Jose Gabriel Peña Solorzano	https://github.com/unal-edigital1-lab/lab01-2024-1-jgps333	SI	SI	SI	

Grupo de trabajo	APELLIDOS Y NOMBRES COMPLETOS	Lab01: Sumador de 1 bit				
		Repositorio	Entregable 1: Descripción del HDL con bloques primitivos.	Entregable 2: Descripción del HDL con descripción de suma.	Entregable 3: Simulación de los HDL	Comentarios
8	Isabella Mendoza Cáceres	https://github.com/unal-edigital1-lab/lab01-2024-1-isamendo17	SI	SI	SI	OJO: Los "wire" son un tipo de datos que se utilizan para conectar componentes en un diseño HDL. Es importante tener en cuenta que los "wire" no almacenan datos en el sentido convencional como lo hacen las variables en lenguajes de programación de alto nivel.
	Juan Jose Díaz Guerrero	https://github.com/unal-edigital1-lab/lab01-2024-1-Judiazgu	SI	SI	SI	1. OJO: El (*) en el bloque always no es un registro, su función es indicar que el bloque se ejecutará cuando haya un cambio en cualquiera de las señales dentro de la lista de sensibilidad. 2. Se recomienda guardar las imágenes dentro de una carpeta
	Juan Jose Delgado Estrada	https://github.com/unal-edigital1-lab/lab01-2024-1-Juan-delgado1?tab=readme-ov-file	SI	SI	SI	1. OJO: Los "wire" son un tipo de datos que se utilizan para conectar componentes en un diseño HDL. Es importante tener en cuenta que los "wire" no almacenan datos en el sentido convencional como lo hacen las variables en lenguajes de programación de alto nivel. 2.Revisar la descripción del RTL del sumador primitivo, ya que se habla de cables coutt y St que no hacen parte del HDL.
	Juan Angel Vargas Rodriguez	https://github.com/unal-edigital1-lab/lab01-2024-1-Juvargasro	SI	SI	SI	Decir que "se obtienen los mismos resultados en ambas simulaciones" no es prueba de que ambos códigos funcionan correctamente, es importante comparar la simulación con la teoría, es decir, la tabla de verdad.

Grupo de trabajo	APELLIDOS Y NOMBRES COMPLETOS	Lab01: Sumador de 1 bit				
		Repositorio	Entregable 1: Descripción del HDL con bloques primitivos.	Entregable 2: Descripción del HDL con descripción de suma.	Entregable 3: Simulación de los HDL	Comentarios
9	Daniel Esteban Hostos Contreras	https://github.com/unal-edigital1-lab/lab01-2024-1-DHosttos	Incompleto	Incompleto	SI	Es necesario realizar una descripción más profunda del funcionamiento y las diferencias de cada HDL.
	Jonathan Andrés Jiménez Trujillo	https://github.com/unal-edigital1-lab/lab01-2024-1-jojimenezt	NO	NO	NO	
	Julian David Monsalve Sanchez	https://github.com/unal-edigital1-lab/lab01-2024-1-Julianms11	NO	NO	NO	
10	Juan Sebastian Conejo Piraquive	https://github.com/unal-edigital1-lab/lab01-2024-1-sebastianconejo19	SI	SI	SI	Entrega adicional: Agregó video de la implementación.
	Jose Santiago Cubillos Villamil	https://github.com/unal-edigital1-lab/lab01-2024-1-jcubillosv/commits/master	NO	NO	NO	0 commits
	Roger Alfredo Bejarano Martin	https://github.com/unal-edigital1-lab/lab01-2024-1-rbejarano123	Incompleto	SI	SI	1. Se puede realizar una descripción más profunda de los HDL. 2. Entrega adicional: Agregó video de la implementación.
	Diego Armando Ruiz Landero	https://github.com/unal-edigital1-lab/lab01-2024-1-Druizla/commits/master	NO	NO	NO	0 commits

Grupo de trabajo	APELLIDOS Y NOMBRES COMPLETOS	Lab01: Sumador de 1 bit				
		Repositorio	Entregable 1: Descripción del HDL con bloques primitivos.	Entregable 2: Descripción del HDL con descripción de suma.	Entregable 3: Simulación de los HDL	Comentarios
11	Stewart Andres Antolinez Zapata	https://github.com/unal-edigital1-lab/lab01-2024-1-santolinez	SI	SI	SI	En el último párrafo se evidencian ciertos errores conceptuales: 1. En el HDL con descripción de suma no se hace uso de una señal de reloj. 2. Las primitivas como AND, XOR y OR son parte del lenguaje Verilog y están predefinidas en el estándar, no son funcionalidades que ofrece el software Quartus.
	Natalia Andrea Dueñas Salamanca	https://github.com/unal-edigital1-lab/lab01-2024-1-NataliaDuenas	Incompleto	NO	NO	La descripción en el README está incompleta para la entrega 1 y no hay descripción para la entrega 2 ni soportes de simulación
	Juan Diego Saenz Ardila	https://github.com/unal-edigital1-lab/lab01-2024-1-juandiego4334	SI	SI	SI	1. Es importante profundizar en el funcionamiento de elementos de HDL como los wire, reg y el bloque always. 2. OJO: Es incorrecto hablar de "procesador".
	Jhon Alejandro Cuaspud Porras	https://github.com/unal-edigital1-lab/lab01-2024-1-Jcuaspud	NO	NO	NO	
20	David Santiago Cuellar Lopez	https://github.com/unal-edigital1-lab/lab01-2024-1-DavSacI	SI	SI	SI	
	Angela Sofia Ortiz Oliveros	https://github.com/unal-edigital1-lab/lab01-2024-1-AsofiaOrt	SI	SI	SI	
	Juan David González Muñoz	https://github.com/unal-edigital1-lab/lab01-2024-1-jugonzalezmu	SI	SI	NO	Hay una imagen de simulación pero no está acompañada de ninguna descripción.
	Linda Marcela Orduy Polonia	https://github.com/unal-edigital1-lab/lab01-2024-1-lorduy-un	NO	NO	NO	

Grupo de trabajo	APELLIDOS Y NOMBRES COMPLETOS	Lab01: Sumador de 1 bit				
		Repositorio	Entregable 1: Descripción del HDL con bloques primitivos.	Entregable 2: Descripción del HDL con descripción de suma.	Entregable 3: Simulación de los HDL	Comentarios
21	Elton Nicolas Sanabria Osorio	https://github.com/unal-edigital1-lab/lab01-2024-1-EltonNicolasSanabria	SI	SI	SI	
	Gustavo Adolfo Roper Bastidas	https://github.com/unal-edigital1-lab/lab01-2024-1-garoperob	SI	SI	Incompleto	Se recomienda profundizar en las simulaciones.
	Daniel Mauricio Pamplona Chaparro	https://github.com/unal-edigital1-lab/lab01-2024-1-DanielPamplona-UNAL/commits/master	NO	NO	NO	0 commits
	Cristian Camilo Lopez Bernal	https://github.com/unal-edigital1-lab/lab01-2024-1-cclb11	SI	SI	Incompleto	1. La imagen de simulación no es claro, no es posible distinguir los nombres de las señales. 2. Se recomienda respetar la estructura del README, ya que no se encuentra nombre del propietario.
22	Alejandro Diaz Benavidez	https://github.com/unal-edigital1-lab/lab01-2024-1-Daaayz	SI	SI	SI	
	Johan Hernan Lopez Alonso	https://github.com/unal-edigital1-lab/lab01-2024-1-Bartlessby	SI	SI	SI	
	Daniel Santiago Navarro Gil		NO	NO	NO	
	Yeison Dario Rojas Mora	https://github.com/unal-edigital1-lab/lab01-2024-1-Yeison-Rojas	SI	SI	NO	1. Es importante profundizar en el funcionamiento de elementos de HDL como los wire, reg y el bloque always. 2. Es importante empezar a familiarizarse con la sintaxis de un markdown para mejorar la escritura del README. 3. No hay imágenes que demuestren que efectivamente se logró llevar a cabo la simulación y comparación con la tabla de verdad para corroborar.

Grupo de trabajo	APELLIDOS Y NOMBRES COMPLETOS	Lab01: Sumador de 1 bit				
		Repositorio	Entregable 1: Descripción del HDL con bloques primitivos.	Entregable 2: Descripción del HDL con descripción de suma.	Entregable 3: Simulación de los HDL	Comentarios
23	David sebastian valderrama Samboni	https://github.com/unal-edigital1-lab/lab01-2024-1-davidvalderrama666	NO	NO	NO	Hay commits con archivo de Quartus/Questa pero no hay descripción del código ni comentarios ni fotos de la simulación. El README no se entiende.
	Jhon Michael Valencia Rentería	https://github.com/unal-edigital1-lab/lab01-2024-1-Jhvalenciar15	SI	SI	SI	Se recomienda familiarizarse con la sintaxis de un markdown para mejorar la escritura del README
	Kevin Adrian Guerra Cifuentes	https://github.com/unal-edigital1-lab/lab01-2024-1-kevinguerra54	SI	SI	SI	OJO: El lenguaje de descripción de (HDL) hardware que estamos usando es Verilog no VHDL.
	Daniel Fernando Chacon Quintero		NO	NO	NO	
24	Leidy Pinto Ramos	https://github.com/unal-edigital1-lab/lab01-2024-1-Dcoror	Incompleto	NO	NO	Hay commits con archivos de Quartus/Questa pero no hay descripción del código ni comentarios ni fotos de la simulación.
	Camilo Prieto Gomez	https://github.com/unal-edigital1-lab/lab01-2024-1-caprietog26	SI	SI	SI	1. Decir que "se obtienen los mismos resultados en ambas simulaciones" no es prueba de que ambos códigos funcionan correctamente, es importante comparar la simulación con la teoría, es decir, la tabla de verdad. 2. Se recomienda respetar la estructura del README, ya que no se encuentra nombre del propietario. 3. Se recomienda familiarizarse con la sintaxis de un markdown para mejorar la escritura del README.
	Tait Mozuca Tamayo	https://github.com/unal-edigital1-lab/lab01-2024-1-TaitMozuca	Incompleto	Incompleto	Incompleto	Se recomienda profundizar en las descripciones y en los análisis.
	Aleksander Ivánovich Boetsév	https://github.com/unal-edigital1-lab/lab01-2024-1-Nefestum	SI	SI	SI	Se recomienda profundizar en la descripción de cada HDL.

Grupo de trabajo	APELLIDOS Y NOMBRES COMPLETOS	Lab01: Sumador de 1 bit				
		Repositorio	Entregable 1: Descripción del HDL con bloques primitivos.	Entregable 2: Descripción del HDL con descripción de suma.	Entregable 3: Simulación de los HDL	Comentarios
25	Alejandro Pachon Romero	https://github.com/unal-edigital1-lab/lab01-2024-1-alpachonr	SI	SI	SI	Descripción teórica y de implementación bastante completa y detallada.
	Hernan Felipe Bernal Arevalo	https://github.com/unal-edigital1-lab/lab01-2024-1-hbernal99	SI	SI	Incompleto	Se recomienda profundizar en las simulaciones.
	Sebastian Otalora	https://github.com/unal-edigital1-lab/lab01-2024-1-jsotaloraq	NO	NO	Incompleto	No hay descripción, solo una foto de una simulación en el README
	Natalia Alvarez Gallo	https://github.com/unal-edigital1-lab/lab01-2024-1-NataliaAlvarezGallo	NO	NO	NO	
26	David Camilo Valbuena Molano	https://github.com/unal-edigital1-lab/lab01-2024-1-DavidCValbuena	NO	NO	NO	
	Juan Manuel Barrero Mendoza	https://github.com/unal-edigital1-lab/lab01-2024-1-Jbarrerom1192	NO	NO	NO	
	Brayan Daniel Saidiza Amaya	https://github.com/unal-edigital1-lab/lab01-2024-1-SAIDIZA/commits/master	NO	NO	NO	0 commits

Grupo de trabajo	APELLIDOS Y NOMBRES COMPLETOS	Lab02: Sumador de 4 bits				
		Repositorio	Entregable 1: Descripción del HDL	Entregable 2: Simulación del HDL	Entregable 3: Video de implementación	Comentarios
1	Santiago Marín Becerra	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo01-2024-1	SI	SI	SI	
	Miguel Fabian Duarte Diaz					
	Juan David Palacios Chávez					
	María Alejandra Pérez Petro					
2	Niccolás Dhavid Parra Canastero	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo02-2024-1	NO	NO	NO	
	Miller Javier Arias Quintero					
	Mateo Ramos Cujer					
3	Andrés Santiago Cañón Porras	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo03-2024-1	SI	SI	NO	Para la entrega 3 se pidió un video no imágenes.
	Cristian Fabián Martínez Bohorquez					
	Mateo Bustos Aguilar					
4	Oscar Jhondairo Siabato Leon	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo04-2024-1	SI	SI	SI	1. Mejorar la redacción de la descripción del sumador de 1 bit ya que no es posible entender la idea que se quiere transmitir. Se recomienda familiarizarse con la sintaxis de un markdown. 2. Se recomienda organizar las imágenes en una carpeta.
	Juan Manuel Beltrán Botello					
	Julián Camilo Casallas					
	William Mauricio Meza Patiño					
5	Jorge Santaigo Camargo Guerrero	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo05-2024-1	SI	NO	SI	En el README no hay soporte de simulación.
	Sebastian Jaramillo Verdugo					
	Juan Alejandro Gualteros Fonseca					
6	Jaime Andres Martin Moreno	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo08-2024-1	SI	SI	SI	
	Duvan Felipe Pacheco Rodriguez					
	Jairo David Diaz Luna					

Grupo de trabajo	APELLIDOS Y NOMBRES COMPLETOS	Lab02: Sumador de 4 bits				
		Repositorio	Entregable 1: Descripción del HDL	Entregable 2: Simulación del HDL	Entregable 3: Video de implementación	Comentarios
7	Gabriel Felipe Ostos Iguavita	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo07-2024-1	SI	SI	SI	El simulador puede mostrar las entradas y salidas en varios sistemas de numeración como hexadecimal y binario, por lo tanto no es preciso decir que la representación hexadecimal es la única que puede realizar el simulador.
	Cristian Camilo Barbosa Suarez					
	Jose Gabriel Peña Solorzano					
8	Isabella Mendoza Cáceres	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo08-2024-1?tab=readme-ov-file	SI	SI	SI	
	Juan Jose Díaz Guerrero					
	Juan Jose Delgado Estrada					
	Juan Angel Vargas Rodriguez					
9	Daniel Esteban Hostos Contreras	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo09-2024-1	NO	NO	NO	
	Jonathan Andrés Jiménez Trujillo					
	Julian David Monsalve Sanchez					
10	Juan Sebastian Conejo Piraquive	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo10-2024-1	Incompleto	SI	SI	1. Se recomienda profundizar en las descripciones del HDL. 2. Si la FPGA tiene lógica negada, se recomienda modificar el HDL para obtener los resultados esperados. Eso demuestra que se estan familiarizando con éste. 3. Se recomienda mejorar la visualización de la simulación, para poder evidenciar el correcto funcionamiento.
	Jose Santiago Cubillos Villamil					
	Roger Alfredo Bejarano Martin					
	Diego Armando Ruiz Landero					
11	Stewart Andres Antolinez Zapata	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo11-2024-1	SI	SI	SI	1. Se recomienda familiarizarse con la sintaxis de un markdown para mejorar la escritura del README. 2. OJO: Un testbench no tiene entradas o salidas.
	Natalia Andrea Dueñas Salamanca					
	Juan Diego Saenz Ardila					
	Jhon Alejandro Cuaspud Porras					

Grupo de trabajo	APELLIDOS Y NOMBRES COMPLETOS	Lab02: Sumador de 4 bits				
		Repositorio	Entregable 1: Descripción del HDL	Entregable 2: Simulación del HDL	Entregable 3: Video de implementación	Comentarios
20	David Santiago Cuellar Lopez	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo20-2024-1	SI	NO	SI	En el README no hay soporte de simulación.
	Angela Sofia Ortiz Oliveros					
	Juan David González Muñoz					
	Linda Marcela Orduy Polonia					
21	Elton Nicolas Sanabria Osorio	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo21-2024-1	SI	SI	NO	Para la entrega 3 se pidió un video no imágenes.
	Gustavo Adolfo Roperio Bastidas					
	Daniel Mauricio Pamplona Chaparro					
	Cristian Camilo Lopez Bernal					
22	Alejandro Diaz Benavidez	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo22-2024-1	SI	SI	NO	1. No es necesario copiar todo el transcript en el README. 2. No hay soporte de entrega 3.
	Johan Hernan Lopez Alonso					
	Daniel Santiago Navarro Gil					
	Yeison Dario Rojas Mora					
23	David sebastian valderrama Samboni	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo23-2024-1	SI	SI	NO	Para la entrega 3 se pidió un video no imágenes.
	Jhon Michael Valencia Rentería					
	Kevin Adrian Guerra Cifuentes					
	Daniel Fernando Chacon Quintero					
24	Leidy Pinto Ramos	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo24-2024-1	SI	SI	SI	OJO: Los "wire" son un tipo de datos que se utilizan para conectar componentes en un diseño HDL. Es importante tener en cuenta que los "wire" no almacenan datos en el sentido convencional como lo hacen las variables en lenguajes de programación de alto nivel.
	Camilo Prieto Gomez					
	Tait Mozuca Tamayo					
	Aleksander Ivánovich Boetsév					

Grupo de trabajo	APELLIDOS Y NOMBRES COMPLETOS	Lab02: Sumador de 4 bits				
		Repositorio	Entregable 1: Descripción del HDL	Entregable 2: Simulación del HDL	Entregable 3: Video de implementación	Comentarios
25	Alejandro Pachon Romero	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo25-2024-1	SI	SI	NO	Para la entrega 3 se pidió un video no imágenes.
	Hernan Felipe Bernal Arevalo					
	Sebastian Otalora					
	Natalia Alvarez Gallo					
26	David Camilo Valbuena Molano	https://github.com/unal-edigital1-lab/lab02-2024-1-grupo26-2024-1	NO	NO	NO	
	Juan Manuel Barrero Mendoza					
	Brayan Daniel Saidiza Amaya					

Grupo de trabajo	APELLIDOS Y NOMBRES COMPLETOS	Lab03: BCD - 7 Segmentos									
		Repositorio	1 Display			Entregable 2: 4 displays			Entregable 3: Hexa a decimal		Comentarios
			Descripción	Simulación	Implementación	Descripción	Simulación	Implementación	Descripción	Implementación	
25	Alejandro Pachon Romero	https://github.com/unal-edigital1-lab/lab03-2024-1-grupo25-2024-1	SI	SI	SI	SI	NO	NO	Incompleto	NO	1. Es importante que describan detalladamente la implementación de la entrega 3. 2. Se recomienda subir soportes de la implementación en la FPGA. 3. Es importante que en el README se vean los soportes de la simulación de la entrega 2.
	Hernan Felipe Bernal Arevalo										
	Sebastian Otalora										
	Natalia Alvarez Gallo										
26	David Camilo Valbuena Molano		NO	NO	NO	NO	NO	NO	NO	NO	
	Juan Manuel Barrero Mendoza										
	Brayan Daniel Saidiza Amaya										