

Uniwersytet Warszawski
Wydział Fizyki

Marysia Nazarczuk

Nr albumu: 417755

UKŁADY CYFROWE

Streszczenie

Zbudowano i przeanalizowano działanie kilku układów cyfrowych, w tym licznika binarnego, generatora napięcia prostokątnego oraz licznika naciśnień. Istotnym elementem ćwiczenia była konstrukcja licznika zliczającego do dziesięciu przy użyciu przerzutników typu D. Dodatkowo, licznik został zmodyfikowany tak, aby po osiągnięciu dziesięciu zatrzymywał się lub resetował swój stan.

Warszawa, Styczeń 2025

Spis treści

1. Wprowadzenie	5
2. Bramki typu NAND i NOR	7
2.1 Tabele prawdy dla dwu-wejściowych bramek NAND oraz NOR	7
2.2 Budowa wybranych funkcji logicznych za pomocą bramek NAND	7
2.2.1 Negacja	7
2.2.2 Suma logiczna	8
2.2.3 Iloczyn logiczny	8
2.2.4 Implikacja	8
2.2.5 Zakaz X_2 przez X_1	9
2.2.6 Suma Exclusive Or	9
3. Budowa licznika modulo 10	11
3.1 Przerzutnik typu D	11
3.1.1 Tabela prawdy	11
3.1.2 Budowa przerzutnika D z czterech bramek NAND i jednej NOT	11
3.1.3 Opis wejść i wyjść przerzutnika D	11
3.2 4 bitowy licznik szeregowy na przerzutnikach typu D	12
3.2.1 Licznik do przodu	12
3.2.2 Licznik do tyłu	13
3.3 Dekoder liczby 10 na 2-wejściowych bramkach NAND	14
3.4 Licznik modulo 10	14
4. Bramki w roli generatorów i sterowanie wyświetlaczem 7-segmentowym	17
4.1 Bramki w roli generatorów	17
4.1.1 Schemat układu	17
4.1.2 Zasada działania	17
4.1.3 Rola rezystora R1	19
4.1.4 Rola potencjometru	19
4.2 Sterowanie wyświetlaczem 7-segmentowym	19
4.2.1 Schemat układu	20
4.2.2 Zasada działania	20
4.3 Połączenie generatora z licznikiem	20
5. Podsumowanie	23
Bibliografia	25

1. Wprowadzenie

Technika cyfrowa stanowi podstawę współczesnej elektroniki, umożliwiając realizację zaawansowanych układów logicznych wykorzystywanych w systemach komputerowych, automatyce oraz telekomunikacji. W ramach niniejszego ćwiczenia skupiono się na badaniu podstawowych układów scalonych zawierających bramki logiczne oraz przerzutniki, które stanowią kluczowe elementy w realizacji układów kombinacyjnych i sekwencyjnych.

Podstawowe elementy układów cyfrowych

Układy cyfrowe operują na dyskretnych poziomach napięcia, które reprezentują stany logiczne: „0” oraz „1”. Działanie układów scalonych zależy od ich typu technologicznego:

- **Układy TTL** (Transistor-Transistor Logic) – w nich niepodłączone wejście jest interpretowane jako stan wysoki.
- **Układy CMOS** (Complementary Metal-Oxide-Semiconductor) – w tych układach niepodłączone wejście może przyjmować stan nieokreślony, dlatego konieczne jest jego jawne ustawienie.

Bramki logiczne

Podstawowe układy cyfrowe składają się z bramek logicznych, które realizują funkcje matematyczne na sygnałach wejściowych. W ramach ćwiczeń przeanalizowano działanie następujących bramek:

- **NAND** (Not AND) – funkcja logiczna realizująca negację iloczynu wejściowego,
- **NOR** (Not OR) – funkcja logiczna realizująca negację sumy logicznej,



Rysunek 1.1: Schematyczne przedstawienie bramek NAND oraz NOR.

Przerzutniki

Przerzutniki są elementami pamiętającymi stany logiczne, co pozwala na realizację układów sekwencyjnych. W ramach ćwiczenia wykorzystano:

- **Przerzutnik D** (UCY 7474) – zapamiętujący stan wejścia D przy zmianie zbocza sygnału zegarowego,
- **Przerzutnik T** – powstały poprzez odpowiednie połączenie wejść przerzutnika D, stosowany w licznikach.

Licznik 4-bitowy

Licznik 4-bitowy realizowany na przerzutnikach D pozwala na sekwencyjne zliczanie impulsów zegarowych. Można go skonfigurować jako licznik:

- **zliczający do przodu**, gdzie każdy kolejny impuls powoduje przejście do następnego stanu binarnego,
- **zliczający wstecz**, poprzez zmianę sposobu połączenia przerzutników.

Generator sygnału prostokątnego

Generator prądu prostokątnego można zbudować przy użyciu zwykłego zasilania oraz dwóch bramek NOT. Taki układ działa jako astabilny generator impulsów, gdzie pierwsza bramka wprowadza opóźnienie przez dołączony kondensator i rezystor, a druga wzmacnia sygnał i stabilizuje oscylacje. Kondensator ładuje się i rozładowuje przez rezystor, powodując cykliczne zmiany stanów logicznych, co prowadzi do generacji sygnału prostokątnego.

Układ CD4026

CD4026 to układ scalony dekodera i licznika dziesiętnego z możliwością sterowania wyświetlaczem 7-segmentowym. Może liczyć impulsy od 0 do 9 i automatycznie sterować wyświetlaczem bez potrzeby dodatkowych dekoderek. Posiada wejście zegarowe (CLK), wejście resetujące (RESET) oraz wyjścia do sterowania segmentami wyświetlacza. Dodatkowo oferuje wyjście przeniesienia (CO), które umożliwia łączenie wielu układów w kaskadę. CD4026 jest często stosowany w licznikach cyfrowych, licznikach impulsów oraz prostych wyświetlaczach liczbowych.

2. Bramki typu NAND i NOR

Bramka logiczna NAND jest jednym z podstawowych elementów cyfrowych w elektronice. Jest to bramka negująca AND, co oznacza, że jej wyjście jest odwrotnością wyniku operacji AND na jej wejściu. Działa na zasadzie, że jeśli oba wejścia są równe 1, wyjście jest 0, w przeciwnym przypadku (gdy choćby jedno wejście jest 0), wyjście wynosi 1. Bramki NAND są fundamentalnym elementem w budowie bardziej złożonych układów cyfrowych, ponieważ mogą być używane do realizacji innych podstawowych bramek logicznych, takich jak AND, OR, NOT, a także pełnych układów arytmetycznych.

Bramka logiczna NOR to bramka, która jest negacją bramki OR. Oznacza to, że jej wyjście jest równe 1 tylko wtedy, gdy oba wejścia są równe 0; w każdym innym przypadku (gdy przynajmniej jedno wejście jest 1) wyjście wynosi 0. Bramki NOR, podobnie jak NAND, są wszechstronne w układach cyfrowych, ponieważ mogą być używane do realizacji innych bramek logicznych, takich jak AND, OR i NOT. Dzięki temu bramka NOR jest często stosowana w projektowaniu układów cyfrowych i mikroprocesorów, oferując dużą elastyczność w konstrukcji bardziej złożonych systemów.

2.1. Tabele prawdy dla dwu-wejściowych bramek NAND oraz NOR

Zbudowano proste układy, które posłużyły do stworzenia tabelki prawdy dla dwu-wejściowych bramek typu NAND oraz NOR.

Wejście A	Wejście B	Wyjście (A NAND B)
0	0	1
0	1	1
1	0	1
1	1	0

Tabela 2.1: Tabela prawdy dla bramki NAND

Wejście A	Wejście B	Wyjście (A NOR B)
0	0	1
0	1	0
1	0	0
1	1	0

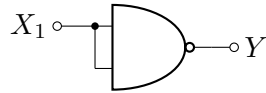
Tabela 2.2: Tabela prawdy dla bramki NOR

2.2. Budowa wybranych funkcji logicznych za pomocą bramek NAND

Bramka NAND jak i również bramka NOR mogą posłużyć do uzyskania innych funkcji logicznych. Za pomocą bramek NAND budowano układy, które odpowiadają funkcjom logicznym: negacji, sumy logicznej, iloczynu logicznemu, implikacji, zakazowi X_2 przez X_1 oraz sumy exclusive Or.

2.2.1. Negacja

Złączając nóżki bramki NAND otrzymujemy negację.



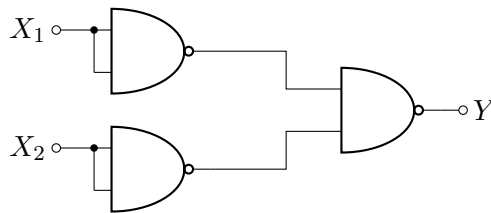
Rysunek 2.1: Budowa negacji za pomocą bramki NAND

2.2.2. Suma logiczna

Zachodzi

$$X_1 + X_2 = (\sim (\sim X_1)) + (\sim (\sim X_2))$$

zatem aby otrzymać $X_1 + X_2$, to do bramki NAND podłączamy NOT X_1 oraz NOT X_2 .



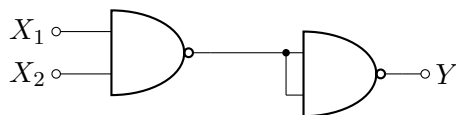
Rysunek 2.2: Budowa sumy logicznej za pomocą bramki NAND

2.2.3. Iloczyn logiczny

Zachodzi

$$X_1 \cdot X_2 = \sim (\sim (X_1 \cdot X_2))$$

zatem aby otrzymać $X_1 \cdot X_2$, to do bramki NAND podłączamy X_1 oraz X_2 , a następnie wyjście negujemy.



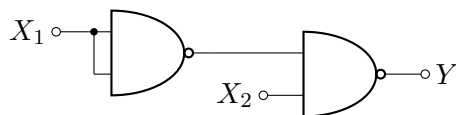
Rysunek 2.3: Budowa iloczynu logicznego za pomocą bramki NAND

2.2.4. Implikacja

Zachodzi

$$X_1 + (\sim X_2) = (\sim (\sim X_1)) + (\sim X_2) = \sim ((\sim X_1) \cdot X_2)$$

zatem aby otrzymać $X_1 + (\sim X_2)$, to do bramki NAND podłączamy NOT X_1 oraz X_2 .



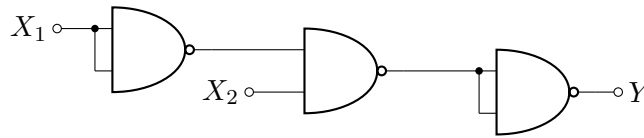
Rysunek 2.4: Budowa implikacji za pomocą bramki NAND

2.2.5. Zakaz X_2 przez X_1

Zachodzi

$$(\sim X_1) \cdot X_2 = \sim (\sim ((\sim X_1) \cdot X_2))$$

zatem aby otrzymać $(\sim X_1) \cdot X_2$, to do bramki NAND podłączamy NOT X_1 oraz X_2 , a następnie wyjście negujemy.



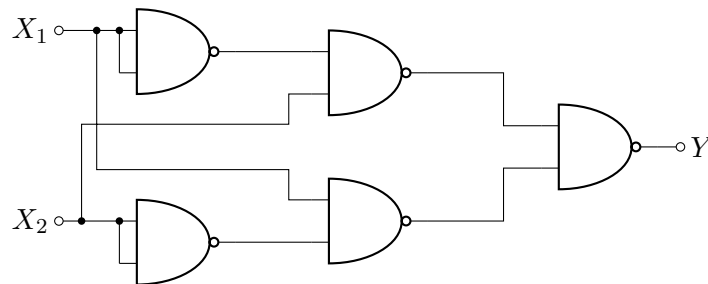
Rysunek 2.5: Budowa zakazu X_2 przez X_1 za pomocą bramki NAND

2.2.6. Suma Exclusive Or

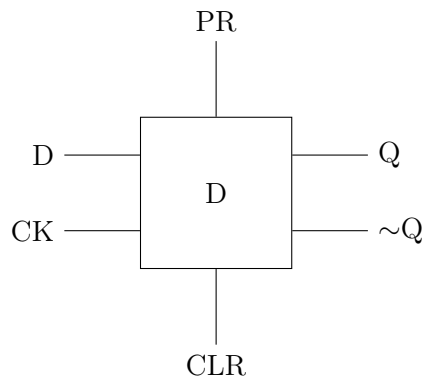
Zachodzi

$$(X_1 \cdot (\sim X_2)) + ((\sim X_1) \cdot X_2) = \sim ((\sim ((\sim X_1) \cdot X_2)) \cdot (\sim ((\sim X_2) \cdot X_1)))$$

zatem aby otrzymać $(X_1 \cdot (\sim X_2)) + ((\sim X_1) \cdot X_2)$ budujemy skomplikowany układ, który jest przedstawiony na rysunku 2.6.



Rysunek 2.6: Budowa zakazu X_2 przez X_1 za pomocą bramki NAND



Rysunek 3.2: Przerzutnik typu D.

Przerzutnik typu D posiada następujące wejścia i wyjścia:

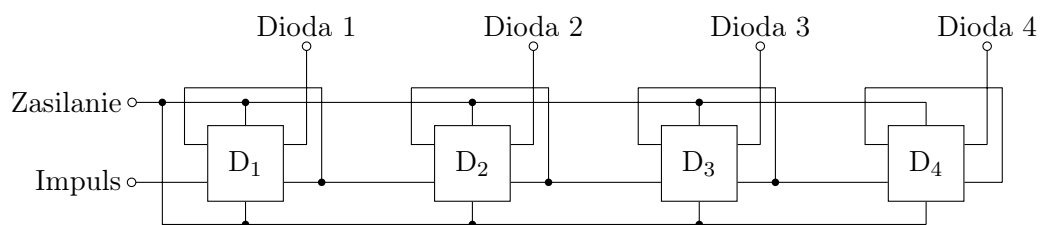
Nazwa	Typ	Opis
D	Wejście	Dane wejściowe. Wartość zostaje zapisana przy zboczu zegara.
CK	Wejście	Sygnal zegarowy. Na jego zboczu wartość D jest kopiowana do Q.
PR	Wejście	Preset (ustawienie). Aktywacja ustawia $Q = 1$, niezależnie od zegara.
CLR	Wejście	Clear (zerowanie). Aktywacja ustawia $Q = 0$, niezależnie od zegara.
Q	Wyjście	Główne wyjście. Przechowuje zapisaną wartość D.
$\sim Q$	Wyjście	Zanegowane wyjście. Zawsze przeciwne do Q.

Tabela 3.3: Opis wejść i wyjść przerzutnika typu D

3.2. 4 bitowy licznik szeregowy na przerzutnikach typu D

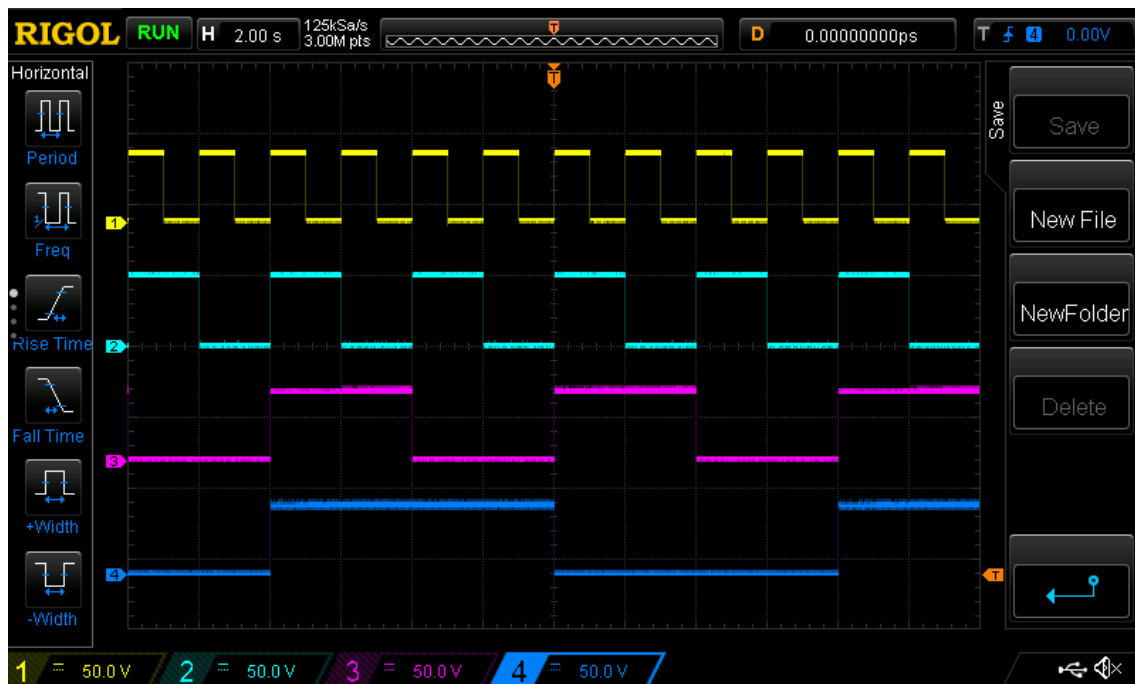
3.2.1. Licznik do przodu

Przystąpiono do budowy licznika szeregowego. Skonstruowano 4-bitowy licznik wykorzystujący przerzutniki typu D, którego schemat przedstawiono na rysunku 3.3.



Rysunek 3.3: Schemat budowy licznika do przodu.

W praktyce, podłączając wyjście zanegowanego stanu ($\sim Q$) do wejścia przerzutnika D, uzyskuje się przerzutnik typu T. Co więcej, taki przerzutnik zmienia swój stan z częstotliwością dwukrotnie niższą niż sygnał zegarowy na jego wejściu. Oznacza to, że jeśli połączymy kolejne przerzutniki zgodnie ze schematem, ostatni z nich będzie przełączał swój stan 16 razy rzadziej niż sygnał zegarowy na wejściu pierwszego przerzutnika. Podłączono układ do oscyloskopu (każdą diodę do innego gniazda), zaobserwowany obraz znajduje się na rysunku 3.4.

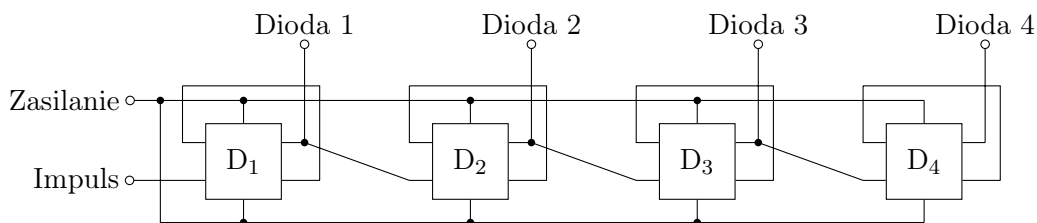


Rysunek 3.4: Widok z oscyloskopu dla licznika liczącego do przodu.

Analiza tego mechanizmu pozwala zrozumieć zasadę działania licznika szeregowego. Każdy kolejny przerzutnik można traktować jako pojedynczy bit licznika. Pierwszy odpowiada zerowej potędze liczby 2, drugi pierwszej, trzeci drugiej itd. Każde kolejne przejście sygnału zegarowego powoduje zwiększenie wartości zapisanej w przerzutnikach, reprezentowanej w systemie binarnym.

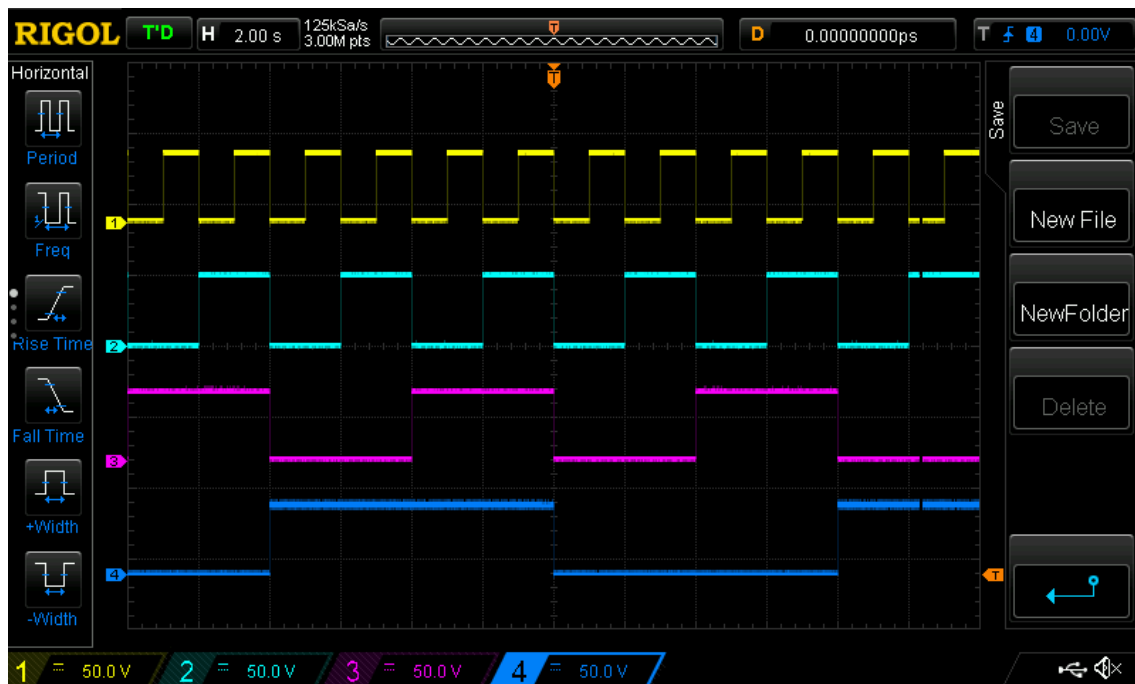
3.2.2. Licznik do tyłu

Przerobiono licznik liczący do przodu, na licznik liczący do tyłu, łącząc łącząc Q-CK zamiast \sim Q-CK. Schemat znajduje się na rysunku 3.5.



Rysunek 3.5: Schemat budowy licznika do tyłu

Podłączono układ do oscyloskopu (każdą diodę do innego gniazda), zaobserwowany obraz znajduje się na rysunku 3.6.

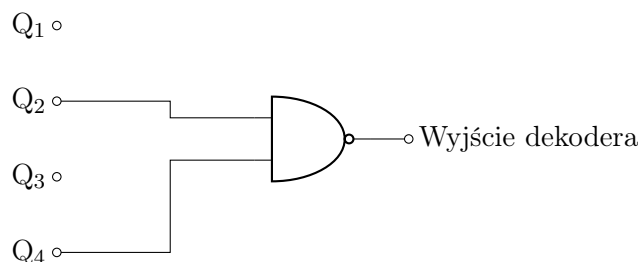


Rysunek 3.6: Widok z oscyloskopu dla licznika liczącego do tyłu.

3.3. Dekoder liczby 10 na 2-wejściowych bramkach NAND

Po zbudowaniu licznika szeregowego zaprojektowano dekodery liczby dziesięć. Jego zadaniem było aktywowanie sygnału wyjściowego wyłącznie wtedy, gdy licznik osiągał wartość 10.

Dekoder został zrealizowany przy użyciu jednej bramki NAND, do której podłączono sygnały z wyjść licznika Q_2 i Q_4 . Taka prosta konstrukcja była możliwa dzięki specyficznemu zapisowi liczby 10 w systemie binarnym (1010_2). Na rysunku 3.7 znajduje się schemat danego dekodera.



Rysunek 3.7: Dekoder liczby 10.

Alternatywną konstrukcją (która by zadziałała dla innych liczb niż 10) mogło być użycie trzech bramek AND, do których podłączonoby sygnały z wyjść licznika Q_1 , Q_2 , Q_3 i Q_4 . Aby uzyskać właściwą konfigurację, trzeba by zanegować wyjścia Q_1 i Q_3 , ponieważ dla liczby dziesięć ich wartości wynosiły 0. Następnie dokonano by negacji poprzez podłączenie danego sygnału do obu wejść bramki NAND, co skutkowało odwróceniem jego wartości. Dzięki takiej konstrukcji dekodery generowałyby stan wysoki (logiczne 1) tylko wtedy, gdy w liczniku wysoki stan miały jedynie drugi i czwarty przerzutnik, co odpowiadało wartości dziesięć w kodzie binarnym.

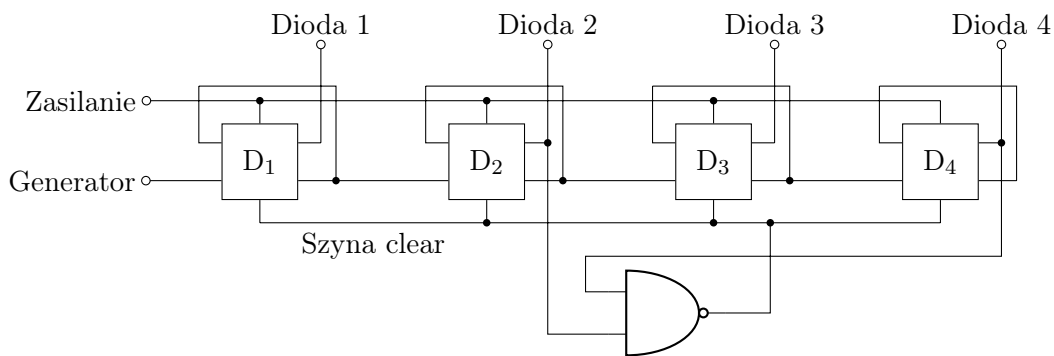
3.4. Licznik modulo 10

W kolejnym etapie dokonano kilku modyfikacji układu. Najpierw zmieniono go tak, aby po naliczeniu dziesięciu impulsów licznik zatrzymywał się i nie kontynuował dalszego zliczania. Wprowadzenie tej

funkcjonalności było możliwe dzięki zastosowaniu bramki AND. W układzie umieszczono ją w taki sposób, że jej wyjście połączono z wejściem CLK licznika, natomiast na wejścia podano sygnał zegarowy z generatora oraz zanegowany sygnał z dekodera (analogicznie do wcześniejszego rozwiązania z bramką NAND o zwartym wejściu). Dzięki temu, dopóki dekoderek nie wykrył wartości dziesięciu, sygnał zegara był przekazywany do licznika. Gdy jednak licznik osiągnął dziesięć impulsów, dekoderek generował stan wysoki, co powodowało, że bramka AND blokowała dalsze impulsy zegara. W efekcie licznik zliczał jedynie do dziesięciu.

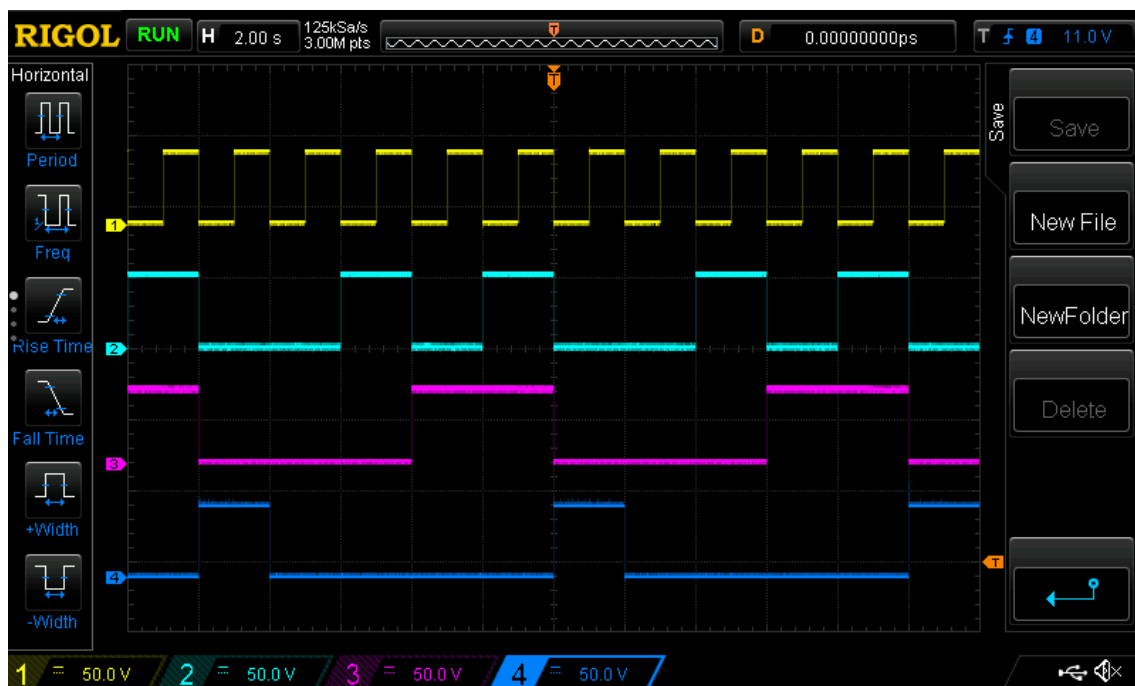
Ostatecznie wprowadzono kolejną modyfikację, umożliwiającą licznikowi nie tylko zliczanie do dziesięciu, ale także automatyczne resetowanie i ponowne rozpoczęcie odliczania. Oznaczało to realizację licznika działającego w systemie modulo 10. Aby to osiągnąć, usunięto mechanizm zatrzymujący licznik po dziesięciu impulsach, a zamiast tego podłączono wyjście dekodera do szyny clear (czyli wyjście clear przerzutników). Dzięki temu, gdy licznik osiągał dziesięć, automatycznie resetował swój stan i zaczynał liczenie od nowa.

Schemat budowy licznika modulo 10 znajduje się na rysunku 3.8.



Rysunek 3.8: Schemat budowy licznika modulo 10.

Podłączono układ do oscyloskopu (każdą diodę do innego gniazda), zaobserwowany obraz znajduje się na rysunku 3.6.



Rysunek 3.9: Widok z oscyloskopu dla licznika liczącego do 10.

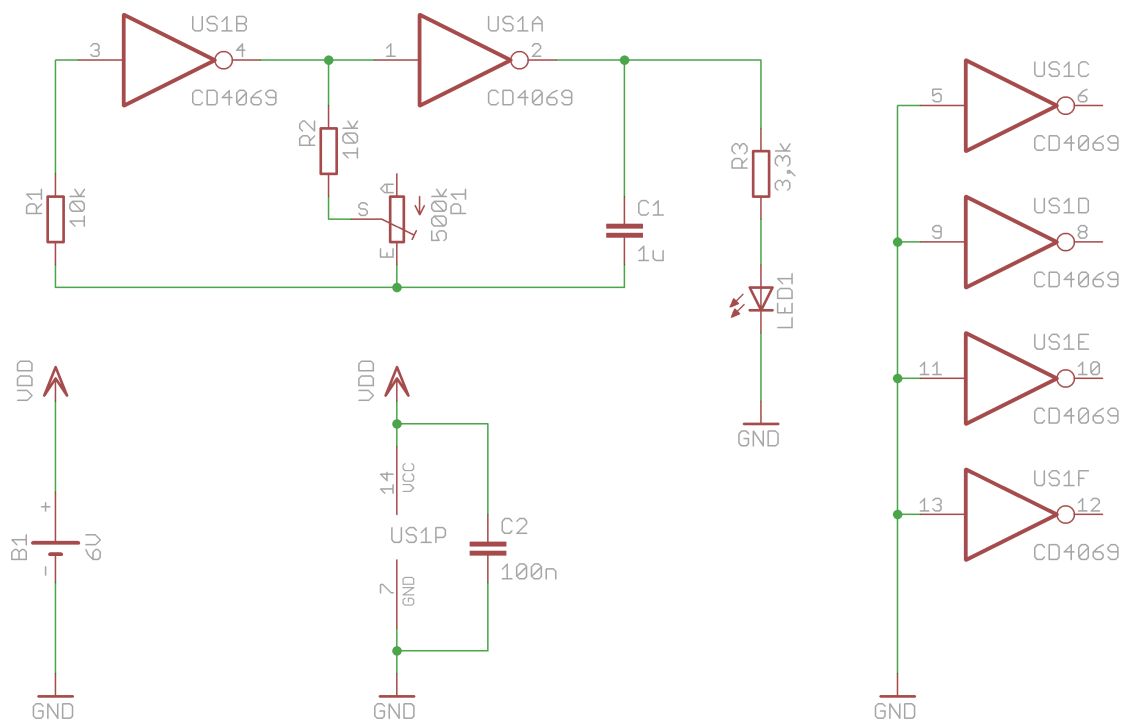
4. Bramki w roli generatorów i sterowanie wyświetlaczem 7-segmentowym

4.1. Bramki w roli generatorów

Generator sygnału prostokątnego można zbudować przy użyciu bramek logicznych NOT. Na wyjściu takiego układu stan logiczny zmienia się cyklicznie między 0 a 1, co skutkuje generowaniem przebiegu prostokątnego. Generator wykorzystujący bramki NOT jest prostym i efektywnym sposobem generowania sygnału prostokątnego. Dzięki obecności kondensatora, rezystorów i potencjometru możliwe jest kontrolowanie częstotliwości pracy układu.

4.1.1. Schemat układu

Schemat generatora (rys. 4.1) wykorzystuje dwie bramki NOT oraz podstawowe elementy pasywne, takie jak rezystory i kondensator.

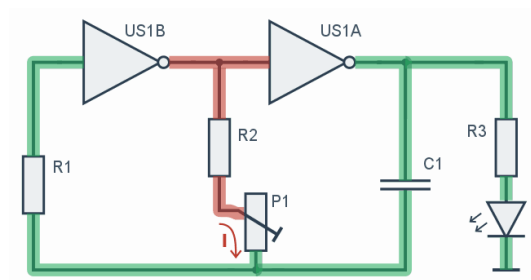


Rysunek 4.1: Schemat generatora z diodą LED [5].

4.1.2. Zasada działania

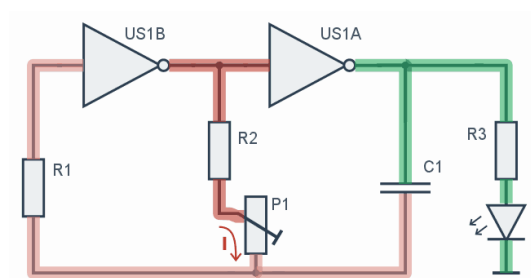
Działanie generatora można podzielić na kilka etapów:

1. **Pierwszy etap** Gdy kondensator jest rozładowany, napięcie na wejściu bramki US1B oraz na wyjściu bramki US1A wynosi około 0V. W konsekwencji napięcie na wyjściu US1B wynosi około 6V i jest podawane na wejście US1A.



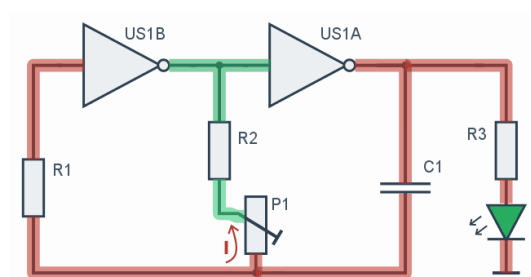
Rysunek 4.2: Pierwszy etap pracy generatora [5].

2. **Drugi etap** Przez rezystor R2 i potencjometr P1 zaczyna płynąć prąd, który ładuje kondensator. Dopóki napięcie na kondensatorze nie przekroczy 3V, układ pozostaje w stanie początkowym.



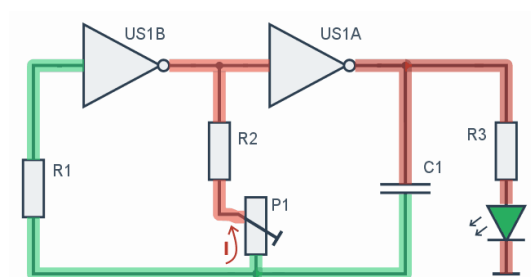
Rysunek 4.3: Drugi etap pracy generatora [5].

3. **Trzeci etap** Po przekroczeniu progu 3V bramka US1B wzmacnia napięcie, wystawiając na wyjściu logiczne 0. Bramka US1A przełącza się, powodując wzrost napięcia na jej wyjściu do 6V. W tym momencie dioda LED zaczyna świecić.



Rysunek 4.4: Trzeci etap pracy generatora [5].

4. **Czwarty etap** Następuje rozładowanie kondensatora przez tę samą rezystancję. Gdy napięcie spadnie poniżej 3V, układ ponownie przełącza się, dioda LED gaśnie i cały cykl zaczyna się od początku.



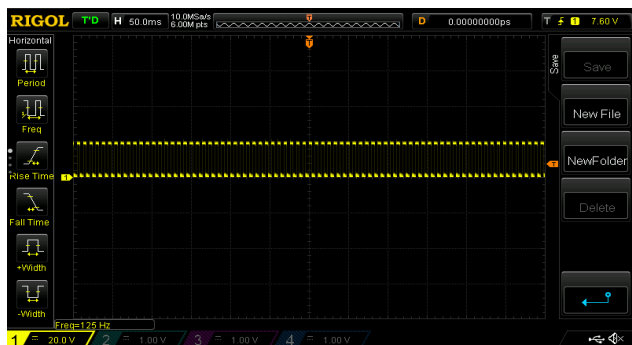
Rysunek 4.5: Czwarty etap pracy generatora [5].

4.1.3. Rola rezystora R1

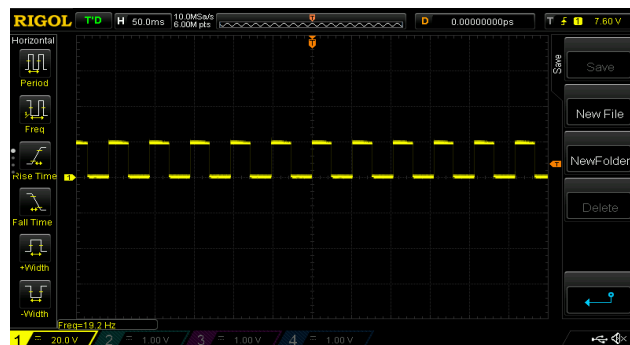
Rezystor R1 pełni funkcję zabezpieczającą. W momencie przełączania napięcie na kondensatorze może przekraczać napięcie zasilania. Obecność R1 ogranicza nadmiarowy prąd, chroniąc bramki logiczne przed uszkodzeniem.

4.1.4. Rola potencjometru

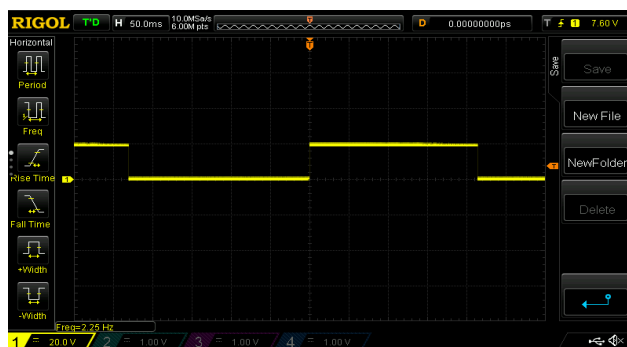
Obecność potencjometru umożliwia zmianę częstotliwości generowania sygnału prostokątnego. Przesuwając suwakiem potencjometru, badano jak zmienia się częstotliwość generowanego sygnału, poprzez obserwowanie częstotliwości migania diody LED. Im większa wartość oporu na potencjometrze, tym mniejsza była częstotliwość. Na rysunku 4.9 przedstawiono rzuty ekranu oscyloskopu dla trzech różnych ustawień potencjometru.



Mały opór potencjometru



Średni opór potencjometru



Wysoki opór potencjometru

Rysunek 4.9: Widok z oscyloskopu dla trzech ustawień potencjometru.

Znając wartości C1 kondensatora oraz R2 opornika, można wyliczyć przybliżoną częstotliwość sygnału można obliczyć korzystając ze wzoru 4.1 w zależności od wartości oporu P1 na potencjometrze.

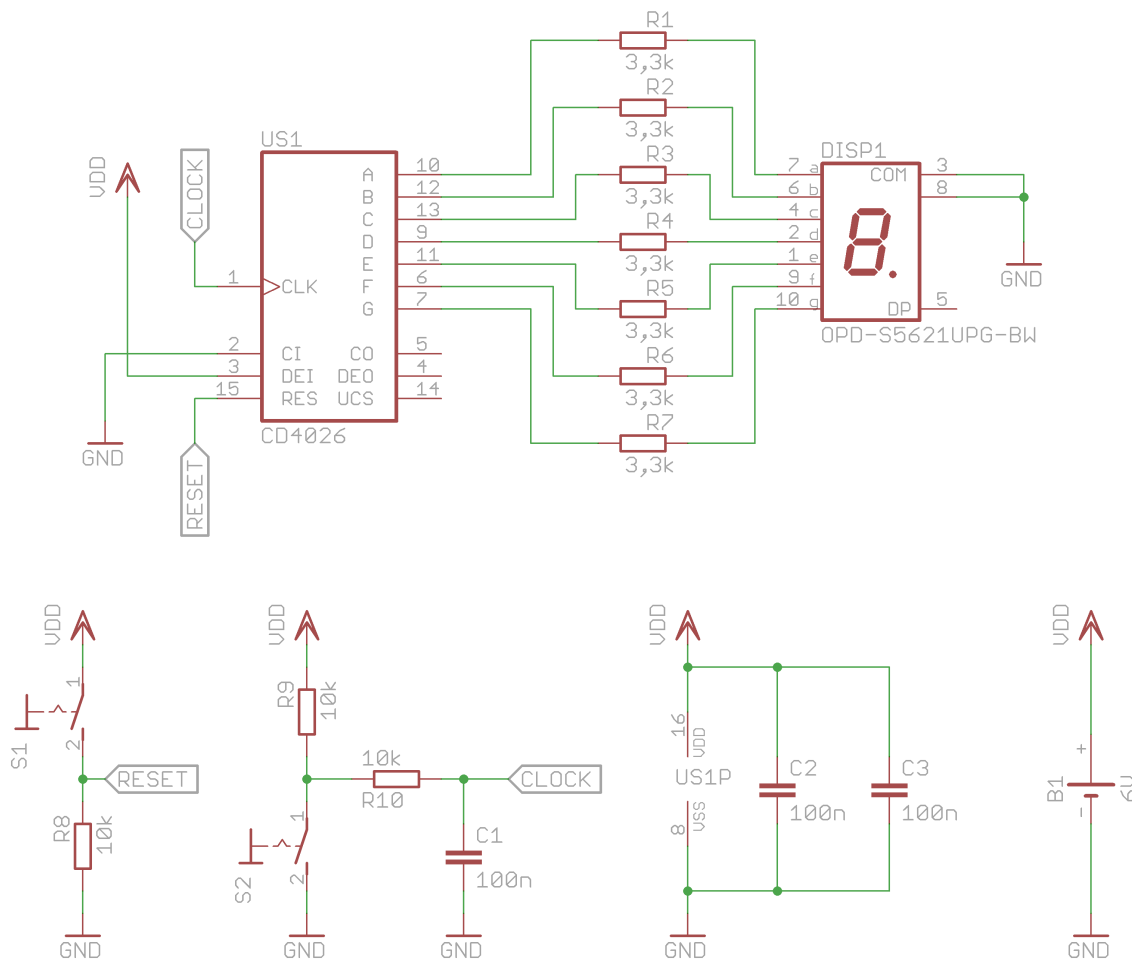
$$f = \frac{1}{2.2 \cdot C1 \cdot (P1 + R2)} \quad (4.1)$$

4.2. Sterowanie wyświetlaczem 7-segmentowym

Układ CD4026 pozwala na sterowanie wyświetlaczami 7-segmentowymi i może być używany do tworzenia prostych liczników.

4.2.1. Schemat układu

Schemat układu (rys. 4.10) zwiększa wartość przy każdorazowym naciśnięciu CLOCK. Dodatkowo posiada przycisk resetujący, umożliwiającą powrót do wartości początkowej.



Rysunek 4.10: Schemat układu licznika [6].

4.2.2. Zasada działania

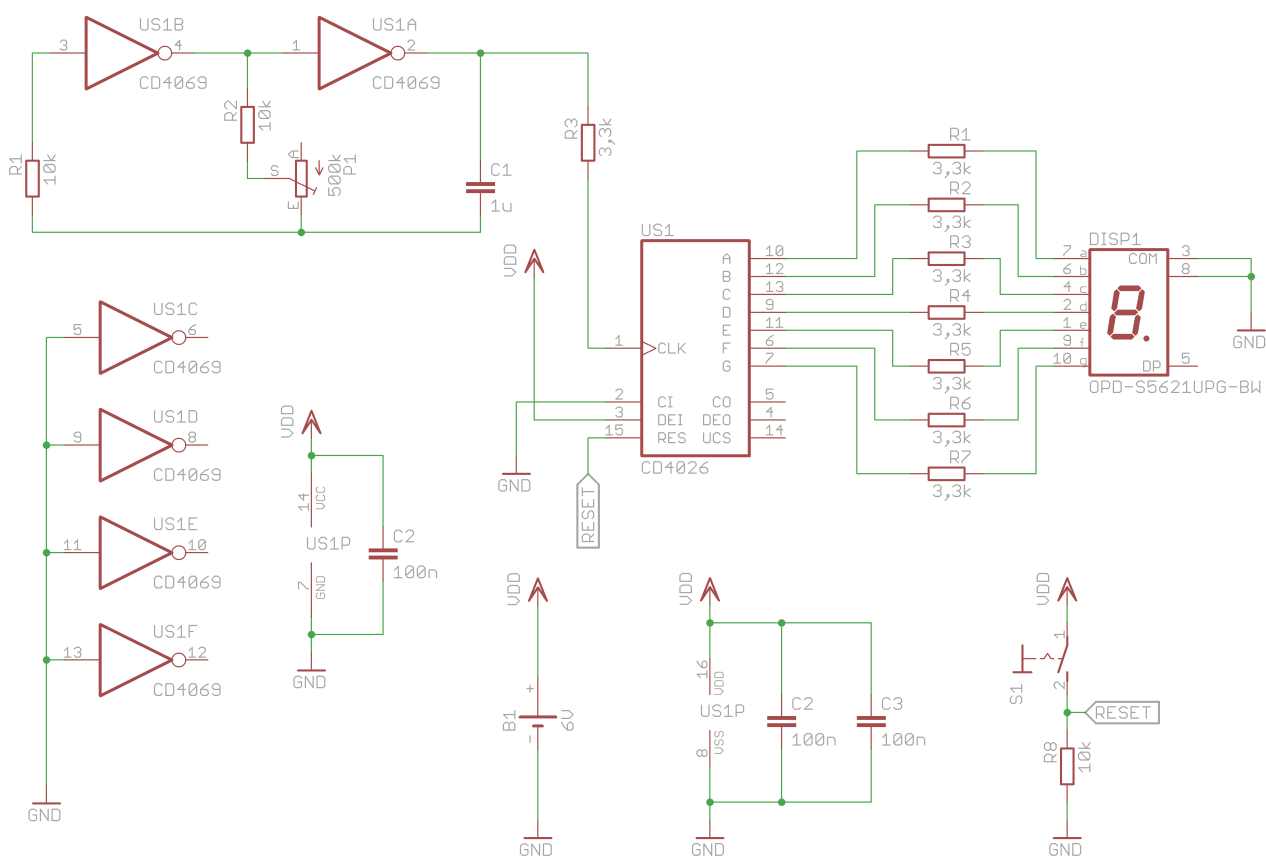
Układ działa według następującego schematu:

- Wciśnięcie przycisku S1 podnosi potencjał nóżki RESET do ok. +6V, resetując licznik.
- Wciśnięcie przycisku S2 obniża potencjał nóżki CLOCK, co powoduje doliczenie jednej osoby po jego zwolnieniu.

Elementy otaczające S2 tworzą filtr eliminujący drgania styków, co zapewnia prawidłowe działanie licznika.

4.3. Połączenie generatora z licznikiem

Dokonano połączenia generatora sygnału prostokątnego z licznikiem łącząc rezystor R3 z nóżką CLK układu CD4026. Schemat połączenia znajduje się na rysunku 4.11.



Rysunek 4.11: Schemat połączenia generatora z licznikiem [5] [6].

Dzięki takiemu połączeniu, na wyświetlaczu w równych odstępach czasu wyświetlały się kolejne liczby, aż do zapętlenia. Użycie przycisku RESET zerowało obliczenia.

5. Podsumowanie

Dokładnie zapoznano się z działaniem wybranych układów elektroniki cyfrowej. Zbadano działanie bramek NAND oraz NOR, a przy użyciu wyłącznie bramek NAND, zasymulowano różne funkcje logiczne.

Skonstruowano sprawnie działający licznik, wprowadzając modyfikacje umożliwiające zmianę sposobu jego zliczania. Dodatkowo stworzono dekodery, który ułatwił zrozumienie zasad działania logiki cyfrowej. Ostatecznie powstał licznik modulo 10.

Zbudowano również generator napięcia o przebiegu prostokątnym przy użyciu bramek NOT oraz licznik rejestrujący pojedyncze naciśnięcia przycisku, obsługujący funkcję resetu (tzw. Clicker).

Każdy z przygotowanych układów został przetestowany, a jego poprawne działanie zostało potwierdzone.

Bibliografia

- [1] Piotr Fita. Notatki do wykładu 5. "Układy cyfrowe" z Pracowni elektronicznej R. FUW
- [2] Piotr Fita. Instrukcja do zadania "Układy cyfrowe". 2023-2024 FUW
- [3] Piotr Fita. Instrukcja do zadania "Telelektronika cyfrowa – kurs Forbot". 2023-2024 FUW
- [4] P. Horowitz, W. Hill, "Sztuka elektroniki"
- [5] Kurs Forbot "Technika cyfrowa – #4 – bramki w roli generatorów"
- [6] Kurs Forbot "Technika cyfrowa - #7 – sterowanie wyświetlaczem 7-seg."