

Examen 2 (temas 4, 5, 6 y 7)

Duración del examen: 1 hora 45 minutos.

La solución de cada ejercicio se tiene que escribir en el espacio reservado para ello en el propio enunciado.

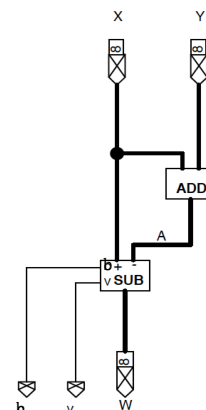
No podéis utilizar calculadora, móvil, apuntes, etc.

La solución del examen se publicará en Atenea mañana por la tarde y las notas antes del 7 de Noviembre.

Ejercicio 1 (objetivos 4.9 y 5.11) (1.5 puntos)

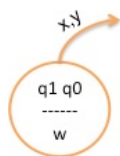
Dado el siguiente circuito CLC y los vectores de 8 bits de entrada X y Y, completad la siguiente tabla.

X	Y	A	W	Wu	Ws	b	v
00000000	11111111	11111111	00000001	1	1	1	0
11111111	00000001	00000000	11111111	255	-1	0	0
10000000	10101010	00101010	01010110	86	86	0	1

**Ejercicio 2** (objetivo 6.14) (2 puntos)

Dado el circuito de la figura, contesta las siguientes preguntas:

a) Dibuja la leyenda del grafo de estados (0,25 puntos):



b) Si el estado inicial es el 00, ¿qué estados son accesibles sin límite de transiciones? (0,5 puntos)

3 (00, 01, 10)

c) Y si el estado inicial es el 11, ¿qué estados son accesibles sin límite de transiciones? (0,5 puntos)

4 (00, 01, 10, [11])

d) ¿A qué estado se puede llegar desde más estados diferentes (suponiendo que todos los estados fuesen accesibles)? (0,25 puntos)

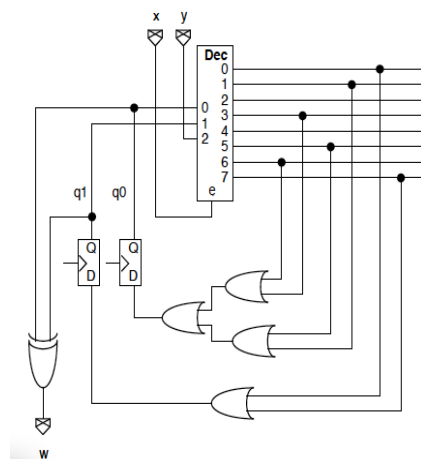
00 (desde todos si x = 0)

e) ¿Qué estados vuelven a si mismos (no hay cambio de estado) en alguna combinación de entradas? (0,25 puntos)

00 y 01

f) Y si estoy en el estado 11 y las entradas son x=1 y y=1 ¿a que estado me voy? (0,25 puntos)

10



-0,5 cada fila
malament

0,25 binari

0,5 binari

0,5 binari.
Com depèn
de la
intepretació
està be tant si
està com si
no està el 11

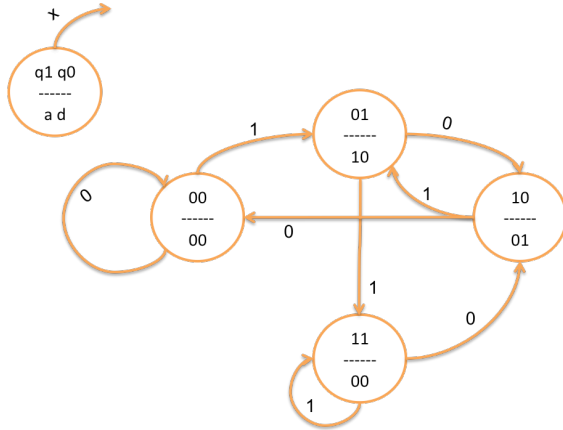
0,25 binari

0,25 binari

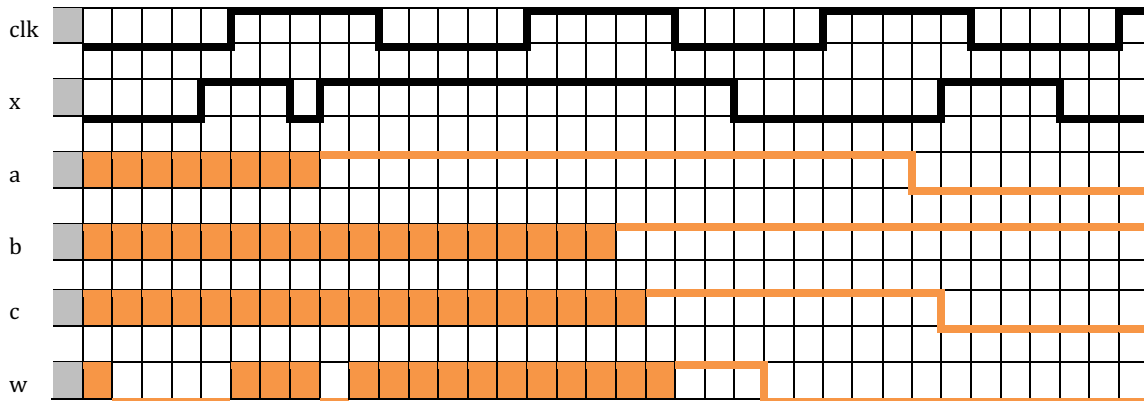
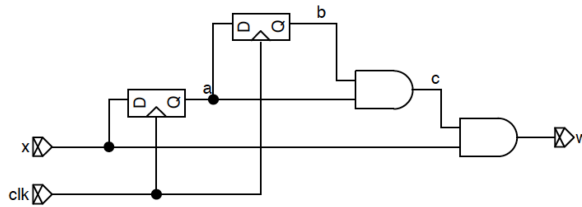
Ejercicio 3 (objetivo 6.11) (1.5 puntos)

Completa el grafo del circuito secuencial que dada una entrada "x" (de 1 bit) detecta los flancos ascendentes en el ciclo siguiente en que sucedió el flanco. El siguiente cronograma muestra un ejemplo del funcionamiento. El estado inicial del circuito es el 00.

ciclo	0	1	2	3	4	5	6	7	8
x	0	1	1	0	1	1	1	0	0
a	0	0	1	0	0	1	0	0	0
d	0	0	0	0	1	0	0	0	1

**Ejercicio 4** (objetivo 6.16) (2 puntos)

Completa el cronograma del siguiente circuito, asumiendo los siguientes tiempos de propagación $T_p(\text{And})=10\text{u.t.}$ $T_p(\text{FF})=30\text{u.t.}$ No olvides marcar las zonas que no podemos saber el valor de la señal. (cada línea representa 10 u.t.)

**Ejercicio 5** (objetivos 7.7 y 7.9) (3 puntos)

Queremos diseñar un PPE que compruebe si un determinado número es primo o no. Para ello disponemos de un bloque combinacional "Divisor" que es capaz de decirnos si un número es divisor de otro en menos de un ciclo. Este módulo tiene dos entradas "N" (numerador) y "D" (denominador) y en su salida "div" da un 1 si "N" es divisible por "D" y 0 si no lo es.

El PPE tiene un bus de entrada de datos de 16 bits, "X", y una señal de entrada, "Begin", de un bit. El número X_u que queremos comprobar si es primo (siempre es mayor que 1) se recibirá codificado en binario por el bus de entrada "X" durante un ciclo, el mismo en el que la señal "Begin" vale 1.

-0,5 cada
estat
malament

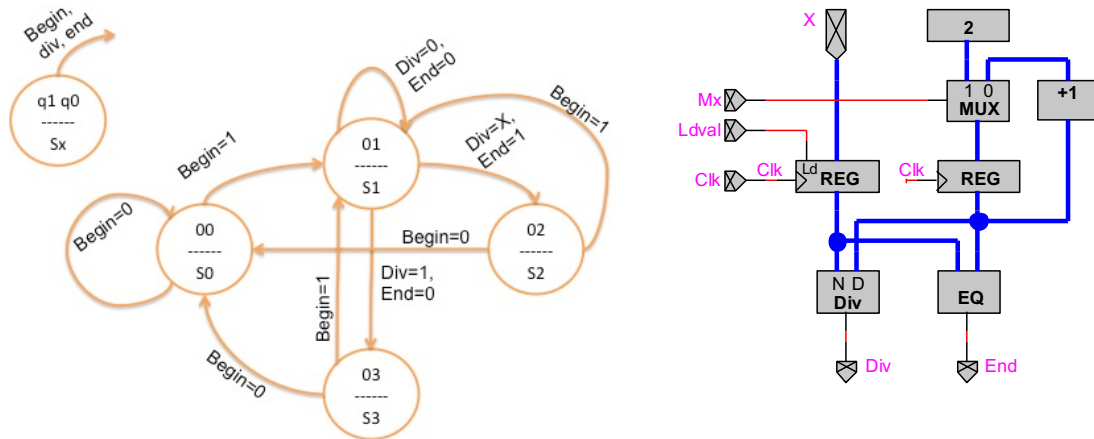
-0,5 cada fila
malament

El PPE tiene dos señales de salida de un bit: la señal “Primo” la señal “Done”. Una vez comprobado si el número es primo o no, el PPE pone a 1 la señal “Done” durante 1 ciclo a la vez que muestra por “Primo” si el número X_u es primo o no (1 si es primo y 0 si no lo es).

“Begin” se ignora desde el ciclo siguiente en el que llega X_u hasta el ciclo anterior al que mostramos el resultado, ambos inclusive.

Para decidir si un número X_u es primo o no, lo dividimos por todos números entre 2 y $X_u - 1$ y si alguno es divisor de X_u , entonces retornamos que el número no es primo.

Véase el diseño completo de la UP y el incompleto de la UC. De la UC mostramos el grafo de estados en el que faltan arcos y etiquetas (los estados están todos) así como el valor de las salidas en el que solo se muestra el valor de la señal Primo en la salida S2 (ver tabla del apartado c).



-0,5 binari

a) Indicad el tamaño de la ROM que implementa, junto con un multiplexor de buses, la UC. (0,5 punto)

Num. entradas (de 1 bit)= 2 Num. salidas (de 1 bit)= $8 \cdot 2 + 4 = 20$ Tamaño ROM (en bits)= $(2^2) \cdot 20 = 80$

1 punt camí crític
0,5 temps
0,5 Tcicle
(Els dos temps només si el camí crític està bé, sinó un 0)

b) Indicad el camino crítico del PPE (o uno de ellos si hay varios) listando los dispositivos por los que pasa y el tiempo de este camino. Cuál es el tiempo de ciclo mínimo? (1 punto). Suponed que:

- la UC se implementa con los mínimos biestables, una ROM (ROM_UC) y un Multiplexor de buses,
- todas las salidas del PPE deben estar estables al menos 600 u.t. antes del final de ciclo,
- el tiempo de propagación de todos los biestables es de 100 u.t.
- los tiempos de propagación de los combinacionales, desde cualquier entrada a cualquier salida, son: $T_p(\text{Not}) = 10$ u.t., $T_p(\text{And-2})=T_p(\text{Or-2})=20$ u.t., $T_p(+1)=500$ u.t., $T_p(\text{MUX-2-1})=50$ u.t., $T_p(\text{MUX-8-1})=120$ u.t., $T_p(\text{Div})=800$, $T_p(\text{EQ})=550$ u.t y $T_p(\text{ROM_UC})=60$ u.t. (Recordad que un registro con señal Ld tiene algo más que biestables en su implementación interna)

Camino crítico= Val-Div-MUX-8-1

Tiempo camino crítico= 1020

Tiempo ciclo mínimo= 1020

-0,25 cada fila de la taula malament, si Primo no X, només -.1

c) Completad el grafo de estados de la UC, al que le faltan arcos y las etiquetas de los arcos así como el valor de las salidas en cada nodo, que se deben indicar en la tabla. (1,5 punto)

	Ldval	Mx	Primo	Done
S0	1	1	X	0
S1	0	0	X	0
S2	1	1	1	1
S3	1	1	0	1

-0,25 cada node malament (arestes sortints no correctes)