

Examen E2 (temes 4, 5, 6 i 7)

Durada: 1 hora 45 minuts. La solució de cada exercici s'ha d'escriure a l'espai reservat del mateix enunciat. No podeu usar calculadora, apunts, etc. La solució de l'examen es publicarà a Atenea demà per la tarda i les notes abans d'una setmana.

Exercici 1 (0,5 punts)

Cada fila de la taula té tres columnes amb: el vector de 8 bits X, el valor que representa X interpretat com un nombre natural codificat en binari, Xu, i el valor que representa X interpretat com un nombre enter codificat en complement a dos, Xs. Completeu totes les caselles buides.

X	Xu	Xs
10111010	186	-70
10100000	160	-96
11001001	201	-55

-0,2 per cada fila incorrecta

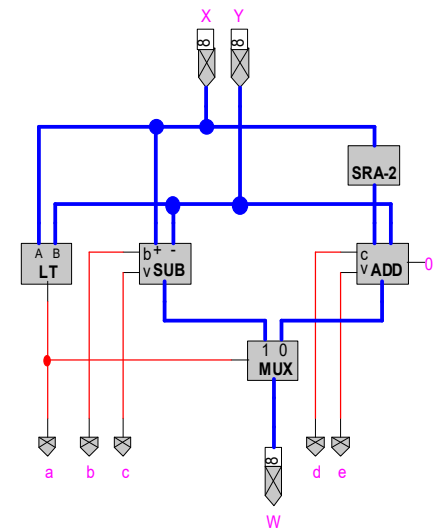
Exercici 2 (1.5 punts)

Donat l'esquema amb blocs del CLC de la dreta, completeu la següent taula que indica el valor de les sortides del circuit per cada un dels dos casos concrets de valors de les entrades (un cas per fila). El bloc LT calcula $A < B$ interpretant els vectors de bits com a nombres enters en Ca2.

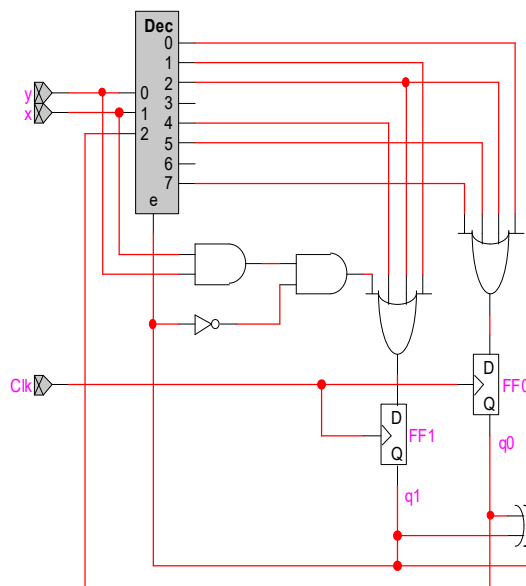
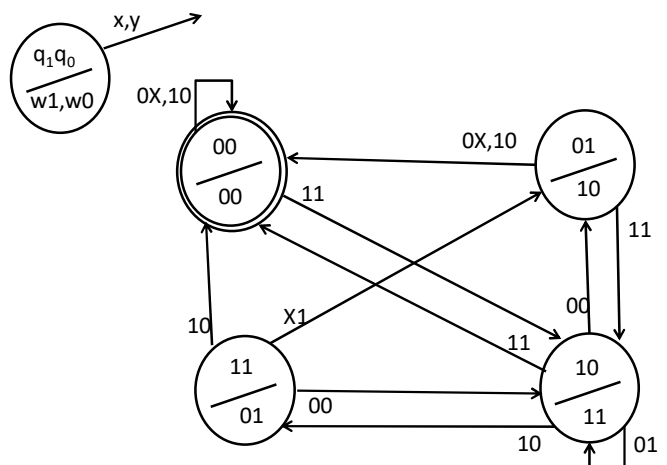
X	Y	W	a	b	c	d	e
11111111	10101010	10101001	0	0	0	1	0
00011111	01111100	10100011	1	1	0	0	1

+0.25 per cada valor de W correcte

+0.5 per cada fila on els valors a,b,c,d i e siguin tots correctes.

**Exercici 3. (2 punts)**

Dibuixeu el graf d'estats que representa el comportament del següent circuit. No oblideu la llegenda i no cal que indiqueu l'estat inicial.

**Llegenda**

0 si no hi ha llegenda.

-0,5 per cada estat incorrecte. Un estat és incorrecte si es incorrecta la sortida o qualsevol arc que surt de l'estat

Exercici 4 (1.5 punts)

Completeu el graf d'estats d'un circuit seqüencial amb dos entrades d'1 bit **a** i **b** i una sortida **S** de 2 bits amb el següent funcionament:

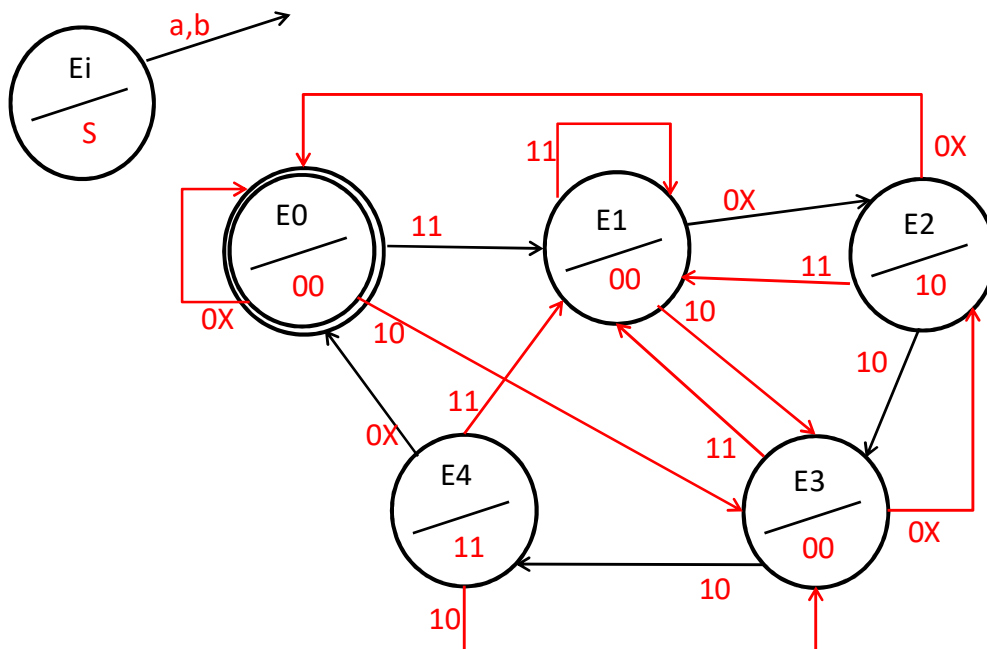
La sortida **S**, de dos bits, ha de valdre 10 durant 1 cicle si per l'entrada **a** arriba la seqüència 10, i ha de valdre 11 si per l'entrada **a** arriba la seqüència 11 al mateix temps que arriba la seqüència 00 per l'entrada **b**. En qualsevol altre cas la sortida **S** ha de valdre 00.

El reconeixement de les seqüències s'ha de fer sense encavalcament.

A continuació es mostra un exemple de funcionament del circuit, en que cada columna correspon a un cicle de rellotge:

a	1	0	0	0	0	0	1	1	0	0	1	1	1	0	1	1	0	1
b	1	1	1	1	0	0	0	0	0	0	0	0	1	1	0	0	1	1
S	00	00	10	00	00	00	00	00	11	00	00	00	11	00	10	00	11	00

Llegenda



0 si no hi ha llegenda.

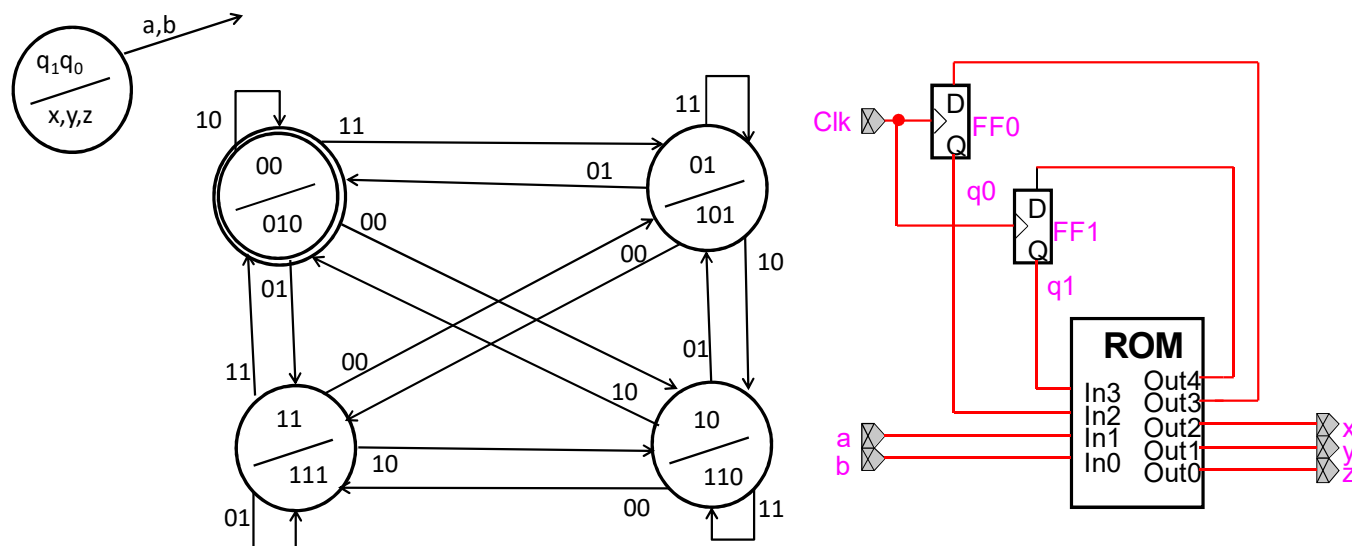
-0,4 per cada estat incorrecte. Un estat és incorrecte si es incorrecta la sortida o qualsevol arc que surt de l'estat.

Cognoms i Nom:

Grup:.....DNI:.....

Exercici 5 (1.5 punts)

Si es vol implementar el graf d'estats següent amb un circuit seqüencial amb una sola ROM tal com es mostra en la figura.

Llegenda

Indiqueu en hexadecimal el contingut de les següents adreces de la ROM:

ROM[0x4]=0x1D

ROM[0xA]=0x06

ROM[0xE]=0x17

-0,5 per cada valor incorrecte

Exercici 6 (3 punts)

Sigui un PPE que calculi quan una màquina de VENDING ha de donar un producte, tornar canvi o tornar els diners introduïts. També ha de calcular l'import d'aquest diners.

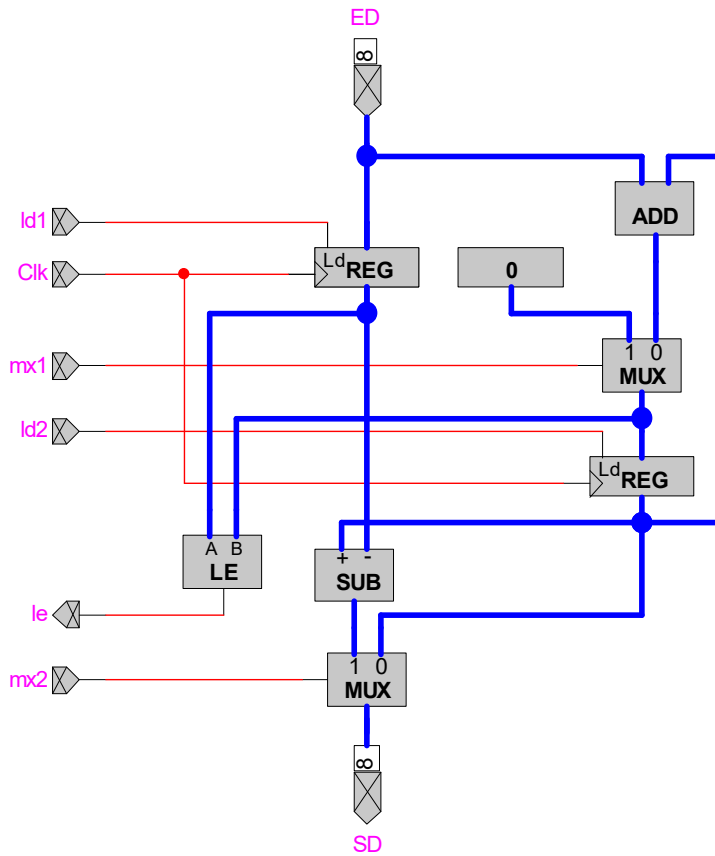
La màquina de VENDING té uns botons per seleccionar el producte, una ranura per introduir les monedes i un botó per anul·lar l'operació. El funcionament de la màquina és el següent:

Inicialment estan desbloquejats els botons de selecció de producte, bloquejat el boto d'anul·lació d'operació i tancada la ranura de monedes. Quan es selecciona un producte, s'obre la ranura d'introducció de monedes, es desbloqueja el botó d'anul·lació i es bloquegen els botons de selecció de producte. Quan es prem el botó d'anul·lació o es lliura el producte es torn a la situació inicial.

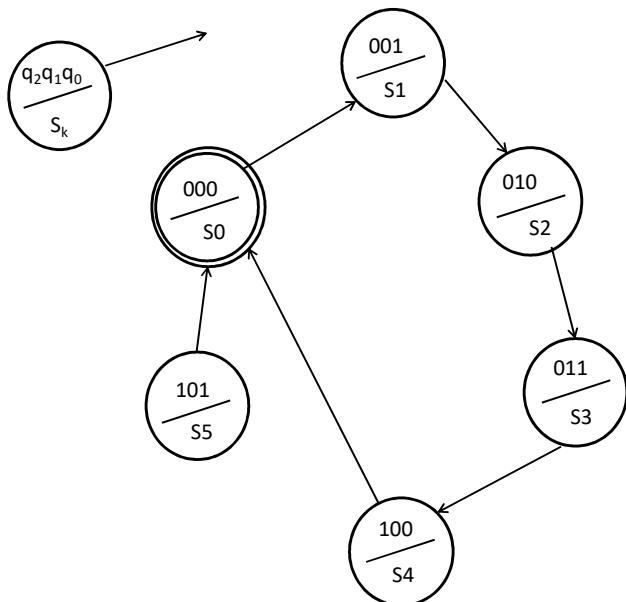
Per poder fer la seva funció el PPE té:

- Un senyal d'entrada d'1 bit, **Ini**, que val 1 durant 1 cicle quan es selecciona un producte o quan es prem el botó d'anul·lació. Quan es selecciona un producte al cicle següent en que **Ini** val 1 entra pel bus **ED** el preu del producte seleccionat.
- Un senyal d'entrada d'1 bit, **M**, que val 1 quan s'introdueix una moneda, al cicle següent en que **M** val 1 entra pel bus **ED** el valor de la moneda. És impossible que entrin dues monedes en dos cicles seguits.
- Un senyal de sortida d'1 bit, **Fi**, que ha de valdre 1 durant 1 cicle quan s'ha introduït un import superior o igual al preu del producte.
- Un senyal de sortida d'1 bit, **R**, que indica que se ha de retornar monedes, al mateix cicle surt pel bus **SD** l'import a tornar. Aquest import tant pot ser el canvi (si hem superat el preu) com el retorn de les monedes si s'ha premut el botó d'anul·lació.
- En el cas, molt improbable, que coincideixin al mateix cicle els senyals **Ini** i **M** a 1 té prioritat **Ini**.
- No hi ha cap producte que valgui més de 100 Euros.
- Al cicles on **Fi** o **R** valen 1 el boto de selecció de producte esta desbloquejat.

A continuació teniu l'esquema complet de la Unitat de Procés del PPE i el graf d'estats incomplet de la Unitat de Control del PPE.



Graf incomplet de la Unitat de Control



Taula de sortides:

	S0	S1	S2	S3	S4	S5
ld1						
mx1						
ld2	X					
mx2						
Fi						1
R						

- a) Indiqueu la mida de la ROM que implementa, conjuntament amb un multiplexor de busos, l' UC (0,5 punts).

Bits d'entrada= 3 Bits de sortida= $8 \times 3 + 6 = 30$ Mida de la ROM (en bits)= $8 \times 30 = 240$

-0,2 per cada valor incorrecte

Cognoms i Nom:

Grup:.....DNI:.....

- b) Indiqueu el camí crític (o un d'ells si n'hi ha més d'un) llistant els dispositius per els que passa i el temps d'aquest camí. Quin és el temps de cycle mínim? Suposeu que:

-L'UC s'implementa amb el nombre mínim de biestables, una ROM i un Multiplexor de busos
 -Totes les entrades del PPE estan estables passades 150 u.t. de l'inici de cycle i totes les sortides del PPE han d'estar estables 600 u.t. abans del final de cycle.
 -Els temps de propagació de tots els biestables i registres és de 100 u.t.
 -Els temps de propagació dels combinacionals (en u.t.) des de qualsevol entrada a a qualsevol sortida són: $T_p(\text{SUB})=500$, $T_p(\text{ADD})=450$, $T_p(\text{LE})=550$, $T_p(\text{MUX-2-1})=50$, $T_p(\text{MUX-4-1})=100$, $T_p(\text{MUX-8-1})=150$, $T_p(\text{ROM_UC})=80$. (1 punt)

Camí crític= Ent. ED -> ADD -> MUX-2-1 -> LE -> MUX-8-1 -> Biestables_UC

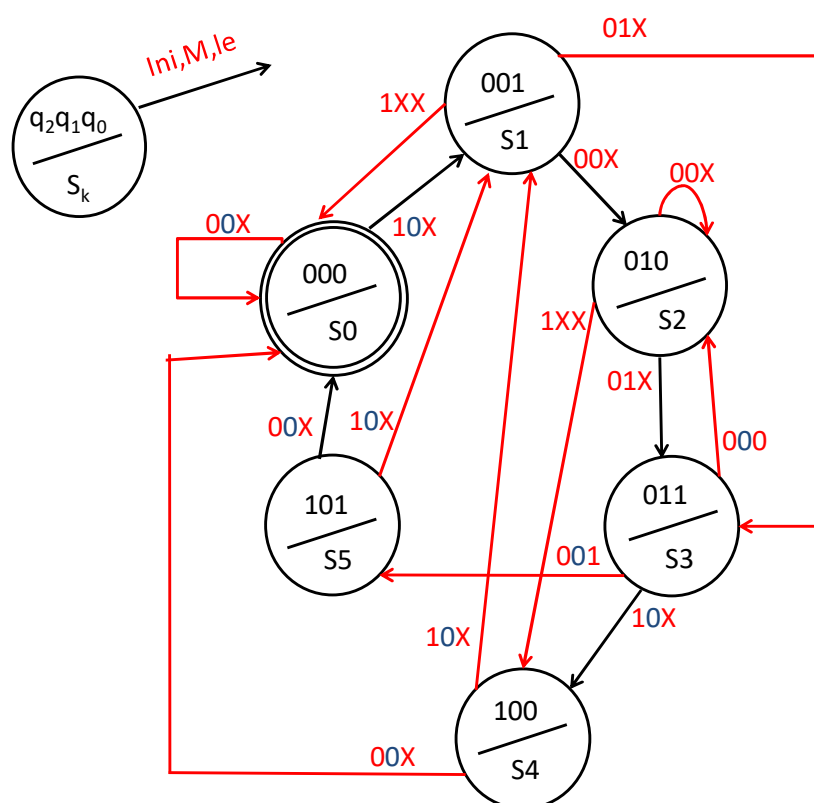
Temps camí crític = $150 + 450 + 50 + 550 + 150 = 1350$

Temps mínim de cycle= 1350

+ 0,5 del Camí crític

+0,5 del Temps, sempre que el camí crític sigui correcte.

- c) Completeu el graf d'estats d l'UC, en el que li falten arcs i etiquetes dels arcs, així com el valor de les sortides de cada node, que heu d'indicar a la taula. No oblideu la llegenda. (1.5 punts)



	S0	S1	S2	S3	S4	S5
ld1	X	1	0	0	X	X
mx1	X	1	X	0	X	X
ld2	X	1	0	1	X	X
mx2	X	X	X	X	0	1
Fi	0	0	0	0	0	1
R	0	0	0	0	1	1

-0,3 per cada estat incorrecte. Un estat és incorrecte si es incorrecta la sortida o qualsevol arc que surt de l'estat.

També s'acceptarà com a correcte posar X enlloc dels 0 en blau.