

- Duración del examen: 1 hora 45 minutos.
- La solución a cada ejercicio debe escribirse en el espacio reservado para ello en el propio enunciado.
- No podéis utilizar calculadora, móvil, apuntes, ...
- La solución al examen se publicará mañana en Atenea y las notas se publicarán en una semana

**Ejercicio 1** (2 puntos) **Criterio: +2/1,75/1,25/0,75/0 si 4/3/2/1/0 respuestas correctas respectivamente**

Sea  $X = 1000\ 0001$  un vector de 8 bits. Para cada uno de los siguientes casos, determinad un vector  $Y$  de 8 bits que cumpla la condición indicada. Si existen diversos vectores  $Y$  que satisfagan una condición, en la respuesta debe indicarse **el que tenga  $Y_u$  menor**.

- a)  $X_u + Y_u$  no representable como natural de 8 bits
- b)  $X_u - Y_u$  no representable como natural de 8 bits
- c)  $X_s + Y_s$  no representable como entero de 8 bits
- d)  $X_s - Y_s$  no representable como entero de 8 bits

a)  $Y = 0111\ 1111$

b)  $Y = 1000\ 0010$

c)  $Y = 1000\ 0000$

d)  $Y = 0000\ 0010$

**Ejercicio 2** (1,5 puntos) **Criterio: Si circuito OK, +1,5/1/0,5 si 3/5/7 mux. 0 si señales no etiquetadas**

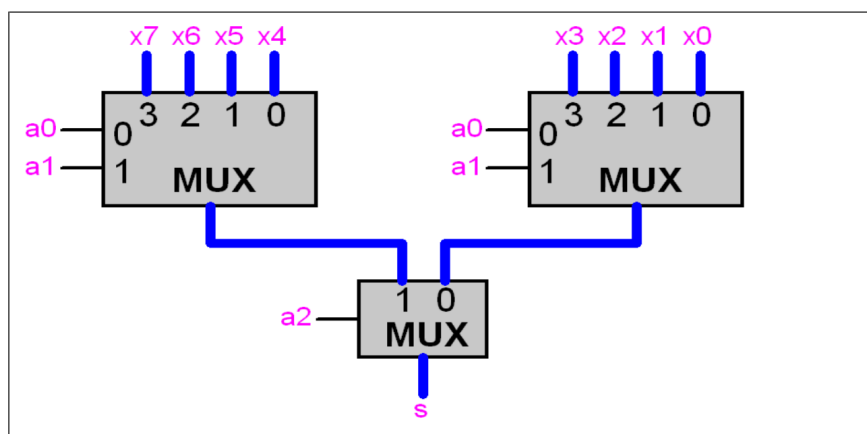
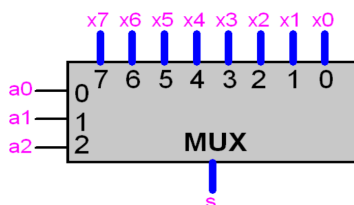
Implementad

un multiplexor de 8 bits a 1 utilizando

multiplexores de 4 bits

a 1 y multiplexores de 2 bits a 1.

Se valorará que el número de multiplexores utilizado sea **mínimo**. No olvidéis etiquetar las entradas y las salidas.

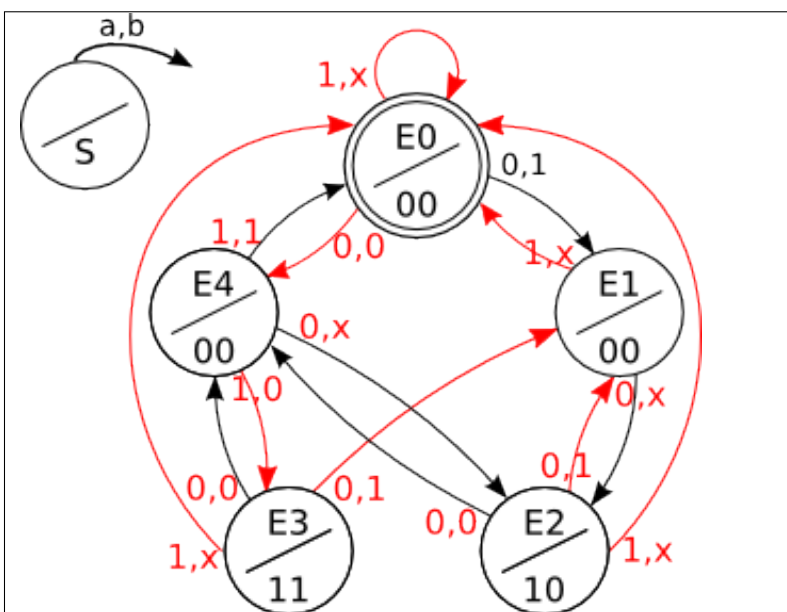


**Ejercicio 3** (2 puntos) **Criterio: Un nodo es incorrecto si alguno de los arcos de salida (sea el destino y/o la etiqueta) es incorrecto. +2/1,5/1/0,5/0 si 5/4/3/2/menos de 2 nodos correctos respectivamente**

Un CLS tiene dos señales de entrada de un bit ( $a$  y  $b$ ) y una señal de salida de dos bits ( $S$ ).

- $S$  valdrá 10 durante un ciclo si por la entrada  $a$  llega la secuencia 00.
- $S$  valdrá 11 si por la entrada  $a$  llega la secuencia 01 al mismo tiempo que llega la secuencia 00 por la entrada  $b$ .
- En cualquier otro caso,  $S$  valdrá 00.
- El reconocimiento de secuencias se hace **sin solapamiento**.

Se adjunta un ejemplo de funcionamiento del CLS; cada columna corresponde a un ciclo. Dado el grafo de estados incompleto del CLS (faltan arcos y etiquetas), se pide que lo completéis.



$a$	1	0	1	0	0	0	1	1	0	0	1	1	0	1	1	0	1	0
$b$	1	1	1	1	0	0	0	1	0	0	0	1	1	1	1	0	0	1
$S$	00	00	00	00	00	10	00	11	00	00	10	00	00	00	00	00	00	11

**Ejercicio 4** (4,5 puntos) Criterio: a) binario, b) +0,75 camino crítico, +0,5 tpo. camino crítico, +0,25  $T_c$  mínimo, c) +1 grafo (-0,25 por nodo incorrecto, mín. 0), +1 tabla (-0,25 si no hay  $x$ , -0,25  $\times$  min(num. filas erróneas, num. columnas erróneas), mín. 0), d) +0,5/0,25/0 si 19/18 o 20/otro

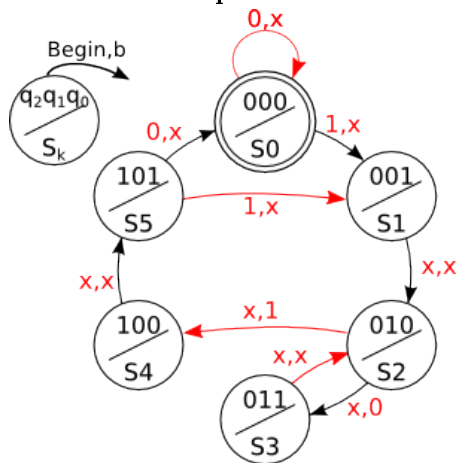
Sea un PPE que calcula el cociente y el resto de la división de dos naturales mayores que 0. Dados  $n$  (numerador) y  $d$  (denominador),  $n, d > 0$ , calcula los naturales  $q$  y  $r$  tales que  $n = d \times q + r$ ,  $0 \leq r < d$  mediante sucesivas restas (véase ejemplo).

El PPE tiene un bus de entrada de datos,  $D$ , de 16 bits y otra señal de entrada,  $Begin$ , de un bit. El numerador  $n$  se recibirá codificado en binario por el bus  $D$  durante un ciclo, el mismo en el que la señal  $Begin$  vale 1. Al ciclo siguiente, el PPE recibirá por el bus  $D$  el denominador  $d$ .

El PPE tiene como señales de salida un bus de datos  $W$  de 16 bits y una señal *Done* de un bit. Una vez realizada la división, el PPE pone a 1 la señal *Done* durante dos ciclos consecutivos y en el bus  $W$  se muestran los resultados (el cociente  $q$  en el primer ciclo y el resto  $r$  en el segundo ciclo).

*Begin* se ignora desde el ciclo siguiente a recibir  $n$  (1<sup>er</sup> oper.) hasta el ciclo anterior a presentar  $r$  (2<sup>o</sup> result.). Véase el grafo de estados **incompleto** de la Unidad de Control y el diseño **completo** de la UP del PPE.

## Grafo incompleto de la UC



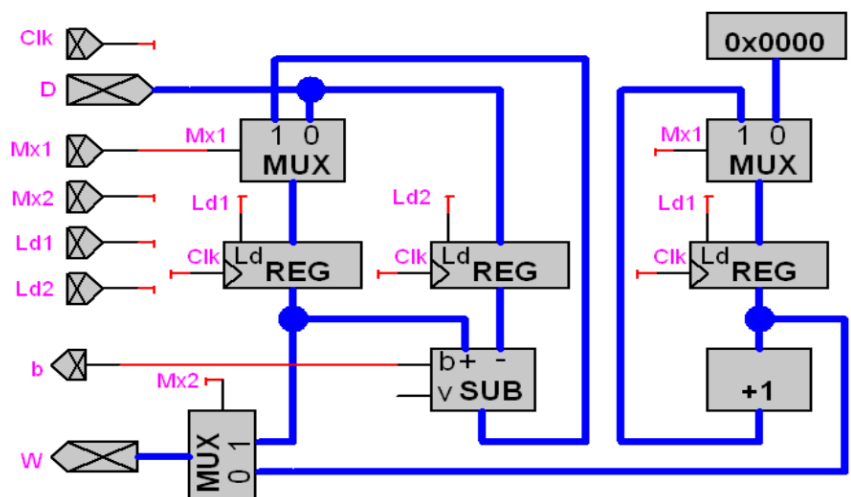
## Tabla de salidas

	S0	S1	S2	S3	S4	S5
Mx1	0	x	x	1	x	0
Mx2	x	x	x	x	0	1
Ld1	1	0	0	1	0	1
Ld2	x	1	0	0	x	x
Done	0	0	0	0	1	1

### Ejemplo: algoritmo de división implementado por el PPE

$$\begin{array}{l} n = 11 \\ d = 5 \end{array} \rightsquigarrow \left\{ \begin{array}{l} (11 \geq 5) \quad 11 - 5 = 6 \\ (6 \geq 5) \quad 6 - 5 = 1 \\ (1 \not\geq 5) \end{array} \right\} \Rightarrow \begin{array}{l} q = 2 \\ r = 1 \end{array}$$

### Esquema completo de la Unidad de Proceso (UP) del PPE



a) Indicad el tamaño de la ROM que implementa, junto con un multiplexor de buses, la UC. (0,5 puntos)

Num. entradas (de 1 bit)= 3 Num. salidas (de 1 bit)=17 ( $2^2 \times 3 + 5$ ) Tamaño ROM (en bits)= 136 ( $2^3 \times 17$ )

b) Indicad el camino crítico del PPE (o uno de ellos si hay varios) listando los dispositivos por los que pasa y el tiempo de este camino. ¿Cuál es el tiempo de ciclo mínimo? Suponed que:

- la UC se implementa con los mínimos biestables, una ROM (ROM\_UC) y un Multiplexor de buses,
- todas las entradas del PPE están estables pasadas 300 u.t. del inicio de ciclo,
- todas las salidas del PPE deben estar estables al menos 600 u.t. antes del final de ciclo,
- el tiempo de propagación de todos los biestables es de 100 u.t.
- los tiempos de propagación de los combinacionales, desde cualquier entrada a cualquier salida, son:  
 $T_p(\text{Not}) = 10 \text{ u.t.}$ ,  $T_p(\text{And-2})=T_p(\text{Or-2})=20 \text{ u.t.}$ ,  $T_p(\text{SUB})=T_p(+1)=500 \text{ u.t.}$ ,  $T_p(\text{MUX-2-1})=50 \text{ u.t.}$ ,  
 $T_p(\text{MUX-4-1})=120 \text{ u.t.}$ ,  $T_p(\text{MUX-8-1})=180 \text{ u.t.}$  y  $T_p(\text{ROM\_UC})=60 \text{ u.t.}$  (Recordad que un registro con señal Ld tiene algo más que biestables en su implementación interna) (1,5 puntos)

---

Camino crítico=  $FF_{UC} \rightarrow ROM_{UC} \rightarrow MUX_{2-1}(Mx2) \rightarrow W$

Tpo. camino crítico= 810 u.t. (100 + 60 + 50 + 600) Tpo. ciclo mínimo = 810 u.t.

c) Completad el grafo de estados de la UC, al que **le faltan arcos** y las **etiquetas** de los arcos así como el **valor de las salidas** en cada nodo, que se deben indicar en la tabla. (2 puntos)

d) ¿Cuántos ciclos tarda el cálculo si  $n = 15, d = 2$  (desde recibir  $n$  hasta mostrar  $r$ , ambos incluidos)? (0,5)

Número de ciclos = 19