......Grupo:......DNI:......

Examen E2 (temas 4, 5, 6 i 7)

Duración: 1 hora 45 minutos. La solución de cada ejercicio se tiene que escribir en el espacio reservado para ello en el propio enunciado. No podéis utilizar calculadora, apuntes, etc. La solución del examen se publicará en Atenea mañana por la tarde y las notas antes de una semana.

Exercici 1. (2 puntos)

a) (0.5 punts) Dibuixa la implementació del bloc SRL-4 per a 16 bits. (Correcció Binària)

```
x<sub>15</sub> x<sub>14</sub> x<sub>13</sub> x<sub>12</sub> x<sub>11</sub> x<sub>10</sub> x<sub>9</sub> x<sub>8</sub> x<sub>7</sub> x<sub>6</sub> x<sub>5</sub> x<sub>4</sub> x<sub>3</sub> x<sub>2</sub> x<sub>1</sub> x<sub>0</sub>

0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
0
```

b) (0.5 punts) Dibuixa la implementació del bloc Fa (Full-Adder) amb un mínim de blocs Ha (Half-Adder) i portes lògiques (AND, OR, NOT). (Correcció Binària)



c) (0.5 punts) La implementació d'un sumador de 4 bits a partir de l'encadenament de Fa. El temps de propagació d'un Fa es de T_p (Fa) = 100 u.t. Assumiu el sumador està estable amb les entrades X=0000 i Y=0000. Completeu nous valors de X i Y per tal: (Correcció Binària, 1 error resta 0,5 Te solucions múltiples)

c.1) el temps de propagació que observem sigui igual a 300 u.t. X = 0011 Y = 0001

c.1) el temps de propagació que observem sigui igual 100 u.t. X = 0010 Y = 0001

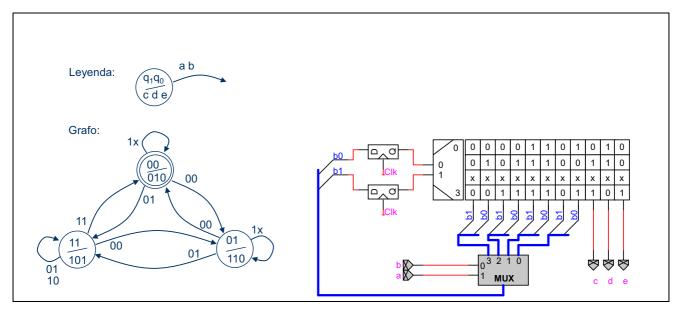
d) (0,5 punts) Realitza les següents operacions aritmètiques ADD(X,Y) i SUB(X,Y). Indica el valor dels senyals c/b/v en cada cas. (Correcció Binària, un error resta 0,5)

	Х	Υ	W	c/b	v
ADD	11000101	11000110	10001011	1	0
SUB	11001010	00101010	10100000	0	0

......Grupo:......DNI:.....

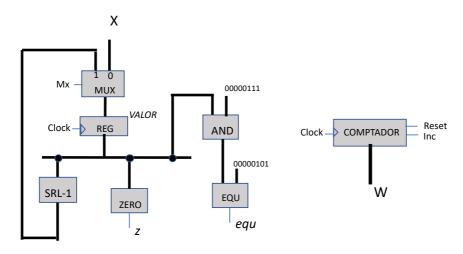
Exercici 2. (1,5 puntos)

Dibujad el grafo de estados (y la leyenda) del siguiente circuito secuencial. Los biestables se inicializan a 0. (resta 0,5 per bit erroni)



Exercici 3. (5 puntos)

Volem realizar el següent càlcul: comptar quantes vegades la seqüencia '101' amb solapament apareix en una paraula de 8 bits. Per exemple, en la paraula 0101010 la seqüència apareix 2 vegades. En la paraula 10010111, només una vegada. El PPE opera de la següent manera: en el cicle en que la señal Ini=1 (cicle c), pel bus X el PPE incorpora el valor d'entrada en el registre VALOR. En els cicles posteriors (c+1, c+2 ...), el contingut del registre VALOR es desplaça cap a la dreta, fent només un desplaçament per cicle. En cada cicle de càlcul (c+1, c+2, ...) el PPE compara els 3 bits de menys pes del registre VALOR amb la seqüència de bits '101'. En cas que hi hagi igualtat, el PPE incrementa un comptador ja implementat en el circuit COMPTADOR. Aquesta acció es realitza activant la señal Inc = 1 del circuit COMPTADOR. Si no hi ha igualtat el PPE no modifica el contingut del comptador. En el cicle inicial del càlcul (cicle c) el PPE inicialitza el circuit COMPTADOR activant la señal de Reset = 1. En cas que Reset = 1 i Inc = 1 en el mateix cicle, el circuit COMPTADOR realitza l'accio d'inicialitzar el comptador. El càlcul acabarà quan el VALOR = 00000000. En el cicle posterior on VALOR = 000000000 (c + k), el càlcul acaba i el PPE activa la señal Fi = 1 mostrant el valor del COMPTADOR pel bus de sortida W. El PPE ignora la señal Ini durant tots els cicles del procès de càlcul (des de c+1 fins c+k-1), però sí la té en compte durant el cicle on Fi = 1(cicle c + k). La UP del PPE que realitza el càlcul es mostra en la figura següent:



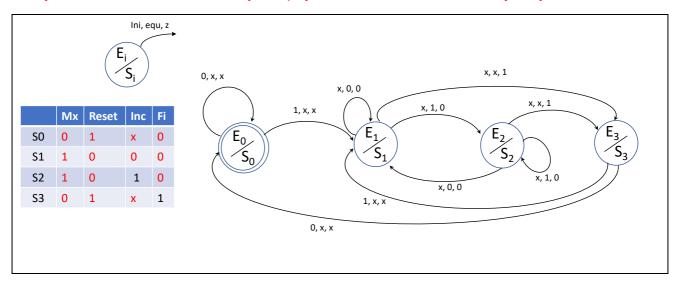
Grupo: DNI:

Es demana:

3.a (0,5 punts) Indiqueu els senyals que formen part de: (Correcció Binària)

Paraula de Control del PPE: Mx Reset Inc Paraula de Condició PPE: equ, z

3.b (2 punts) Completa el graf d'estat de la UC del PPE (només calen 4 estats) (resta 0,5 per node incorrecte. Un node és incorrecte si té algún error en les seves sortides o transicions). Pels nodes E2, E1 acceptem correcte si posen explícits els casos on equ=0. Per exemple, per sortir d E2 cap a E3, acceptem x,0,1 en la transició. Tambe acceptem com correcte transicio x,x,x cap a E1, ja que d'E2 no anirem mai a E3, sense pasar per E1.



3.c (1 punt) Volem dissenyar la UC del PPE a partir de biestables i 2 ROMs. Assumeix la codificació dels estats de la UC de manera que l'estat E_i es codifica *i* en binari natural. Es demana: (0,5 Biestables i ROM sortides, 0,5 ROM transicions) Resta 0,5 per error

- Nombre de Biestables: 2
- ROM funció *H* (sortides)

Nombre de bits d'adreça: 2 Nombre de paraules: 4 Bits per paraula: 4

- Siguin q₁ i q₀ els bits d'estat de la UC. Especifiqueu el contingut de la ROM de la funció *G* per les paraules:

 $(q_1=1, q_0=1, Ini=1, equ=X, z=X)$: 01

 $(q_1=0, q_0=1, Ini=0, equ=0, z=1)$: 11

(q₁=1, q₀=0, Ini=1, equ=0, z=0): 01

3.d (0,5 punts) Quin es el màxim nombre de cicles que pot tardar el càlcul del PPE ? Quin és el mínim ?: (Correcció Binària)

Max: 11 (1+9+1, E0 -> alternar entre E1 i E2 (durant 9 cicles) -> E3). Bit de mes pes del valor es 1.

VALOR = 1xxxxxxx

Min: $3 (E0 \rightarrow E1 \rightarrow E3)$. VALOR = 00000000

Apellidos y Nombre:

......Grupo:......DNI:......

3.e (1 punt) Calcula el camí crític del PPE i el seu temps de propagació. Tp(Biestable)=100ut, Tp(Mux)=40u.t, Tp(ROM) = 100u.t, Tp(AND) = 20ut (el bloc AND) , Tp(EQU)=40u.t, Tp(SRL-1) = 10u.t, Tp(ZERO) = 40u.t, Tp(COMPTADOR) = 120u.t. L'entrada del bus X necesita 40u.t per estabilitzar-se. La sortida pel bus W necesita 50u.t per estabilitzar-se. (Correcció Binària, 0,5 pel camí, 0,5 temps de propagació))

Acceptem aquest sdos camins critics degut al tema del circuit COMPTADOR?

Camí Crític:

Biestable UP (registre VALOR) -> AND -> EQU -> ROM UC (funció G) en la UC -> Biestable en UC

Bietsable UC -> ROM UC (funció H) -> COMPTADOR

Temps de Propagació:

100 + 20 + 40 + 100 = 260u.t

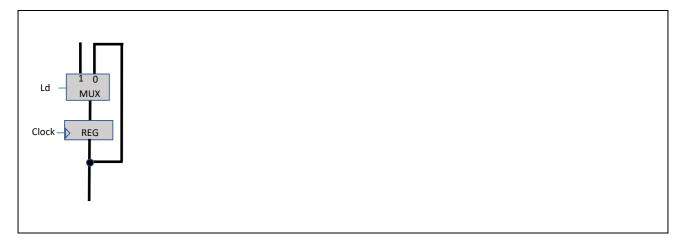
100 + 100 + 120 = 320 u.t.

Exercici 4. (1,5 puntos)

a) (0,5 puntos) Si un CLS puede estar en n estados distintos, ¿cuántos biestables se requieren para su implementación? (Correcció Binària)

Part entera alta de Log n

b) (0,5 puntos) Dibuja el esquema a bloques del circuito que implementa un registro con señal de carga: (Correcció Binària)



c) (0,5 puntos) Dibuja el esquema general de un CLS en el modelo de Moore: (Correcció Binària)

