

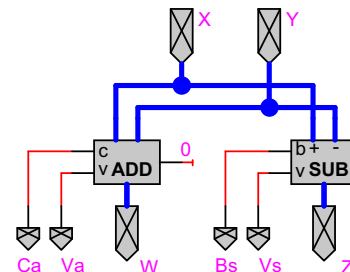
Examen 2 (temas 4, 5, 6 y 7)

Duración: 1 hora 30 minutos. La solución de cada ejercicio se tiene que escribir en el espacio reservado para ello en el propio enunciado. No podéis utilizar calculadora, apuntes, etc. La solución del examen se publicará en Atenea mañana por la tarde y las notas antes de una semana.

Ejercicio 1 (2 puntos)

Dado el esquema del circuito combinacional a bloques, donde los buses son de 8 bits, completad las columnas que faltan, para cada una de las tres filas (casos concretos de valores de las entradas). Los vectores de bits X, Y, W y Z se indican en hexadecimal. Las interpretaciones de los vectores de bits de las salidas W y Z (con subíndices u y s según se consideren números naturales o enteros) se deben expresar en decimal sin y con signo respectivamente).

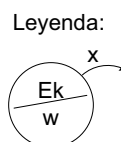
	X	Y	Ca	Va	W	Wu	Ws	Bs	Vs	Z	Zu	Zs
a	1E	D6										
b	FD	A9										
c	53	AB										

**Ejercicio 2** (2 puntos)

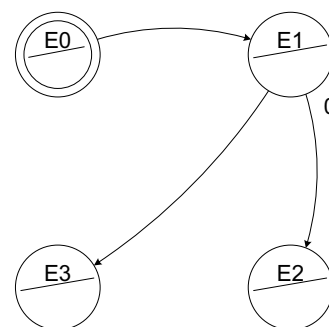
Completad el grafo de estados que describe el funcionamiento del siguiente circuito lógico secuencial de Moore. Primero definimos qué es un pulso un valle y luego la funcionalidad del circuito.

En una señal binaria síncrona (en una secuencia de bits), un pulso es cada secuencia de unos consecutivos y un valle es cada secuencia de ceros consecutivos. Después de un pulso viene un valle y después de un valle viene un pulso. La anchura de un pulso/valle es el número de unos/ceros consecutivos que tiene el pulso/valle. La anchura de un pulso/valle siempre es mayor que 0. Por todo ello, una señal binaria síncrona consiste en una secuencia de pulsos y valles (cada uno con una anchura determinada).

El circuito tiene una entrada x y una salida w. La secuencia de bits de salida es igual a la de entrada después de convertir cada pulso de anchura p (para p mayor o igual que 1) en un pulso de anchura 1 seguido de p-1 ceros. Por ello, un pulso de anchura p seguido de un valle de anchura k se convierte en un pulso de anchura 1 seguido de un valle de anchura k+p-1. La secuencia de pulsos y valles de la entrada aparece en la salida transformada y retardada dos ciclos respecto a la secuencia de la entrada.



Grafo:

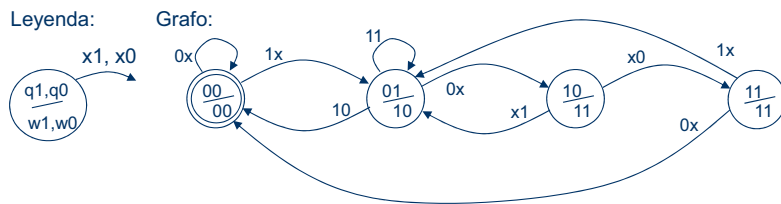


De cara a interpretar el enunciado considerad que en el estado inicial es como si en los ciclos anteriores (que no han existido) la entrada x hubiera valido siempre cero. El cronograma simplificado muestra un ejemplo del comportamiento del circuito.

Ciclo:	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
x	1	0	0	1	0	1	1	0	0	1	1	1	0	1	0	1	0	1	1	1	1	0
w	0	0	1	0	0	1	0	1	0	0	0	1	0	0	0	1	0	1	0	1	0	0

Ejercicio 3 (2 puntos)

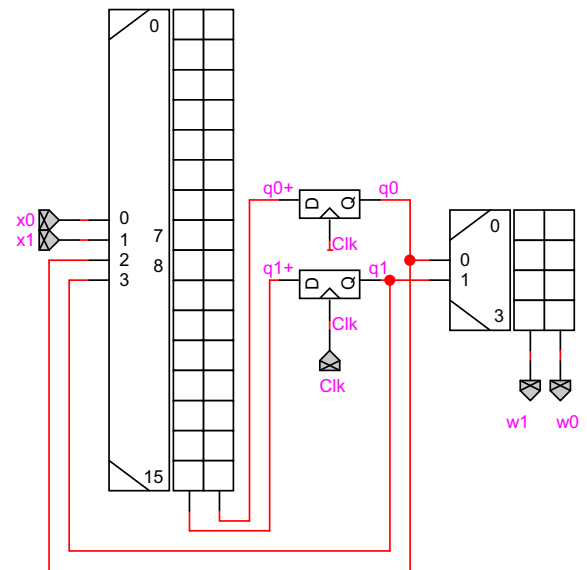
Dado el grafo de estados y el circuito secuencial que lo implementa con el número mínimo de biestables y dos ROMs se pide lo siguiente.



- a) Completad el cronograma simplificado que muestra su funcionamiento para una secuencia de entradas concreta. (0,5 puntos)

Ciclo:	00	01	02	03	04	05	06	07	08	09	10
Estado: q1, q0	00										
Entradas: x1, x0	00	01	11	01	01	11	00	00	00	11	00
Salidas: w1, w0											

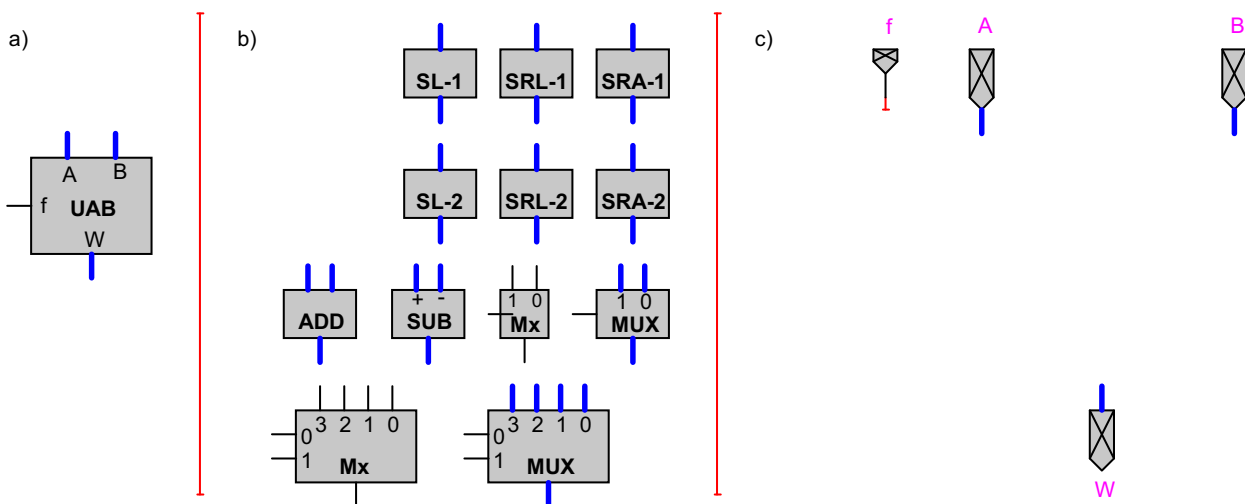
- b) Escribid el contenido de las memorias ROM (poniendo en cada casilla 0, 1 o x) para que el esquema lógico de la figura implemente correctamente el grafo. (1,5 puntos)

**Ejercicio 4 (Objetivos 7.6, 4.6.2 y 7.8) (4 puntos = 1+3 puntos))**

Parte 1. Completad el dibujo del esquema lógico a bloques del circuito combinacional que denominamos Unidad Aritmética Bifuncional (UAB) usando para ello el **número mínimo** de entre los siguientes bloques: SL-1, SRL-1, SRA-1, SL-2, SRL-2, SRA-2, ADD, SUB, Mx-2-1, MUX-2-1, Mx-4-1, MUX-4-1. La UAB tiene dos buses de entrada, A y B, y uno de salida, W, todos de n bits y una señal de entrada de 1 bit, f, que le indica al circuito cuál de las dos funciones debe realizar:

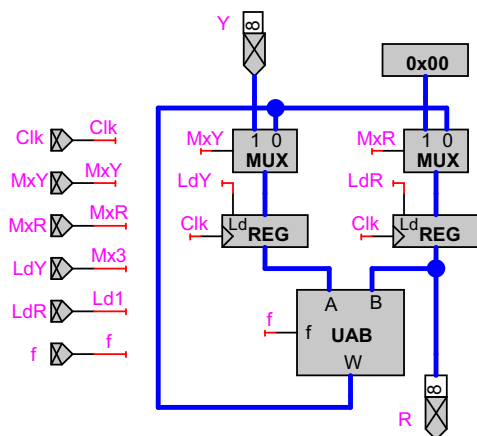
if (f==1) Wu=Au+Bu; else Wu=Au*2;

La siguiente figura muestra: a) el bloque UAB, b) los tipos de bloques que se pueden usar en su diseño y c) el esquema a bloques de la UAB que debéis completar. (1 puntos)



Parte 2. Completad el diseño del PPE cuya UP completa y cuyo grafo de la UC incompleto se muestran a continuación. La comunicación del PPE con el exterior se realiza mediante un bus de entrada a la UP de 8 bits, Y, dos señales de entrada a la UC, Begin y Xi (de un bit cada una), un bus de salida de la UP, R, de 8 bits y una señal de salida de la UC, End, (de un bit).

Apellidos y Nombre:Grupo:.....DNI:



El PPE calcula la multiplicación de dos números naturales $R_u = X_u \cdot Y_u$. X_u e Y_u son dos números naturales codificados en binario con 4 bits cada uno:

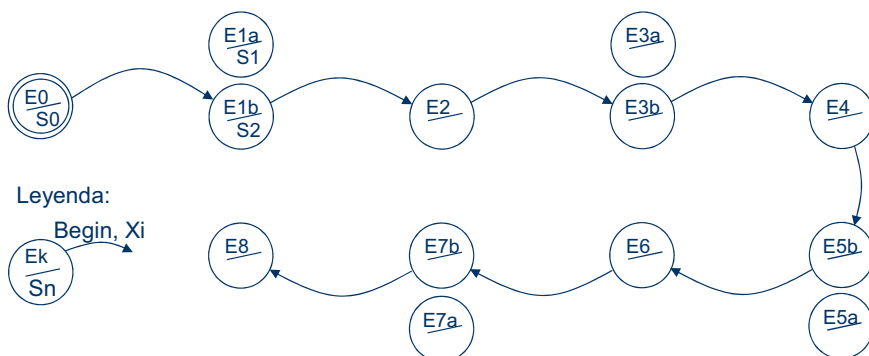
$$X_u = X_3 \cdot 2^3 + X_2 \cdot 2^2 + X_1 \cdot 2^1 + X_0 \cdot 2^0 \text{ e } Y_u = Y_3 \cdot 2^3 + Y_2 \cdot 2^2 + Y_1 \cdot 2^1 + Y_0 \cdot 2^0.$$

Como el bus de entrada Y es de 8 bits y nos aseguran que sus 4 bits de más peso siempre serán 0, podemos asegurar que el resultado, $X_u \cdot Y_u$, se representará correctamente en los 8 bits del bus de salida R .

El protocolo de entrada salida del PPE es el siguiente: En el ciclo en que Begin vale 1, que denominamos ciclo c , en la entrada X_i se encuentra X_0 (el bit de menor peso de X_u) y en el bus Y se encuentra Y_u . El resto de bits que codifican X_u llegan, a la UC, en los siguientes ciclos por la entrada X_i , a razón de uno cada dos ciclos: en el ciclo $c+2$ llega X_1 , en el $c+4$ X_2 y en el $c+6$ llega X_3 . En el ciclo $c+8$ el PPE habrá terminado el cálculo y en R se mostrará codificado en binario el resultado. En este mismo ciclo $c+8$ la señal End deberá valer 1. El PPE deberá ignorar el valor de la señal Begin durante los ciclos $c+1$ a $c+7$, pero no la ignorará durante el ciclo $c+8$. El PPE realiza la multiplicación de los dos números implementando la siguiente expresión:

$$R_u = X_u \cdot Y_u = (X_3 \cdot 2^3 + X_2 \cdot 2^2 + X_1 \cdot 2^1 + X_0 \cdot 2^0) \cdot Y_u = X_3 \cdot Y_u \cdot 2^3 + X_2 \cdot Y_u \cdot 2^2 + X_1 \cdot Y_u \cdot 2^1 + X_0 \cdot Y_u \cdot 2^0$$

- a) Completad el grafo de 13 nodos de la UC al que le faltan arcos y etiquetas en los arcos y en las salidas. Solo hay cinco combinaciones diferentes de valores de salida de la UC, por lo que tenéis que completar las 5 filas de la tabla de salidas y poner la etiqueta que corresponda (S_0 , S_1 , S_2 , S_3 o S_4) a la salida de cada nodo (Cada uno de los 13 nodos tiene que tener una etiqueta de salida y en algunos casos la misma etiqueta de salida deberá aparecer en varios nodos diferentes). (2 puntos)



	MxY	MxR	LdY	LdR	f	End
S0						
S1						
S2						
S3						
S4						

- b) Indicad el camino crítico del PPE (o uno de ellos si hay varios) listando los dispositivos por los que pasa y el tiempo de este camino escribiendo los sumandos que lo forman. ¿Cuál es el tiempo de ciclo mínimo? Suponed que:

- la UC se implementa con el número mínimo de biestables, con una única ROM (ROM_UC) y con un Multiplexor de buses,
- todas las entradas del PPE están estables pasadas 300 ut del inicio de ciclo y que todas las salidas deben estar estables al menos 550 ut antes del final de ciclo,
- los tiempos de propagación de cualquiera de los biestables con los que está construido el PPE (incluidos los biestables de los registros) es de $T_p(\text{FF})=100$ ut y que
- los tiempos de propagación de los combinacionales, desde cualquier entrada a cualquier salida, son: $T_p(\text{UAB})=500$, $T_p(\text{MUX-2-1})=50$, $T_p(\text{MUX-4-1})=100$, $T_p(\text{MUX-8-1})=150$ y $T_p(\text{ROM_UC})=60$ ut. (1 punto)

Camino crítico:

Sumandos:

= ; Tiempo_ciclo_mínimo =