

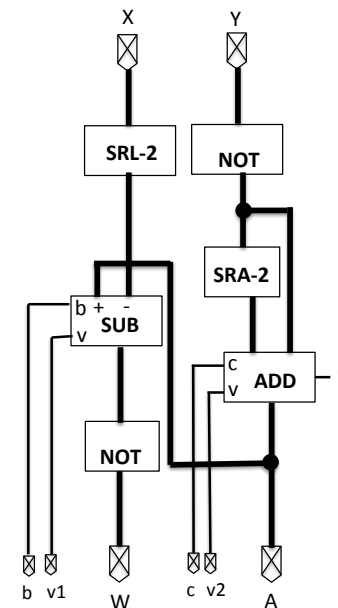
**Examen E2 (temas 4, 5, 6 i 7)**

Duración: 1 hora 45 minutos. La solución de cada ejercicio se tiene que escribir en el espacio reservado para ello en el propio enunciado. No podéis utilizar calculadora, apuntes, etc. La solución del examen se publicará en Atenea mañana por la tarde y las notas antes de una semana.

**1. (Objetivos 2.4, 4.9, 5.6 y 5.11) (1.5 puntos)**

Dado el esquema del CLC a bloques de la derecha, completad la siguiente tabla que indica el valor de las salidas del circuito para cada uno de los cuatro casos concretos de valores de las entradas (un caso por fila).

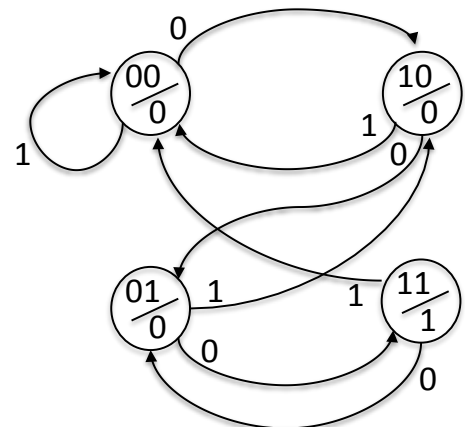
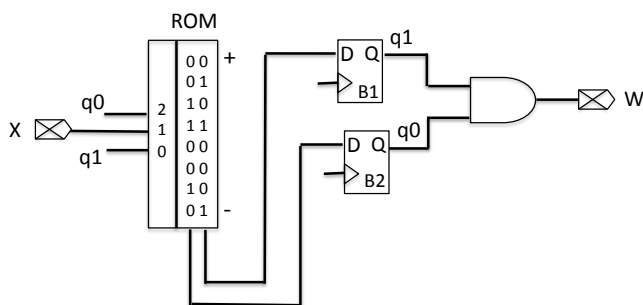
X	Y	b	v1	c	v2	W	A
0000 0000	1111 1111	0	0	0	0	11111110	00000001
1000 0001	1111 1100	1	0	0	0	00011011	00000100
1000 0000	0111 1111	0	0	1	1	10111110	01100001
1111 1111	1000 0000	0	1	0	1	10011111	10011111



Criterio corrección: -0,5 por fila/columna incorrecta

**2. (objetivos 6.14 6.10, 6.13 y 6.15 ) (3 puntos)**

a. Dado el circuito siguiente, construir el grafo de estados: asumid en la codificación del estado los bits q1q0, en este orden, y el estado q1q0=00 como estado inicial. **Nota:** atención con el orden NO habitual de las señales de entrada y salida de la ROM, así como el orden de las palabras en su contenido. **(1.5 puntos)**



Criterio corrección: -0,5 por estado incorrecto (transiciones y salidas)

**b. Completad el cronograma simplificado. (0.5 puntos)**

Estado (q1q0)	00	10	00	00	10	01	10	01	10	01	11
x	0	1	1	0	0	1	0	1	0	0	1
w	0	0	0	0	0	0	0	0	0	0	1

Criterio corrección: -0,5 por error

Apellidos y Nombre:

.....Grupo:.....DNI:.....

c. Calculad un camino crítico del circuito asumiendo  $T_p(\text{And-2})=20$ ,  $T_p(\text{Biestable})=100$ , y  $T_p(\text{Rom})=90$ , y que la entrada  $x$  está estable pasadas 110 u.t. después del flanco de reloj de inicio de ciclo y que la salida  $w$  debe estar estable 30 u.t. antes del final de ciclo. **(1 punto)**

Camino crítico: X -&gt; ROM -&gt; B1 y X -&gt; ROM -&gt; B2

Tciclo: 200

Criterio corrección: -0,5 por caminos (solo es necesario contestar 1 camino) , -0,5 por Tciclo

**3. (objetivos 5.3) (0.5 puntos)**

¿Cuántos bits necesito, como mínimo, para representar los siguientes números enteros en complemento a dos?

-127: 8

2: 3

-1: 1

Criterio corrección: -0,5 por error

**4. (objetivos 7.6, 7.7, 7.8) (3 puntos)**

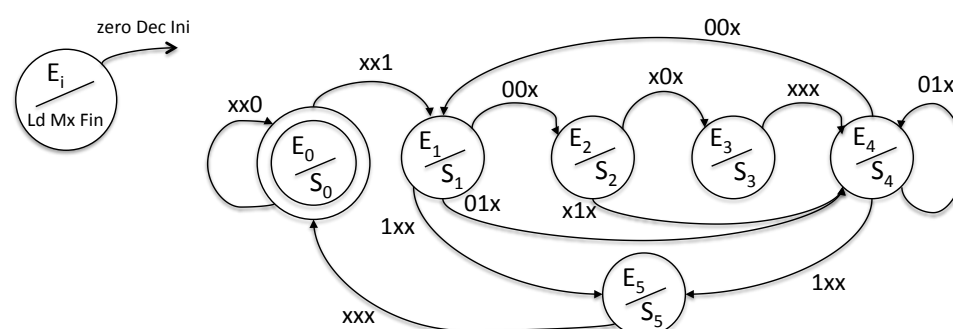
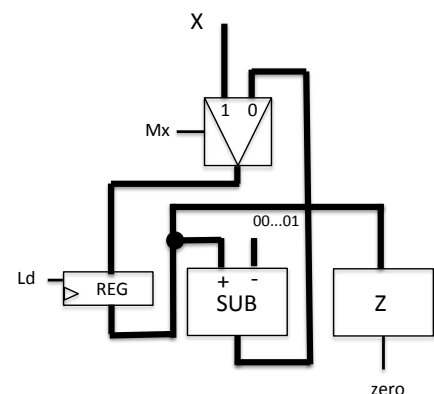
Queremos diseñar un PPE que implementa un decrementador con funcionalidades añadidas. El PPE tiene las siguientes señales de entrada:  $Ini$ ,  $Dec$  y un bus de datos  $X$ . El PPE tiene una única señal de salida  $Fin$ . El PPE tiene la capacidad de almacenar un valor natural. En el ciclo  $c$  donde  $Ini$  se activa ( $Ini=1$ ), en el bus de datos  $X$  estará disponible el valor inicial sobre el que el PPE opera. Una vez iniciado el cálculo, el PPE tiene que restar una unidad a este valor cada 4 ciclos (ciclos  $c+4$ ,  $c+8$ ,  $c+12$  ...). A lo largo de este proceso, si en algún ciclo la señal  $Dec$  se activara ( $Dec=1$ ), entonces el PPE tiene que restar una unidad y empezar a contar 4 ciclos para el siguiente decremento. En cualquier caso la señal  $zero$  será prioritaria a  $Dec$ , es decir, siempre que  $zero=1$  la señal  $Dec$  se ignorará. La señal  $Ini$  se ignorará a lo largo del cálculo del PPE. La señal  $Fin$  se activará ( $Fin=1$ ) durante un ciclo, en el ciclo posterior en el que el valor 0 sea almacenado en el PPE: si en el ciclo  $k$  el registro contiene el valor 0 entonces en el ciclo  $k+1$  la señal  $Fin$  debe activarse durante un ciclo. Después, el PPE debe esperar el inicio de otro cálculo ( $Ini=1$ ). Durante el ciclo donde  $Fin=1$ , la señal  $Ini$  tiene que ignorarse. La señal  $Dec$  tiene que ignorarse en el ciclo inicial del cálculo, donde  $Ini=1$ , y también en el ciclo final donde  $Fin=1$ . A continuación, se muestran incompletas la UP y la especificación de la UC en forma de grafo de estados. Contestad las siguientes preguntas:

a) Completad la UP del PPE conectando los bloques mostrados en la figura. **(0,5 puntos) -0,5 por error**

b) Indicad la palabra de control del PPE: .....Ld Mx..... **(0,5 puntos) -0,5 por error**

c) Indicad la palabra de condición del PPE: ...zero..... **(0,5 puntos) -0,5 por error**

d) Completad el grafo de la UC del PPE en la figura (solamente faltan aristas entre nodos y sus etiquetas y la tabla de salidas) **(1 punto) -0,25 por estado incorrecto**



$S_i$	Ld Mx Fin
S0	110
S1	0x0
S2	0x0
S3	0x0
S4	100
S5	xx1

Apellidos y Nombre:

.....Grupo:.....DNI:.....

e) Suponed una síntesis de la UC con una ROM de tamaño mínimo y un único multiplexor de buses. Cuáles son sus parámetros?: **(0,5 puntos)** Criterio corrección: -0,25 por error

Numero de palabras de la ROM: .....8.....

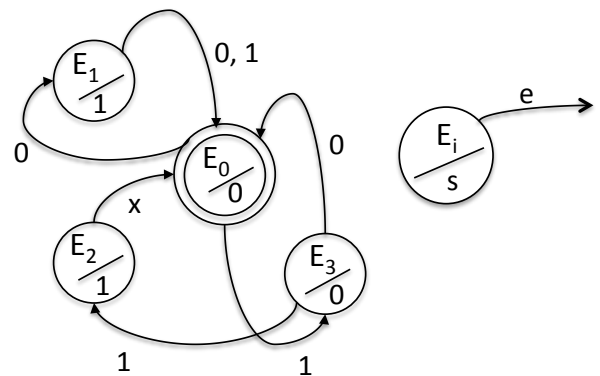
Tamaño de los buses del MUX: ...3.....

Bits por palabra de la ROM: .....27.....

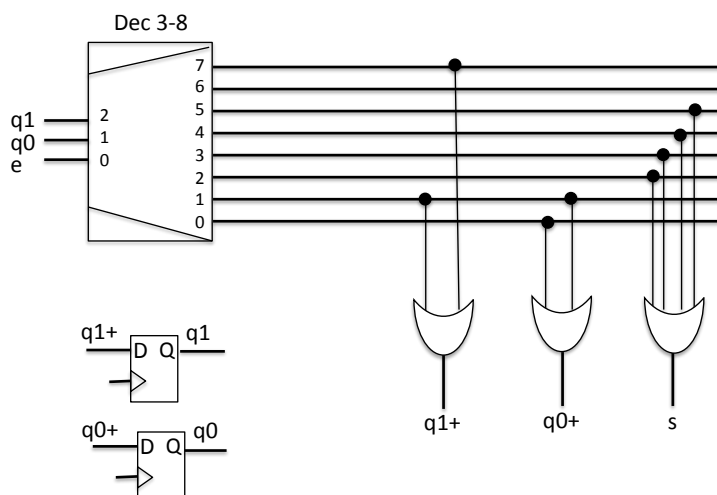
Número de bits de control del MUX: .....3.....

### 5. (objetivos 6.8) (1 punto)

a) Dado el siguiente grafo de estados que describe el comportamiento de un circuito secuencial, diseñar su implementación con un número mínimo de biestables, 1 único decodificador y 3 puertas OR del tamaño adecuado. Codificar los estados de forma que el estado  $E_i$  se codifique con el valor  $i$  en binario natural.



Criterio corrección: -0,5 por señal errónea ( $q1+q0+s$ )

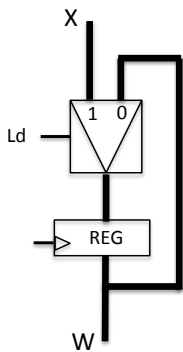


## 6. (objetivos 4.4, 6.5, 6.8) (1 punto)

a) Si un CLS puede estar en  $k$  estados distintos, cuantos biestables se requieren para su implementación ? (0,25 puntos, binario)

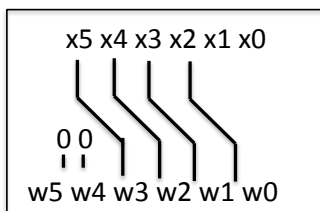
Número de biestables =  $\lceil \log_2 k \rceil$

b) Dibuja el esquema a bloques del circuito que implementa un registro con señal de carga: (0,50 puntos, binario)



c) Dibuja el esquema de los circuitos que implementan los bloques SRL-2 y SRA-2 para buses de 6 bits. (0,25 puntos, binario)

SRL-2



SRA-2

