

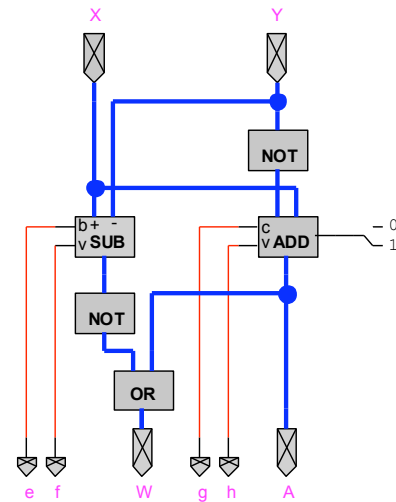
.....Grupo:.....DNI:.....

Examen E2 (temas 4, 5, 6 i 7)

Duración: 1 hora 45 minutos. La solución de cada ejercicio se tiene que escribir en el espacio reservado para ello en el propio enunciado. No podéis utilizar calculadora, apuntes, etc. La solución del examen se publicará en Atenea mañana por la tarde y las notas antes de una semana.

1. (Objetivos 2.4, 4.9, 5.6 y 5.11) (2 puntos)

Dado el esquema del CLC a bloques de la derecha, completad la siguiente tabla que indica el valor de las salidas del circuito para cada uno de los cuatro casos concretos de valores de las entradas (un caso por fila). As y Au es el valor que representa el vector de bits A según se interprete como número natural representado en binario o entero representado en complemento a dos, respectivamente:

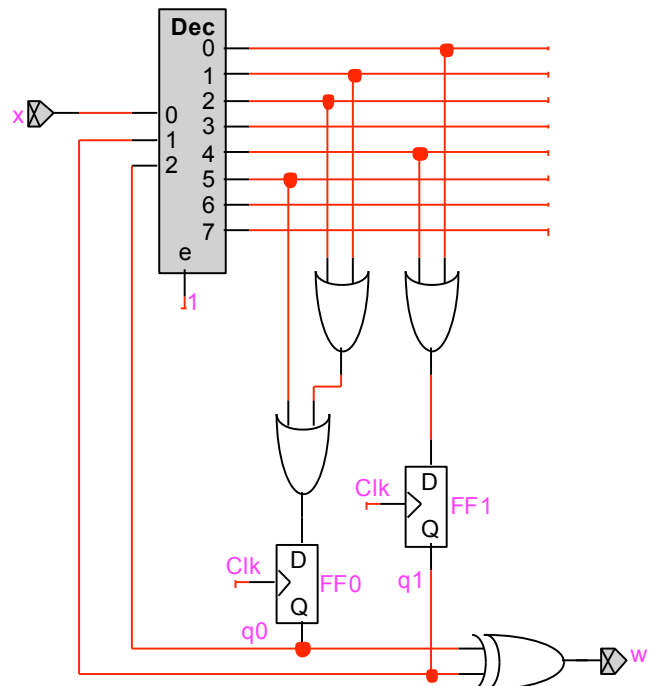


X	Y	e	f	W	A	g	h	As	Au
1111 0000	1111 0000								
1000 0000	0000 0001								
0000 0000	1111 1111								
0000 0011	0001 1111								

2. (Objetivos 6.14 6.10, 6.13 y 6.15) (3 puntos)

Dado el circuito siguiente

a. Construir el grafo de estados asumiendo que el estado inicial es el $q_1q_0=00$.



Apellidos y Nombre:

Grupo: DNI:

b. Completad el cronograma simplificado

Estado (q1q0)	00	10									
x	0	1	1	0	0	1	0	1	0	0	1
w	0	1									

c. Si cambiamos la implementación por una ROM y un multiplexor de buses

La ROM tendrá palabras de bits por palabra.

d. Calculad un camino crítico del circuito asumiendo $T_p(\text{And-2})=T_p(\text{Or-2})=20$, $T_p(\text{Xor-2})=30$, $T_p(\text{Biestable})=100$, y $T_p(\text{Dec})=50$, y que la entrada x está estable pasadas 90 u.t. después del flanco de reloj de inicio de ciclo y que la salida w debe estar estable 0 u.t. antes del final de ciclo. Expresad los sumandos que dan lugar al Tciclo.

Camino crítico:

Tciclo:

3. (objetivos 5.3) (0.5 puntos)

¿Cuántos bits necesito para representar los siguientes números enteros en complemento a dos?

-30:

37:

-1:

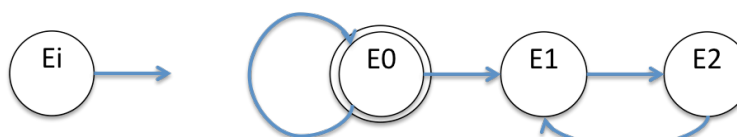
4. (objetivos 6.11) (2.0 puntos)

Queremos implementar un CLS con dos entradas, x e y, y una salida, Err, que compara dos secuencias de entrada con cierta tolerancia de error. La idea es que dos secuencias son iguales aunque algunos bits difieran siempre y cuando no haya dos bits consecutivos que difieran. Una vez se ha detectado un error (dos bits consecutivos que difieren) se saca, en el siguiente ciclo, un 1 por la salida Err. Los valores de x e y en el ciclo inicial y en cada ciclo en el que Err vale 1 son, respectivamente, el primer bit de una nueva secuencia.

El cronograma simplificado muestra un ejemplo de entradas y salida. Completad el grafo que implementa este circuito añadiendo los arcos y etiquetas necesarias.

Ciclo	0	1	2	3	4	5	6	7	8	9	10
x	0	1	1	0	0	1	0	0	1	1	0
y	0	1	0	0	0	0	1	1	0	0	0
Err	0	0	0	0	0	0	0	1	0	1	0

leyenda



.....Grupo:.....DNI:.....

5. (objetivos 7.6) (2.5 puntos)

Queremos implementar un PPE que gestiona una máquina de *vending* de café. El PPE tiene un bus de entrada de 8 bits, PREU-MONEDA, por donde el circuito recibe el precio del producto a servir y el importe de las monedas que se van introduciendo. También tiene un bus de salida de 8 bits, CANVI, con el cambio a devolver en caso de que sea necesario. Por último, tiene tres señales de control: dos de entrada, *Ini* y *Moneda*, y una de salida, *Fi*, que funcionan de la siguiente forma:

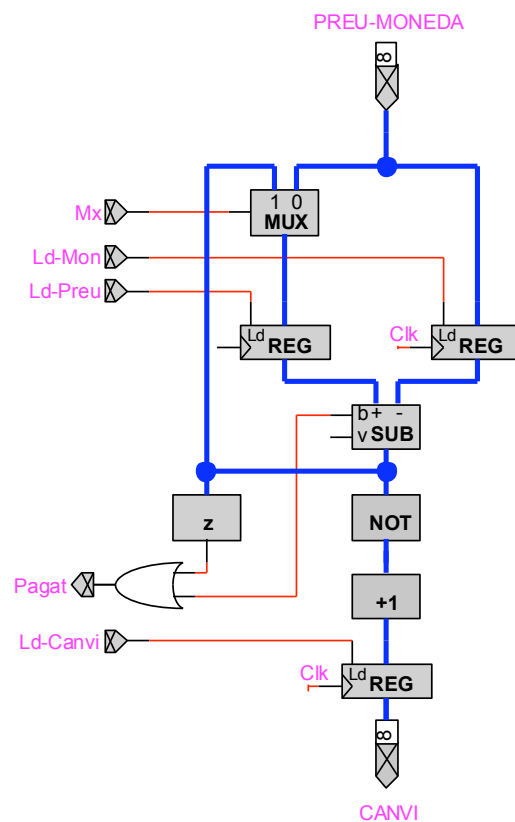
- Si **Ini** = 1 indica que se ha seleccionado un producto y en ese mismo ciclo el bus de entrada contiene el precio del producto a servir. Ambas señales están activas durante un ciclo.
- Si **Moneda** = 1 indica que se ha introducido una moneda y en ese mismo ciclo el bus de entrada contiene el valor de la moneda. Ambas señales están activas durante un ciclo.
- Una vez se han introducido suficientes monedas para pagar el producto, el PPE debe poner a 1 la señal **Fi** durante 1 ciclo y en ese mismo ciclo el bus de salida, **CANVI**, contiene el cambio que hay que devolver.

En el esquema de la derecha se ve la unidad de proceso con su palabra (o bit) de condición, Pagat, y su palabra de control: Mx, Ld-Mon, Ld-Preu y Ld-Canvi.

Diseña el grafo de estados que implementa la unidad de control de este circuito, sin olvidar la leyenda

NOTAS:

- Una vez seleccionado un producto siempre acaba sirviéndose. Se ignora la señal lni desde el ciclo siguiente al que lni vale 1 hasta el ciclo anterior a que Fi vale 1.
- No se pueden insertar monedas (la ranura está cerrada) hasta que no se ha seleccionado un producto.
- El tiempo entre la sección de nuevo producto y la inserción de monedas y entre inserción de monedas consecutivas es siempre superior a 100 ciclos.



Apellidos y Nombre:

.....Grupo:.....DNI:.....