

## Hoja de Problemas 2

## Tecnología de Computadores

- Suponiendo que dispone del código VHDL de un multiplexor de 8:1. Escriba otro código VHDL que implemente la función lógica  $y = a\bar{b} + \bar{b}\bar{c} + \bar{a}bc$  utilizando uno de estos multiplexores y las puertas lógicas que necesite. Suponga que la entidad del multiplexor está definida como sigue:

```
entity mux8_1 is
  generic ( width : integer
  );
  port ( d0, d1, d2, d3, d4, d5, d6, d7 : in std_logic_vector(width-1 downto 0);
        s : in std_logic_vector(2 downto 0);
        y : out std_logic_vector(width-1 downto 0)
  );
end;
```

- Se desea diseñar un circuito digital en VHDL denominado MEMORY que consta de los módulos SENDER y STORAGE mostrados en el diagrama de bloques de la Figura 1. Suponiendo que ya se dispone de los códigos VHDL de dichos módulos, escriba el código VHDL del circuito MEMORY que instancia los módulos tal y como se presentan en la figura.

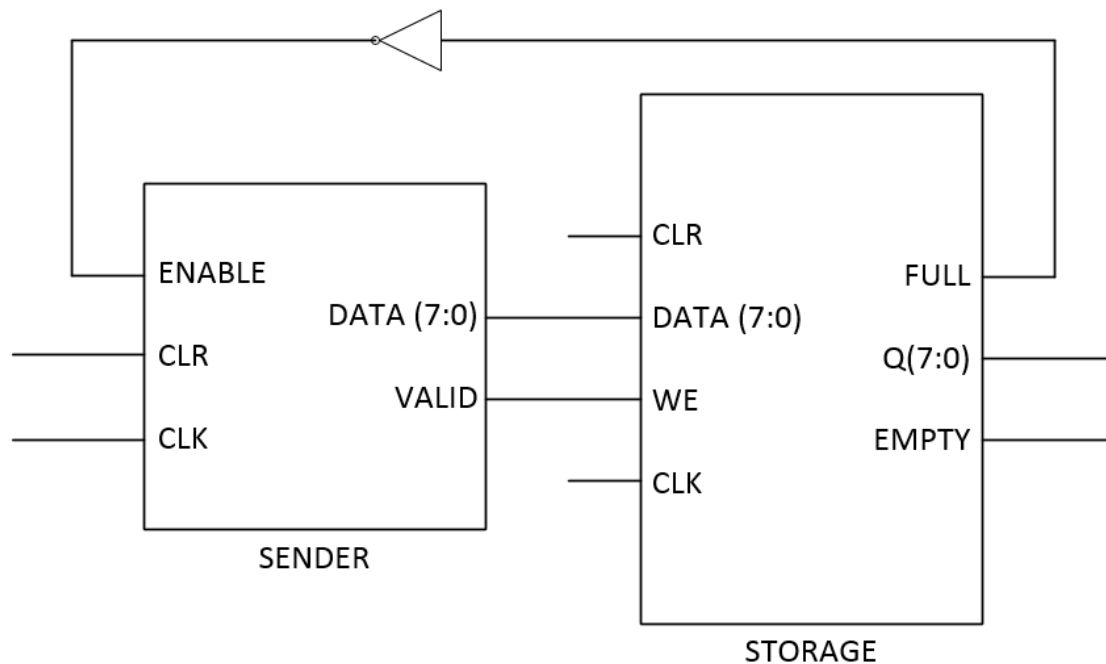


Figura 1

3. Escriba un testbench en VHDL para poder simular el diseño MEMORY del problema anterior.
4. Calcule el porcentaje de utilización de FFs (flip-flops) y LUTs de un circuito que, al implementarse en una FPGA de 106400 FFs y 53200 LUTs, requiere 9500 FFs y 22000 LUTs. Adicionalmente, calcule el número de CLBs utilizados al 100% y el número de CLBs utilizados parcialmente, sabiendo que un CLB del modelo de FPGA elegido contiene 2 LUTs y 4 FFs.
5. Calcule la temperatura en la unión que alcanzará un circuito implementado en una FPGA del que se han obtenido las siguientes medidas de consumo estático y dinámico:
  - Consumo estático: 486mW
  - Consumo dinámico: 2,514W

Nota: Suponga una resistencia térmica efectiva de  $1,4^{\circ}\text{C/W}$