

Hoja de Problemas 2 Extra Tecnología de Computadores

6. Diseñar un test bench con un proceso que genere un reloj de 20 MHz y una señal de reset asíncrona que dure al menos 20 ns activa a nivel bajo y después se libere.
7. Diseñar un test bench con un reloj de 333,33 MHz y una señal de reset síncrona activa a nivel alto durante 100 ns, al menos.
8. Diseñar una secuencia de prueba para un multiplexor 8:1, en el que se incremente la señal de selector ("sel_data") del multiplexor cada 2 ciclos de un reloj de 25 MHz. Se debe asignar el valor x"A9" al puerto de entrada de datos del multiplexor "in_data". Hacer un diagrama de la evolución temporal de las señales del test bench.
9. Se quiere diseñar un contador que vaya de 0 a 9. Cuando el contador llegue a 9, el siguiente valor de cuenta será 0 y el valor de la salida Y será '1'. Esta funcionalidad se implementará en un proceso con reloj y reset síncrono. Se quiere que el valor de la cuenta se muestre en un display de 7 segmentos como el mostrado en la figura. La conversión de la cuenta al display se hará con una asignación condicional fuera de un process. Se pide



- a. El código VHDL del contador. Tendrá como entrada un reset síncrono activo a nivel bajo, una señal de reloj y como salidas, la señal Y, junto con las señales a, b, c, d, e, f y g que controlan el display de 7 segmentos.
- b. El diseño de un test bench para visualizar el comportamiento de las señales.
 - i. Debe contener un generador de señal de reset que esté activa durante al menos dos ciclos de reloj antes de salir del estado de reset.
 - ii. Debe generarse un reloj de 100 MHz.
 - iii. Hacer un diagrama de la evolución temporal de las señales