

Návrh číslicových systémů (INC)

Projekt: UART

Technická zpráva



Návrh automatu (Finite State Machine)

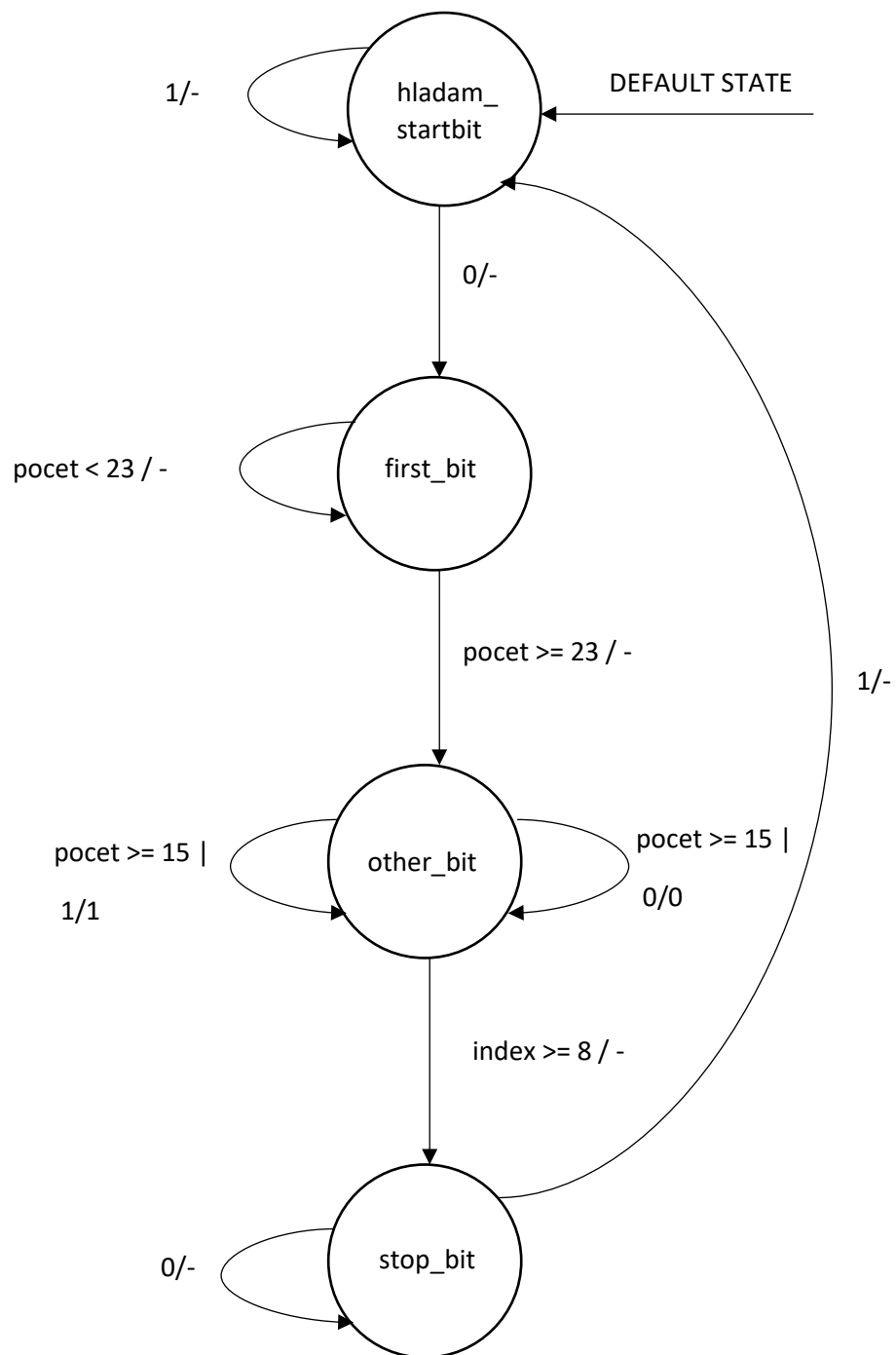
Schéma automatu

Legenda:

- Stavy automatu:
 - hladam_startbit
 - first_bit
 - other_bit
 - stop_bit
- Vstupné signály:
 - CLK
 - RST

Mealyho výstupy: 0, 1

Samotná funkcia automatu má celkovo 4 stavy a jej počiatočný stav, v ktorom začína, sa nazýva **hladam_startbit**. Z pôvodného stavu prejde automat do stavu **first_bit** v momente, keď mi program detekuje prvý bit práve na pozícii midbit vtedy, keď sa v premennej pocet prvýkrát postupne zinkrementuje na hodnotu 24, čo reprezentuje počet tzv. „clock cycles“ od pozície start až po prvý midbit. Od tohto momentu, keďže už neprekonávame pozíciu startbitu a teda nie je viac potrebné inkrementovať hodnotu pocet na 24, je nutné ju postupne inkrementovať až pokiaľ nadobudne hodnotu ≥ 15 (teda počet hodinových signálov medzi dvomi midbitmi). Proces postupného detekovania ďalších bitov mi reprezentuje stav **other_bit**. Počas tohto procesu inkrementujem aj hodnotu index, vďaka ktorej viem neskôr správne spracovať bity zo vstupu, priradiť ich na výstup a deje sa to až do okamihu priradenia posledného bitu na výstup vrátane. Následkom toho sa detekuje stop bit daný stavom **stop_bit**, čo bol posledný stav, ktorý som zvolil pre svoje riešenie. Po tomto stave sa automat vracia do pôvodného stavu hladam_startbit, kedy opäť umožním detekciu nasledujúceho datového slova.



Snímek obrazovky ze simulací

