

Praktikum Rechnerorganisation

Versuch 1: Zähler

Lernziele

- Beschreibung von Zählern in VHDL
- Simulation von Komponenten mittels Testbench
- Synthese von Logikschaltungen
- Programmierung eines FPGA-Bausteins

Werkzeuge

- BASYS3-Board
- ModelSim (Intel FPGA Starter Edition)
- Vivado (Version 2019.2)

Aufgabenstellung

Es sollen zwei Zähler realisiert werden. Der erste Zähler ist ein Auf-/Abwärtszähler. Dieser zählt in Abhängigkeit von dem Eingangssignal mit der steigenden Taktflanke aufwärts ($Up=1$) bzw. abwärts ($Up=0$).

Der zweite Zähler ist ein Modulo-Zähler. Er zählt nur aufwärts. Ist der Zählerstand gleich dem Wert des generischen Parameters *MAX*, wird der Zählerstand mit der nächsten steigenden Taktflanke auf 0 gesetzt.

Beide Zähler besitzen einen Freigabeeingang *En*. Ist dieser auf 1 gesetzt, zählen die Zähler mit der steigenden Flanke des Taktsignals *Clk*. Ist dieser Eingang dagegen 0, bleibt der Zählerstand auch bei steigenden Taktflanken unverändert.

Der Zählerstand beider Zähler wird über den Ausgang *Q* ausgegeben. Zusätzlich besitzen beide Zähler den Ausgang *TC* (*Terminal Count*), der auf 1 gesetzt wird, wenn das „Zählende“ erreicht ist, d.h. wenn:

- Der Auf-/Abwärtszähler abwärts zählt und der Zählerstand 0 ist
- Der Auf-/Abwärtszähler aufwärts zählt und der Zähler den höchstmöglichen Zählerstand hat
- Modulo-Zähler den konfigurierten Maximalwert hat

Im Anhang zu dieser Versuchsbeschreibung finden Sie Zeitdiagramme, die das Verhalten der Zähler verdeutlichen.

Im Rahmen der Versuchsdurchführung werden die Zähler simuliert, synthetisiert und auf einem FPGA-Baustein demonstriert.

Vorbereitung (Vor dem Praktikum)

- Installieren Sie ModelSim und Vivado. Anleitungen dazu finden Sie im Verzeichnis [Anleitungen](#).
- Für die beiden Zähler sind zwei Dateien ([UpDownCounter.vhd](#) und [ModuloCounter.vhd](#)) vorgegeben. Ergänzen Sie den VHDL-Code entsprechend der Aufgabenstellung und bringen Sie ihn zum Versuchstermin mit. Möglicherweise noch vorhandene Fehler (z.B. VHDL-Syntax) können Sie im Rahmen der Versuchsdurchführung korrigieren.
- Beantworten Sie für sich die Fragen zu den Aufgaben 2 und 3.

Aufgabe 1

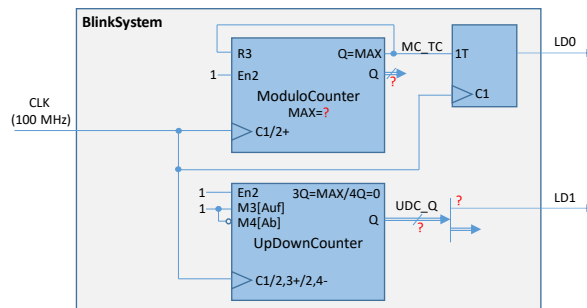
Zunächst sollen die von Ihnen erstellten Zähler simuliert werden. Für die Simulation mit ModelSim steht Ihnen im Verzeichnis [Anleitungen](#) eine separate Anleitung zur Verfügung.

Legen Sie die vorgegebenen und die von Ihnen vervollständigten Dateien im Arbeitsverzeichnis ab.

Simulieren Sie mit ModelSim das Verhalten der Zähler mit den vorgegebenen Testbenches ([UpDownCounter_tb.vhd](#) und [ModuloCounter_tb.vhd](#)). Nutzen Sie dabei die vorgegebenen Skripte ([test_UpDownCounter.do](#) und [test_ModuloCounter.do](#)). Überprüfen Sie die Ausgaben in der Simulations-Konsole und die Ausgänge im Wave-Fenster. Korrigieren Sie die von Ihnen erkannten Fehler.

Aufgabe 2

Die überprüften Zähler sollen in einer einfachen Schaltung eingesetzt werden:



Beide LEDs sollen mit einer Frequenz von ungefähr 1 Hz blinken. LD0 wird über ein „Toggle-Flip-Flop“ an den TC-Ausgang des Modulo-Zählers angeschlossen. LD1 wird durch ein (von Ihnen zu bestimmendes) Bit des Zählerwertes Q angesteuert. Der Systemtakt CLK hat eine Frequenz von 100 MHz.

Welches Bit des Zählerstandes (des Aufwärts-/Abwärts-Zählers) ist am ehesten geeignet, um eine ungefähre Blinkfrequenz von 1 Hz zu erreichen? (Hinweis: $2^{10} \approx 1.000$, $2^{20} \approx 1.000.000$)

Auf welchen Wert muss der MAX-Wert des Modulo-Zählers gesetzt werden, um eine exakte Blinkfrequenz von 1 Hz zu erreichen?

Welche Wortbreite müssen die Zähler besitzen?

1. Setzen Sie in der Datei [BlinkSystem.vhd](#) die Konstanten für den Maximalwert des Modulo-Zählers (**MC_MAX**) und die Wortbreiten der beiden Zähler (**MC_Width** und **UC_Width**).
2. Erstellen Sie in Vivado ein neues Projekt mit dem Namen [BlinkProject](#).
3. Fügen Sie folgende VHDL-Dateien dem Projekt hinzu:
 - [BlinkSystem.vhd](#)
 - [UpDownCounter.vhd](#)
 - [ModuloCounter.vhd](#)
4. Fügen Sie folgende Constraints-Datei dem Projekt hinzu:
 - [BlinkSystem.xdc](#)
5. Wählen das Bauteil (Part) **xc7a35tcbg236-1** aus
6. Lassen Sie Vivado eine Bitstream-Datei erzeugen ([Generate Bitstream])
7. Verbinden Sie das Basys3-Board mit per USB-Kabel mit dem PC und schalten Sie das Board mit dem Schiebeschalter (SW16) ein.
8. Übertragen Sie die Bitstream-Datei auf das FPGA ([Open Hardware Manager] → [Open Target] → [Auto Connect] → [Program Device] → [Program])
9. Nun sollte die grüne Done-LED auf dem Board leuchten:



Die LEDs LD0 und LD1 sollten blinken.

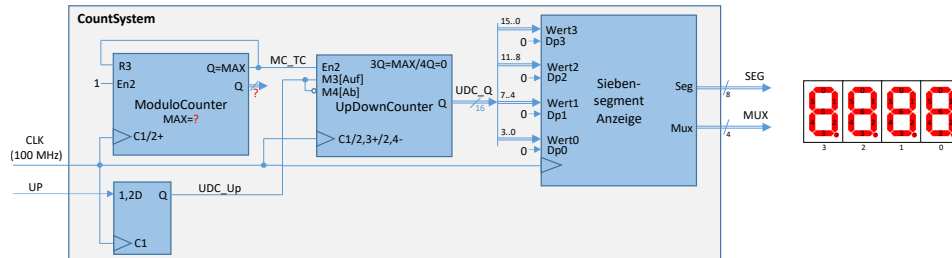
Aufgabe 3

Mit Hilfe der beiden Zähler soll eine Schaltung erstellt werden, welche im Wertebereich von 0 bis $2^{16} - 1$ (65535) auf- oder abwärts zählt. Der jeweilige Zählerstand wird auf einer vierstelligen Siebensegmentanzeige als Hexadezimalwert ausgegeben. Die Zählfrequenz soll 4 Hz betragen.

Auf welchen Wert muss der MAX-Wert des Modulo-Zählers gesetzt werden, um eine exakte Zählfrequenz von 4 Hz zu erreichen?

Welche Wortbreite muss der Modulo-Zähler besitzen?

Eine mögliche Realisierung zeigt das nachfolgende Bild:

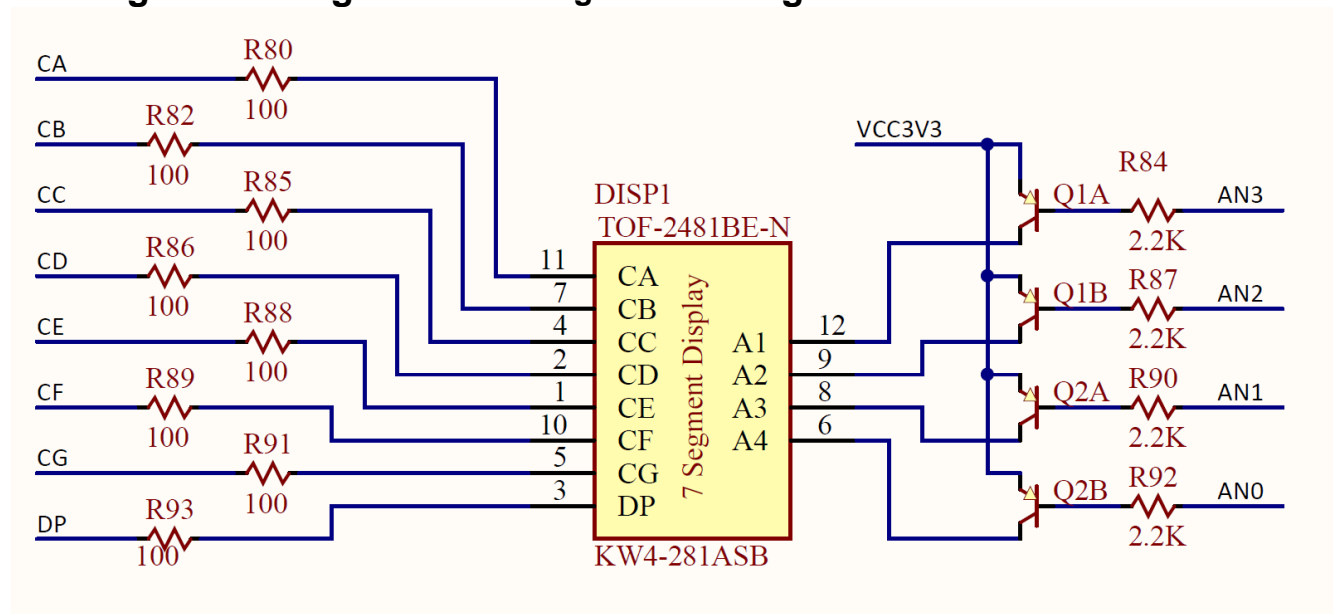


1. Ergänzen Sie die Beschreibung des Systems in der Datei [CountSystem.vhd](#) und setzen Sie die Konstanten **MC_WIDTH**, **MC_MAX** und **UDC_WIDTH** auf geeignete Werte. Die Komponente Siebensegment_Anzeige befindet sich bei den Vorgaben.
2. Erstellen Sie ein weiteres Vivado-Projekt mit dem Namen [CountProject](#).
3. Fügen Sie dem Projekt die folgenden VHDL-Dateien hinzu:
 - [CountSystem.vhd](#)
 - [Siebensegment_Anzeige.vhd](#)
 - [UpDownCounter.vhd](#)
 - [ModuloCounter.vhd](#)
4. Fügen Sie folgende Constraints-Datei dem Projekt hinzu:
 - [CountSystem.xdc](#)
5. Wählen wieder das Bauteil (Part) **xc7a35tcbg236-1** aus
6. Lassen Sie von Vivado eine Bitstream-Datei Erzeugen.
7. Übertragen Sie mit Vivado die neue Bitstream-Datei auf das FPGA.
8. Durch die Constraints-Datei ist der Eingang UP mit dem Schalter SW15 verbunden. Testen Sie dessen Funktion.

Bitte legen Sie nach Abschluss des Versuchs folgende Dateien im OSCA-Dateibereich Ihrer Arbeitsgruppe in einem neuen Ordner „V1“ ab:

- ModuloCounter.vhd
- UpDownCounter.vhd
- BlinkSystem.vhd
- CountSystem.vhd

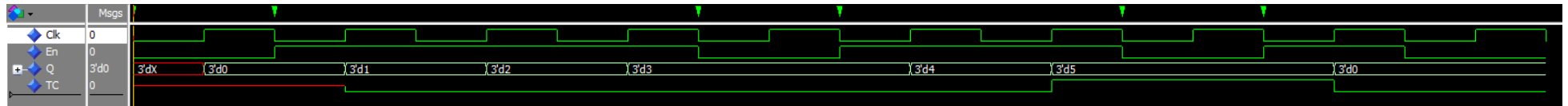
Anhang: Schaltung der Siebensegment-Anzeige



Quelle: Digilent Inc., Basys 3 Schematic

Anhang: Zeitdiagramme zum Verhalten der Zähler

Modulozähler (N=3, MAX=5)



Aufwärts-Abwärtszähler (N=3)

