

# Architettura dei Calcolatori

Anno accademico 2022/23

Test del 29/05/2023

## Quiz

*Per le seguenti 15 domande avete 20 minuti di tempo. Procede con la prova di esame solo chi totalizza almeno 8 punti. Ogni domanda vale 1 punto.*

1) Nell'architettura Risc-V 64 le istruzioni assembler sono lunghe 64 bit.

☐ VERO

☐ FALSO

2) L'istruzione assembler `ld x9, x10(x22)` è un'istruzione sintatticamente corretta.

☐ VERO

☐ FALSO

Il numero 10100000001000000000000000000001

3) E' un numero dispari nella codifica complemento a 2

☐ VERO

☐ FALSO

4) E' un numero negativo nella codifica complemento a 2

☐ VERO

☐ FALSO

5) E' un numero maggiore di 000000000100000000000000000001 nella codifica IEEE 754

☐ VERO

☐ FALSO

6) Il quarto stadio della pipeline di un processore RISC-V non superscalare è sempre eseguito da tutte le istruzioni

☐ VERO

☐ FALSO

7) Nell'architettura del processore RISC-V la propagazione tra due istruzioni aritmetico-logiche ha sempre l'effetto di evitare lo stallo se la successiva utilizza il risultato di quella precedente

☐ VERO

☐ FALSO

8) Non è possibile passare più di otto argomenti ad una funzione nell'assembler del RISC-V dal momento che posso utilizzare solo i registri a0-a7

☐ VERO

☐ FALSO

9) Il seguente programma per una macchina a registri (Random Access Machine) dato un valore K in input stampa in output il valore K+1

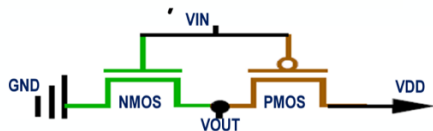
1 LOAD =2

2 STORE 1

3 READ 2  
 3 ADD \*1  
 4 STORE 1  
 5 WRITE 1  
 6 HALT

VERO      FALSO

10) Nel seguente circuito, costruito con un NMOS e un PMOS, se  $V_{IN}=0$  allora  $V_{OUT}=V_{DD}$



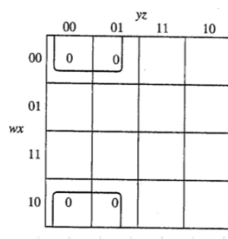
VERO      FALSO

11) Nel seguente circuito vale che  $z=x_1 \text{ OR } x_2$



VERO      FALSO

12) La mappa di Karnaugh indicata di seguito rappresenta la formula logica  $(\text{NOT}(w) \text{ AND } \text{NOT}(x) \text{ AND } \text{NOT}(y)) \text{ OR } (w \text{ AND } \text{NOT}(z) \text{ AND } \text{NOT}(y))$



VERO      FALSO

13) In un'architettura con indirizzi logici a 32 bit e indirizzi fisici a 20 bit e pagine da 2 Kb quanti bit sono richiesti per gli indirizzi di pagina logica e di pagina fisica?

21 e 9      20 e 10

14) In un sistema di cache ad un livello con write through quanti letture e scritture in memoria si verificano a seguito delle seguenti operazioni: scrivi 1 in X, leggi X, scrivi 2 in X

1 lettura e 0 scritture      1 lettura e 1 scrittura      1 lettura e 2 scritture

15) Considerate il seguente programma multithreaded

```
array A = {0,0,0};
int i=0;
```

Thread P1:  while (i<2) { A[i]=1; i=i+1; }	Thread P2:  A[i]=2;	Thread P2:  A[i]=3;
---	---------------------------	---------------------------

Se tutti i thread sono eseguiti fino alla loro terminazione, quale valore potrebbe assumere A alla fine dell'esecuzione?

A={3,2,1}

A={1,2,1}

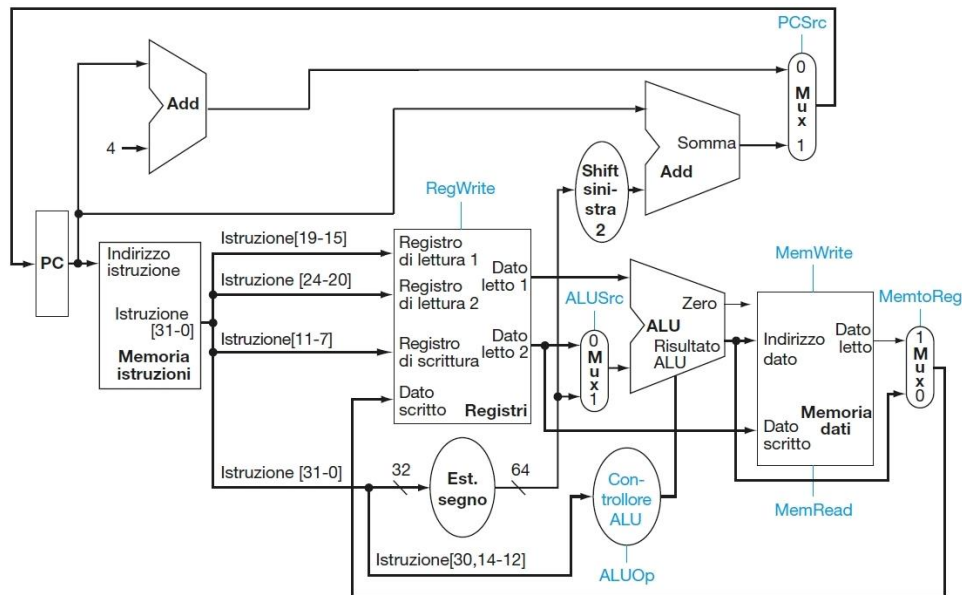
A={3,2,0}

## Testo

Totale 19 punti. Tempo 90 minuti.

1) Descrivi le caratteristiche principali dell'architettura rappresentata nella figura seguente.

4 punti



2) Scrivi un programma nell'assembler del Risc-V che, dato un vettore A di interi a 12 posizioni (da A[0] a A[11]) ed un vettore B calcoli e memorizzi  $B[i] = A[i]^2$  e in B[12] la somma dei valori di A ( $B[12] = \sum A[i]$ )

5 punti

3) Nel caso dell'estensione vettoriale SSE, con vettori da 128 bit, qual è il numero minimo di istruzioni necessarie per effettuare il calcolo di  $B[i] = A[i]^2$ ?

1 punto

4) Scrivere il circuito logico che definisce un multiplexer a 4 ingressi e 2 vie.

5 punti

5) Spiegare il comportamento del seguente programma multithreaded

```
array A = {0,0,0};
int i,j=0;
```

Thread P1:	Thread P2:	Thread P2:
while (i<2) { A[i]=1; i=i+1; }	A[i]=2;	A[j]=3;

4 punti



## Soluzioni

### QUIZ

Falso, 32.

Falso, un esempio è `ld x9, 10(x22)`

Vero

Vero

Falso, il primo è negativo.

Falso, solo load e store.

Vero.

Falso, posso usare lo stack.

Falso, scrive `K+2` (1 contiene 2, \*1 punta a REG2 che contiene K)

Vero è un inverter CMOS

Falso (è AND)

VERO

21 e 9

1 lettura e 2 scritture

$A=\{3,2,0\}$



## Testo

### Architettura.

I punti fondamentali da trattare per ricevere una valutazione di 4 punti sono

- 1) E' un'architettura non basata su pipeline, quindi non ho hazard ne registri speciali.
- 2) Il ciclo di clock corrisponde alla durata dell'istruzione che richiede più tempo.
- 3) La CPU è usata da una sola istruzione alla volta.
- 4) Quali parti corrispondono ai passi di IF, ID, EX, MEM, WB
- 5) Qualche segnale di controllo, es zero che governa il MUX in alto a destra.

### Assembler

li t4, 0 #indice

li t3, 0 #accumulatore

li t1, 12 #numero di elementi

la t0, V #indirizzo di V[0]

loop:

lw t5, 0(t0) #carico V[i]

**add t3, t3, t5 #acc += V[i]**

mul t5, t5, t5 #V[i]=V[i]\*V[i]

addi t4, t4, 1 #i++

addi t0, t0, 4 #indirizzo di V[i+i]

bge t4, t1, end #se i >= 12 salto

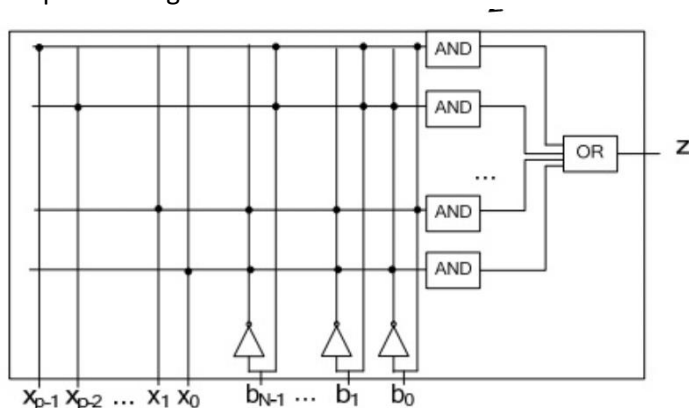
end:

### Vettorizzazione

Invece di  $3+(12*5)$  ne eseguo  $3+(3*5)$ .

Il ciclo è composto da 5 istruzioni (tralascio l'accumulatore, seconda istruzione, in grassetto). Posso calcolare 4 valori per volta ( $128 \text{ bit} / 32 \text{ dell'integer fa } 4$ ), per cui eseguo  $12/4$  iterazioni. Le prime 3 istruzioni di inizializzazione (escludo anche qui l'accumulatore) vanno eseguite in entrambi i casi.

### Multiplexer 4 ingressi e 2 vie



Con  $p=4$  e  $N=2$



## Multithreading

T1 scrive in ordine su 0 e 1

T3 può scrivere solo in posizione 0

T2 può scrivere in qualsiasi posizione da 0 a 2

il risultato dipende poi dai possibili interleaving