

AULA PRÁTICA Nº 13 – PROJECTO DE SISTEMAS SEQUENCIAIS

Tópicos

- Optimização de máquinas de estados finitos.
- Concepção de sistemas sequenciais síncronos de média complexidade.
- Especificações temporais.
- Simulação com *DesignWorks*.

Exercícios

- 1 Considere a máquina sequencial síncrona representada pela seguinte tabela de estados:

	x=0	x=1
A	B,1	H,1
B	F,1	D,1
C	D,0	E,1
D	C,0	F,1
E	D,1	C,1
F	C,1	C,1
G	C,1	D,1
H	C,0	A,1

- Minimize-a.
 - Desenhe o diagrama de estados da máquina minimizada.
 - Determine a máquina de *Moore* equivalente (à versão minimizada).
- 2 Repita o exercício anterior com as seguintes máquinas sequenciais síncronas:

	x=0	x=1		x=0	x=1
A	B,0	E,0	A	D,0	H,1
B	E,0	D,0	B	F,1	C,1
C	D,1	A,0	C	D,0	F,1
D	C,1	E,0	D	C,0	E,1
E	B,0	D,0	E	C,1	D,1
			F	D,1	D,1
			G	D,1	C,1
			H	B,1	A,1

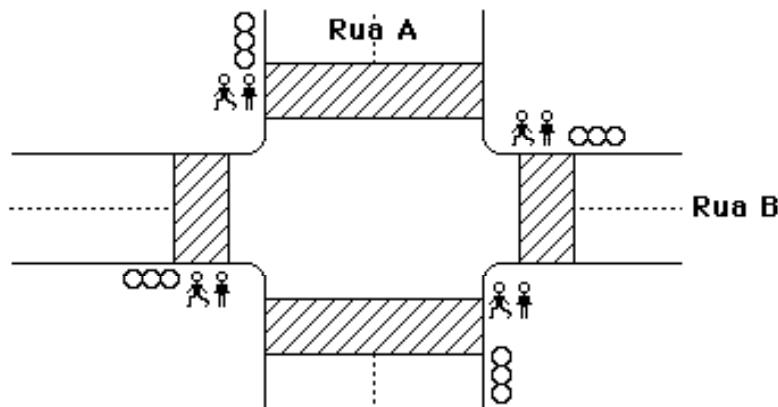
- 3 Um pequeno sistema de computação em *hardware* digital tem como tarefa calcular sequencialmente a expressão $((A \times 2 + B) \oplus A)$, em que A e B são operandos de 4 bits sem sinal. O sistema engloba dois blocos fundamentais: o bloco de manipulação de dados (*datapath*) e o bloco de controlo. Este exercício foca-se apenas no *datapath*. Considere que tem à sua disposição **um** registo de armazenamento de 4 bits, **um** somador completo de 4 bits e multiplexers 2:1. Admita a existência do complemento dos operandos A e B .

- a) Projecte o *datapath* deste sistema com base nos componentes disponíveis, ignorando eventuais problemas de *overflow* e tendo em conta que as operações são realizadas sequencialmente como especificado no seguinte excerto em VHDL:

```
-- Q = (Q3 ... Q0) é o conjunto dos bits de estado
-- dos flip-flops do registo
-- A = (A3 ... A0) - operando A
-- B = (B3 ... B0) - operando B

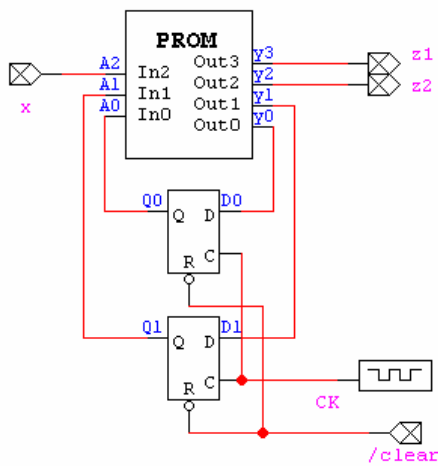
Q <= A;
Q <= Q * 2;
Q <= Q + B;
Q <= Q xor A;
```

- b) Mencione a sequência de códigos binários que o bloco de controlo deve aplicar aos pinos de selecção dos multiplexers para correcta execução do algoritmo.
- c) Sejam $t_{su}=10\text{ns}$, $t_h=5\text{ns}$, $t_{plh}=15\text{ns}$ e $t_{phl}=20\text{ns}$ os tempos de *setup*, *hold*, e propagação dos flip-flops e 4ns o tempo de atraso de um multiplexer. Determine o tempo de atraso máximo do somador para que o circuito seja capaz de funcionar a 20MHz.
- 4 A figura representa um cruzamento controlado por semáforos. Sabe-se que há muito mais tráfego na rua A que na rua B. Em funcionamento autónomo, o sinal verde deverá estar aceso durante 40s na rua A e 20s na rua B. A passagem de verde para vermelho é sempre antecedida por um período de 5s em amarelo. Por questões de segurança, há também um período de 5s entre o início de vermelho numa rua e o início de verde na outra rua.



- a) Projecte o sistema que controla os semáforos, incluindo as luzes para peões.
- b) Transforme o circuito de forma a que possa funcionar em modo manual, se necessário. Estude diversos modos de funcionamento.
- c) Se ainda não o fez, quer para *a)* quer para *b)*, considere duas metodologias de implementação:
- c1) Blocos lógicos (sequenciais e combinatórios) fundamentais
 - c2) Dispositivo do tipo *PAL*
- d) Verifique em simulador o funcionamento do circuito.

- 5 Desenhe o diagrama de estados do circuito sequencial síncrono da figura, que tem uma entrada, x , e duas saídas, $z1$ e $z2$. O conteúdo da ROM está descrito na tabela à direita.



A2	A1	A0	y3	y2	y1	y0
0	0	0	0	0	0	0
0	0	1	1	0	0	1
0	1	0	0	0	0	1
0	1	1	1	0	1	0
1	0	0	0	1	0	1
1	0	1	1	1	1	0
1	1	0	0	1	1	0
1	1	1	1	1	1	1

Verifique o funcionamento do circuito. Para tal, crie no *DesignWorks* um subcircuito do tipo PROM com as dimensões e conteúdo indicados.