

- Duração: 2h30m. Durante a realização do teste não é permitida a utilização de calculadoras, telemóveis ou outros dispositivos eletrónicos.
- Responda na folha do teste. Escreva nome e N.º. mec. nas folhas (1), (4) e (5).

	a	b	c	d		a	b	c	d
1.1					1.14				
1.2					1.15				
1.3					1.16				
1.4					1.17				
1.5					1.18				
1.6									
1.7					1.19				
1.8					1.20				
1.9					1.21				
1.10									
1.11									
1.12									
1.13									

- (1)

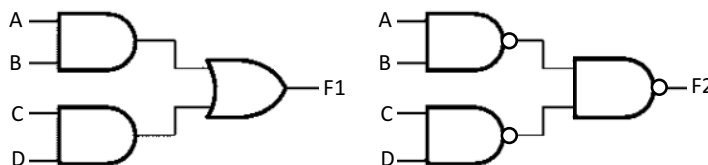
1.8. Se uma função $f(x_1, x_2, \dots, x_n)$ é auto-dual, verifica-se:

- a) $f(x_1, x_2, \dots, x_n) = \overline{f(x_1, x_2, \dots, x_n)}$ c) $f(x_1, x_2, \dots, x_n) = f(\overline{x_1}, \overline{x_2}, \dots, \overline{x_n})$
 b) $f(x_1, x_2, \dots, x_n) = \overline{f(\overline{x_1}, \overline{x_2}, \dots, \overline{x_n})}$ d) nenhuma das condições anteriores

1.9. Completando a frase “É possível arranjar uma função que tenha...”, identifique a afirmação **errada**:

- a) 0 implicantes primos essenciais (IPE) c) 0 IPE e 1 único implicante primo não essencial
 b) várias somas de produtos mínimas d) mais implicantes primos do que implicados primos

1.10. Analise os circuitos da figura ao lado que implementam funções $F1(A, B, C, D)$ e $F2(A, B, C, D)$. Pode-se afirmar que:



- a) $F1(A, B, C, D) = F2(A, B, C, D)$ c) $F1(A, B, C, D) = F2(\overline{A}, \overline{B}, \overline{C}, \overline{D})$
 b) $F1(A, B, C, D) = \overline{F2(\overline{A}, \overline{B}, \overline{C}, \overline{D})}$ d) $F1(A, B, C, D) = \overline{F2(\overline{A}, \overline{B}, \overline{C}, \overline{D})}$

1.11. A expressão $A \cdot C \cdot D + \overline{A} \cdot \overline{B} \cdot \overline{D} + A \cdot C + A \cdot \overline{B} + A \cdot B \cdot \overline{C}$

- a) pode ser simplificada para $\overline{A} + B \cdot D$ c) pode ser simplificada para $A + \overline{B} \cdot \overline{D}$
 b) pode ser simplificada para $A \cdot D + B \cdot \overline{D} + A \cdot \overline{D}$ d) não pode ser simplificada para qualquer das opções anteriores

1.12. Para construir um *multiplexer* 16:1 apenas com *multiplexers* 4:1 são necessários no mínimo:

- a) 4 *multiplexers* 4:1 c) 6 *multiplexers* 4:1
 b) 5 *multiplexers* 4:1 d) 8 *multiplexers* 4:1

1.13. Considere um codificador binário de prioridade com 4 entradas, ativas ao nível ALTO, e 2 saídas, ativas ao nível BAIXO. Qual das combinações seguintes dos *bits* nas entradas (sendo A3 a mais significativa) forçam um nível BAIXO na saída 1?

- a) A3A2A1A0 = 0000 c) A3A2A1A0 = 001x
 b) A3A2A1A0 = 0001 d) A3A2A1A0 = 01xx

1.14. A função $f(a, b, c) = (a + b) \cdot (\overline{b} + \overline{c})$ foi implementada com um decodificador binário 3:8 (cujas entradas de código estão ligadas, por ordem decrescente de significância, às variáveis a, b e c) e uma porta OR de 4 entradas. As entradas da porta OR ligam às saídas seguintes do decodificador:

- a) 0, 1, 3, 7 c) 0, 4, 6, 7
 b) 2, 4, 5, 6 d) 1, 2, 3, 5

1.15. Numa determinada forma de onda digital, o período é duas vezes a largura do pulso positivo. O *duty cycle* é:

- a) 25% c) 100%
 b) 50% d) 200%

1.16. Três contadores binários de 2 *bits* conectados em cascata têm um módulo total de:

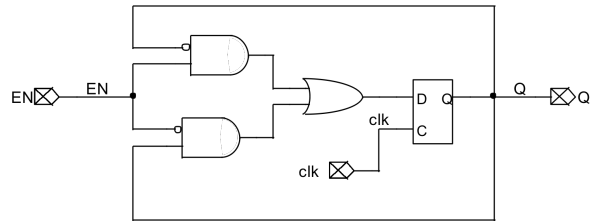
- a) 2 c) 16
 b) 4 d) 64

1.17. Com uma frequência de *clock* de 100 MHz, o tempo correspondente à inserção num registo de deslocamento de 8 *bits* em série é:

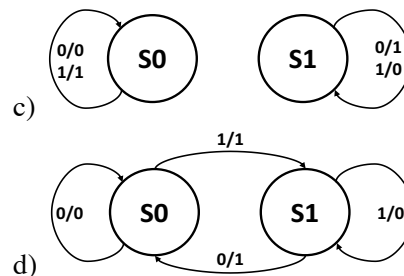
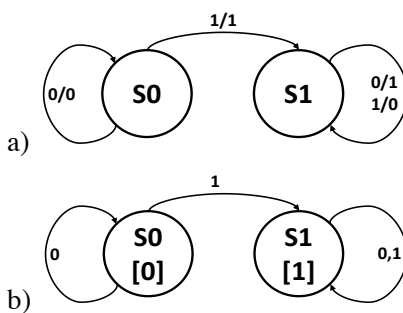
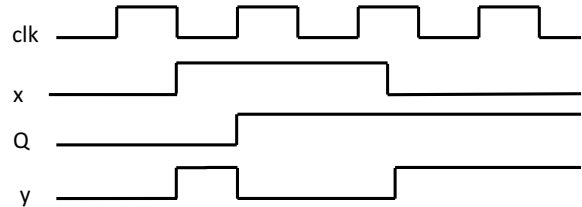
- a) 8 ns c) 80 ns
 b) 10 ns d) 100 ns

1.18. A equação característica do *flip-flop* representado, construído a partir de um *flip-flop* do tipo D, é:

- a) $Q^+ = \bar{Q}$ c) $Q^+ = EN \oplus Q$
 b) $Q^+ = Q$ d) $Q^+ = EN + Q$

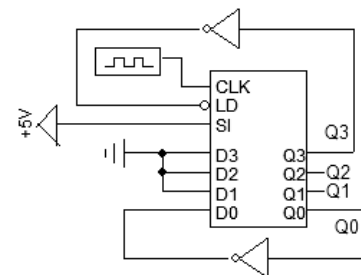


1.19. Analise o diagrama temporal ao lado, que ilustra o comportamento de uma máquina sequencial síncrona com uma entrada de dados, x , e uma saída, y . O estado da máquina é representado pelo sinal Q . O diagrama de estados desta máquina é:



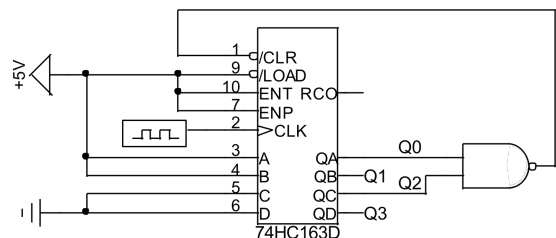
1.20. Analise o circuito da figura ao lado, que inclui um registro de deslocamento de 4 bits, que faz deslocamento no sentido $Q0 \rightarrow Q3$. Assumindo que o estado atual é $Q3Q2Q1Q0 = 0101$, o estado seguinte do circuito será:

- a) $Q3^+Q2^+Q1^+Q0^+ = 1011$ c) $Q3^+Q2^+Q1^+Q0^+ = 0000$
 b) $Q3^+Q2^+Q1^+Q0^+ = 1010$ d) $Q3^+Q2^+Q1^+Q0^+ = 0001$



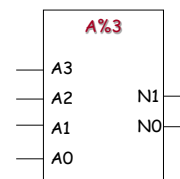
1.21. O circuito da figura ao lado inclui um contador crescente binário módulo 16 com entradas de *load* e *clear* síncronas. A sequência de contagem (em $Q3Q2Q1Q0$, sendo $Q3$ o *bit* mais significativo) é:

- a) $(3,4,5)_{16}$ c) $(0,1,2,3,4,5,6,7,8,9,A)_{16}$
 b) $(3,4,5,6,7,8,9,A)_{16}$ d) $(0,1,2,3,4,5)_{16}$



Nº mec: _____ Nome _____

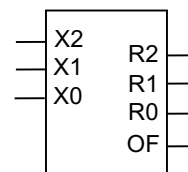
2. [3 valores] O bloco da figura representa um sistema combinatório que tem como entrada uma palavra A de 4 bits, A3A2A1A0, em código binário natural, e como saída uma palavra N de 2 bits, N1N0, que representa, também em código binário natural, o resto da divisão inteira de A por 3, isto é $N = A \% 3$. Note que, em decimal, $0 \% 3 = 0$, $1 \% 3 = 1$, $2 \% 3 = 2$, $3 \% 3 = 0$, $4 \% 3 = 1$, $5 \% 3 = 2$, $6 \% 3 = 0$, etc.



2.1. Construa a tabela de verdade deste bloco.

2.2. Mostre como implementar uma das saídas N1 ou N0 (à sua escolha) recorrendo a um multiplexer 4:1, um decodificador binário 2:4 e uma porta OR-2. Use as variáveis A3 e A2 como entradas de selecção do *multiplexer*. Identifique claramente os pinos do *multiplexer* e do decodificador.

3. [1 valor] Pretende-se projetar um circuito que processe o operando X, representado no sistema ‘complemento para dois’ com 3 bits (X2X1X0), e realize a operação de negação aritmética: $R = -X$. O resultado R(R2R1R0) também é representado no sistema ‘complemento para dois’ (com 3 bits). A saída adicional (OF) destina-se a assinalar *overflow*. Complete a tabela de verdade do bloco em causa; em caso de *overflow*, considere irrelevante o estado das saídas R2, R1 e R0.



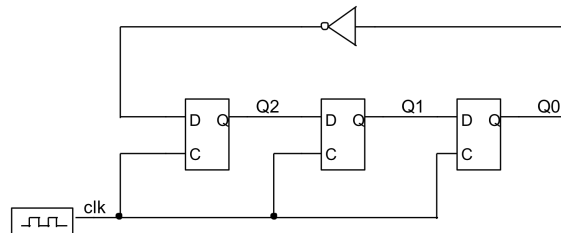
Valor de X em decimal	X2	X1	X0	Valor de R em decimal	R2	R1	R0	OF
0	0	0	0	0	0	0	0	0
+1	0	0	1	-1				

Nº mec: _____ Nome _____

4. [2 valores] Considere uma máquina de estados finitos que realiza a soma aritmética de dois vetores binários de comprimento arbitrário, que entram no circuito sequencialmente, começando pelo bit menos significativo. A máquina tem duas entradas, a e b , nas quais aparecem os bits do mesmo índice dos vetores de entrada. A máquina tem uma saída, s , que indica o resultado da soma no bit corrente. Esboce o diagrama de estados desta máquina **no modelo de Mealy**. Tente minimizar o número de estados.

5. [2 valores] Analise o circuito da figura ao lado.

Desenhe o seu diagrama de estados, começando com o estado $Q_2Q_1Q_0=000$. **Identifique**, justificando, a função deste circuito.



Assuma que os *flip-flops* que compõem o circuito da figura têm as características temporais seguintes: $t_{\text{setup}}=15$ ns, $t_{\text{hold}}=5$ ns, $t_{\text{pHL}}=25$ ns, $t_{\text{pLH}}=20$ ns; o tempo de atraso de uma porta lógica elementar é $t_{\text{porta}} = 10$ ns. Nestas condições, determine a frequência máxima de funcionamento do circuito. **Justifique** o seu cálculo e não esqueça as unidades.