

AULA PRÁTICA Nº 4 – CIRCUITOS LÓGICOS

Tópicos

- Circuitos lógicos elementares.
- Lógica multi-nível.
- Comportamento dinâmico, prevenção de *hazards*.
- Simulação computacional com *LogicWorks*.

Exercícios

- 1 O circuito da figura 1 representa uma implementação possível dum operador lógico conhecido. Determine analiticamente o operador em causa e desenhe o diagrama lógico correspondente à implementação directa (i.e. com portas lógicas *AND*, *OR* e *NOT*). Quais as vantagens e/ou desvantagens desta relativamente ao circuito da figura 1?

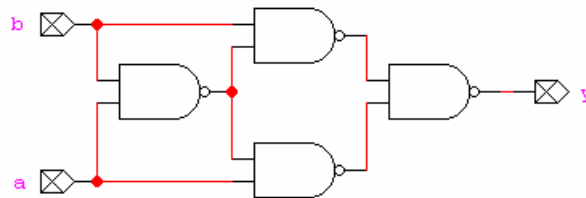


Figura 1 Implementação dum operador lógico importante com portas *NAND*

- 2 Usando o programa *LogicWorks* construa um subcircuito do tipo *AOI* (*And-Or-Invert*) de acordo com as indicações da figura 2. A seguir, implemente o circuito da figura 1 recorrendo a blocos *AOI* e a inversores adicionais. Simule o seu funcionamento.

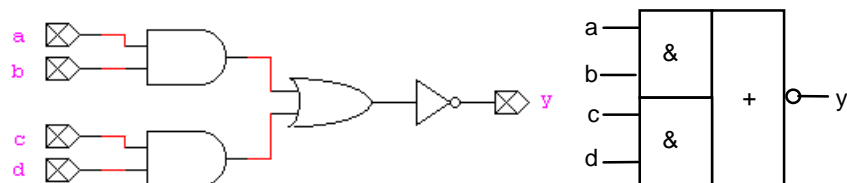


Figura 2 Bloco AOI: Esquema lógico e símbolo alternativo (notação IEEE)

- 3** Uma sala tem 3 portas de acesso, A , B e C . Junto de cada porta está um interruptor capaz de ligar ou desligar a luz. Quando qualquer um dos interruptores é actuado muda o estado da iluminação da sala. Admite-se que a luz está apagada quando todos os interruptores estão desactivados.
- a) Escreva a equação lógica do estado da iluminação, L ($L=1$ para luz acesa)
 - b) Implemente o circuito com blocos AOI e inversores adicionais. Simule o circuito.
 - c) Sugira uma nova arquitectura interna para os blocos AOI que resulte num circuito mais rápido (i.e. com menor atraso de propagação).

- 4 O circuito da figura 3a tem apenas uma entrada, a , que está a “1” quando o interruptor está aberto e a “0” quando o interruptor está fechado. Considere que todas as portas têm um atraso de propagação de 10 unidades de tempo.

a) Admita que em $t=0$ o interruptor foi fechado. Procure prever o comportamento do circuito a partir desse instante, tendo em conta a evolução do sinal a indicada no diagrama temporal da figura 3b; complete esse diagrama para os restantes sinais.

b) Construa o circuito no *LogicWorks*, não se esquecendo de especificar o atraso de propagação das portas. Execute a simulação e confronte os resultados com a sua previsão.

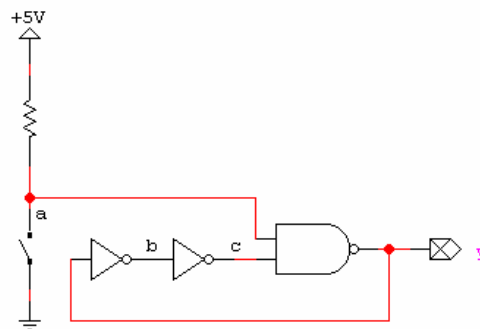


Figura 3a Pulse Shaper

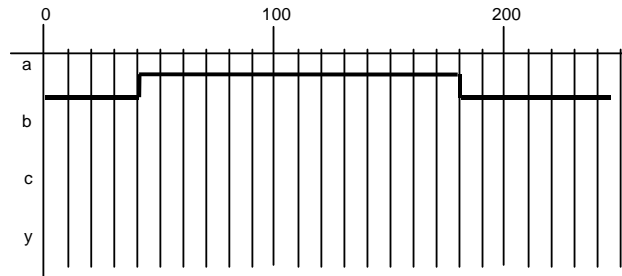


Figura 3b Diagrama temporal

- 5 Considere a seguinte função booleana

$$f(A, B, C, D) = \sum m(1, 3, 5, 7, 8, 9, 12, 13)$$

- Determine uma implementação mínima a 2 níveis.
- Recorra ao *LogicWorks* para demonstrar, através de um exemplo, que existem *hazards* estáticos (ou seja, condições para a ocorrência de ‘glitches’).
- Determine uma implementação que evite *hazards* estáticos.

- 6 Considere a função

$$f(A, B, C, D) = \sum m(0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 12, 13)$$

Admitindo que o complemento das variáveis independentes está disponível, implemente-a usando um bloco *AOI*. Explícite devidamente as dimensões mínimas desse bloco.

Exercícios Complementares

- 7** Desenhe o esquema lógico das seguintes expressões com base apenas em portas *NAND*.
[Assuma que todas as variáveis estão disponíveis também na forma complementada].

- a) $y = A\bar{B}\bar{C} + \bar{A}C + \bar{A}B$
- b) $y = (\bar{A} + \bar{B} + \bar{C})(\bar{A} + \bar{B})(\bar{A} + \bar{C})$
- c) $y = \bar{A}B + A + \bar{C} + \bar{D}$
- d) $y = (\bar{A}\bar{B})(\bar{A}\bar{C})$
- e) $y = \overline{AB + \bar{A}\bar{C}}$

- 8** Desenhe o esquema lógico das seguintes expressões com base apenas em portas *NOR*.
[Assuma que todas as variáveis estão disponíveis também na forma complementada].

- a) $y = (A + B)(\bar{A} + C)$
- b) $y = \overline{(A + B)(\bar{A} + C)}$
- c) $y = (A + B)(\bar{A} + C + D)(\bar{A} + \bar{C})$

- 9** Desenhe o esquema lógico das seguintes expressões usando portas *NOR* e/ou *NAND*.
[Assuma que todas as variáveis estão disponíveis também na forma complementada].

- a) $y = (AB + CD)E + F$
- b) $y = A\bar{B}(\bar{B} + C)\bar{D} + \bar{A}$
- c) $y = (A + B)(C + D) + EF$

- 10** Projecte um circuito para detectar a igualdade entre duas palavras *A* e *B* de 4 *bits* cada. A saída, *Z*, será “1” quando $A=B$ (igualdade *bit a bit*). Implemente o circuito utilizando para tal portas *NOR* e blocos *AOI* semelhantes aos do problema 2.

- 11** Pretende-se construir um diagrama temporal que descreva o comportamento do circuito da figura 4. Admita que os atrasos dos inversores, da porta *NAND* e das portas *XOR* são, respectivamente, de 2, 5 e 8 unidades de tempo.

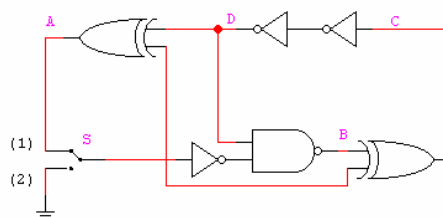


Figura 4

- a) Com o interruptor na posição 1, comece por encontrar uma condição inicial para a qual o circuito não oscila. Determine neste caso a evolução temporal dos sinais A , B , C e D . [Note que é muito fácil escolher uma condição inicial que leve o circuito a oscilar. De facto, existe uma única condição inicial não oscilante. Inicie a sua análise pela malha de *feedback* mais curta, ou então admita criteriosamente a condição inicial e verifique que ela é efectivamente não oscilante].
- b) No instante T , o interruptor é deslocado para a posição 2. No diagrama temporal represente então o que se vai passar nos pontos A , B , C e D .

12 Para as seguintes funções booleanas, sugira implementações livres de *hazards*.

- a) $F(A,B,C,D) = \sum m(0,4,5,6,7,9,11,13,14)$
- b) $F(A,B,C,D) = (A + B)(\overline{B} + C)$
- c) $F(A,B,C,D) = \prod M(0,1,3,5,7,8,9,13,15)$