

**Universidade de Aveiro**  
Departamento de Electrónica, Telecomunicações e Informática  
**Laboratório de Sistemas Digitais**  
Ano Letivo 2016/17  
**Teste 2 – 3/maio/2017**

Nome: \_\_\_\_\_ N. Mec.: \_\_\_\_\_

**Grupo I**

O seguinte trecho de código (incompleto) descreve em VHDL um registo de deslocamento com entradas de carregamento paralelo e que deve ser capaz de realizar deslocamentos lógicos, aritméticos e rotações, quer para a direita, quer para a esquerda.

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity SeqShiftUnit is
    port(clk      : in  std_logic;
          dataIn   : in  std_logic_vector(3 downto 0);
          loadEn   : in  std_logic;
          rotate   : in  std_logic;
          dirLeft  : in  std_logic;
          shArith  : in  std_logic;
          dataOut  : out std_logic_vector(3 downto 0));
end SeqShiftUnit;

architecture Behavioral of SeqShiftUnit is
    signal s_shiftReg : std_logic_vector(3 downto 0);
begin

    process(clk)
    begin
        if (falling_edge(clk)) then
            if (loadEn = '1') then
                s_shiftReg <= dataIn;

            elsif (rotate = '1') then
                if (dirLeft = '1') then
                    s_shiftReg <= s_shiftReg(2 downto 0) & s_shiftReg(3);
                else
                    s_shiftReg <= s_shiftReg(0) & s_shiftReg(3 downto 1);
                end if;

                -- #####

            end if;
        end if;
    end process;

    dataOut <= s_shiftReg;

end Behavioral;
```

1. [0.5 valores] Classifique os sinais de entrada e de saída do módulo do ponto de vista do seu tipo.

Sinal(ais) de sincronização: \_\_\_\_\_

Sinal(ais) de controlo: \_\_\_\_\_

Sinal(ais) de dados: \_\_\_\_\_

2. [0.75 valores] Identifique os tipos de operações e deslocamentos realizadas no código VHDL fornecido.

---

---

---

---

3. [1.25 valores] Desenhe o diagrama lógico do circuito que resultaria da síntese do trecho de código fornecido. Pode usar no diagrama primitivas do tipo: portas lógicas, *multiplexers* e *flip-flops*. Identifique claramente todos os sinais internos e de interface do módulo, incluindo a sua dimensão.

4. [1.5 valores] Escreva o código VHDL que teria que ser inserido acima, no local assinalado com #####, de forma a implementar o deslocamento aritmético, quer à esquerda quer à direita.

**Grupo II**

Considere o código VHDL seguinte que descreve o funcionamento de uma máquina de estados finitos, com uma entrada "X", uma saída "Z" de um bit e uma saída "Y" com dois bits.

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity FiniteStateMachine is
    port(clk      : in  std_logic;
         reset    : in  std_logic;
         X        : in  std_logic;
         Z        : out std_logic;
         Y        : out std_logic_vector(1 downto 0));
end FiniteStateMachine;

architecture Behavioral of FiniteStateMachine is

    type TState is (E0, E1, E2);
    signal PS, NS : TState;      -- PS: Present State, NS: Next State

begin
    sync_proc: process(clk)
    begin
        if (rising_edge(clk)) then
            if (reset = '1') then
                PS <= E0;
            else
                PS <= NS;
            end if;
        end if;
    end process;

    comb_proc: process(PS, X)
    begin
        case PS is
            when E0 =>
                Z <= '0';
                if (X = '0') then NS <= E0;
                else NS <= E1;
                end if;
            when E1 =>
                Z <= '0';
                if (X = '0') then NS <= E0;
                else NS <= E2;
                end if;
            when E2 =>
                Z <= '1';
                if (X = '0') then NS <= E0;
                else NS <= E2;
                end if;
            when others =>
                NS <= E0; Z <= '0';
        end case;
    end process;

    with PS select
        Y <= "00" when E0,
            "10" when E1,
            "11" when E2,
            "00" when others;
end Behavioral;
```

1. [2.5 valores] Desenhe o diagrama de estados/saídas desta máquina.

2. [0.5 valores] Identifique, justificando, o tipo da máquina de estados (*Moore* ou *Mealy*).

---

---

---

---

3. [1 valor] Identifique, justificando, a funcionalidade da máquina de estados.

---

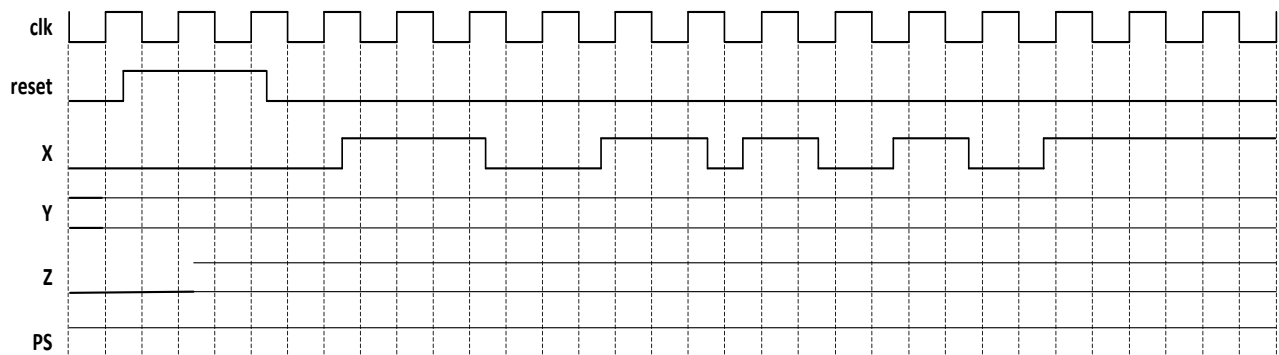
---

---

---

---

4. [1.5 valores] Complete o diagrama temporal seguinte (saídas "**Y**" e "**Z**" e o estado "**PS**").



### Grupo III

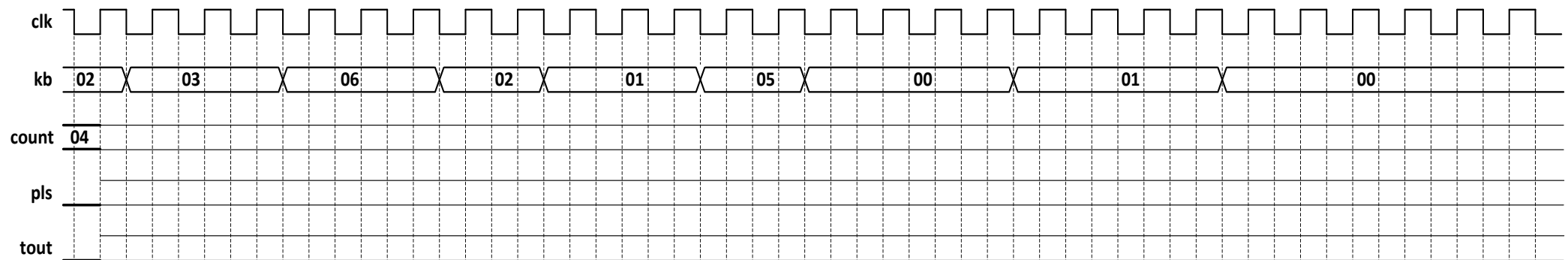
Analise cuidadosamente o código VHDL e responda às questões que se seguem.

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;
use IEEE.NUMERIC_STD.all;

entity Timer is
    generic(KA : unsigned(7 downto 0) := X"06");
    port( clk : in std_logic;
          kb : in std_logic_vector(7 downto 0);
          count : out std_logic_vector(7 downto 0);
          pls : out std_logic;
          tout : out std_logic);
end Timer;
```

```
architecture v1 of Timer is
    signal s_count, s_kb : unsigned(7 downto 0);
begin
    process(clk)
    begin
        if(rising_edge(clk)) then
            if(s_count = KA - 1) then
                s_kb <= unsigned(kb);
                s_count <= (others => '0');
                pls <= '1';
            else
                s_count <= s_count + 1;
                pls <= '0';
            end if;
        end if;
    end process;
    tout <= '1' when s_count < s_kb else '0';
    count <= std_logic_vector(s_count);
end v1;
```

1. [2 valores] Complete o diagrama temporal seguinte (sinais "count", "pls" e "tout").



2. [2 valores] Descreva, em menos de 40 palavras, o funcionamento do circuito. Explícite, em particular, o papel desempenhado pela constante "**KA**" e pelo valor fornecido através da entrada "**kb**".

---

---

---

---

---

---

---

---

---

---

3. [1.5 valores] Apresente a expressão que relaciona a frequência de entrada com a frequência do sinal de saída "**p1s**" e calcule a frequência desse sinal supondo que tem à entrada um relógio com uma frequência de 1200 Hz. Se não respondeu à questão anterior, justifique adequadamente a sua resposta.

---

---

---

---

---

---

---

---

**Grupo IV**

Analise o seguinte código VHDL.

```

entity BlockA is
    generic(N : positive := 4);
    port(clk      : in  std_logic;
          dataIn   : in  std_logic_vector(N-1 downto 0);
          reset, load : in  std_logic;
          dataOut  : out std_logic_vector(N-1 downto 0));
end BlockA;

architecture Behavioral of BlockA is
    signal s_reg : std_logic_vector(N-1 downto 0);
begin
    process(clk)
    begin
        if (rising_edge(clk)) then
            if (reset = '1') then s_reg <= (others => '0');
            elsif (load = '1') then s_reg <= dataIn;
            else s_reg <= '0' & s_reg(N-1 downto 1);
            end if;
        end if;
    end process;
    dataOut <= s_reg;
end Behavioral;
-----

entity BlockB is
    generic(N : positive := 2);
    port(a, b : in  std_logic_vector(N-1 downto 0);
          s   : out std_logic_vector(N-1 downto 0));
end BlockB;

architecture Behavioral of BlockB is
begin
    s <= std_logic_vector(unsigned(a) + unsigned(b));
end Behavioral;
-----

entity Circuit is
    generic(N : positive := 4);
    port(clk      : in  std_logic;
          X       : in  std_logic_vector(N-1 downto 0);
          start    : in  std_logic;
          result   : out std_logic_vector(N downto 0));
end Circuit;

architecture Structural of Circuit is
    signal s_p, s_a, s_r : std_logic_vector(N downto 0);
begin
    inst_1 : entity work.BlockA(Behavioral)
        generic map (N => N)
        port map (clk => clk, dataIn => X, reset => '0',
                  load => start, dataOut => s_p(N-1 downto 0));

    s_p(N) <= '0';

    inst_2 : entity work.BlockB(Behavioral)
        generic map (N => N+1)
        port map (a => s_p, b => s_r, s => s_a);

    inst_3 : entity work.BlockA(Behavioral)
        generic map (N => N+1)
        port map (clk => clk, dataIn => s_a, reset => start,
                  load => '1', dataOut => s_r);

    result <= s_r;
end Structural;

```

1. [0.25 valores] Identifique, justificando, a função realizada pelo módulo descrito na entidade **BlockA** e arquitetura **Behavioral**.

---

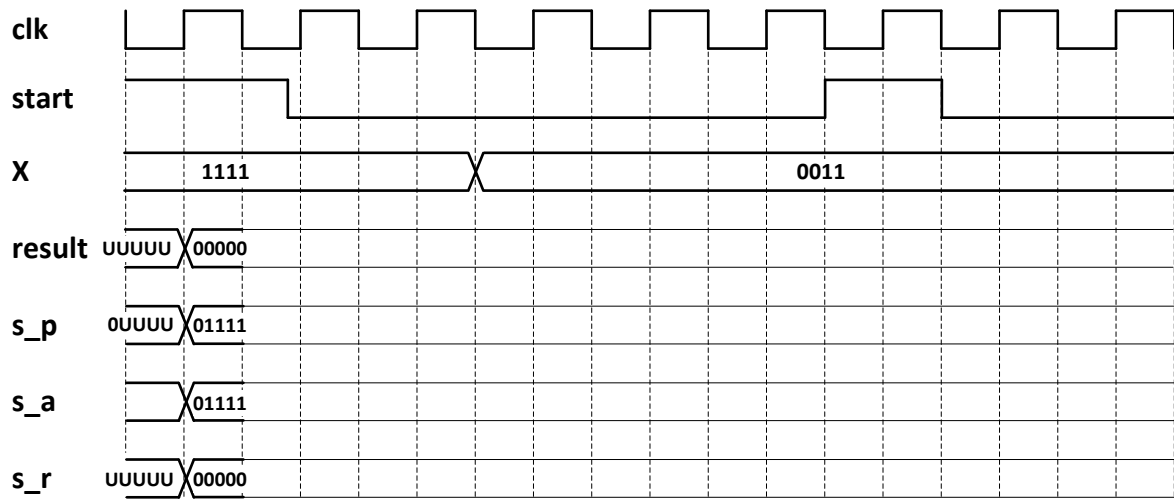


---

2. [0.25 valores] Identifique, justificando, a função realizada pelo módulo descrito na entidade **BlockB** e arquitetura **Behavioral**.

3. [2 valores] Desenhe o diagrama lógico do circuito descrito na entidade **Circuit** e arquitetura **Structural**. Identifique claramente as entradas/saídas externas, o nome de cada sub-módulo, os seus portos, os nomes e a dimensão dos sinais que interligam os blocos entre si.

4. [1.5 valores] Complete o diagrama temporal seguinte.



5. [1 valor] Descreva o funcionamento do circuito modelado na entidade **Circuit** e arquitetura **Structural**.

---



---



---



---



---