

Architektura systemów komputerowych

Dokumentacja projektu

Temat: Moduł portu we/wy: 1 port 32-bitowy, wejście z SW17..0,
wyjście na diody czerwone.

Wykonał:
Marcin Brach

1. Cel projektu

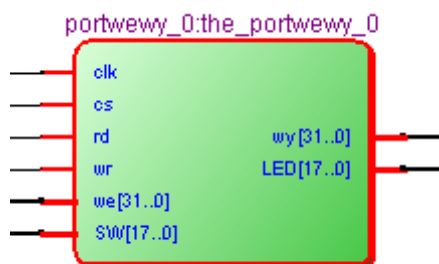
Celem projektu jest zaprojektowanie systemu komputerowego który składał się będzie z modułu procesora 32-bitowego Nios II interfejsu JTAG i modułu pamięci RAM oraz z modułu portu we/wy: 1 port 32-bitowy, wejście z SW17..0, wyjście na diody czerwone. Moduł portu należy zaprojektować i zaimplementować w języku vhd i dołączyć do systemu komputerowego, a następnie zaimplementować program testujący poprawność działania portu w języku C oraz przetestować go wykorzystując system prototypowy DE2.

2. Zasada działania modułu

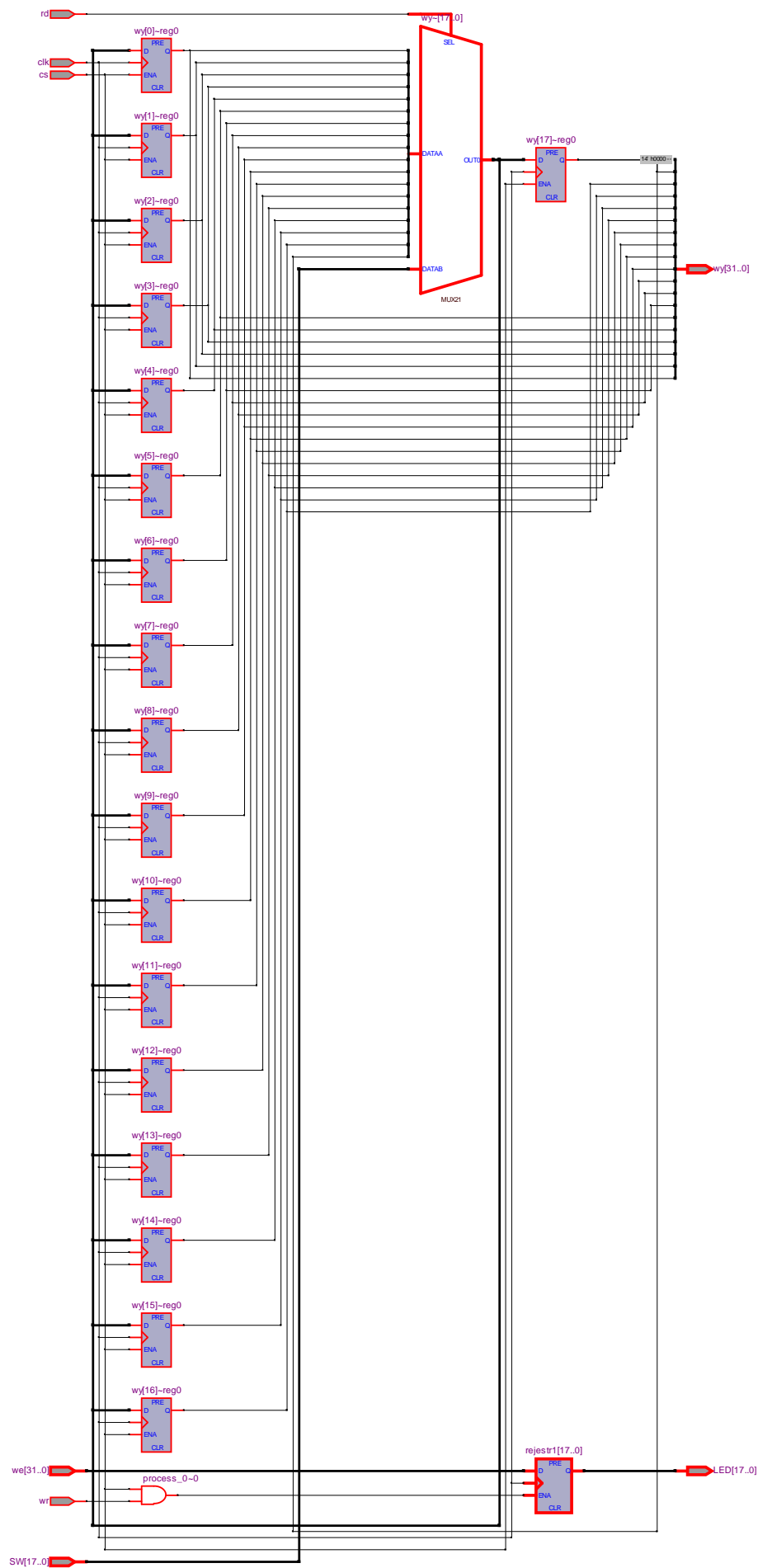
Projektowany układ jest modułem we/wy procesora Nios II. Z jednej strony ma interfejs zgodny z magistralą Avalon, umożliwiającą odczyt z układu danych i zapis do niego danych. Z drugiej strony układ ma 18 wejść SW i 18 wyjść LED. Wejścia SW dołączone są do przełączników sw0..sw17, każda zmiana przełączników jest zapamiętana i wysyłana do procesora w chwili gdy procesor odczytuje dane z modułu. Wyjścia LED modułu są dołączone do diód led0..led17. W momencie gdy procesor zapisuje do modułu dane, układ zapamiętuje te dane i wyświetla je na diodach (kolejne bity odpowiadają kolejnym diodom).

3. Schemat projektowanego modułu

a) Schemat ogólny



b) Schemat szczegółowy



4. Implementacja modułu w języku vhd1

```
library ieee;
use ieee.std_logic_1164.all;

entity portwewy is
port( we : in std_logic_vector(31 downto 0);
      wy : out std_logic_vector(31 downto 0);
      clk : in std_logic;
      wr : in std_logic;
      rd : in std_logic;
      cs : in std_logic;
      SW : in std_logic_vector(17 downto 0);
      LED : out std_logic_vector(17 downto 0)
);
end portwewy;

architecture beh of portwewy is
begin

process(clk,wr,rd,cs,we) is
variable rejestr: std_logic_vector(17 downto 0);
variable rejestr1: std_logic_vector(17 downto 0);
begin
    if (clk'event and clk='1'and cs='1') then
        rejestr(17 downto 0) := SW(17 downto 0);
        if (rd ='1') then
            wy(17 downto 0) <= rejestr(17 downto 0);
        end if;
    end if;

    if (clk'event and clk='1'and wr='1' and cs='1') then
        rejestr1(17 downto 0) := we(17 downto 0);
    end if;
    LED <= rejestr1(17 downto 0);
end process;
end beh;
```

5. Kod programu testującego

```
#include <stdio.h>
#include <io.h>

main()
{
    int val;

    IOWR(0x00000008,0,174762); //wczytanie wartosci do portu,
                                // swieci co druga dioda
    printf("Wczytano! \n");

    val=IORD(0x00000008,0);      //Odczyt wartości z przełączników
    printf("Odczytano wartosc: %d\n",val); //i wyswietlenie jej w terminalu
}
```