

Universidad de Costa Rica  
Facultad de Ingeniería  
Escuela de Ingeniería Eléctrica

IE0411 - Microelectrónica: Sistemas en Silicio I

Tarea 2

Prof. Javier Pacheco Brito

Por:  
Marco Chacon Soto, B61868

10 de octubre de 2020

# Índice

<b>1. Introducción</b>	<b>4</b>
<b>2. Consideraciones</b>	<b>4</b>
<b>3. Resultados Obtenidos</b>	<b>5</b>
3.1. Pruebas de la descripción conductual . . . . .	5
3.2. Pruebas de la descripción estructural . . . . .	8
3.2.1. Sin tiempos de propagación . . . . .	8
3.2.2. Con tiempos de propagación . . . . .	12
3.2.3. Con tiempos de propagación y valores típicos . . . . .	14
3.2.4. Pruebas con periodo 200 ns y valores típicos . . . . .	16
<b>4. Repositorio</b>	<b>19</b>
<b>5. Conclusiones y recomendaciones</b>	<b>20</b>
<b>Referencias</b>	<b>20</b>
<b>Appendices</b>	<b>20</b>

## Índice de figuras

1.	Resultados de la descripción conductual para el modo 00. Simulado en GTKwave . . .	5
2.	Resultados de la descripción conductual para el modo 01. Simulado en GTKwave . . .	6
3.	Resultados de la descripción conductual para el modo 10. Simulado en GTKwave . . .	6
4.	Resultados de la descripción conductual para el modo 11. Simulado en GTKwave . . .	6
5.	Resultados de la descripción conductual, pruebas negativas . Simulado en GTKwave .	7
6.	Resultados de la descripción conductual, pruebas del enable. Simulado en GTKwave .	7
7.	Resultados de la descripción conductual, pruebas del reset. Simulado en GTKwave . .	8
8.	Resultados (sin tiempos de propagación) de la descripción estructural para el modo 00. Simulado en GTKwave . . . . .	9
9.	Resultados (sin tiempos de propagación) de la descripción estructural para el modo 01. Simulado en GTKwave . . . . .	9
10.	Resultados (sin tiempos de propagación) de la descripción estructural para el modo 10. Simulado en GTKwave . . . . .	10
11.	Resultados (sin tiempos de propagación) de la descripción estructural, pruebas negativas. Simulado en GTKwave . . . . .	10
12.	Resultados (sin tiempos de propagación) de la descripción estructural para el modo 11. Simulado en GTKwave . . . . .	11
13.	Resultados (sin tiempos de propagación) de la descripción estructural, pruebas del enable. Simulado en GTKwave . . . . .	11
14.	Resultados (sin tiempos de propagación) de la descripción estructural, pruebas del reset. Simulado en GTKwave . . . . .	12
15.	Resultados (con tiempos de propagación) de la descripción estructural, pruebas aleatorias. Periodo = 2 ns. Simulado en GTKwave . . . . .	12
16.	Resultados (con tiempos de propagación) de la descripción estructural, pruebas aleatorias. Periodo = 4 ns. Simulado en GTKwave . . . . .	13
17.	Resultados (con tiempos de propagación) de la descripción estructural, pruebas aleatorias. Periodo = 20 ns. Simulado en GTKwave . . . . .	13
18.	Resultados (con tiempos de propagación) de la descripción estructural, pruebas aleatorias. Periodo = 200 ns. Simulado en GTKwave . . . . .	14
19.	Resultados (con tiempos de propagación) de la descripción estructural, pruebas aleatorias. Periodo = 2 ns, valores típicos. Simulado en GTKwave . . . . .	14
20.	Resultados (con tiempos de propagación) de la descripción estructural, pruebas aleatorias. Periodo = 4 ns, valores típicos. Simulado en GTKwave . . . . .	15
21.	Resultados (con tiempos de propagación) de la descripción estructural, pruebas aleatorias. Periodo = 20 ns, valores típicos. Simulado en GTKwave . . . . .	15
22.	Resultados (con tiempos de propagación) de la descripción estructural, pruebas aleatorias. Periodo = 200 ns, valores típicos. Simulado en GTKwave . . . . .	16
23.	Resultados de la descripción estructural con tiempos de propagación y periodo de reloj de 200 ns para el modo 00. Simulado en GTKwave . . . . .	17
24.	Resultados de la descripción estructural con tiempos de propagación y periodo de reloj de 200 ns para el modo 01. Simulado en GTKwave . . . . .	17
25.	Resultados de la descripción estructural con tiempos de propagación y periodo de reloj de 200 ns para el modo 10. Simulado en GTKwave . . . . .	17

26.	Resultados de la descripción estructural con tiempos de propagación y periodo de reloj de 200 ns para el modo 11. Simulado en GTKwave . . . . .	18
27.	Resultados de la descripción estructural con tiempos de propagación y periodo de reloj de 200 ns, pruebas negativas . Simulado en GTKwave . . . . .	18
28.	Resultados de la estructural con tiempos de propagación y periodo de reloj de 200 ns, pruebas del enable. Simulado en GTKwave . . . . .	18
29.	Resultados de la descripción estructural con tiempos de propagación y periodo de reloj de 200 ns, pruebas del reset. Simulado en GTKwave . . . . .	19
30.	Resultados de la descripción estructural, desfase. Simulado en GTKwave . . . . .	19

## 1. Introducción

El siguiente reporte contiene los resultados obtenidos de la verificación funcional de un contador síncronico de 4 bits a partir de la verificación basada en simulación. Se utiliza el testbench.v de la tarea 1 y se incorpora un nuevo módulo contador cuya síntesis se realiza con la librería cmos\_cells.lib que contiene las compuertas lógicas a utilizar con los detalles de temporización correspondientes.

Se incluyen también las observaciones de los resultados obtenidos, el repositorio del git donde se encuentran los archivos y las recomendaciones.

## 2. Consideraciones

Se parte del plan de verificación de la tarea 1, en el cual se detallan las principales pruebas a realizar, además, se incluyen pruebas con tiempos de propagación.

De manera similar a la tarea 1, para todas las pruebas se utilizaron señales de entrada cuyo flanco activo fuera el flanco negativo de la señal del reloj, esto con el fin de verificar que las salidas cambien en el flanco creciente de la señal de reloj.

Todas las consideraciones del testbench de la tarea 1, como la anteriormente mencionada, también se incluyen en este trabajo, ya que se utiliza el mismo testbench.

Para realizar el módulo contador se utiliza lógica secuencial del bloque case, y se cuenta con cuatro posibles casos que varían dependiendo del modo en que se trabaje.

Los archivos log\_A y log\_B contienen el log con los errores que presentan los módulos counter y c\_synth para la prueba que se esté realizando.

Para la librería de compuertas lógicas en el archivo cmos\_cells.v se utilizaron los siguientes componentes con sus respectivas características:

Componente	Número de parte	$t_{pdh}$ ns	$t_{pdl}$ ns	$t_{setup}$ ns	$t_{hold}$ ns	Lote	Unidad	Data sheet
NOT	74AC11004	6.3	5.5	-	-	25	\$0.931	[1]
NAND 2 inputs	SN74HCS03	13	13	-	-	2000	\$0.074	[2]
NOR 2 inputs	SN74HCS7002	15	15	-	-	2000	\$0.045	[3]
NAND 3 inputs	SN74HCS10	17	17	-	-	2500	\$0.065	[4]
NOR 3 inputs	SN74HCS27	15	15	-	-	2000	\$0.045	[5]
DFF	SN74LVC2G74-EP	6.1	6.1	1.2	0.5	250	\$1.047	[6]

Tabla 1: Información relevante de los componentes a utilizar

Es importante recalcar que se asume que se trabaja a temperatura ambiente ( $25^{\circ}$ ), con una capacitancia de  $50\text{ pF}$  y una tensión  $V_{cc}$  de 4.5 V. Además, para todos los componentes se utiliza el valor máximo de cada tiempo con el fin de analizar el peor caso posible.

Al realizar la síntesis mediante la herramienta yosys, se indica que la descripción estructural utiliza la siguiente cantidad de compuertas

Componente	Cantidad
NOT	8
NAND 2 inputs	12
NOR 2 inputs	15
NAND 3 inputs	8
NOR 3 inputs	15
DFF	6

Tabla 2: Compuertas utilizadas en la descripción estructural

### 3. Resultados Obtenidos

### 3.1. Pruebas de la descripción conductual

Para esta sección se realizaron diferentes pruebas con el modelo conductual con el fin de verificar que su comportamiento sea el esperado al compararlo con el scoreboard. Los resultados obtenidos se muestran en las siguientes imágenes

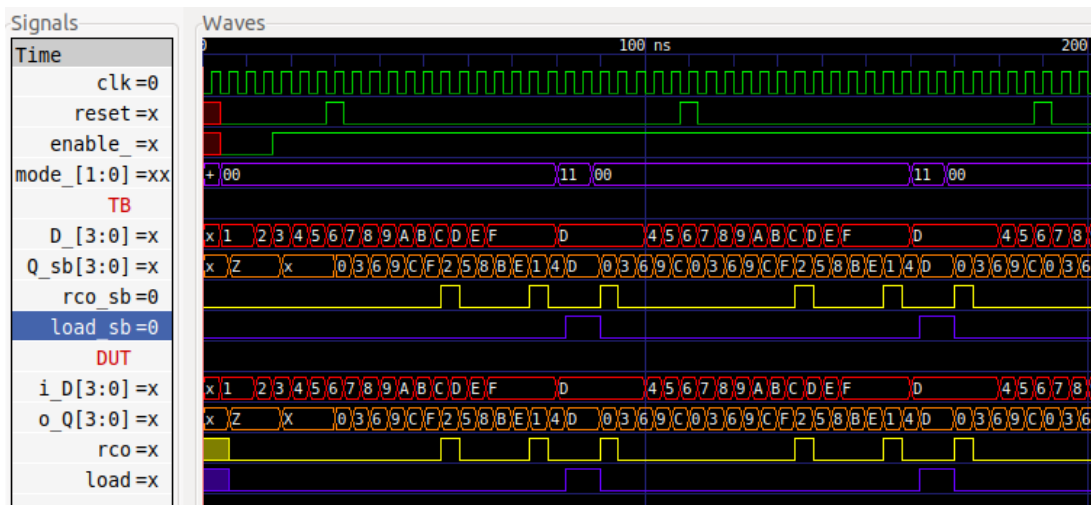


Figura 1: Resultados de la descripción conductual para el modo 00. Simulado en GTKwave

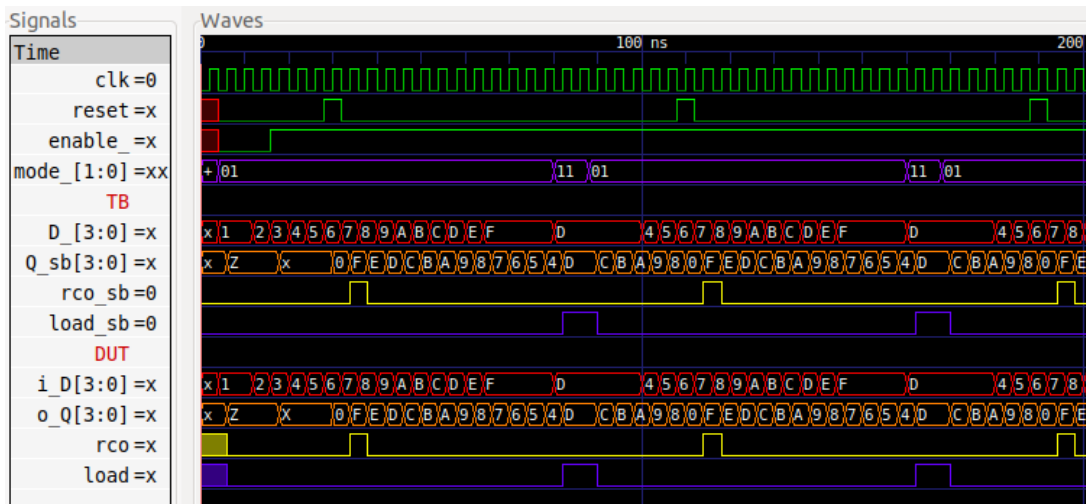


Figura 2: Resultados de la descripción conductual para el modo 01. Simulado en GTKwave

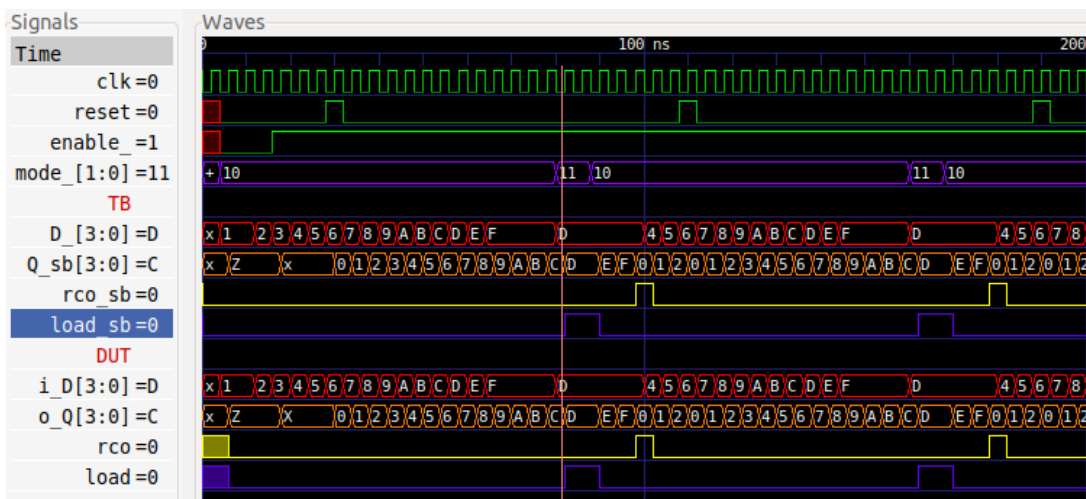


Figura 3: Resultados de la descripción conductual para el modo 10. Simulado en GTKwave

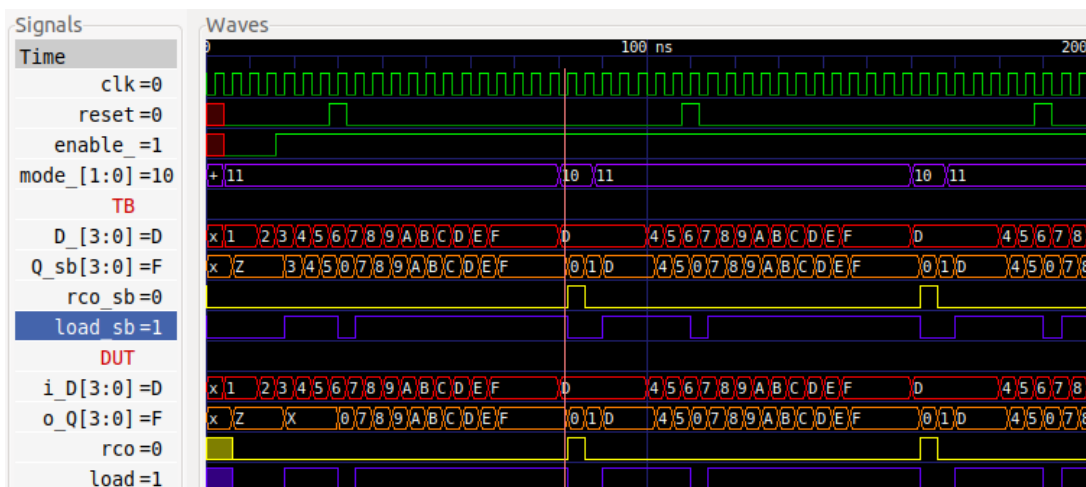


Figura 4: Resultados de la descripción conductual para el modo 11. Simulado en GTKwave

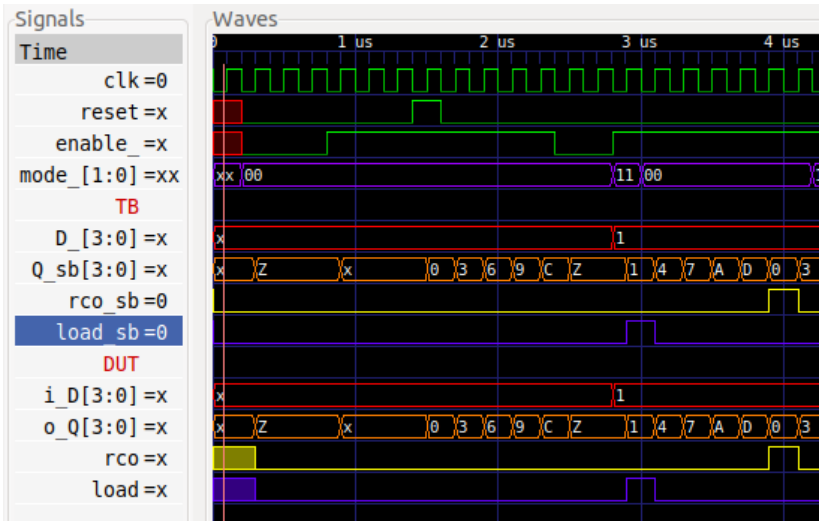


Figura 5: Resultados de la descripción conductual, pruebas negativas . Simulado en GTKwave

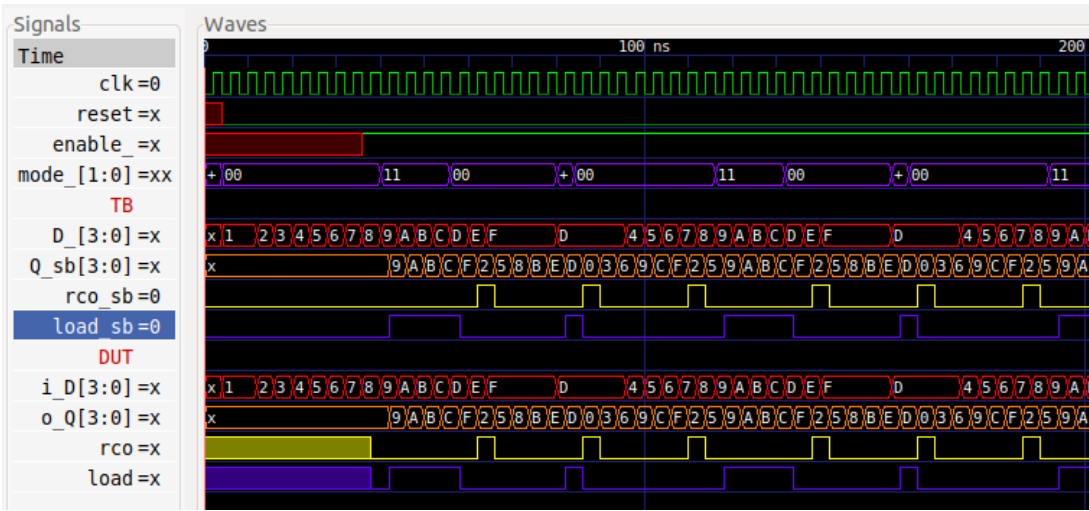


Figura 6: Resultados de la descripción conductual, pruebas del enable. Simulado en GTKwave



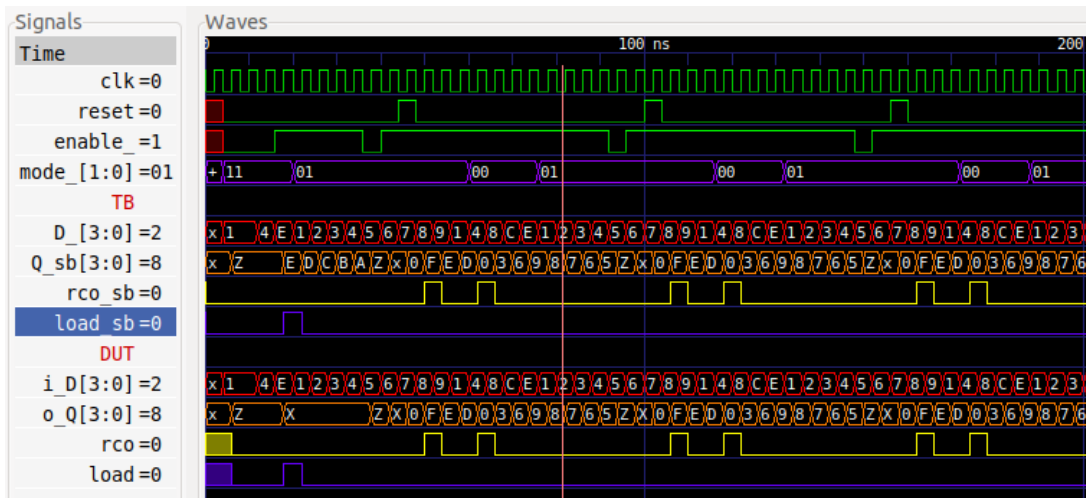


Figura 7: Resultados de la descripción conductual, pruebas del reset. Simulado en GTKwave

En las imágenes anteriores se observa que el comportamiento de la descripción conductual es el esperado para las pruebas de los modos, negativas y de las señales de enable y reset, lo que indica que su funcionamiento es adecuado.

## 3.2. Pruebas de la descripción estructural

### 3.2.1. Sin tiempos de propagación

Una vez que se realizan las pruebas con la descripción conductual, se procede a utilizar la herramienta yosys para sintetizar el modelo y realizar las siguientes pruebas.

Es importante mencionar que no fue posible sintetizar la señal Q para alta impedancia, sino que se obtiene una salida con valor 0. Esto puede afectar la señal rco como se observa en la figura 22, ya que al llegar la señal de enable el modelo sintetizado empezará a funcionar debido a que su salida se encuentra en 0 y no en x, mientras que en la descripción conductual se espera a que llegue la señal de reset o el modo 11 para salir de este estado indeterminado en la salida.

Las siguientes figuras corresponden a los resultados de las simulaciones para el módulo sintetizado sin tiempos de propagación. Como se puede observar, la descripción estructural pasa todas las pruebas y por ende se procede a realizar las pruebas con tiempos de propagación con esta descripción.

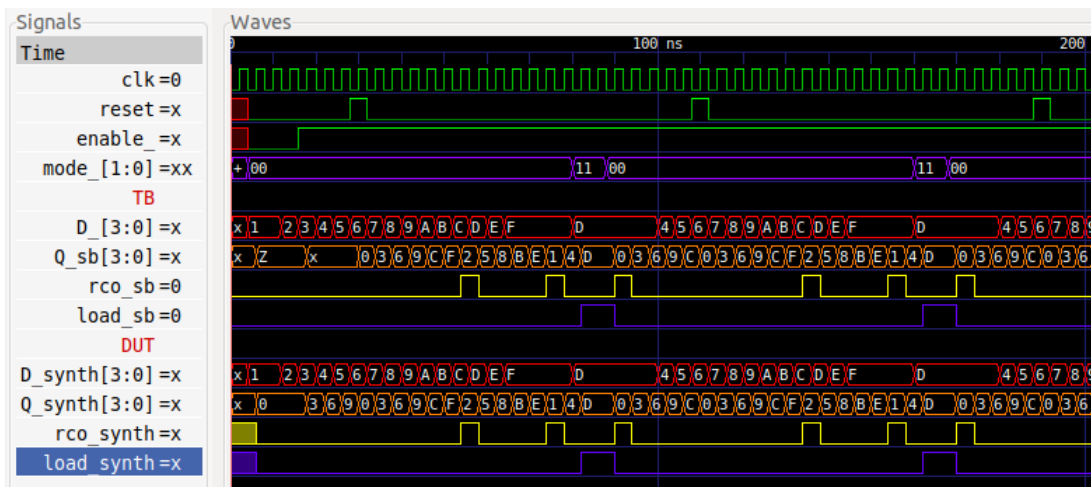


Figura 8: Resultados (sin tiempos de propagación) de la descripción estructural para el modo 00. Simulado en GTKwave

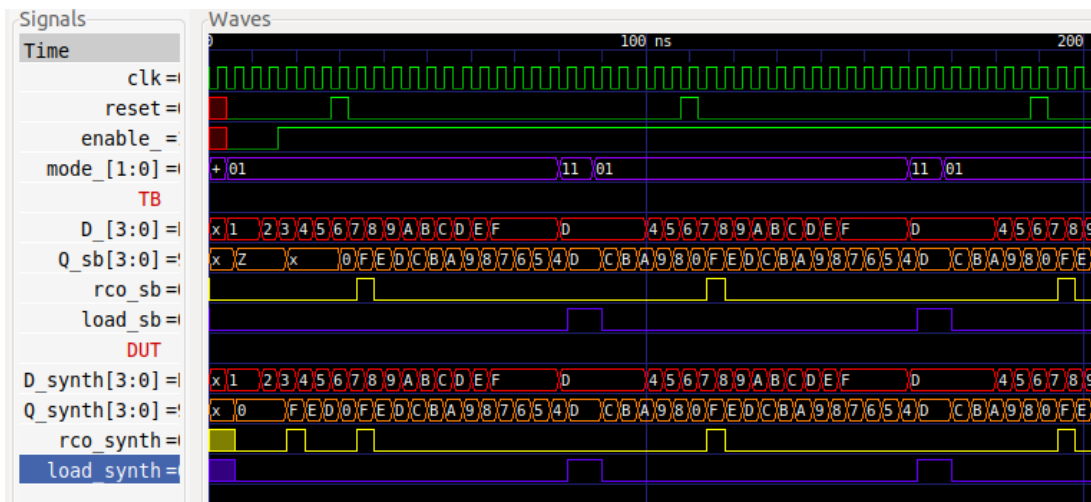


Figura 9: Resultados (sin tiempos de propagación) de la descripción estructural para el modo 01. Simulado en GTKwave

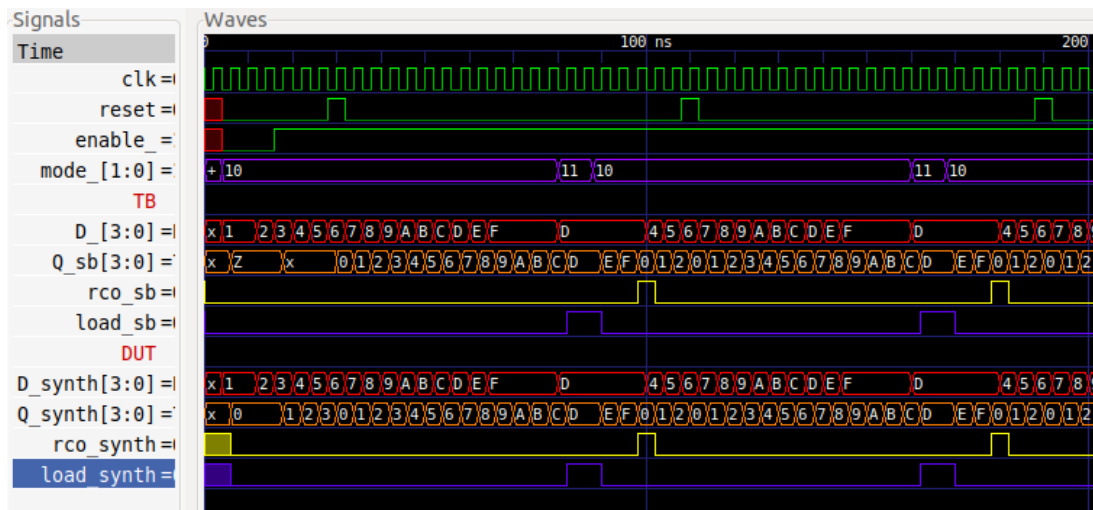


Figura 10: Resultados (sin tiempos de propagación) de la descripción estructural para el modo 10. Simulado en GTKwave

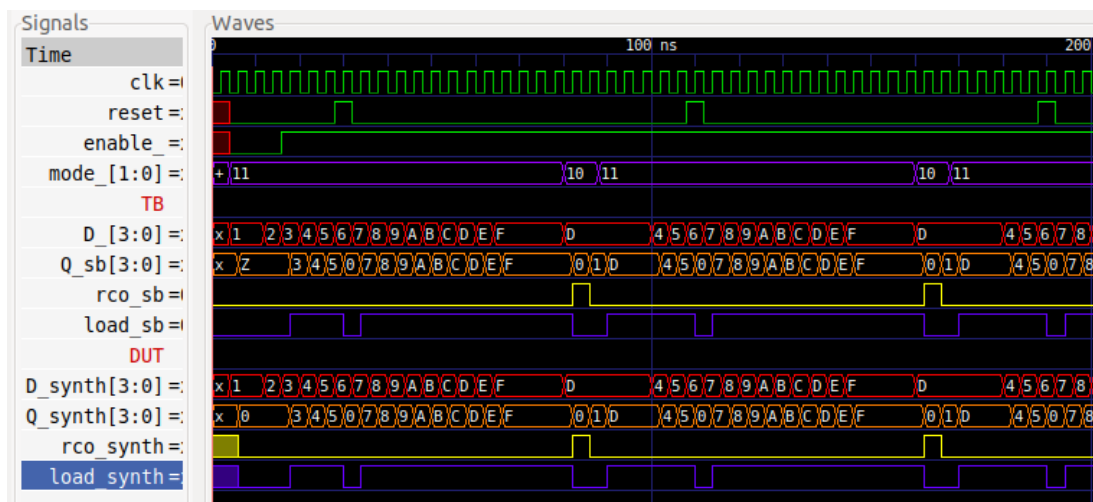
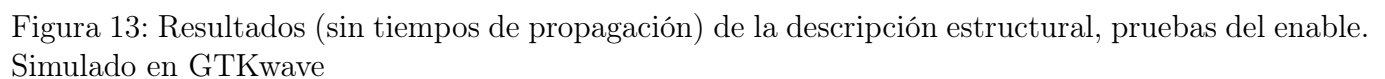
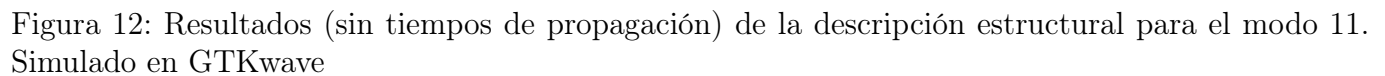


Figura 11: Resultados (sin tiempos de propagación) de la descripción estructural, pruebas negativas. Simulado en GTKwave



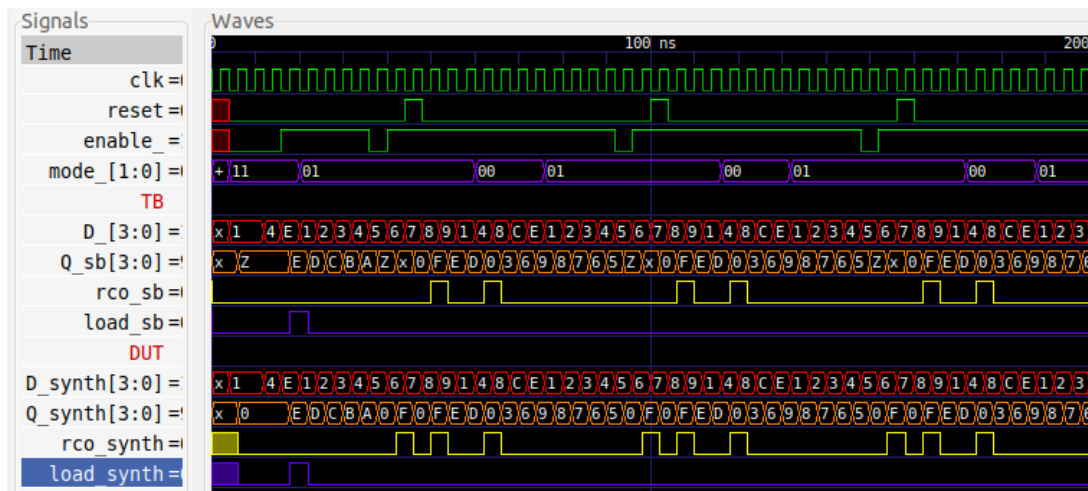


Figura 14: Resultados (sin tiempos de propagación) de la descripción estructural, pruebas del reset. Simulado en GTKwave

En esta figura se observa el error anteriormente mencionado provocado por la falta del estado de alta impedancia en la salida, sin embargo, se observa que al llegar la señal de reset la descripción es capaz de seguir funcionando correctamente.

### 3.2.2. Con tiempos de propagación

Para esta parte se realizaron pruebas con los cuatro valores permitidos para el periodo. Es importante mencionar que dado a que se utilizaron valores máximos de operación en los componentes, es posible que ninguno de estos cuatro periodos sea el adecuado para que el circuito opere como se muestra en la descripción conductual. A continuación se presentan los resultados de realizar pruebas random con tiempos de propagación para la descripción estructural.

- Periodo = 2 ns

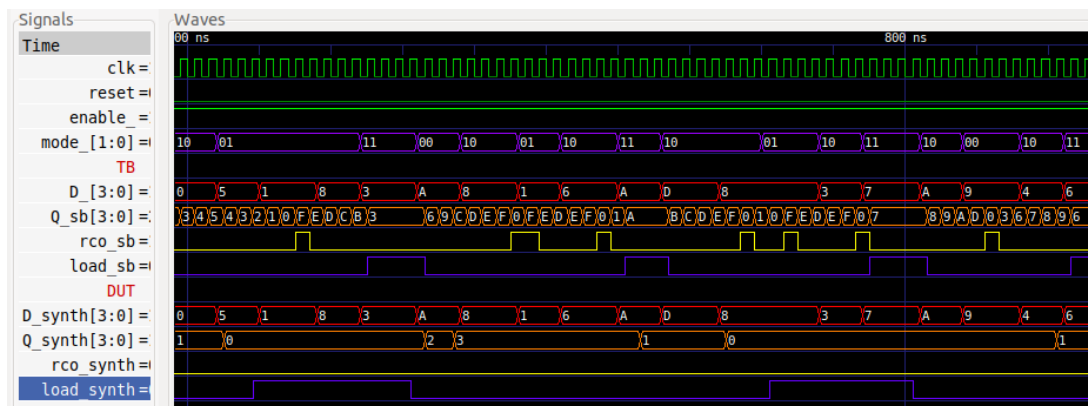


Figura 15: Resultados (con tiempos de propagación) de la descripción estructural, pruebas aleatorias. Periodo = 2 ns. Simulado en GTKwave

En la figura 19 se puede observar que la salida **Q\_synth** se encuentra bastante atrasada respecto a la salida esperada **Q\_sb**, además esto altera también las señales de control ya que la descripción

estructural no es capaz de responder a los modos de operación con este periodo lo cuál provoca un comportamiento erróneo para el modo en el que se encuentre.

■ Periodo = 4 ns

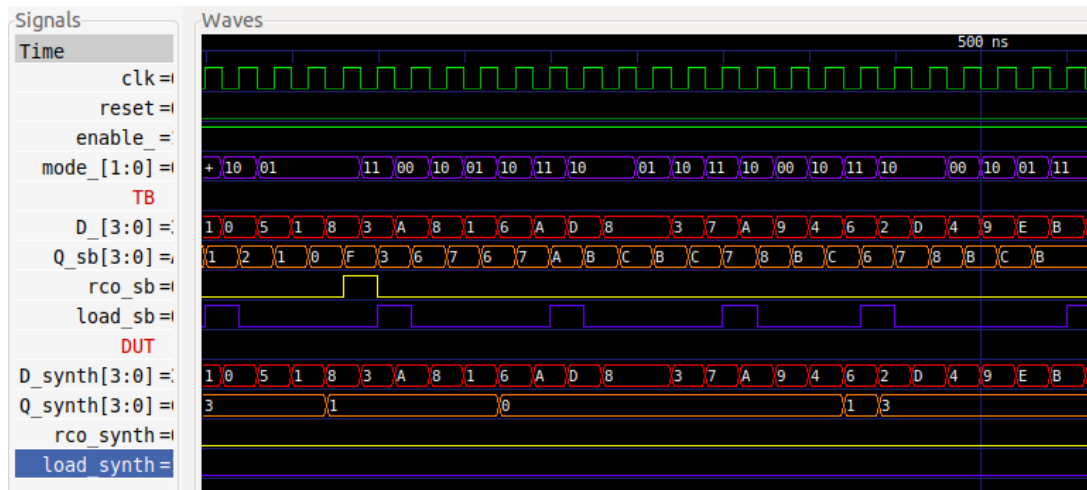


Figura 16: Resultados (con tiempos de propagación) de la descripción estructural, pruebas aleatorias. Periodo = 4 ns. Simulado en GTKwave

En este caso nuevamente se puede observar una salida con valores erróneos, por ejemplo, se observa que al variar los modos de operación la salida no cambia o cambia varios ciclos después.

■ Periodo = 20 ns

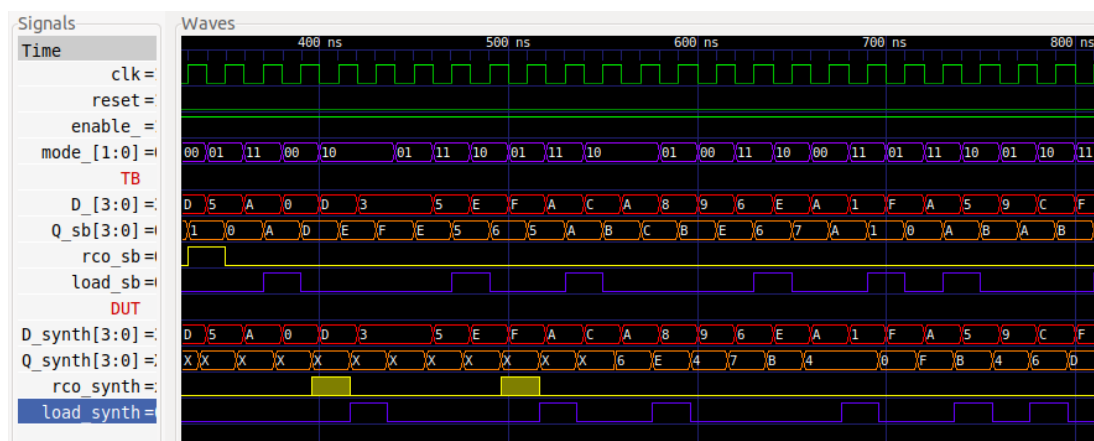


Figura 17: Resultados (con tiempos de propagación) de la descripción estructural, pruebas aleatorias. Periodo = 20 ns. Simulado en GTKwave

Con esta prueba la salida nuevamente no logra obtener los resultados correctos para cada modo de operación, sin embargo, se observa que la salida sintetizada cambia de manera más similar a la salida esperada del scoreboard.

- Periodo = 200 ns

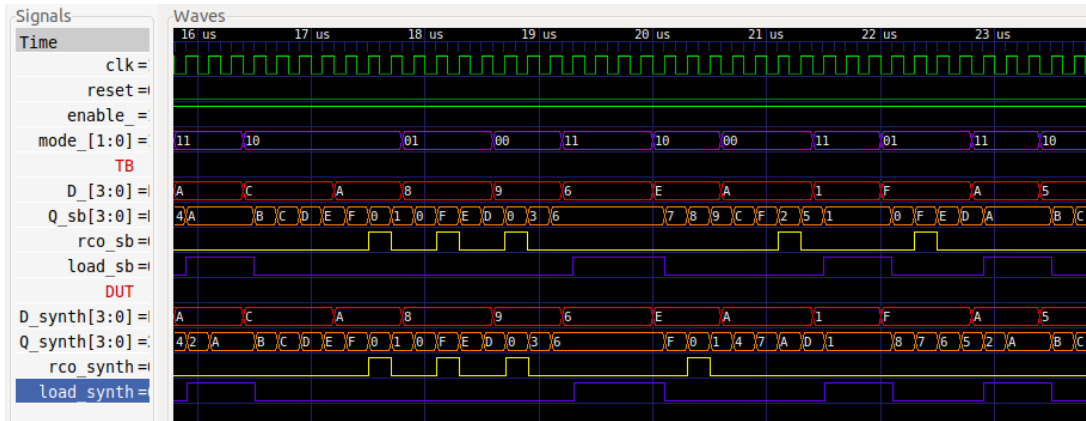


Figura 18: Resultados (con tiempos de propagación) de la descripción estructural, pruebas aleatorias. Periodo = 200 ns. Simulado en GTKwave

Para este último caso se observa una mejor salida **Q\_synth**, la cuál sigue el comportamiento de la salida del scoreboard hasta cierto punto, sin embargo, debido a que se trabaja con valores máximos en los tiempos de los componentes, este periodo de reloj no resulta suficiente para obtener un funcionamiento óptimo ante estos valores de tiempos, por ende, se decide realizar otras pruebas para valores típicos de tiempos.

### 3.2.3. Con tiempos de propagación y valores típicos

- Periodo = 2 ns

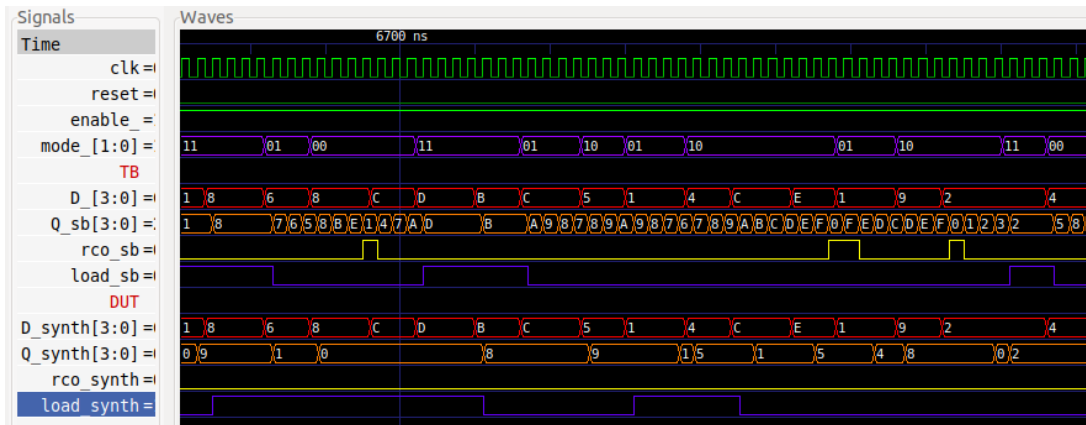


Figura 19: Resultados (con tiempos de propagación) de la descripción estructural, pruebas aleatorias. Periodo = 2 ns, valores típicos. Simulado en GTKwave

- **Periodo** = 4 ns

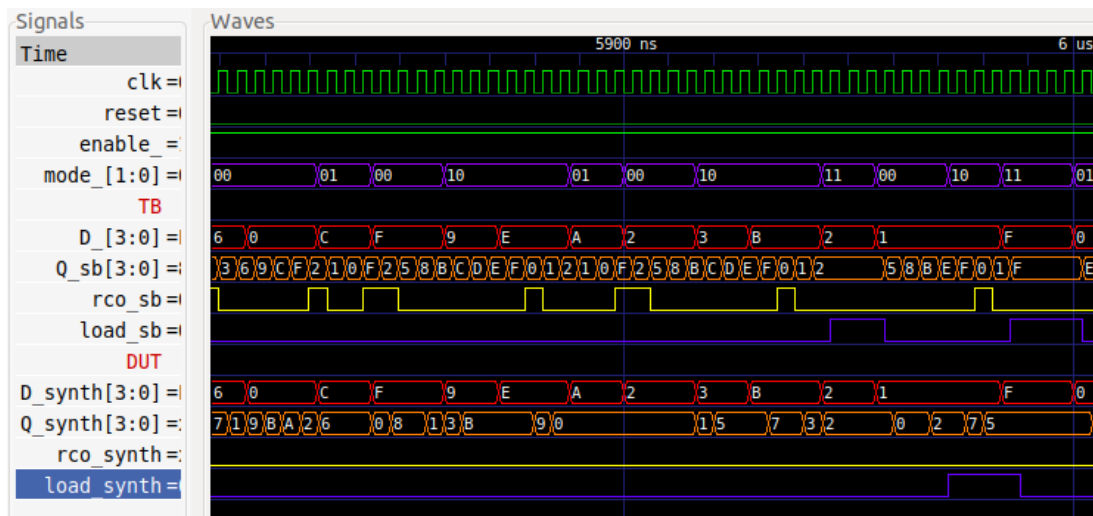


Figura 20: Resultados (con tiempos de propagación) de la descripción estructural, pruebas aleatorias. Periodo = 4 ns, valores típicos. Simulado en GTKwave

En este caso nuevamente se puede observar una salida con valores erróneos, por ejemplo, se observa que al variar los modos de operación la salida no cambia o cambia varios ciclos después.

- **Periodo = 20 ns**

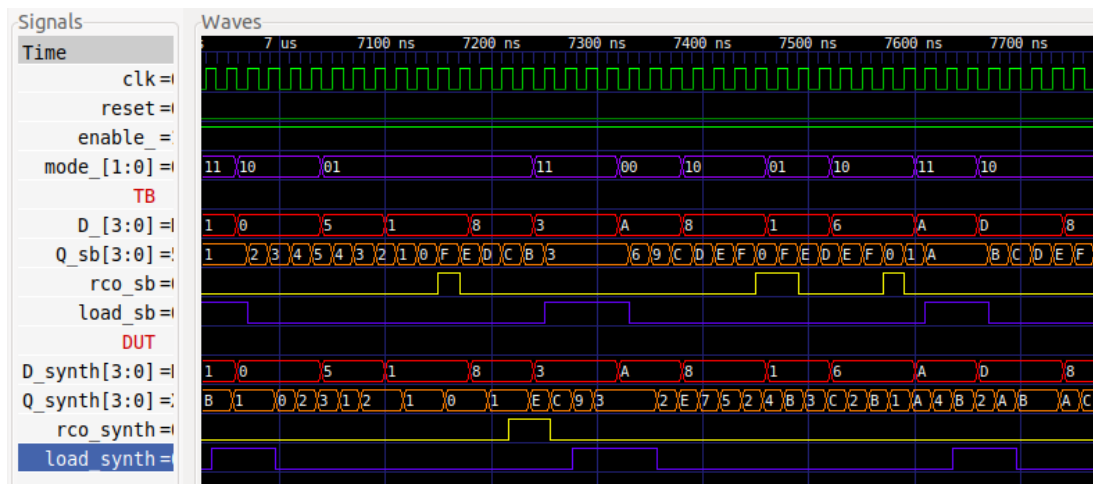


Figura 21: Resultados (con tiempos de propagación) de la descripción estructural, pruebas aleatorias. Periodo = 20 ns, valores típicos. Simulado en GTKwave

Con esta prueba la salida nuevamente no logra obtener los resultados correctos para cada modo de operación, sin embargo, se observa que la salida sintetizada cambia de manera más similar a la salida esperada del scoreboard.



■ Periodo = 200 ns

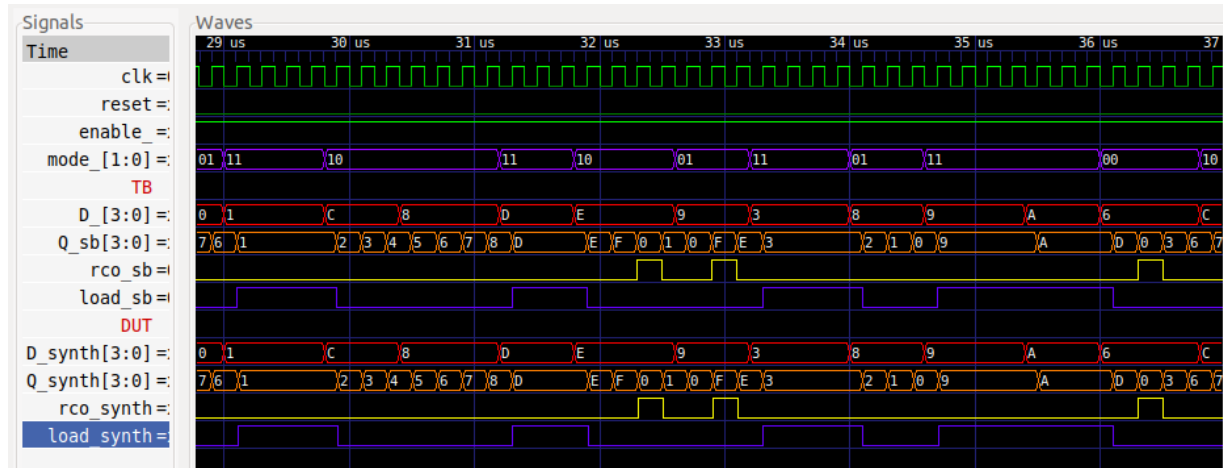


Figura 22: Resultados (con tiempos de propagación) de la descripción estructural, pruebas aleatorias. Periodo = 200 ns, valores típicos. Simulado en GTKwave

Esta vez se puede observar que para los periodos de 2 y 4 ns la salida sigue fallando bastante, sin embargo, para 20 ns los errores disminuyen en gran cantidad y finalmente para un periodo de 200 ns se muestra un funcionamiento adecuado, por lo tanto se procede a realizar el resto de pruebas con este periodo de reloj. Los valores utilizados en las pruebas anteriores se especifican en la siguiente tabla

Componente	Número de parte	$t_{pdh}$ ns	$t_{pdl}$ ns	$t_{setup}$ ns	$t_{hold}$ ns
NOT	74AC11004	4.2	3.8	-	-
NAND 2 inputs	SN74HCS03	9	9	-	-
NOR 2 inputs	SN74HCS7002	7	7	-	-
NAND 3 inputs	SN74HCS10	6	6	-	-
NOR 3 inputs	SN74HCS27	7	7	-	-
DFF	SN74LVC2G74-EP	6.1	6.1	1.2	0.5

Tabla 3: Tiempos de los componentes utilizados en las pruebas con valores típicos

### 3.2.4. Pruebas con periodo 200 ns y valores típicos

Como se mencionó anteriormente, se procede a realizar todas las pruebas con la descripción estructural para verificar que su funcionamiento sea el esperado. Los resultados de dichas pruebas se muestran a continuación

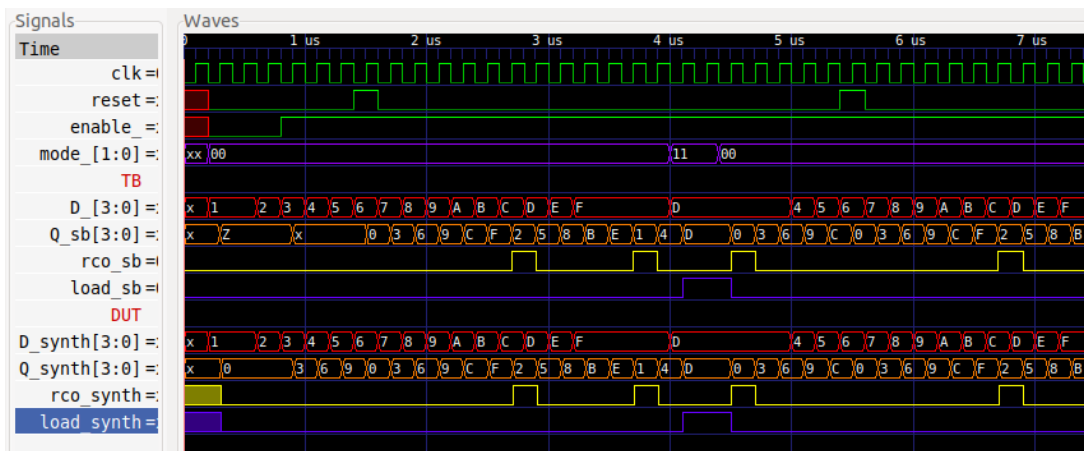


Figura 23: Resultados de la descripción estructural con tiempos de propagación y periodo de reloj de 200 ns para el modo 00. Simulado en GTKwave

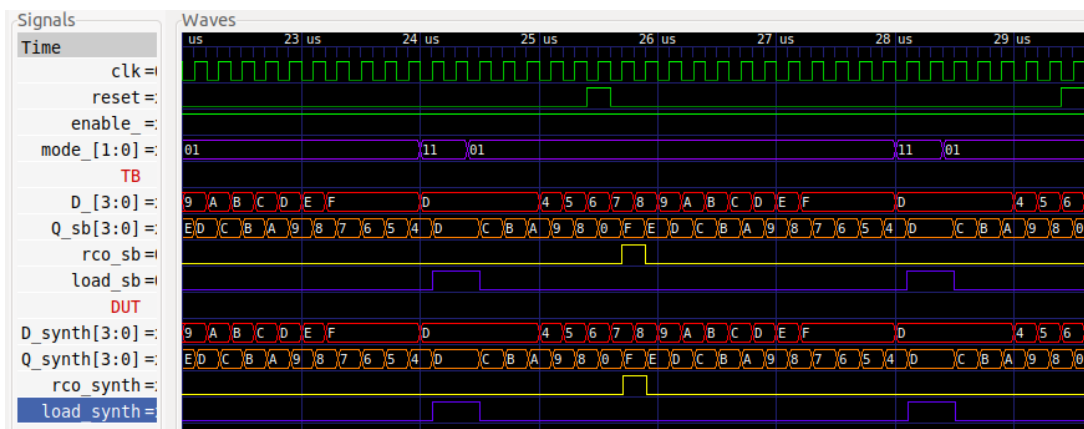


Figura 24: Resultados de la descripción estructural con tiempos de propagación y periodo de reloj de 200 ns para el modo 01. Simulado en GTKwave

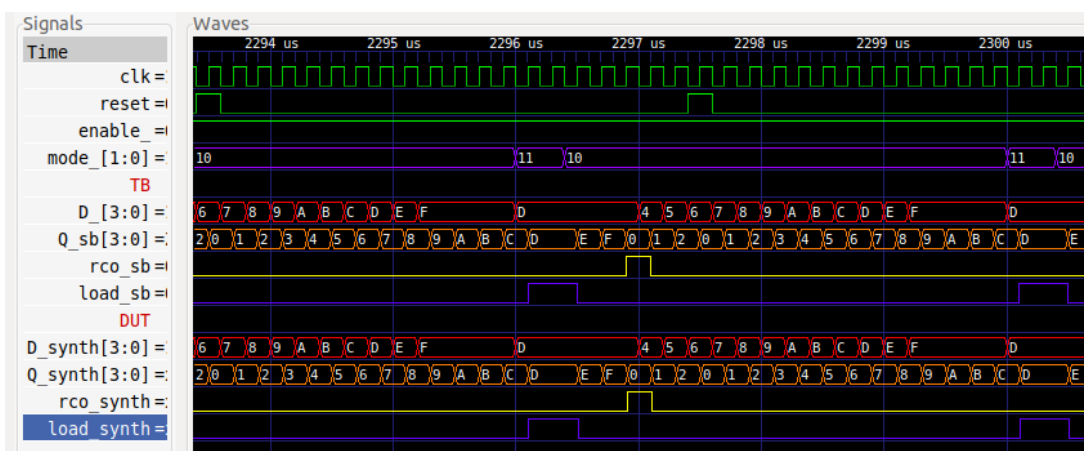


Figura 25: Resultados de la descripción estructural con tiempos de propagación y periodo de reloj de 200 ns para el modo 10. Simulado en GTKwave

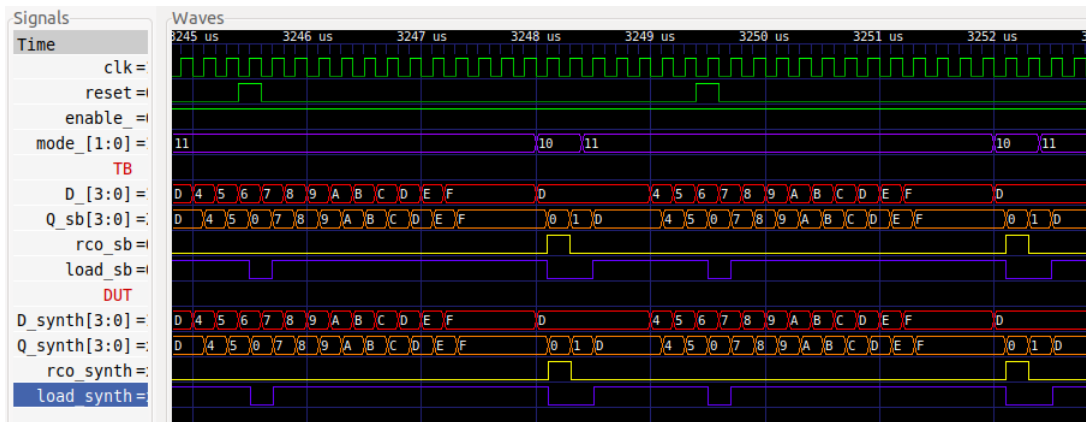


Figura 26: Resultados de la descripción estructural con tiempos de propagación y periodo de reloj de 200 ns para el modo 11. Simulado en GTKwave

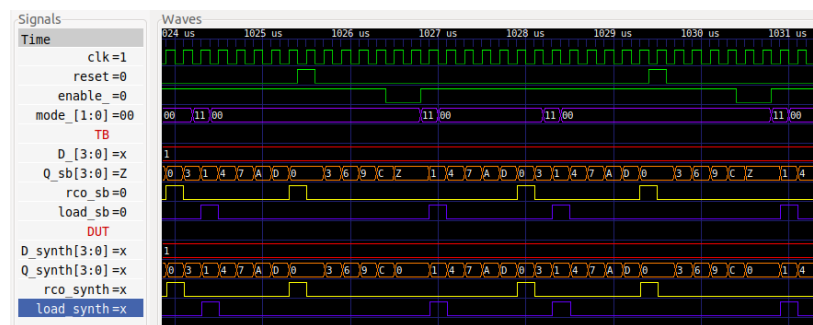


Figura 27: Resultados de la descripción estructural con tiempos de propagación y periodo de reloj de 200 ns, pruebas negativas. Simulado en GTKwave

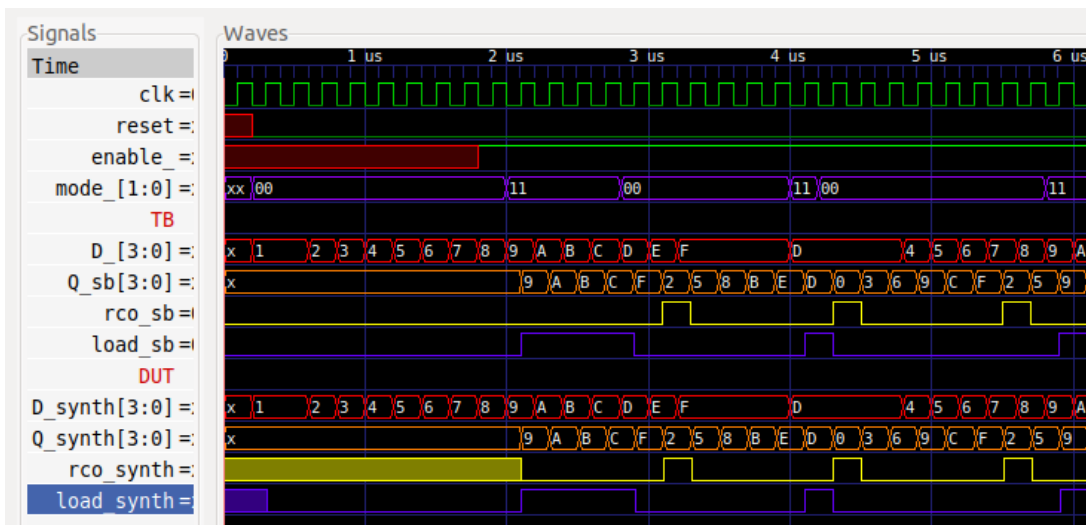


Figura 28: Resultados de la estructural con tiempos de propagación y periodo de reloj de 200 ns, pruebas del enable. Simulado en GTKwave



## 5. Conclusiones y recomendaciones

A partir del análisis de resultados se llega a las siguientes conclusiones

- Se logra re utilizar el testbench diseñado en la tarea 1 para probar diferentes módulos conductuales y estructurales de un contador de 4 bits
- Se utilizó el plan de pruebas ya propuesto esta vez para las diferentes descripciones del circuito y se lograron encontrar errores y limitaciones del diseño a partir de este
- Se utilizaron todos los componentes de la librería `cmos_cells.lib` para la síntesis en yosys
- Se determinó un periodo de operación funcional para la descripción estructural a partir de los periodos disponibles en el spec
- Se determinó que existe una diferencia de 6.1 ns entre las señales de salida de la descripción estructural y el scoreboard utilizando un periodo de reloj de 200 ns

También se recomienda lo siguiente

- Seguir un plan de pruebas y verificar cada módulo que se implemente
- Trabajar de forma ordenada mediante un repositorio de git
- Tomar en cuenta los retardos de las compuertas al realizar la descripción estructural de un diseño, ya que el comportamiento de los circuitos digitales se ve afectado por estas características

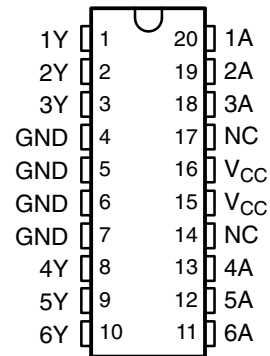
## Referencias

1. [1] 74AC11004 HEX INVERTER. [En línea] Recopilado de: <https://www.ti.com/product/74AC11004> [Accesado el 6 de Octubre 2020]
2. [2] SN74HCS03 Quadruple 2-Input NAND Gates with Open-Drain Outputs and Schmitt-Trigger Inputs. [En línea] Recopilado de: <https://www.ti.com/product/SN74HCS03> [Accesado el 6 de Octubre 2020]
3. [3] SN74HCS7002 Quadruple 2-Input NOR Gates with Schmitt-Trigger Inputs. [En línea] Recopilado de: <https://www.ti.com/product/SN74HCS7002> [Accesado el 6 de Octubre 2020]
4. [4] SN74HCS10 Triple 3-Input NAND Gates with Schmitt-Trigger Inputs. [En línea] Recopilado de: <https://www.ti.com/product/SN74HCS10> [Accesado el 6 de Octubre 2020]
5. [5] SN74HCS27 Triple 3-Input NOR Gates with Schmitt-Trigger Inputs. [En línea] Recopilado de: <https://www.ti.com/product/SN74HCS27> [Accesado el 6 de Octubre 2020]
6. [6] SINGLE POSITIVE EDGE TRIGGERED D-TYPE FLIP-FLOP WITH CLEAR AND PRE-SET. [En línea] Recopilado de: <https://www.ti.com/product/SN74LVC2G74-EP> [Accesado el 6 de Octubre 2020]

## Appendices

- Flow-Through Architecture Optimizes PCB Layout
- Center-Pin  $V_{CC}$  and GND Configuration Minimizes High-Speed Switching Noise
- **EPIC™** (Enhanced-Performance Implanted CMOS) 1- $\mu$ m Process
- 500-mA Typical Latch-Up Immunity at 125°C
- Package Options Include Plastic Small-Outline (DW) and Shrink Small-Outline (DB) Packages, and Standard Plastic 300-mil DIPs (N)

DB, DW, OR N PACKAGE  
(TOP VIEW)



NC – No internal connection

## description

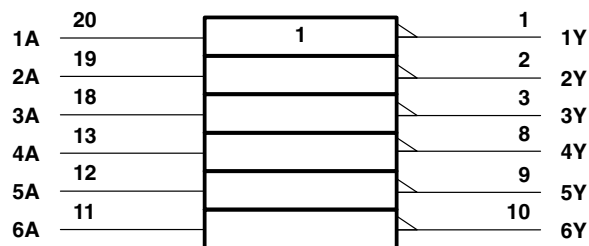
This device contains six independent inverters. It performs the Boolean function  $Y = \bar{A}$ .

The 74AC11004 is characterized for operation from –40°C to 85°C.

FUNCTION TABLE  
(each inverter)

INPUT A	OUTPUT Y
H	L
L	H

## logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

EPIC is a trademark of Texas Instruments Incorporated.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1996, Texas Instruments Incorporated

# 74AC11004 HEX INVERTER

SCAS033B – JANUARY 1988 – REVISED APRIL 1996

switching characteristics over recommended operating free-air temperature range,  
 $V_{CC} = 3.3 \text{ V} \pm 0.3 \text{ V}$  (unless otherwise noted) (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	$T_A = 25^\circ\text{C}$			MIN	MAX	UNIT
			MIN	TYP	MAX			
$t_{PLH}$	A	Y	1.5	6.1	9	1.5	10	ns
$t_{PHL}$			1.5	5.2	7.4	1.5	8.2	

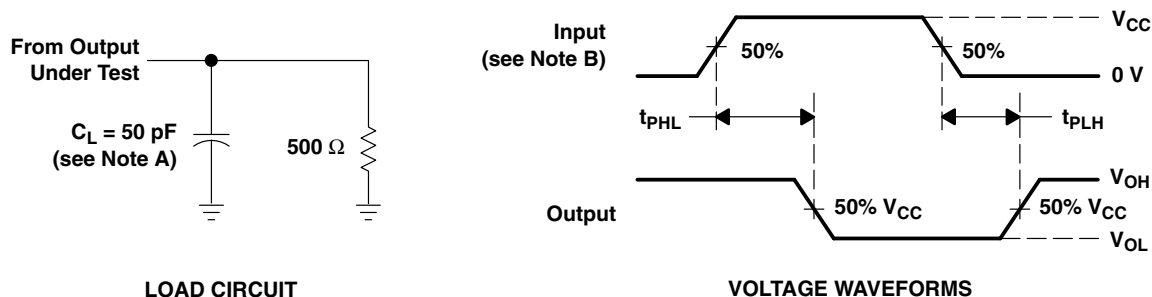
switching characteristics over recommended operating free-air temperature range,  
 $V_{CC} = 5 \text{ V} \pm 0.5 \text{ V}$  (unless otherwise noted) (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	$T_A = 25^\circ\text{C}$			MIN	MAX	UNIT
			MIN	TYP	MAX			
$t_{PLH}$	A	Y	1.5	4.2	6.3	1.5	7.1	ns
$t_{PHL}$			1.5	3.8	5.5	1.5	6	

operating characteristics,  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^\circ\text{C}$

PARAMETER		TEST CONDITIONS		TYP	UNIT
$C_{pd}$	Power dissipation capacitance per inverter	$C_L = 50 \text{ pF}$	$f = 1 \text{ MHz}$	29	pF

## PARAMETER MEASUREMENT INFORMATION



- NOTES: A.  $C_L$  includes probe and jig capacitance.  
 B. Input pulses are supplied by generators having the following characteristics:  $PRR \leq 1 \text{ MHz}$ ,  $Z_O = 50 \Omega$ ,  $t_r = 3 \text{ ns}$ ,  $t_f = 3 \text{ ns}$ .  
 C. The outputs are measured one at a time with one input transition per measurement.

Figure 1. Load Circuit and Voltage Waveforms



# SN74HCS03 Quadruple 2-Input NAND Gates with Open-Drain Outputs and Schmitt-Trigger Inputs

## 1 Features

- Wide operating voltage range: 2 V to 6 V
- Schmitt-trigger inputs allow for slow or noisy input signals
- Low power consumption
  - Typical  $I_{CC}$  of 100 nA
  - Typical input leakage current of  $\pm 100$  nA
- $\pm 7.8$ -mA output drive at 5 V
- Extended ambient temperature range:  $-40^{\circ}\text{C}$  to  $+125^{\circ}\text{C}$ ,  $T_A$

## 2 Applications

- [Combine power good signals](#)
- [Combine enable signals](#)

## 3 Description

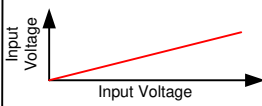
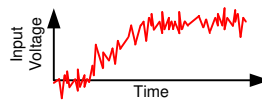
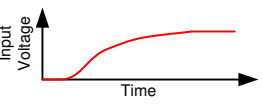
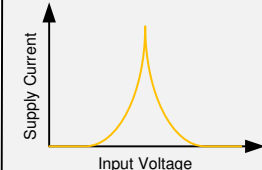
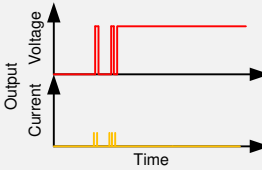
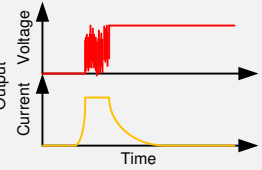
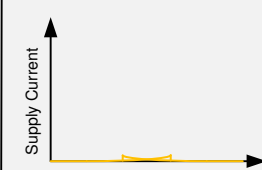

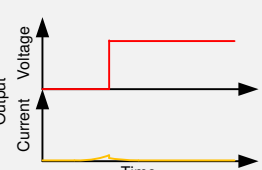
This device contains four independent 2-input NAND gates with open-drain outputs and Schmitt-trigger inputs. Each gate performs the Boolean function  $Y = A \bullet B$  in positive logic.

### Device Information<sup>(1)</sup>

PART NUMBER	PACKAGE	BODY SIZE (NOM)
SN74HCS03DR	SOIC (14)	8.70 mm × 3.90 mm
SN74HCS03PWR	TSSOP (14)	5.00 mm × 4.40 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.

### Benefits of Schmitt-Trigger Inputs

	Low Power	Noise Rejection	Supports Slow Inputs
Input Voltage Waveforms			
Standard CMOS Input Response Waveforms			
Schmitt-trigger CMOS Input Response Waveforms			





## 6.5 Electrical Characteristics

over operating free-air temperature range; typical values measured at  $T_A = 25^\circ\text{C}$  (unless otherwise noted).

PARAMETER		TEST CONDITIONS		$V_{CC}$	MIN	TYP	MAX	UNIT
$V_{T+}$	Positive switching threshold			2 V	0.7		1.5	V
				4.5 V	1.7		3.15	
				6 V	2.1		4.2	
$V_{T-}$	Negative switching threshold			2 V	0.3		1.0	V
				4.5 V	0.9		2.2	
				6 V	1.2		3.0	
$\Delta V_T$	Hysteresis ( $V_{T+} - V_{T-}$ ) <sup>(1)</sup>			2 V	0.2		1.0	V
				4.5 V	0.4		1.4	
				6 V	0.6		1.6	
$V_{OL}$	Low-level output voltage	$V_I = V_{IH}$ or $V_{IL}$	$I_{OL} = 20\ \mu\text{A}$	2 V to 6 V		0.002	0.1	V
			$I_{OL} = 6\ \text{mA}$	4.5 V		0.18	0.30	
			$I_{OL} = 7.8\ \text{mA}$	6 V		0.22	0.33	
$I_I$	Input leakage current	$V_I = V_{CC}$ or 0		6 V		$\pm 100$	$\pm 1000$	nA
$I_{CC}$	Supply current	$V_I = V_{CC}$ or 0, $I_O = 0$		6 V		0.1	2	$\mu\text{A}$
$C_i$	Input capacitance			2 V to 6 V			5	pF

(1) Guaranteed by design.

## 6.6 Switching Characteristics

$C_L = 50\ \text{pF}$ ; over operating free-air temperature range (unless otherwise noted). See [Parameter Measurement Information](#).

PARAMETER		FROM (INPUT)	TO (OUTPUT)	$V_{CC}$	MIN	TYP <sup>(1)</sup>	MAX	UNIT
$t_{pd}$	Propagation delay	A or B	Y	2 V		15	25	ns
				4.5 V		9	13	
				6 V		9	12	
$t_t$	Transition-time		Y	2 V		9	16	ns
				4.5 V		5	9	
				6 V		4	8	

(1)  $T_A = 25^\circ\text{C}$

## 6.7 Operating Characteristics

over operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP <sup>(1)</sup>	MAX	UNIT
$C_{pd}$	Power dissipation capacitance per gate	No load		10		pF

(1)  $T_A = 25^\circ\text{C}$



## SN74HCS7002 Quadruple 2-Input NOR Gates with Schmitt-Trigger Inputs

### 1 Features

- Wide operating voltage range: 2 V to 6 V
- Schmitt-trigger inputs allow for slow or noisy input signals
- Low power consumption
  - Typical  $I_{CC}$  of 100 nA
  - Typical input leakage current of  $\pm 100$  nA
- $\pm 7.8$ -mA output drive at 5 V
- Extended ambient temperature range:  $-40^{\circ}\text{C}$  to  $+125^{\circ}\text{C}$ ,  $T_A$

### 2 Applications

- [Alarm / tamper detect circuit](#)
- S-R latch

### 3 Description

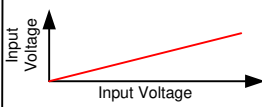
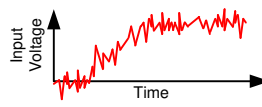
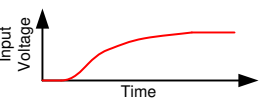
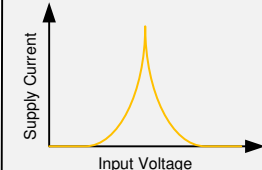
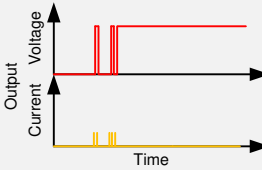
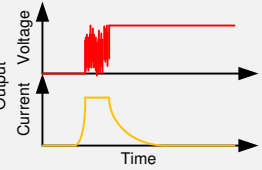
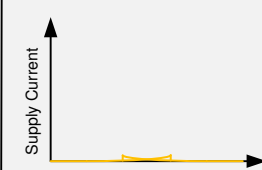

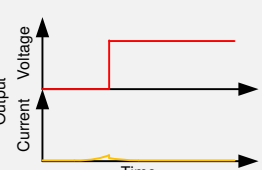
This device contains four independent 2-input NOR Gates with Schmitt-trigger inputs. Each gate performs the Boolean function  $Y = A + B$  in positive logic.

#### Device Information<sup>(1)</sup>

PART NUMBER	PACKAGE	BODY SIZE (NOM)
SN74HCS7002QDR	SOIC (14)	8.70 mm × 3.90 mm
SN74HCS7002PWR	TSSOP (14)	5.00 mm × 4.40 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.

#### Benefits of Schmitt-trigger Inputs

	Low Power	Noise Rejection	Supports Slow Inputs
Input Voltage Waveforms			
Standard CMOS Input Response Waveforms			
Schmitt-trigger CMOS Input Response Waveforms			



## 6.5 Electrical Characteristics

over operating free-air temperature range; typical ratings measured at  $T_A = 25^\circ\text{C}$  (unless otherwise noted).

PARAMETER		TEST CONDITIONS		$V_{CC}$	MIN	TYP	MAX	UNIT
$V_{T+}$	Positive switching threshold			2 V	0.7		1.5	V
				4.5 V	1.7		3.15	
				6 V	2.1		4.2	
$V_{T-}$	Negative switching threshold			2 V	0.3		1.0	V
				4.5 V	0.9		2.2	
				6 V	1.2		3.0	
$\Delta V_T$	Hysteresis ( $V_{T+} - V_{T-}$ )			2 V	0.2		1.0	V
				4.5 V	0.4		1.4	
				6 V	0.6		1.6	
$V_{OH}$	High-level output voltage	$V_I = V_{IH}$ or $V_{IL}$	$I_{OH} = -20\ \mu\text{A}$	2 V to 6 V	$V_{CC} - 0.1$	$V_{CC} - 0.002$		V
			$I_{OH} = -6\ \text{mA}$	4.5 V	4.0	4.3		
			$I_{OH} = -7.8\ \text{mA}$	6 V	5.4	5.75		
$V_{OL}$	Low-level output voltage	$V_I = V_{IH}$ or $V_{IL}$	$I_{OL} = 20\ \mu\text{A}$	2 V to 6 V		0.002	0.1	V
			$I_{OL} = 6\ \text{mA}$	4.5 V		0.18	0.30	
			$I_{OL} = 7.8\ \text{mA}$	6 V		0.22	0.33	
$I_I$	Input leakage current	$V_I = V_{CC}$ or 0		6 V		$\pm 100$	$\pm 1000$	nA
$I_{CC}$	Supply current	$V_I = V_{CC}$ or 0, $I_O = 0$		6 V		0.1	2	$\mu\text{A}$
$C_i$	Input capacitance			2 V to 6 V			5	pF
$C_{pd}$	Power dissipation capacitance per gate	No load		2 V to 6 V		10		pF

## 6.6 Switching Characteristics

over operating free-air temperature range; typical ratings measured at  $T_A = 25^\circ\text{C}$  (unless otherwise noted). See [Parameter Measurement Information](#).

PARAMETER		FROM (INPUT)	TO (OUTPUT)	$V_{CC}$	MIN	TYP	MAX	UNIT
$t_{pd}$	Propagation delay	A or B	Y	2 V		16	32	ns
				4.5 V		7	15	
				6 V		6	12	
$t_t$	Transition-time	A or B	Y	2 V		7.7	13	ns
				4.5 V		4	6.1	
				6 V		3.5	5.1	



## SN74HCS10 Triple 3-Input NAND Gates with Schmitt-Trigger Inputs

### 1 Features

- Wide operating voltage range: 2 V to 6 V
- Schmitt-trigger inputs allow for slow or noisy input signals
- Low power consumption
  - Typical  $I_{CC}$  of 100 nA
  - Typical input leakage current of  $\pm 100$  nA
- $\pm 7.8$ -mA output drive at 5 V
- Extended ambient temperature range:  $-40^{\circ}\text{C}$  to  $+125^{\circ}\text{C}$ ,  $T_A$

### 2 Applications

- [Alarm / tamper detect circuit](#)
- S-R latch

### 3 Description

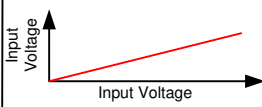
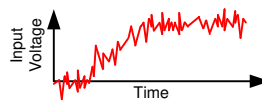
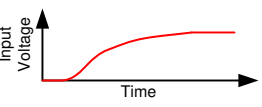
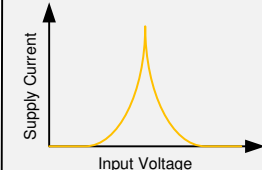
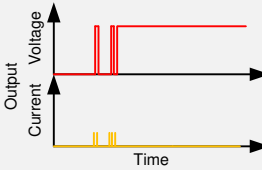
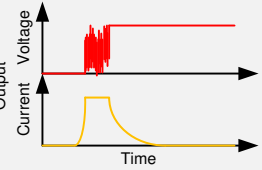
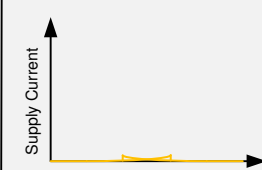

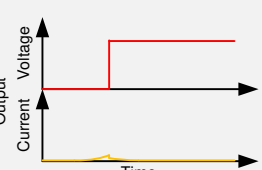
This device contains three independent 3-input NAND Gates with Schmitt-trigger inputs. Each gate performs the Boolean function  $Y = A \bullet B \bullet C$  in positive logic.

#### Device Information<sup>(1)</sup>

PART NUMBER	PACKAGE	BODY SIZE (NOM)
SN74HCS10DR	SOIC (14)	8.70 mm × 3.90 mm
SN74HCS10PWR	TSSOP (14)	5.00 mm × 4.40 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.

#### Benefits of Schmitt-trigger Inputs

	Low Power	Noise Rejection	Supports Slow Inputs
Input Voltage Waveforms			
Standard CMOS Input Response Waveforms			
Schmitt-trigger CMOS Input Response Waveforms			



## Electrical Characteristics (continued)

over operating free-air temperature range; typical values measured at  $T_A = 25^\circ\text{C}$  (unless otherwise noted).

PARAMETER	TEST CONDITIONS	$V_{CC}$	MIN	TYP	MAX	UNIT
$C_{pd}$	Power dissipation capacitance per gate	No load	2 V to 6 V	10		pF

## 6.6 Switching Characteristics

$C_L = 50$  pF; over operating free-air temperature range; typical values measured at  $T_A = 25^\circ\text{C}$  (unless otherwise noted). See [Parameter Measurement Information](#).

PARAMETER		FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub>	MIN	TYP	MAX	UNIT
t <sub>pd</sub>	Propagation delay	A or B or C	Y	2 V		14	40	ns
				4.5 V		6	17	
				6 V		5	16	
t <sub>t</sub>	Transition-time		Y	2 V		9	16	ns
				4.5 V		5	9	
				6 V		4	8	

## 6.7 Typical Characteristics

$T_A = 25^\circ\text{C}$

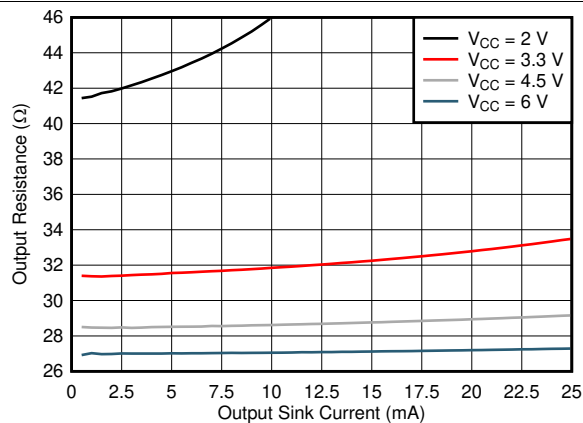


Figure 1. Output driver resistance in Low state

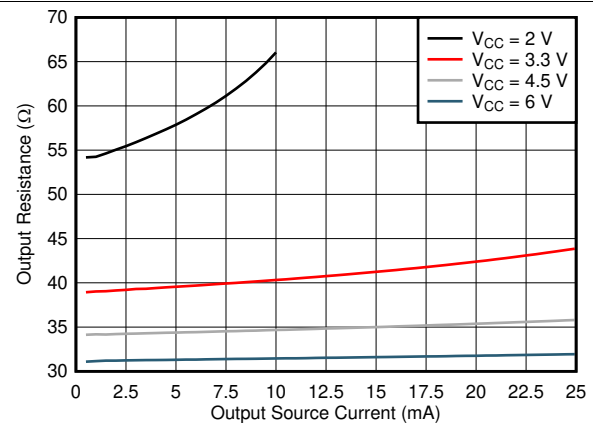


Figure 2. Output driver resistance in High state

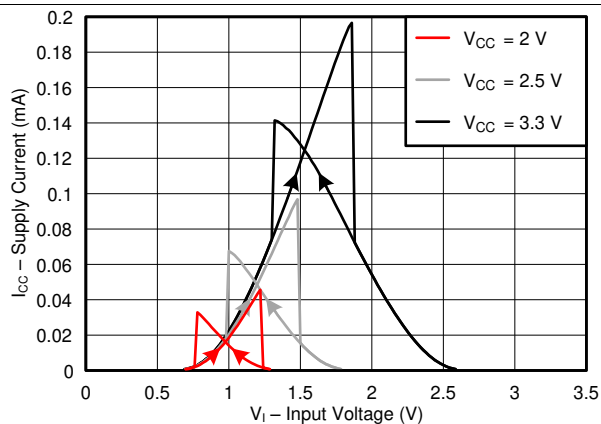


Figure 3. Typical supply current versus input voltage across common supply values (2 V to 3.3 V)

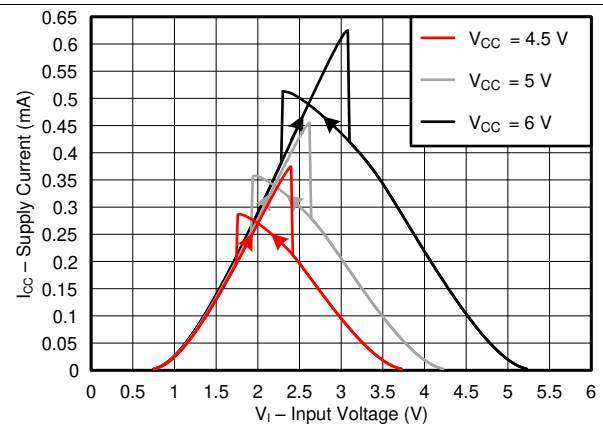


Figure 4. Typical supply current versus input voltage across common supply values (4.5 V to 6 V)



## SN74HCS27 Triple 3-Input NOR Gates with Schmitt-Trigger Inputs

### 1 Features

- Wide operating voltage range: 2 V to 6 V
- Schmitt-trigger inputs allow for slow or noisy input signals
- Low power consumption
  - Typical  $I_{CC}$  of 100 nA
  - Typical input leakage current of  $\pm 100$  nA
- $\pm 7.8$ -mA output drive at 5 V
- Extended ambient temperature range:  $-40^{\circ}\text{C}$  to  $+125^{\circ}\text{C}$ ,  $T_A$

### 2 Applications

- [Alarm / tamper detect circuit](#)
- S-R latch

### 3 Description

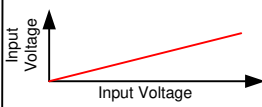
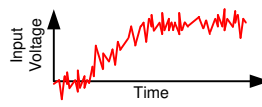
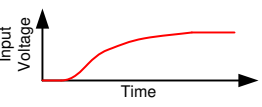
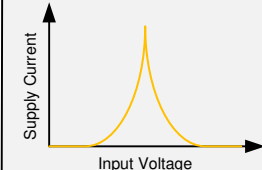
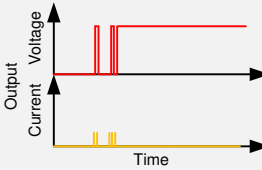
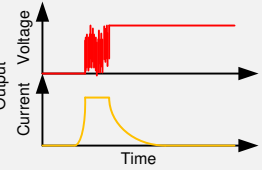
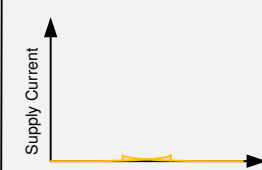

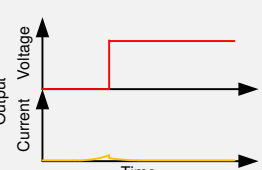
This device contains three independent 3-input NOR Gates with Schmitt-trigger inputs. Each gate performs the Boolean function  $Y = A + B + C$  in positive logic.

#### Device Information<sup>(1)</sup>

PART NUMBER	PACKAGE	BODY SIZE (NOM)
SN74HCS27DR	SOIC (14)	8.70 mm x 3.90 mm
SN74HCS27PWR	TSSOP (14)	5.00 mm x 4.40 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.

#### Benefits of Schmitt-trigger Inputs

	Low Power	Noise Rejection	Supports Slow Inputs
Input Voltage Waveforms			
Standard CMOS Input Response Waveforms			
Schmitt-trigger CMOS Input Response Waveforms			



## 6.5 Electrical Characteristics

over operating free-air temperature range; typical ratings measured at TA = 25°C (unless otherwise noted).

PARAMETER		TEST CONDITIONS		V <sub>CC</sub>	MIN	TYP	MAX	UNIT
V <sub>T+</sub>	Positive switching threshold			2 V	0.7		1.5	V
				4.5 V	1.7		3.15	
				6 V	2.1		4.2	
V <sub>T-</sub>	Negative switching threshold			2 V	0.3		1.0	V
				4.5 V	0.9		2.2	
				6 V	1.2		3.0	
ΔV <sub>T</sub>	Hysteresis (V <sub>T+</sub> - V <sub>T-</sub> )			2 V	0.2		1.0	V
				4.5 V	0.4		1.4	
				6 V	0.6		1.6	
V <sub>OH</sub>	High-level output voltage	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>OH</sub> = -20 μA	2 V to 6 V	V <sub>CC</sub> - 0.1	V <sub>CC</sub> - 0.002		V
			I <sub>OH</sub> = -6 mA	4.5 V	4	4.3		
			I <sub>OH</sub> = -7.8 mA	6 V	5.4	5.75		
V <sub>OL</sub>	Low-level output voltage	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>OL</sub> = 20 μA	2 V to 6 V		0.002	0.1	V
			I <sub>OL</sub> = 6 mA	4.5 V		0.18	0.30	
			I <sub>OL</sub> = 7.8 mA	6 V		0.22	0.33	
I <sub>I</sub>	Input leakage current	V <sub>I</sub> = V <sub>CC</sub> or 0		6 V		±100	±1000	nA
I <sub>CC</sub>	Supply current	V <sub>I</sub> = V <sub>CC</sub> or 0, I <sub>O</sub> = 0		6 V		0.1	2	μA
C <sub>i</sub>	Input capacitance			2 V to 6 V			5	pF
C <sub>pd</sub>	Power dissipation capacitance per gate	No load		2 V to 6 V		10		pF

## 6.6 Switching Characteristics

over operating free-air temperature range; typical ratings measured at TA = 25°C (unless otherwise noted). See the [Parameter Measurement Information](#).

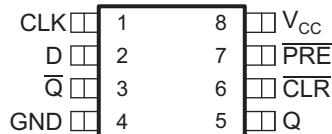
PARAMETER		FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub>	MIN	TYP	MAX	UNIT
t <sub>pd</sub>	Propagation delay	A or B or C	Y	2 V		15	32	ns
				4.5 V		7	15	
				6 V		6	12	
t <sub>t</sub>	Transition-time		Y	2 V		9	17	ns
				4.5 V		5	8	
				6 V		4	7	

## SINGLE POSITIVE EDGE TRIGGERED D-TYPE FLIP-FLOP WITH CLEAR AND PRESET

### FEATURES

- **Controlled Baseline**
    - One Assembly Site
    - One Test Site
    - One Fabrication Site
  - **Extended Temperature Performance of –55°C to 125°C**
  - **Enhanced Diminishing Manufacturing Sources (DMS) Support**
  - **Enhanced Product-Change Notification**
  - **Qualification Pedigree <sup>(1)</sup>**
  - **Supports 5-V  $V_{CC}$  Operation**
- (1) Component qualification in accordance with JEDEC and industry standards to ensure reliable operation over an extended temperature range. This includes, but is not limited to, Highly Accelerated Stress Test (HAST) or biased 85/85, temperature cycle, autoclave or unbiased HAST, electromigration, bond intermetallic life, and mold compound life. Such qualification testing should not be viewed as justifying use of this component beyond specified performance and environmental limits.
- **Inputs Accept Voltages to 5.5 V**
  - **Max  $t_{pd}$  of 7.9 ns at 3.3 V**
  - **Low Power Consumption, 10  $\mu$ A Max  $I_{CC}$**
  - **$\pm 24$  mA Output Drive at 3.3 V**
  - **Typical  $V_{OLP}$  (Output Ground Bounce) <0.8 V at  $V_{CC} = 3.3$  V,  $T_A = 25^\circ\text{C}$**
  - **Typical  $V_{OHV}$  (Output  $V_{OH}$  Undershoot) >2 V at  $V_{CC} = 3.3$  V,  $T_A = 25^\circ\text{C}$**
  - **$I_{off}$  Supports Partial Power Down Mode Operation**
  - **Latch-Up Performance Exceeds 100 mA Per JESD 78, Class II**
  - **ESD Protection Exceeds JESD 22**
    - **2000-V Human-Body Model (A114-A)**
    - **200-V Machine Model (A115-A)**
    - **1000-V Charged-Device Model (C101)**

**DCU PACKAGE  
(TOP VIEW)**



### DESCRIPTION/ORDERING INFORMATION

This single positive edge triggered D-type flip-flop is designed for 1.65-V to 5.5-V  $V_{CC}$  operation.

A low level at the preset ( $\overline{PRE}$ ) or clear ( $\overline{CLR}$ ) input sets or resets the outputs, regardless of the levels of the other inputs. When PRE and CLR are inactive (high), data at the data (D) input meeting the setup time requirements is transferred to the outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level and is not related directly to the rise time of the clock pulse. Following the hold-time interval, data at the D input can be changed without affecting the levels at the outputs.

This device is fully specified for partial power down applications using  $I_{off}$ . The  $I_{off}$  circuitry disables the outputs, preventing damaging current backflow through the device when it is powered down.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.



## Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS	V <sub>CC</sub>	MIN	TYP <sup>(1)</sup>	MAX	UNIT
V <sub>OH</sub>		I <sub>OH</sub> = –100 µA	1.65 V to 5.5 V	V <sub>CC</sub> – 0.1			V
		I <sub>OH</sub> = –4 mA	1.65 V	1.2			
		I <sub>OH</sub> = –8 mA	2.3 V	1.9			
		I <sub>OH</sub> = –16 mA	3 V	2.4			
		I <sub>OH</sub> = –24 mA		2.3			
		I <sub>OH</sub> = –24 mA	4.5 V	3.8			
V <sub>OL</sub>		I <sub>OL</sub> = 100 µA	1.65 V to 5.5 V	0.1			V
		I <sub>OL</sub> = 4 mA	1.65 V	0.45			
		I <sub>OL</sub> = 8 mA	2.3 V	0.3			
		I <sub>OL</sub> = 16 mA	3 V	0.4			
		I <sub>OL</sub> = 24 mA		0.55			
		I <sub>OL</sub> = 24 mA	4.5 V	0.55			
I <sub>I</sub>	Data or control inputs	V <sub>I</sub> = 5.5 V or GND	0 to 5.5 V	±5			µA
I <sub>off</sub>		V <sub>I</sub> or V <sub>O</sub> = 5.5 V	0	±10			µA
I <sub>CC</sub>		V <sub>I</sub> = 5.5 V or GND, I <sub>O</sub> = 0	1.65 V to 5.5 V	10			µA
ΔI <sub>CC</sub>		One input at V <sub>CC</sub> – 0.6 V, Other inputs at V <sub>CC</sub> or GND	3 V to 5.5 V	500			µA
C <sub>i</sub>		V <sub>I</sub> = V <sub>CC</sub> or GND	3.3 V	5			pF

(1) All typical values are at V<sub>CC</sub> = 3.3 V, T<sub>A</sub> = 25°C.

## Timing Requirements

over recommended operating free-air temperature range (unless otherwise noted) (see Figure 1)

			V <sub>CC</sub> = 3.3 V ± 0.3 V		V <sub>CC</sub> = 5 V ± 0.5 V		UNIT
			MIN	MAX	MIN	MAX	
f <sub>clock</sub>			175		200		MHz
t <sub>w</sub>	Pulse duration	CLK	2.7		2		ns
		$\overline{\text{PRE}}$ or $\overline{\text{CLR}}$ low	2.7		2		
t <sub>su</sub>	Setup time, before CLK↑	Data	1.3		1.1		ns
		$\overline{\text{PRE}}$ or $\overline{\text{CLR}}$ inactive	1.2		1.2		
t <sub>h</sub>	Hold time, data after CLK↑		1.2		0.5		ns

## Switching Characteristics

over recommended operating free-air temperature range (unless otherwise noted) (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub> = 3.3 V ± 0.3 V		V <sub>CC</sub> = 5 V ± 0.5 V		UNIT
			MIN	MAX	MIN	MAX	
f <sub>max</sub>			175		200		MHz
t <sub>pd</sub>	CLK	Q	2.2	7.9	1.4	6.1	ns
		Q̄	2.6	8.2	1.6	6.4	
	PRE or CLR	Q or Q̄	1.7	7.9	1.6	6.1	