

Universidad de Costa Rica
Facultad de Ingeniería
Escuela de Ingeniería Eléctrica

IE0411 - Microelectrónica: Sistemas en Silicio I

Tarea 1

Prof. Javier Pacheco Brito

Por:
Marco Chacon Soto, B61868

16 de septiembre de 2020

Índice

1. Introducción	3
2. Plan de verificación	3
3. Consideraciones	3
4. Resultados Obtenidos	4
4.1. Pruebas de las señales de reset y enable	4
4.2. Pruebas negativas	5
4.3. Pruebas del modo 00	6
4.4. Pruebas del modo 01	7
4.5. Pruebas del modo 10	8
4.6. Pruebas del modo 11	9
4.7. Pruebas con valores de entrada random	10
5. Repositorio	11
6. Conclusiones y recomendaciones	11

Índice de figuras

1.	Resultados de las primeras pruebas de las señales de reset y enable. Simulado en GTKwave	4
2.	Resultados de las pruebas negativas 1. Simulado en GTKwave	5
3.	Resultados de las pruebas negativas 2. Simulado en GTKwave	6
4.	Resultados de las pruebas del modo 00. Simulado en GTKwave	6
5.	Resultados de las pruebas del modo 01. Simulado en GTKwave	8
6.	Resultados de las pruebas del modo 10. Simulado en GTKwave	9
7.	Resultados de las pruebas de las señales de control en el modo 10. Simulado en GTKwave	9
8.	Resultados de las pruebas del modo 11. Simulado en GTKwave	10
9.	Resultados de las pruebas con valores de entrada random. Simulado en GTKwave	11

1. Introducción

El siguiente reporte contiene los resultados obtenidos de la verificación funcional de tres contadores sincrónicos de 4 bits a partir de la verificación basada en simulación. Inicialmente se parte de la especificación funcional de los diseños para desarrollar un plan de verificación el cuál contenga la mayor cantidad de posibles escenarios que el ambiente de verificación puede crear. Seguidamente se crean los módulos **counter_tb.v**, **scoreboard.v**, **driver.v**, **clock.v** y **checker.v**, a partir de los cuales se realiza la verificación funcional.

Se incluyen también las observaciones de los resultados obtenidos, el repositorio del git donde se encuentran los archivos y las recomendaciones.

2. Plan de verificación

Una vez se lea la documentación del diseño se debe entender todas las entradas y salidas. Para luego entender la funcionalidad del diseño con el fin de predecir la salida con base en las entradas.

Con el fin de maximizar los posibles escenarios, se crea una variedad amplia de patrones para los buses de datos de entrada, iniciando con pruebas básicas de funcionamiento como lo son que las señales cambien en el flanco positivo del reloj hasta los casos más específicos como utilizar valores extremos, intermedios e inválidos y finalmente realizar pruebas negativas, como lo puede ser leer cuando no hay nada en la entrada D. Se plantean los siguientes escenarios para las pruebas:

- Contar con enable arriba siempre empezando en valor de reset y llegar a los casos limite para verificar que reinicia (El estado debe cambiar correctamente para cada modo)
- Verificar que la entrada D no tiene efecto en la salida Q a menos que la señal mode tenga un valor 11
- Verificar que Q se comporte como debe realizando toggles aleatorios a enable
- Revisar la salida en alta impedancia cuando las señales enable y reset se encuentren en 0
- Revisar que el flanco activo de reloj sea el creciente
- Utilizar inputs mayores a 4 bits para D en modo 11 y mayores a 2 bits para la señal mode
- Verificar que la señal rco se mantenga en bajo en modo 11 y se active al llegar al estado limite dependiendo del modo
- Verificar que la señal load se mantenga en bajo si el modo es diferente de carga(11)

3. Consideraciones

Para todas las pruebas se utilizaron señales de entrada cuyo flanco activo fuera el flanco negativo de la señal del reloj, esto con el fin de verificar que las salidas cambien en el flanco creciente de la señal de reloj y además reducir problemas de timing en las señales debido a la frecuencia del reloj con la que se trabaja.

Inicialmente se utilizó un delay en el scoreboard con el fin de sincronizar las salidas de los contadores con la salida del scoreboard al iniciar en estado de alta impedancia, sin embargo, al hacer esto se

tendría una verificación diferente a la del resto de compañeros ya que algunas señales de control, se desincronizaban, así como la duración del reset del scoreboard. Debido a esto se decidió trabajar sin este delay en el scoreboard.

4. Resultados Obtenidos

4.1. Pruebas de las señales de reset y enable

Para esta sección se realizaron diferentes pruebas con las señales de reset y enable, en la figura 1 se pueden observar los resultados de las primeras pruebas en donde las señales Q_A , Q_B , Q_C y Q_sb representan las salidas del contador A, B, C y del scoreboard respectivamente.

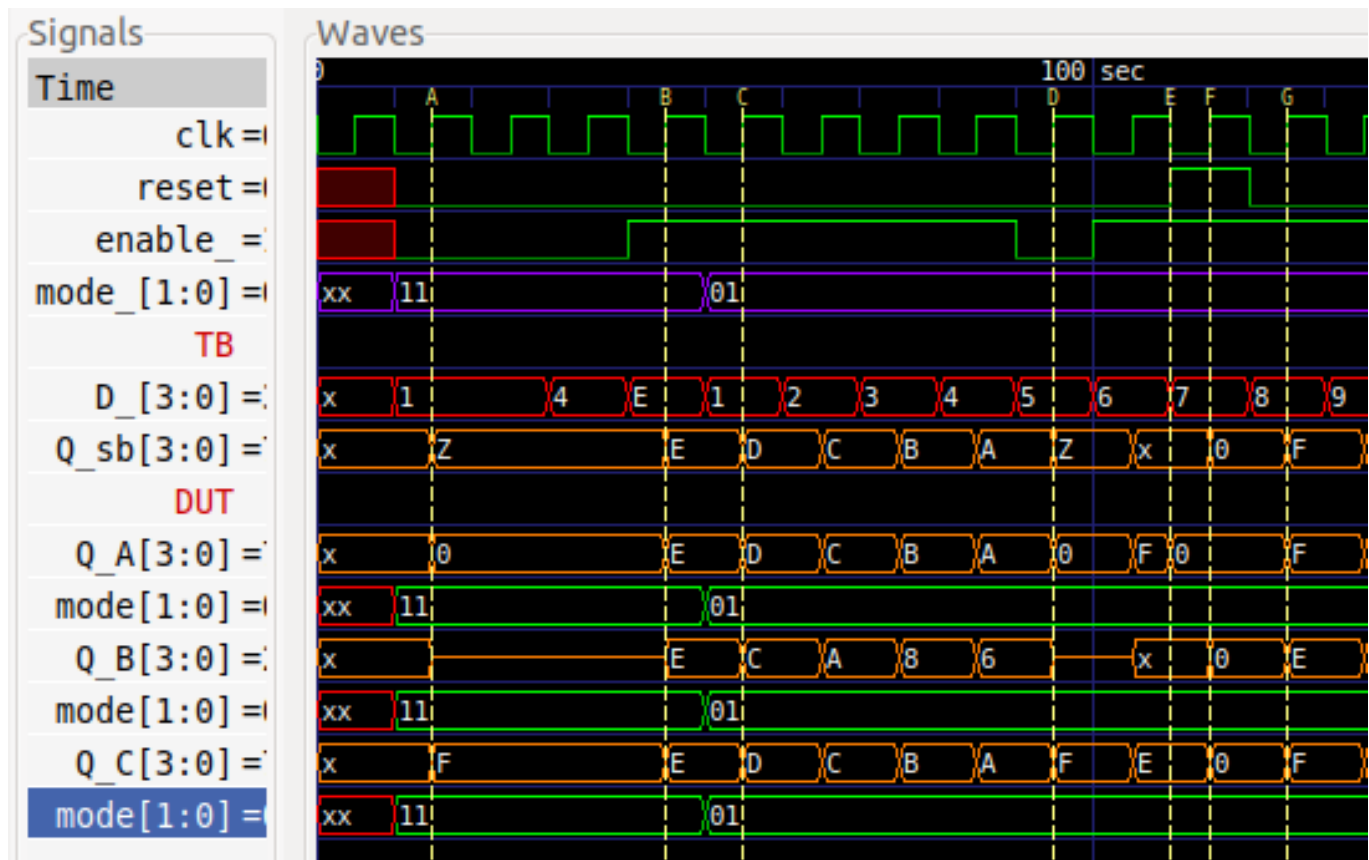


Figura 1: Resultados de las primeras pruebas de las señales de reset y enable. Simulado en GTKwave

Inicialmente, en el marcador **A**, se observa como las tres salidas de los contadores cambian en el flanco positivo de la señal de reloj, sin embargo, en el marcador **E** se observar que la salida del contador A también cambia con el flanco positivo de la señal de reset, lo cuál no se encontraba en las especificaciones. Además, desde el marcador **A** hasta el marcador **B** se observa la condición $enable = 0$ y $reset = 0$, para la cuál se espera una salida de alta impedancia y este es el caso para las salidas Q_B y Q_sb , mientras que la salida del contador A es cero y la del contador C es F por lo cuál no cumplen con esta especificación.

Seguidamente desde el marcador **B** hasta el **C** se muestran las salidas de los contadores ante un cambio en la señal de enable, la cuál pasó a ser 1. El comportamiento es el esperado para los tres contadores en el modo 11.

Luego, en el marcador **D** se pone en bajo la señal de enable y la de reset, el comportamiento de las señales de salida de los contadores y el scoreboard nuevamente muestran que dos de ellas no cumplen con la especificación.

En el marcador **E** se pone en alto la señal de reset en el flanco negativo de la señal de reloj y en este mismo flanco la señal de salida del contador 1 cambia, indicando que esta señal no solo cambia en los cambios positivos de la señal de reloj sino que también en los flancos positivos de la señal de reset. Se observa además que los contadores C y B responden correctamente a la señal de reset, poniendo en su salida un 0 en el flanco positivo de la señal de reloj como se observa en el marcador **F**.

4.2. Pruebas negativas

Se realizaron pruebas negativas, como lo es leer la salida sin ningún input en la entrada **D** y utilizar entradas de mayor cantidad de bits (entradas >4 bits para D y >2 bits para mode). Los resultados de estas pruebas se muestran en la figura 2

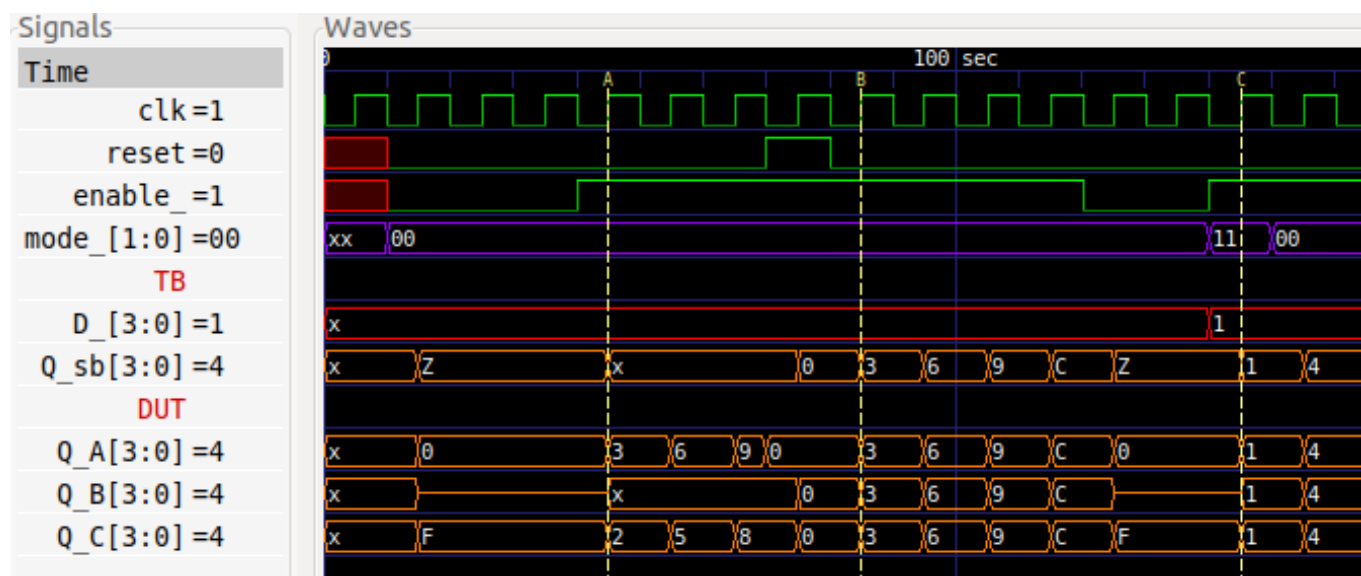


Figura 2: Resultados de las pruebas negativas 1. Simulado en GTKwave

Se observa que las salidas de los contadores A y C toman valores cuando se pone en alto la señal de enable, esto debido a que su salida se encuentra en 0 y en F respectivamente cuando la señal de reset está en 0 y la de enable está en 0. Por otra parte, la salida del contador A se comporta como es de esperar ya que al no tener valores en la entrada D, únicamente va a tomar valores cuando o se reinicie el contador (marcador **A**) o bien se utilice el modo 11 (marcador **C**).

Además, se utilizó una señal de enable indeterminada para observar el comportamiento de las salidas de los contadores, el cual se observa en la siguiente figura

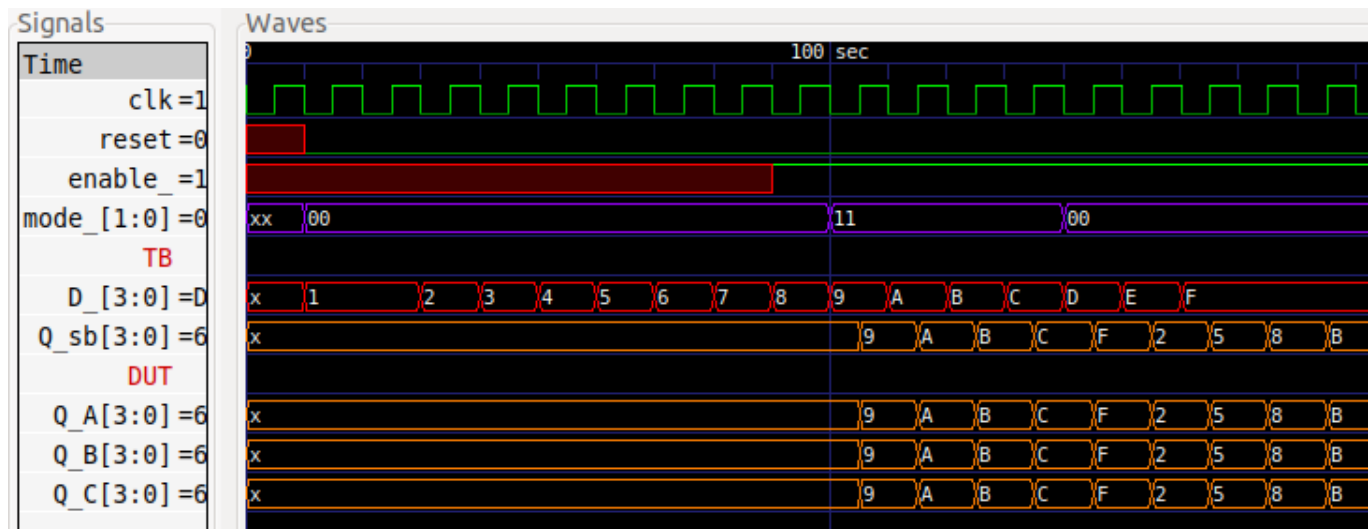


Figura 3: Resultados de las pruebas negativas 2. Simulado en GTKwave

Como se observa en la figura 3, cuando la señal de enable es indeterminada es necesario que los contadores reciban ya sea una señal de reset o bien que se encuentren en estado 11 para que su salida no sea indeterminada.

4.3. Pruebas del modo 00

Para esta sección de pruebas se utilizan valores no aleatorios en la entrada D con el objetivo de probar el funcionamiento de las señales de control **rco** y **load**. Los resultados obtenidos se observan en la figura 4

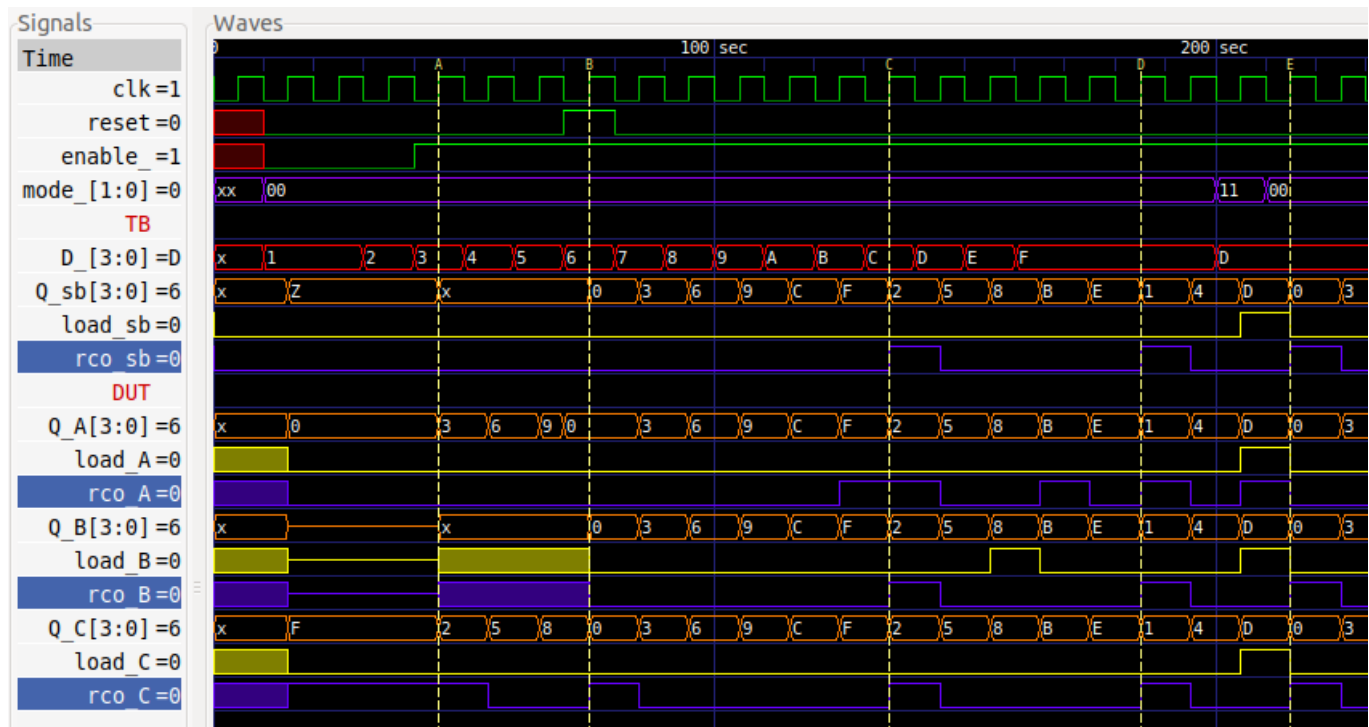


Figura 4: Resultados de las pruebas del modo 00. Simulado en GTKwave

Este modo corresponde a la suma de 3 con respecto a la salida anterior ($Q + 3$). Antes del marcador **A**, la salida que se espera es de alta impedancia ya que las señales reset y enable se encuentran en 0, sin embargo este no es el caso para las salidas **Q_A** ni **Q_C**, las cuales presentan un incorrecto funcionamiento. Una vez que llega la señal de enable (marcadores **A-B**), se espera tener un valor indeterminado en la salida, ya que no se ha iniciado el contador mediante una señal de reset o utilizando el modo 11 y al observar la salida **Q_A** se puede ver que se comporta como si hubiese sido iniciada en 0 debido a que su estado para enable = 0 y reset = 0 ya es 0. Por otra parte, la salida **Q_B** presenta el mismo comportamiento que la salida del scoreboard, por lo cuál se considera que presenta un correcto funcionamiento. Finalmente, la salida **Q_C** se comporta como si hubiese sido inicializada en F, esto debido a que su estado para enable = 0 y reset = 0 es F.

Una vez llegue la señal de reset (marcador **B**), se espera que en el flanco positivo de la señal de reloj el valor de las salidas de los contadores se inicialice en 0 e inicien a operar en modo 00, sin embargo y como fue mencionado anteriormente, la salida **Q_A** responde tanto al flanco positivo de la señal de reloj como al de la señal de reset. Por otra parte, cuando se hace reset las 3 señales se comportan como es de esperar para el modo 00.

En el marcador **C** se observa el comportamiento de las señales **rco** de cada modo, es importante recordar que para el modo 00, debido a que se cuenta de 3 en 3, se espera que esta señal se ponga en 1 para los valores 13(D), 14(E) y 15 (F) ya que estos indican que el contador ha llegado a su cuenta límite. Este comportamiento se observa en la señal **rco_sb**, la cuál se pone en alto en los marcadores **C**, **D** y **E** para los números 15, 14 y 13 respectivamente, sin embargo este comportamiento únicamente lo presentan las señales **rco_sb** y **rco_B**, de esta manera se comprueba que las señales **rco_A** y **rco_C** presentan un comportamiento incorrecto.

Finalmente, se puede observar que las señales de load para los contadores A y C muestran un correcto funcionamiento hasta ahora, al ponerse en alto cuando se encuentre en modo 11 (marcador E) pero la señal **load_B** también se pone en alto en modo 00 lo cuál no es esperado.

4.4. Pruebas del modo 01

Para el modo 01 se espera obtener en la salida la resta de 1 con respecto a la salida anterior ($Q - 1$). En la figura 5 se muestran los resultados de las pruebas para el modo 01

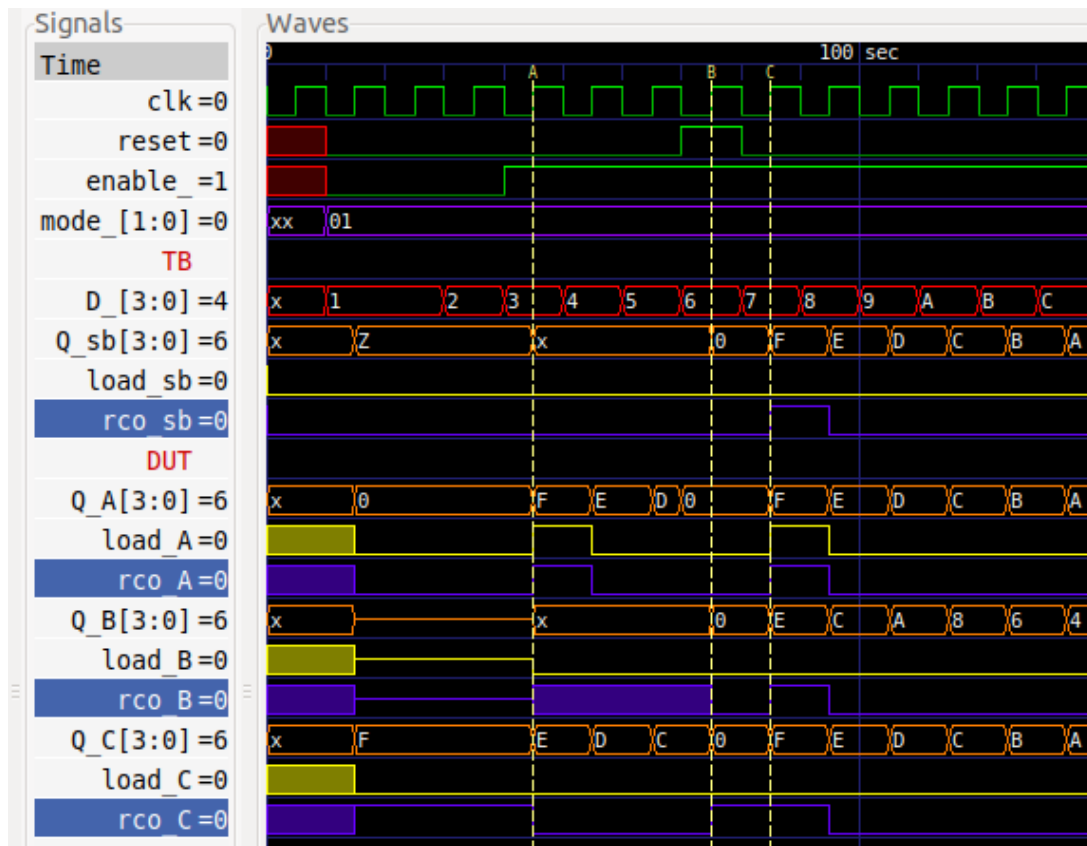


Figura 5: Resultados de las pruebas del modo 01. Simulado en GTKwave

En el marcador **A** se observa el estado de las señales de salida cuando la señal de enable se pone en alto y nuevamente se puede ver que las salidas **Q_C** y **Q_A** toman valores incorrectos debido a que su estado inicial no es un estado de alta impedancia y por lo tanto no necesitan de la señal de reset o bien del modo 11 para tomar valores. Por otra parte, cuando se hace reset se observa como todas las salidas se ponen en 0 y en el marcador **C** se ve cómo la señal **Q_B** cambia de manera inesperada a un ratio de $Q - 2$ mientras que las señales **Q_A** y **Q_C** cambian como se espera.

Por otra parte al analizar el comportamiento de las señales de load se observa que, para el modo 01, **load_A** presenta errores ya que se levanta cuando la salida del contador es 0, mientras que las señales **load_B** y **load_C** presentan un comportamiento esperado. Finalmente se analizan las señales rco y se observa que nuevamente sólo la señal **rco_B** se comporta como se espera.

4.5. Pruebas del modo 10

En el modo 10 los contadores van a sumar 1 cada flanco positivo de reloj, en la figura 6 se muestran las señales obtenidas para estas pruebas

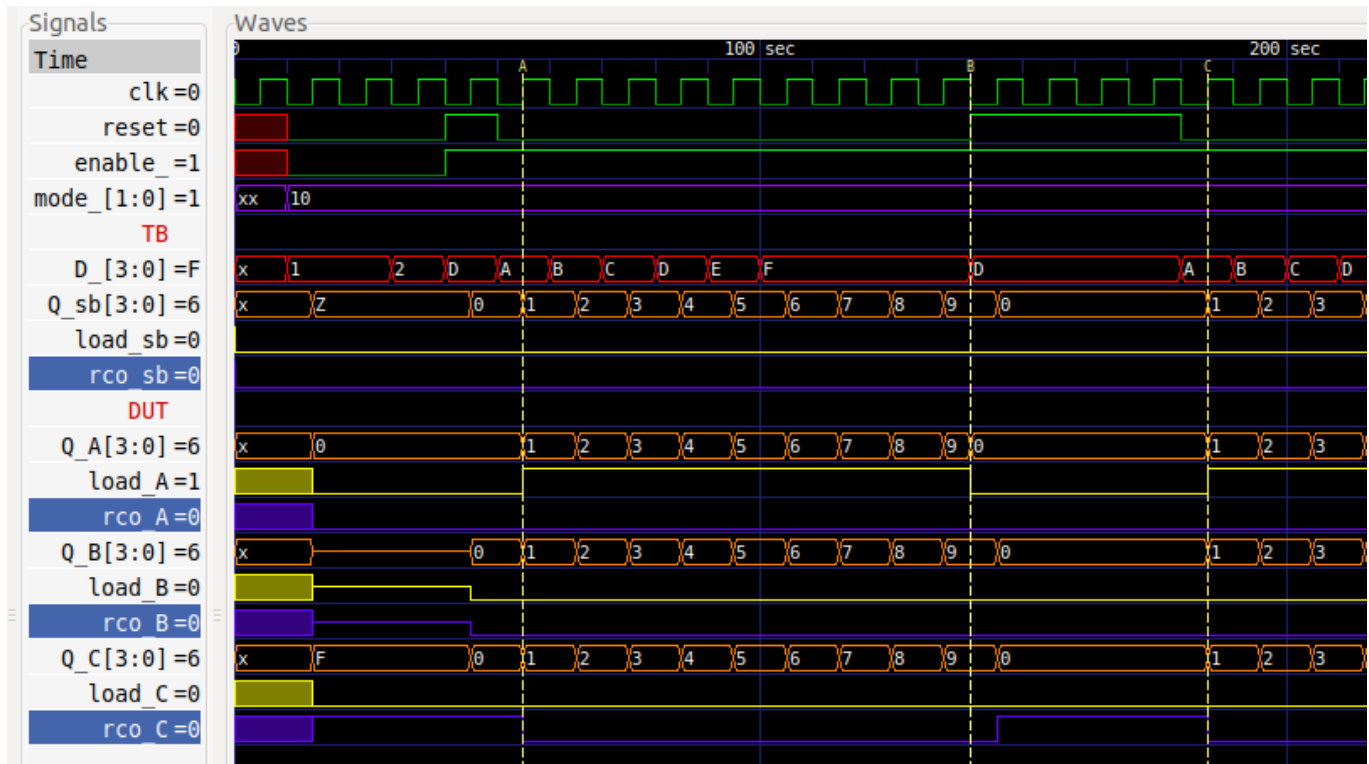


Figura 6: Resultados de las pruebas del modo 10. Simulado en GTKwave

Las salidas de los tres contadores muestran un correcto funcionamiento, mientras que las señales de control load y rco continúan fallando. Esta vez, la salida **load_A** se encuentra en alto lo cual no debe suceder en el modo 10, también se observa que la salida **rco_C** se pone en alto no sólo en el valor esperado para este modo sino que también cada vez que la señal de reset esté en alto como se muestra en la figura 7

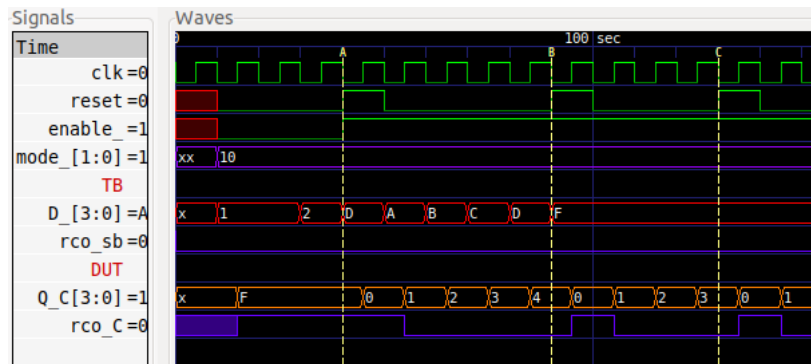


Figura 7: Resultados de las pruebas de las señales de control en el modo 10. Simulado en GTKwave

4.6. Pruebas del modo 11

Para las pruebas de este modo se utiliza una entrada con valores límites como lo son el 0 y 15, además se hace toggle en la señal de reset con el objetivo de observar el comportamiento de las señales de control en este modo. Los resultados obtenidos se muestran en la figura 8

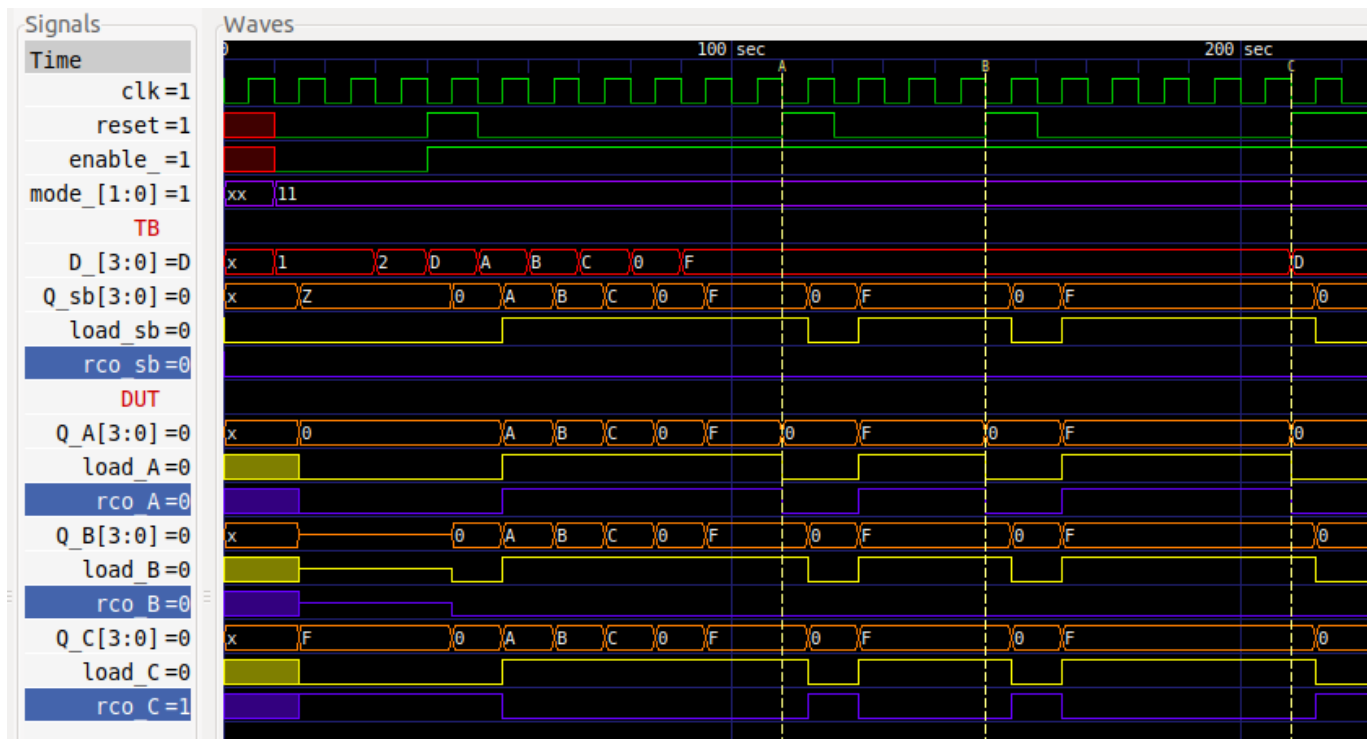


Figura 8: Resultados de las pruebas del modo 11. Simulado en GTKwave

Los marcadores **A**, **B** y **C** muestran los momentos en donde se hace reset en el flanco negativo de la señal de reloj, que corresponden a los únicos momentos en donde las señales de load se deben mantener en bajo ya que las pruebas se realizan en el modo 11. Las salidas **Q** de los tres contadores funcionan correctamente para este modo de operación, sin embargo, las señales **rco** para los contadores **A** y **C** mantienen las fallas que fueron indicadas en las secciones anteriores mientras que las señales **load** operan de manera correcta.

4.7. Pruebas con valores de entrada random

En la figura 9 se observan los resultados de las pruebas con valores de entrada random

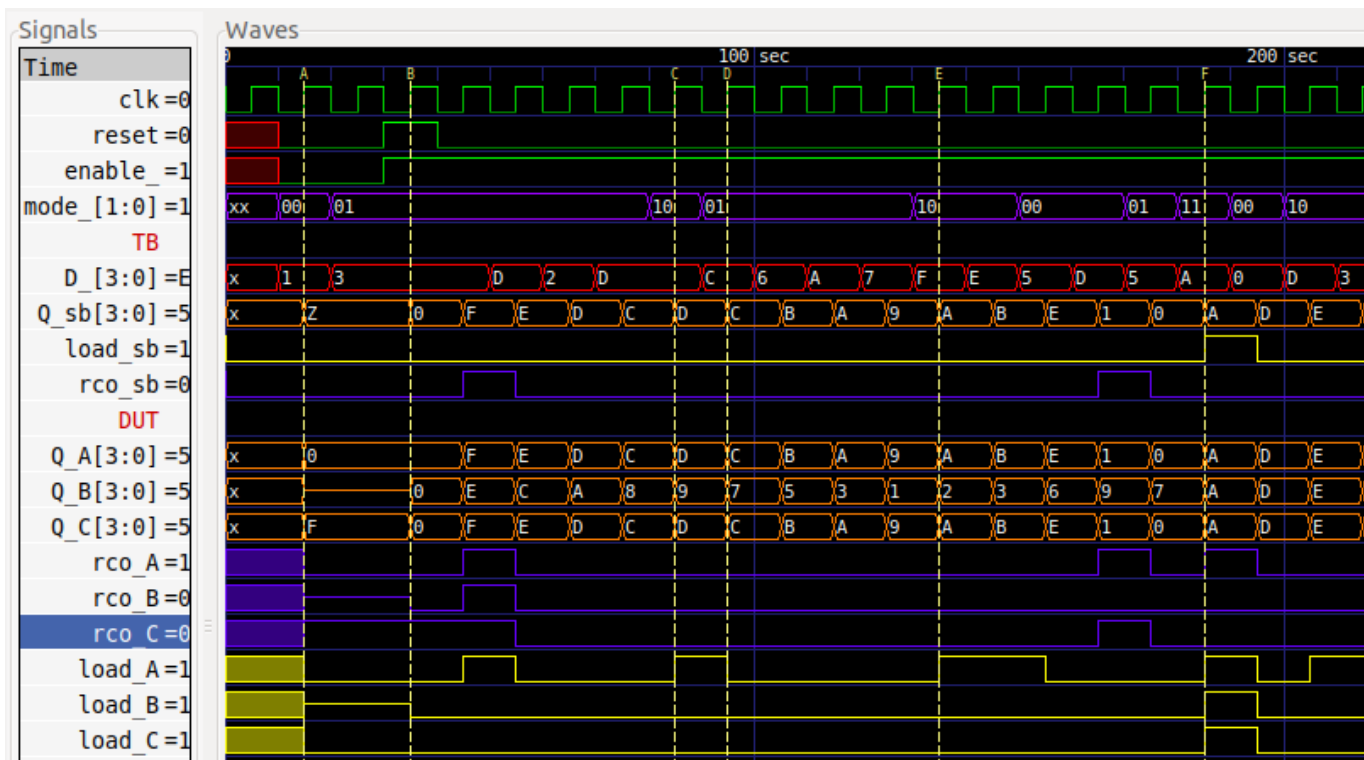


Figura 9: Resultados de las pruebas con valores de entrada random. Simulado en GTKwave

En los marcadores se muestra el cambio de las salidas ante cambios aleatorios en las señales de entrada, particularmente en la señal **mode**. Inicialmente, en el marcador **A**, se observa cómo la salida **Q_B** cambia a un ratio de $Q-2$, lo cuál es un error anteriormente mencionado que presenta este contador, también se observa que las salidas de los contadores A y C mantienen los valores correctos pese a los cambios de modo. Las señales de control siguen presentando los errores anteriormente mencionados para cada modo.

5. Repositorio

El firmware del trabajo se encuentra disponible en el siguiente [repositorio](#).

6. Conclusiones y recomendaciones

A partir del análisis de resultados se llega a las siguientes conclusiones

- Se logra implementar un testbench completo que sea capaz de verificar los resultados a partir del firmware que se encuentra en el scoreboard y que escriba los errores en un archivo .log.
- Se siguió un plan de pruebas con el fin de maximizar los posibles escenarios, desde pruebas básicas hasta pruebas específicas.
- Se identificaron errores en las señales de todos los contadores y se justificaron, además se muestra el comportamiento esperado en el contador del scoreboard.

También se recomienda lo siguiente

- Implementar las señales de los tres contadores y el scoreboard en un sólo testbench con el fin de comparar en tiempo real estas señales.
- Trabajar de forma ordenada mediante un repositorio de git
- Verificar que las señales de control funcionen como deberían para cada modo para poder obtener datos correctos a las salidas.