

Universidad de San Carlos de Guatemala

Facultad de Ingeniería

Escuela de Ciencias y Sistemas

Organización Computacional



PRÁCTICA #1

SIMULACIÓN DE UN VISUALIZADOR DE 7 SEGMENTOS (DISPLAY)

INTRODUCCIÓN

En la actualidad, la mayoría de los sistemas están compuestos por circuitos combinacionales. Estos circuitos son fundamentales en el diseño de sistemas digitales y se utilizan para realizar diversas operaciones lógicas. Los circuitos combinacionales consisten en una serie de compuertas lógicas, que al ser combinadas transforman un conjunto de entradas en una única salida. Las compuertas lógicas, como AND, OR, NOT, NAND, NOR, XOR y XNOR, son los elementos básicos utilizados en los circuitos combinacionales. Cada una de estas compuertas realiza una operación lógica específica y se conectan entre sí para implementar la función lógica deseada.

OBJETIVOS

General

Aplicar los conocimientos teóricos aprendidos en clase magistral y laboratorio para la construcción de circuitos combinacionales.

Específicos

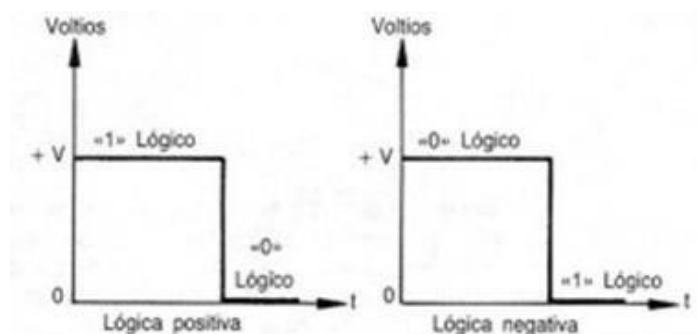
1. Poner en práctica los conocimientos de Lógica Combinacional y Mapas de Karnaugh.
2. Conocer el funcionamiento de transistores y realización de compuertas lógicas transistorizadas.
3. Crear un dispositivo de visualización a mayor escala (Display).
4. Utilizar lógica negativa y positiva durante el desarrollo de la práctica.

MARCO TEÓRICO

Lógica Negativa y Positiva

La señal binaria a la entrada o salida de cualquier circuito puede tener uno de dos valores, excepto durante la transición. Un valor debe ser mayor que el otro ya que tienen que ser diferentes para poder distinguirlos. Designese el nivel alto como H (High) y el nivel bajo como L (Low). Hay dos alternativas para la asignación de la lógica.

Figura I: Ejemplo gráfico de lógica negativa y positiva



Fuente: C. Amaury, tomado de:

<https://circuitos-logicos-aarc.webnode.mx/blog/logica-negativa/>

Términos mínimos y máximos

Una Función Lógica que está compuesta por operadores lógicos puede ser expresada en forma canónica usando los conceptos de minterm y maxterm. Todas las funciones lógicas son expresables en forma canónica, tanto como una “suma de minterms” como “producto de maxterms”. Esto permite un mejor análisis para la simplificación de dichas funciones, lo que es de gran importancia para la minimización de circuitos digitales.

Figura II: Uso de mintérminos y maxtérminos

x	y	z	Mini-términos		Maxi-términos	
			Término	Designación	Término	Designación
0	0	0	$x'y'z'$	m_0	$x+y+z$	M_0
0	0	1	$x'y'z$	m_1	$x+y+z'$	M_1
0	1	0	$x'yz'$	m_2	$x+y'+z$	M_2
0	1	1	$x'yz$	m_3	$x+y'+z'$	M_3
1	0	0	$xy'z'$	m_4	$x'+y+z$	M_4
1	0	1	$xy'z$	m_5	$x'+y+z'$	M_5
1	1	0	xyz'	m_6	$x'+y'+z$	M_6
1	1	1	xyz	m_7	$x'+y'+z'$	M_7

Fuente: P. Juan, tomado de:

<https://circuitosdigitalesudblog.wordpress.com/2020/06/03/practica-5/>

Familias Lógica

Las familias lógicas son conjuntos de circuitos integrados (chips) que implementan funciones lógicas, como AND, OR, NOT, etc. Estos chips se utilizan en la electrónica digital para procesar y manipular señales binarias (1s y 0s), que son la base de la computación y los sistemas digitales. Cada familia lógica tiene sus propias características de rendimiento, consumo de energía, velocidad, costo y niveles de voltaje de operación.

Familia Lógica TTL

La familia lógica TTL es una de las familias lógicas más comunes y ampliamente utilizadas en la electrónica digital. "TTL" significa "Transistor-Transistor Logic", lo que indica que estos chips están contruidos con transistores bipolares.

Características TTL

- Velocidad de conmutación rápida: Los chips TTL pueden cambiar de estado (de 0 a 1 o viceversa) muy rápidamente, lo que los hace adecuados para aplicaciones que requieren una alta velocidad de procesamiento.
- Consumo de energía moderado: Aunque no es la familia lógica más eficiente en términos de consumo de energía, tiene un consumo de energía aceptable para muchas aplicaciones.
- Compatibilidad universal: Los niveles de voltaje lógico de entrada y salida son compatibles con una amplia gama de dispositivos y sistemas, lo que facilita su integración en diseños más grandes.

Voltaje Umbral en TTL

Una característica crítica de los chips TTL es el "voltaje umbral" o "nivel de disparo" (threshold voltage en inglés). Los transistores bipolares en un chip TTL requieren una cierta cantidad de voltaje para cambiar su estado. A este valor específico se le llama "voltaje umbral". Por lo general, para la familia TTL, el voltaje umbral es de aproximadamente 0.8 V para un nivel lógico bajo (0) y 2.0 V para un nivel lógico alto (1).

Importancia de una Fuente de Poder Estable

Dado que los chips TTL tienen un voltaje umbral definido para reconocer niveles lógicos, es crucial proporcionar una fuente de alimentación con un voltaje estable y bien regulado a +5 voltios (5V). Si el voltaje de la fuente no es lo suficientemente alto para superar el voltaje umbral requerido, los transistores no cambiarán de estado adecuadamente, lo que podría llevar a errores o comportamientos inesperados en el circuito.

Una fuente de alimentación con un voltaje estable de +5V garantiza que los niveles lógicos se interpreten de manera confiable y precisa, lo que es esencial para un funcionamiento correcto del circuito TTL y para evitar daños en los componentes electrónicos.

En resumen, la familia lógica TTL es ampliamente utilizada en electrónica digital debido a su velocidad de conmutación rápida y su compatibilidad universal. Sin embargo, es crucial suministrar una fuente de alimentación estable y bien regulada a +5V para garantizar un funcionamiento confiable, tomando en cuenta el voltaje umbral necesario para el cambio de estado de los transistores en los chips TTL. Esto es especialmente importante al realizar simulaciones o prácticas con protoboard o fibra de vidrio, donde la precisión y estabilidad del voltaje son fundamentales para un correcto funcionamiento de los circuitos.

DESCRIPCIÓN DE LA PRÁCTICA

La municipalidad de Guatemala va a actualizar sus semáforos para que se puedan ver desde ambos puntos de vista, por lo cual se contrató a su grupo de Organización Computacional para poder diseñar el prototipo de los siguientes semáforos. Deberá de realizar un semáforo normal y un semáforo espejo (que este inverso al normal) para que se pueda visualizar desde el otro punto de vista; esta salida deberá mostrar una palabra de 8 letras y/o números seleccionada por cada grupo, utilizando un display de 7 segmentos. Para la implementación del circuito, se deberán utilizar compuertas transistorizadas para los segmentos a, c, d, f y g y compuertas lógicas TTL para los segmentos b, e y pt.

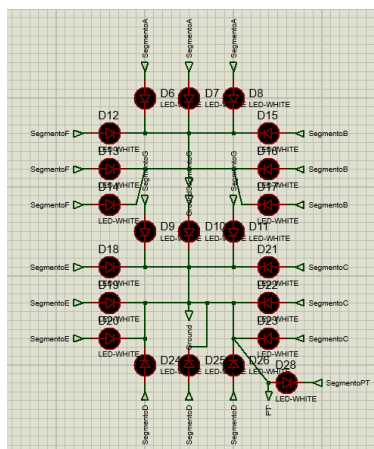
Figura III: Ejemplo de Display de 7 segmentos.



Fuente: muyfacildehacer, tomado de:

<https://vm.tiktok.com/ZM6bA8SVr/>

Figura IV: Implementación de display de 7 segmentos con leds.



Fuente: Elaboración propia.

METODOLOGÍA DE TRABAJO


- ✚ Toda la práctica debe ser desarrollada de forma **FÍSICA**.
- ✚ Se deberán desarrollar tres funciones con compuertas transistorizadas en placa (4 placas por grupo) estas placas deberán tener una etiqueta en el cobre donde indique el número de grupo, semestre y año, de no contar con esta etiqueta no se calificará la placa. Ejemplo: G#_S1_2025
- ✚ Deberán implementarse el resto de los circuitos en protoboard.
- ✚ Al finalizar la calificación, los circuitos en protoboard serán desarmados por el auxiliar, con el fin de evitar que entre grupos se presten dichos circuitos.
- ✚ La parte frontal se desplegará en un display de siete segmentos de tipo cátodo y el circuito combinacional deberá de ser implementado con términos mínimos.
- ✚ La parte posterior se desplegará en un display de siete segmentos de tipo ánodo y el circuito combinacional deberá de ser implementado con términos máximos.
- ✚ Se tomará en cuenta la presentación de los circuitos y la creatividad para elaborar cada display

LISTADO DE COMPONENTES PERMITIDOS

Nombre	Código
AND	74ls08
OR	74ls32
NOT	74ls04
XOR	74ls86
TRANSISTORES NPN/PNP	2n2222a
RESISTENCIAS	
DISPSWITCH	
LED	

DOCUMENTACIÓN

Se deberá documentar cada parte del circuito, agregando capturas del diseño del circuito con una breve descripción de su funcionalidad. Agregado a esto, la documentación debe contener:

1. Carátula.
2. Introducción.
3. Objetivos.
4. Contenido.
 - a. Funciones booleanas.
 - b. Mapas de Karnaugh.
 - c. Diagramas del diseño del circuito.
 - d. Equipo utilizado.
 - e. Presupuesto (utilizado para la parte física)
-  Gastos totales
5. Aporte individual de cada integrante.
6. Conclusiones.
7. Anexos.
 - a. Diagrama del circuito impreso.
 - b. Fotografías de los circuitos físicos (protoboard y placa).
 - c. Enlace al video grupal de los circuitos físicos.

NOTA:

Para tener derecho a calificación de documentación, deberán entregar simulación completa del circuito en Proteus.

RESTRICCIONES

1. Las copias totales o parciales tendrán una nota de 0 y serán reportadas a la escuela.
2. El simulador a utilizar debe de ser Proteus.
3. La entrega de la documentación debe ser con el siguiente formato: P1_Orga_G#.pdf
4. No se puede utilizar logicstate para dar voltaje.
5. Se calificará un único archivo de proteus, es decir que todos los módulos deben ir unidos en este mismo, de lo contrario se penalizará.
6. El circuito físico deberá funcionar en su totalidad, de lo contrario se penalizará.
7. Usuario de GitHub al cual se debe de añadir como colaborador:

KESM12

ENTREGABLES

1. Un archivo con extensión .pdsprj que contenga el circuito combinacional.
2. Documentación.
3. Se requiere entregar el enlace al repositorio grupal de GitHub con la siguiente nomenclatura: LABORGA_1S2025_G# el cual contendrá todo lo mencionado anteriormente.
4. **FECHA DE ENTREGA Y CALIFICACIÓN SÁBADO 22 DE FEBRERO DE 2025.**

FORMA DE ENTREGA

Mediante Classroom, subiendo el enlace del repositorio. Solamente una persona del grupo debe realizar la entrega.

ANEXOS

Abecedario en display de 7 segmentos:

