

UNIVERSIDAD DE SAN CARLOS DE GUATEMALA
FACULTAD DE INGENIERÍA
ORGANIZACIÓN COMPUTACIONAL
CATEDRÁTICO: ING. FERNANDO JOSÉ PAZ GONZÁLEZ
TUTOR ACADÉMICO: KEVIN ESTUARDO SECAIDA MOLINA
SECCIÓN: C



PRÁCTICA #1
SIMULACIÓN DE UN VISUALIZADOR DE
7 SEGMENTOS (DISPLAY)

GRUPO 5	
ESTUDIANTE	CARNÉ
MARCOS DANIEL BONIFASI DE LEÓN	202202410
KEVIN DANIEL CATÚN LANDAVERDE	202200378
JULIO ALEJANDRO RUANO MONTERROSO	202300520
WYLSON ENRIQUE ESQUIVEL CUY	202105429
JOSÉ ADRIAN OROZCO RAMÍREZ	202210908

GUATEMALA, 22 DE FEBRERO DEL 2,025

INTRUDUCCIÓN

En el estudio de los sistemas digitales, los circuitos combinacionales juegan un papel fundamental al permitir la implementación de diversas funciones lógicas. Estos circuitos están compuestos por compuertas lógicas, que transforman un conjunto de entradas en una salida específica según las reglas de la lógica booleana. En esta práctica, se desarrollará un prototipo de visualización basado en un display de 7 segmentos, con el objetivo de representar caracteres numéricos y alfabéticos a partir de circuitos diseñados con compuertas lógicas y transistores.

El proyecto consiste en la construcción de un sistema de semáforos con una visualización dual: un display normal y otro en modo espejo, permitiendo su correcta interpretación desde distintos ángulos. Para la implementación del circuito, se emplearán compuertas transistorizadas y compuertas TTL, asegurando el correcto funcionamiento del sistema con lógica combinacional optimizada mediante Mapas de Karnaugh.

Esta práctica permitirá aplicar conocimientos sobre la implementación de compuertas lógicas, la optimización de funciones booleanas y el diseño de circuitos digitales. Además, contribuirá al desarrollo de habilidades en el uso de herramientas de simulación, así como en la construcción física de circuitos sobre protoboard y placas PCB.

OBJETIVOS

Objetivo General

Diseñar e implementar circuitos combinacionales optimizados utilizando compuertas TTL y transistorizadas, aplicando estrategias de minimización de funciones booleanas y validación en simuladores para mejorar la eficiencia y funcionalidad de los circuitos digitales.

Objetivos Específicos

1. Aplicar la minimización de funciones booleanas mediante Mapas de Karnaugh para reducir el número de compuertas necesarias en el diseño del circuito.
2. Integrar compuertas TTL (74LSXX) y transistores (2N2222A) para reforzar la comprensión y aplicación de diferentes familias lógicas en circuitos digitales.
3. Validar el diseño del circuito mediante simulaciones en Proteus para identificar y corregir errores antes de la implementación física.
4. Implementar y probar el circuito en protoboard y PCB, verificando su correcto funcionamiento en un entorno real.
5. Optimizar la distribución de los componentes en el circuito para mejorar la eficiencia, reducir el consumo de energía y facilitar la depuración.
6. Fomentar el trabajo colaborativo y la organización en el desarrollo del proyecto, asegurando una documentación adecuada del proceso de diseño e implementación.

SIMULACIÓN DE UN VISUALIZADOR DE 7 SEGMENTOS (DISPLAY)

FUNCIONES BOOLEANAS

Segmento	Minterms	Maxterms
A	$xz+x'y'z'$	$(x+z')(y'+z)(x'+z)$
B	$z+xy$	$(x+z)(y+z)$
C	$z+xy$	$(x+z)(y+z)$
D	$y'z+xz$	$(z)(x+y')$
E	$z'+x'y'+xy$	$(x+y'+z')(x'+y+z')$
F	$x'+y$	$(x'+y)$
G	$x+y+z'$	$(x+y+z')$
PUNTO	$yz+xz$	$(z)(x+y)$

MAPAS DE KARNAUGH

Segmento A

x/yz	0,0	0,1	1,1	1,0
0	1	0	0	0
1	0	1	1	0

Segmento B

x/yz	0,0	0,1	1,1	1,0
0	0	1	1	0
1	0	1	1	1

Segmento C

x/yz	0,0	0,1	1,1	1,0
0	0	1	1	0
1	0	1	1	1

Segmento D

x/yz	0,0	0,1	1,1	1,0
0	0	1	0	0
1	0	1	1	0

Segmento E

x/yz	0,0	0,1	1,1	1,0
0	1	1	0	1
1	1	0	1	1

Segmento F

x/yz	0,0	0,1	1,1	1,0
0	1	1	1	1
1	0	0	1	1

Segmento G

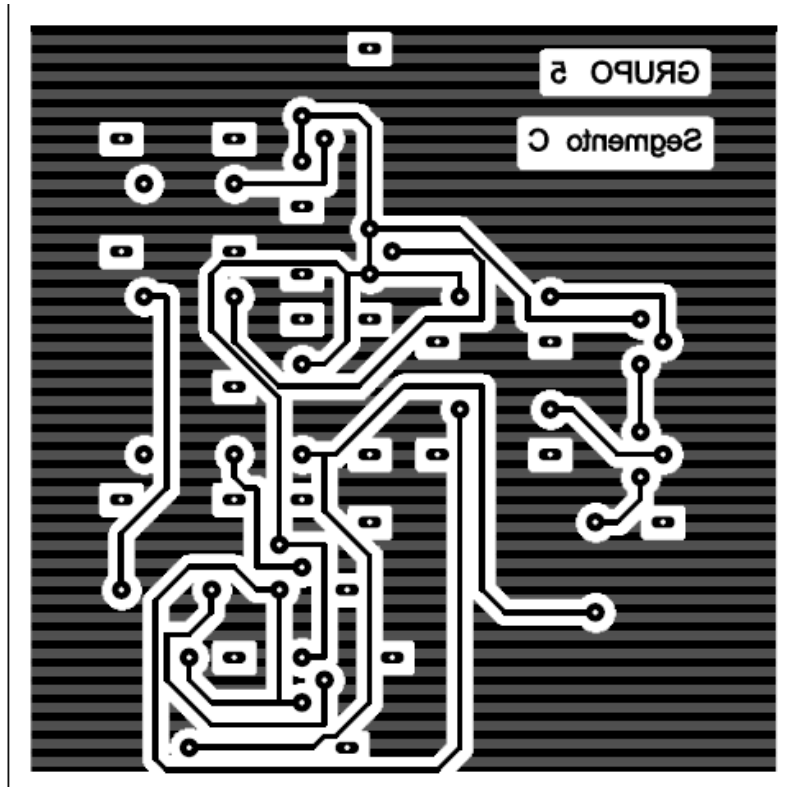
x/yz	0,0	0,1	1,1	1,0
0	1	0	1	1
1	1	1	1	1

Segmento Punto

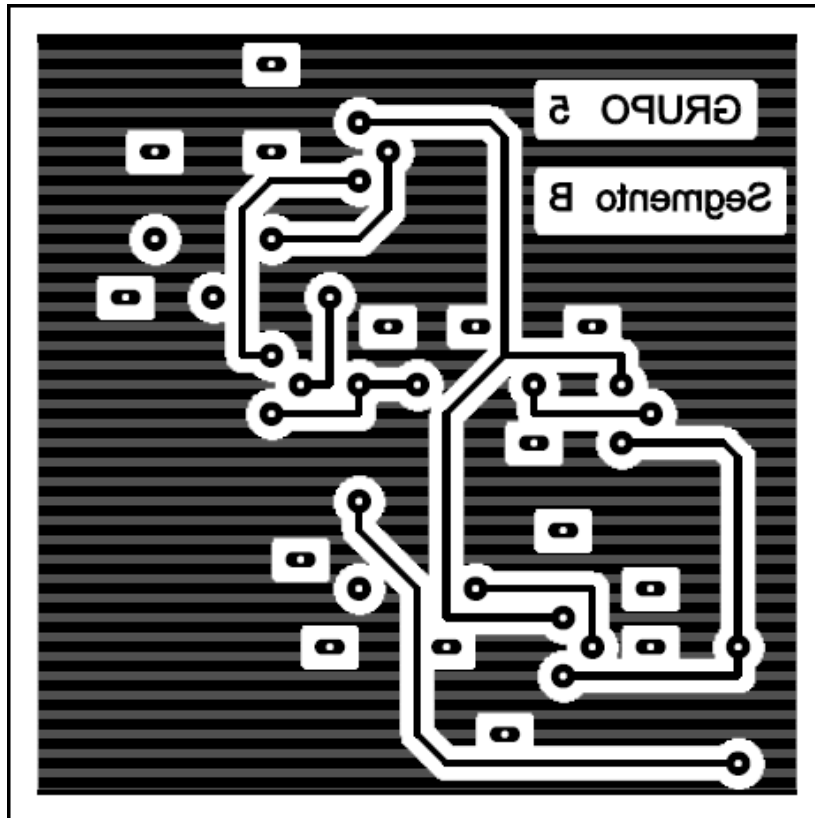
x/yz	0,0	0,1	1,1	1,0
0	0	0	1	0
1	0	1	1	0

DIAGRAMAS DEL DISEÑO DEL CIRCUITO

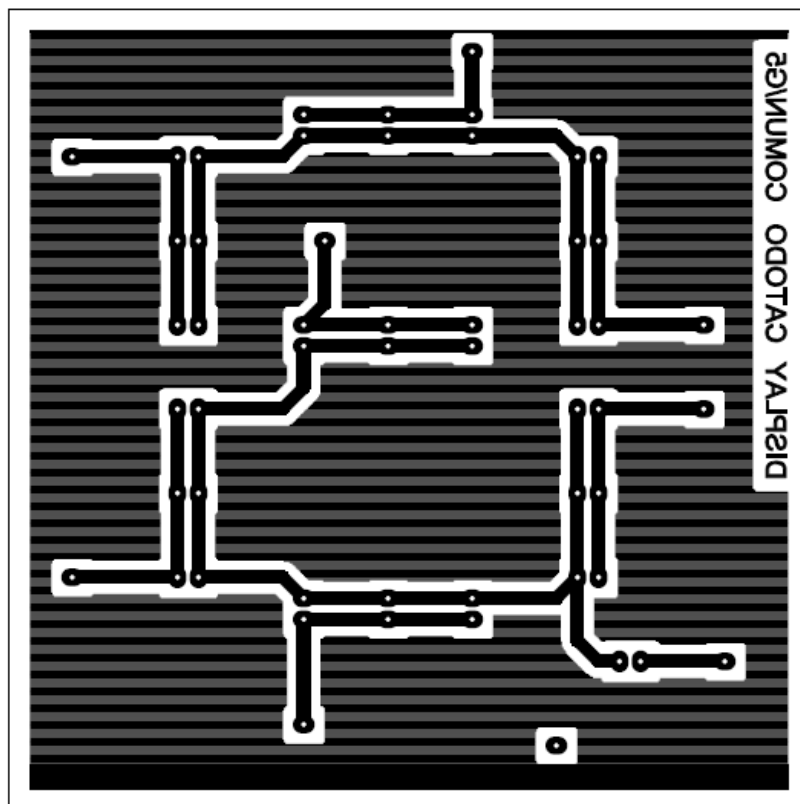
PCB-segmento C



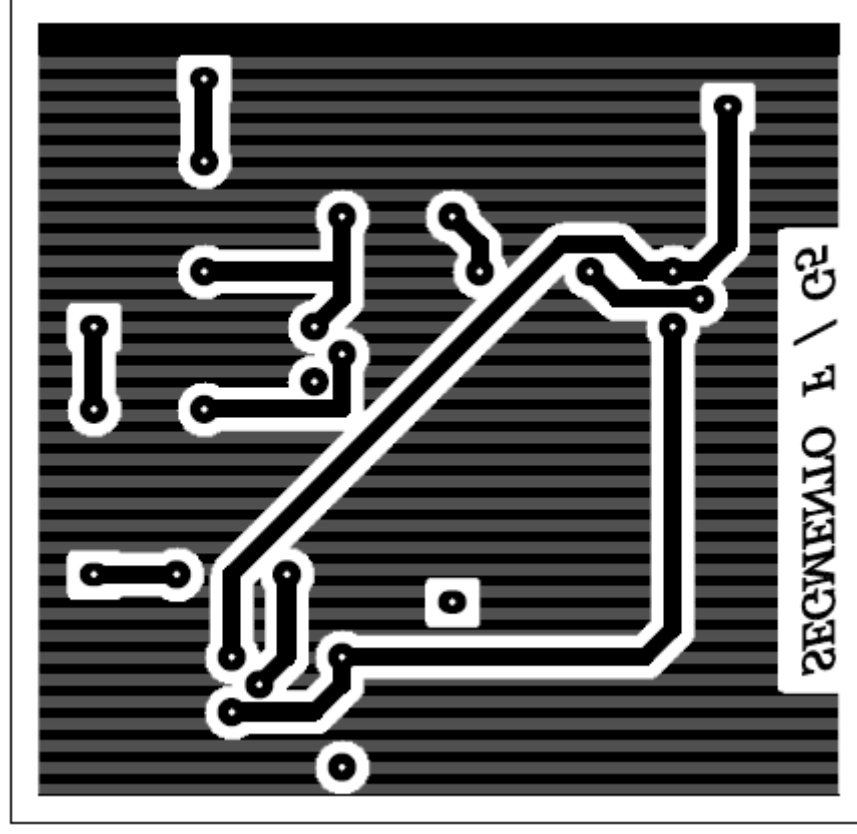
PCB-segmento B



PCB- Display Catodo



PCB- segmento F



EQUIPO UTILIZADO

1. Compuertas Lógicas TTL:
 - AND (74LS08)
 - OR (74LS32)
 - NOT (74LS04)
2. Transistores:
 - NPN 2N2222A
3. Componentes pasivos:
 - Resistencias (110K y 220K)
 - LEDs ROJOS para la visualización del display
 - Dispositivos DIP Switch para la selección de caracteres
4. Material para montaje:
 - Protoboard para la implementación de los circuitos de prueba
 - Placa PCB para las compuertas transistorizadas
 - Bateria de 9V
 - Fuente de alimentación estable de +5V
 - Cautin
 - Cable Dupont Jumpers, para simulacion en las protoboards
 - Cable de Cobre para Protoboard
5. Software de Simulación:
 - Proteus

PRESUPUESTO

Presupuesto			
Componente	Cantidad	Precio unitario	Total
Alambre Rojo para protoboard	1	Q3.00	Q3.00
Alambre negro para protoboard	1	Q3.00	Q3.00
Alambre azul para protoboard	1	Q3.00	Q3.00
Pila GR 9V Greencell	3	Q5.00	Q15.00
Transistor 2N222 NPN	20	Q0.75	Q15.00
Led rojo	20	Q1.00	Q20.00
Protoboard	4	Q40.00	Q160.00
Cable USB Macho- tipo conectores	1	Q10.00	Q10.00
Cautin	1	Q40.00	Q40.00
Resistencia 10K ohm	35	Q0.50	Q17.50
cable UTP metro	1	Q3.00	Q3.00
Resistencia 330 Ohm	23	Q0.50	Q11.50
Hoja termotransferible para circuitos	1	Q5.00	Q5.00
Impresión termitransferible	1	Q3.00	Q3.00
cloruro ferrico	1	Q24.00	Q24.00
placa de cobre	1	Q46.00	Q46.00
resistencias 220	30	Q0.50	Q15.00
componente AND 74ls08	4	Q6.00	Q24.00
componente OR 74ls32	4	Q6.00	Q24.00
componente NOT 74ls86	2	Q6.00	Q12.00
Sharpie	2	Q3.50	Q7.00
thinner	1	Q15.00	Q15.00
Total			Q476.00

APORTE INDIVIDUAL DE CADA ESTUDIANTE

Aporte			
Integrante	Económico	Trabajo	Porcentaje
202200378-Kevin Catún	Q95.20	Elaboracion de placas pcb, segmentos en proteus	100%
202105429-Wylson Esquivel	Q95.20	Elaboracion de placas pcb, segmentos en proteus	100%
202210908-José Orozco	Q95.20	segmentos protoboard, documentación	100%
202202410 -Marcos Bonifasi	Q95.20	segmentos protoboard, documentación	100%
202300520- Julio Ruano	Q95.20	segmentos protoboard, elaboración placas PCB	100%

CONCLUSIONES

Se logró implementar circuitos combinacionales optimizados utilizando compuertas TTL y compuertas transistorizadas, lo que permitió representar correctamente los caracteres en el display de 7 segmentos. La minimización de funciones booleanas con Mapas de Karnaugh fue clave para reducir el número de compuertas necesarias.

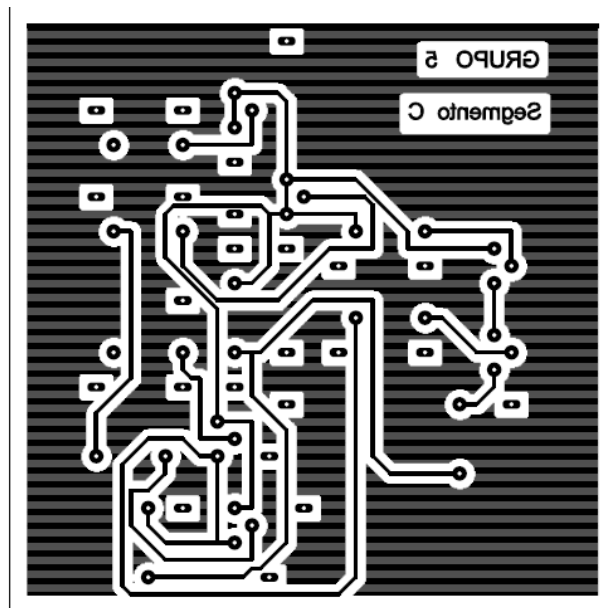
La práctica permitió combinar el uso de circuitos TTL (74LSXX) con transistores (2N2222A), lo que reforzó la comprensión de cómo se pueden diseñar circuitos digitales eficientes empleando diferentes familias lógicas y estrategias de implementación.

La validación previa en Proteus ayudó a corregir errores en el diseño antes de la implementación física, reduciendo el riesgo de fallas y optimizando el tiempo de desarrollo. Posteriormente, la prueba en protoboard y PCB permitió verificar el correcto funcionamiento del circuito en un entorno real.

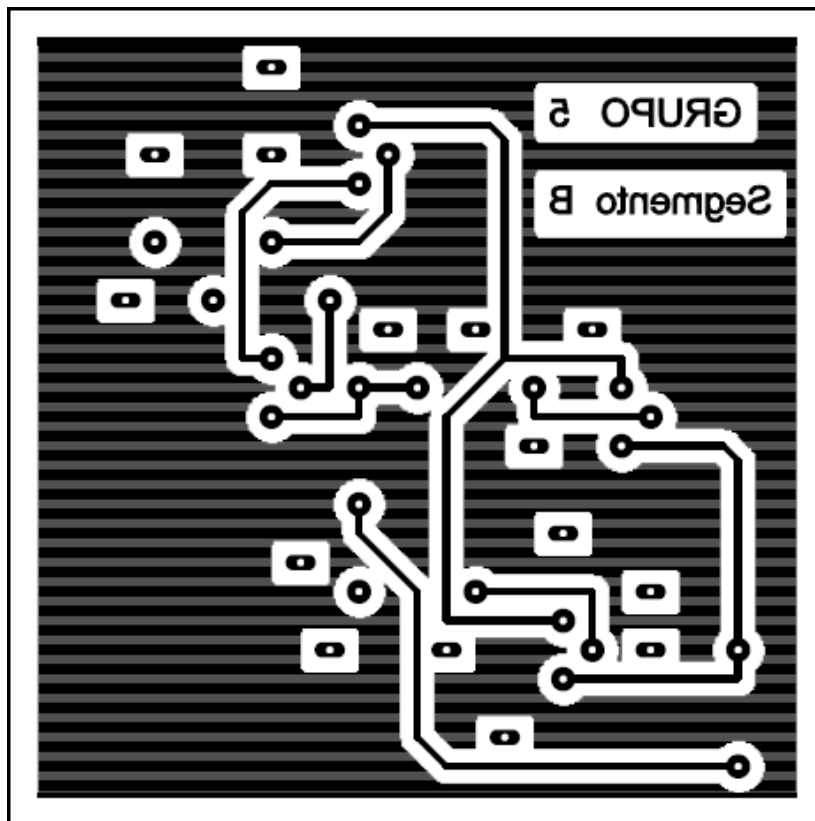
Durante la implementación se evidenció la importancia de minimizar el número de compuertas y optimizar la distribución del circuito para mejorar su eficiencia y reducir el consumo de energía. Un diseño bien organizado permitió una mejor administración del espacio en el protoboard y en la PCB, facilitando la depuración y evitando interferencias en las conexiones.

El proyecto no solo reforzó conocimientos teóricos sobre diseño lógico, sino que también fomentó el trabajo colaborativo, la organización en la construcción del circuito y la documentación del proceso, habilidades esenciales en proyectos de ingeniería.

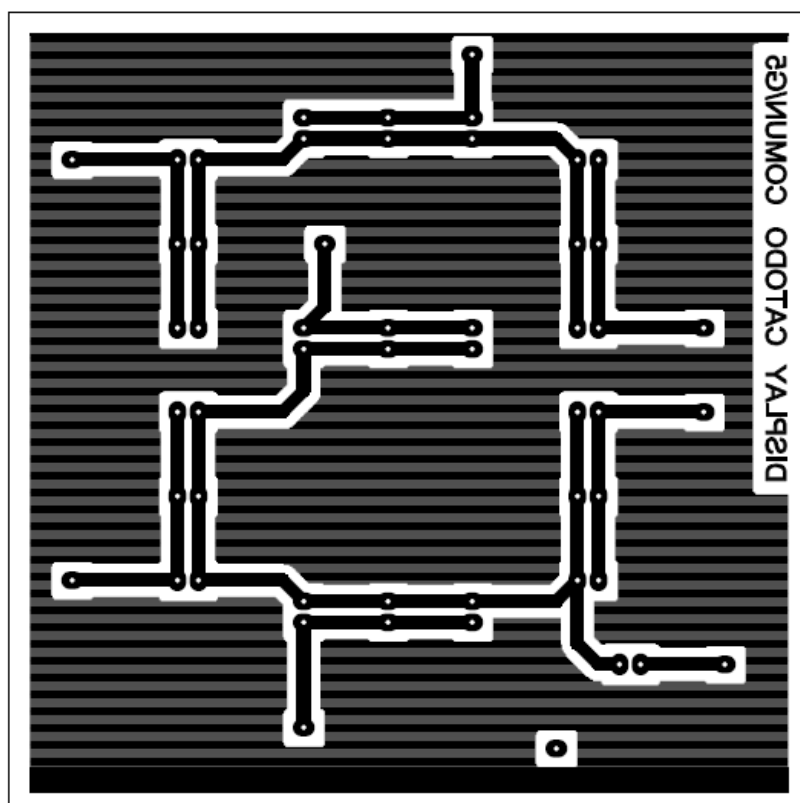
ANEXOS



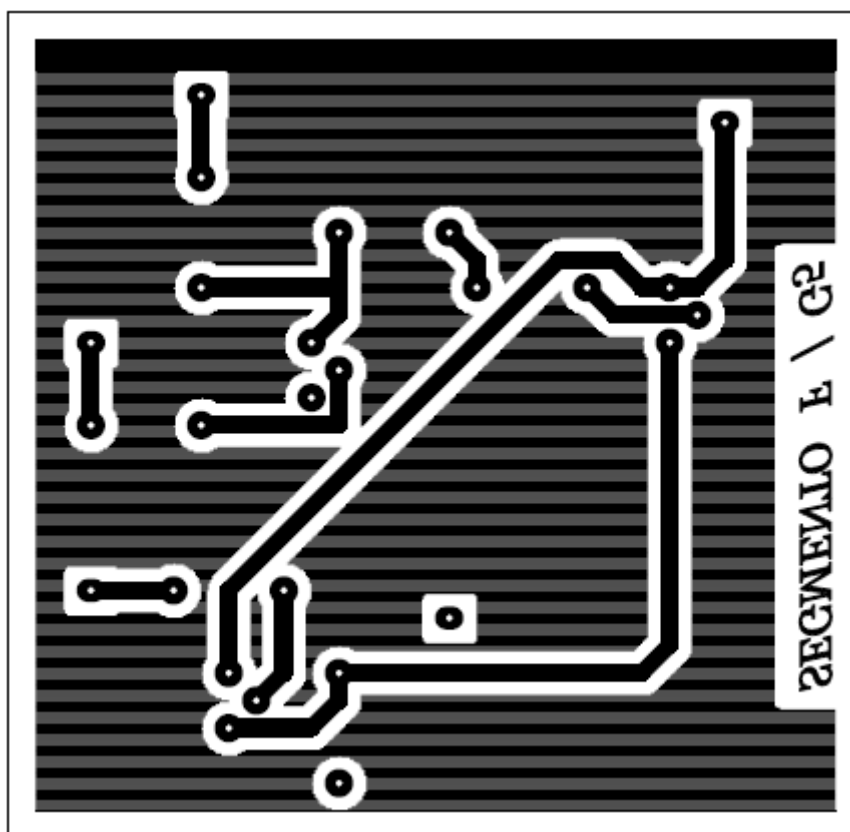
PCB-segmento C (Fuente: Elaboración propia)



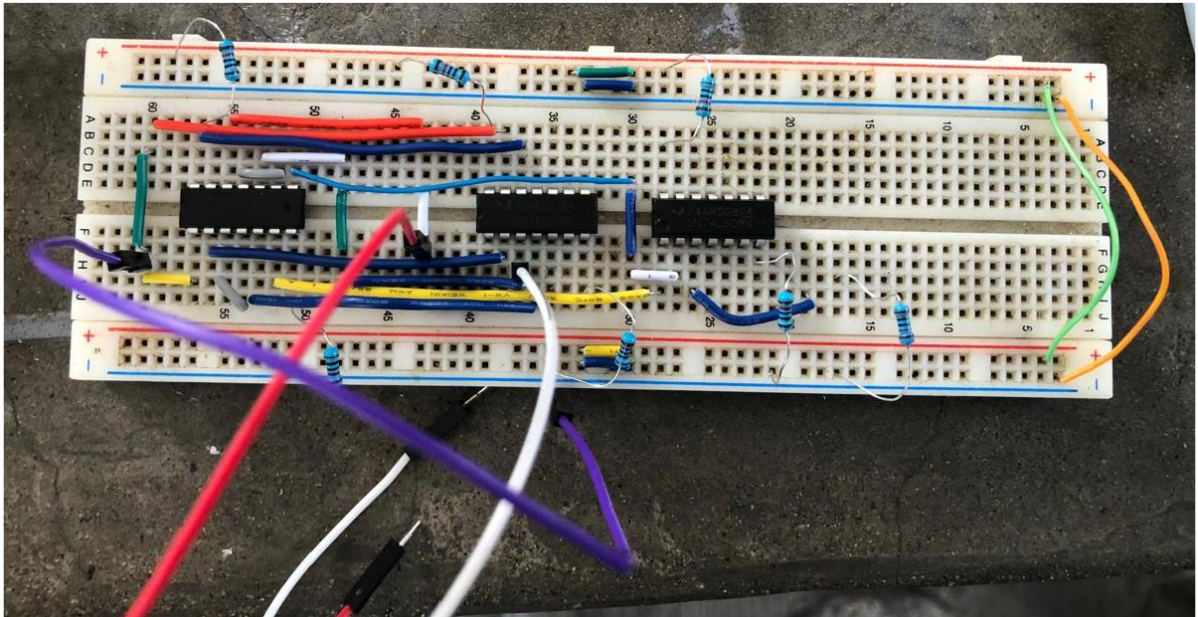
PCB-segmento B (Fuente: Elaboración propia)



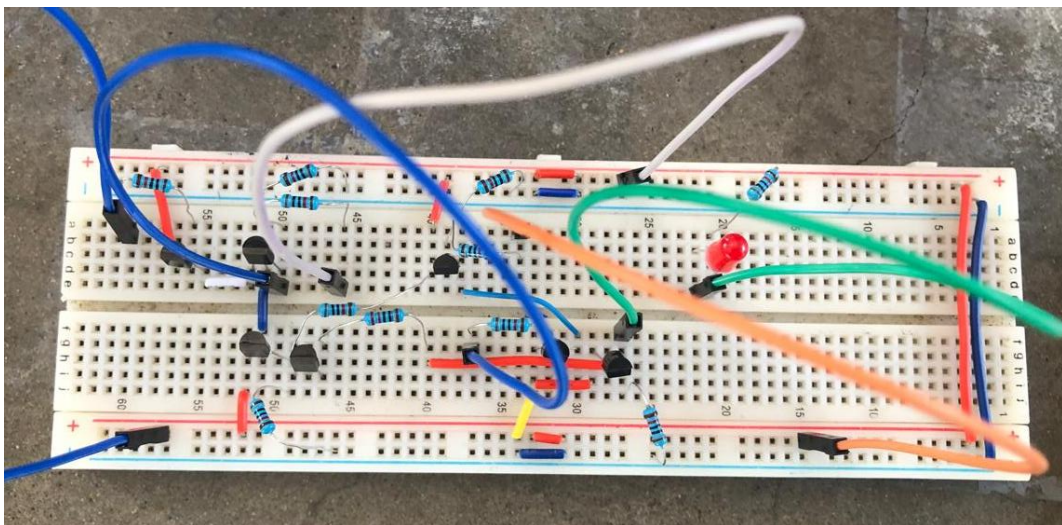
PCB- Display Catodo (Fuente: Elaboración propia)



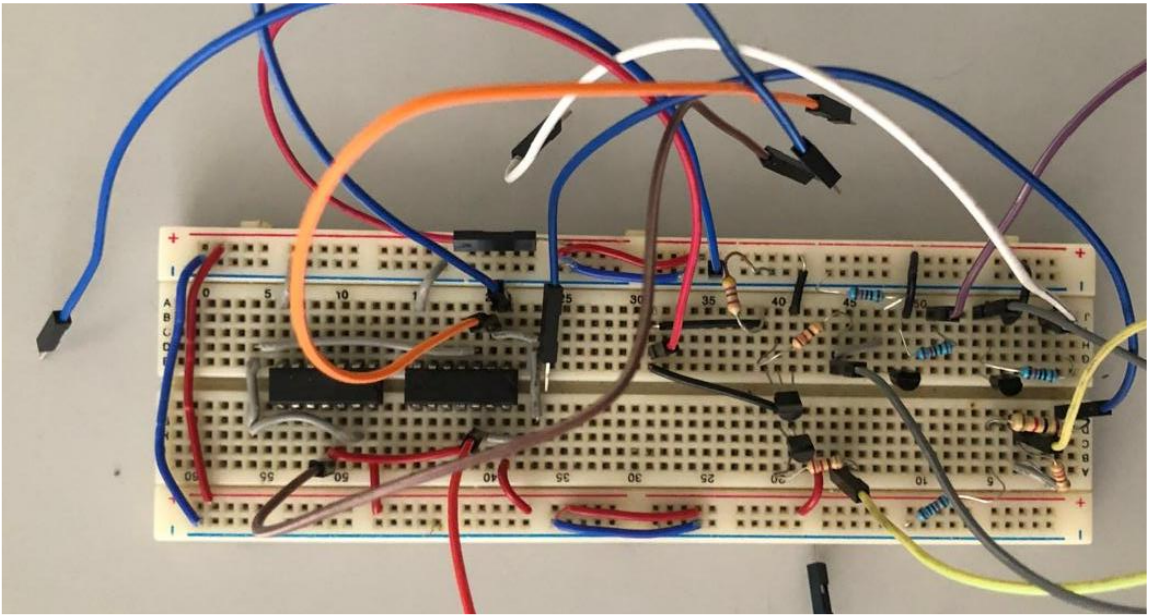
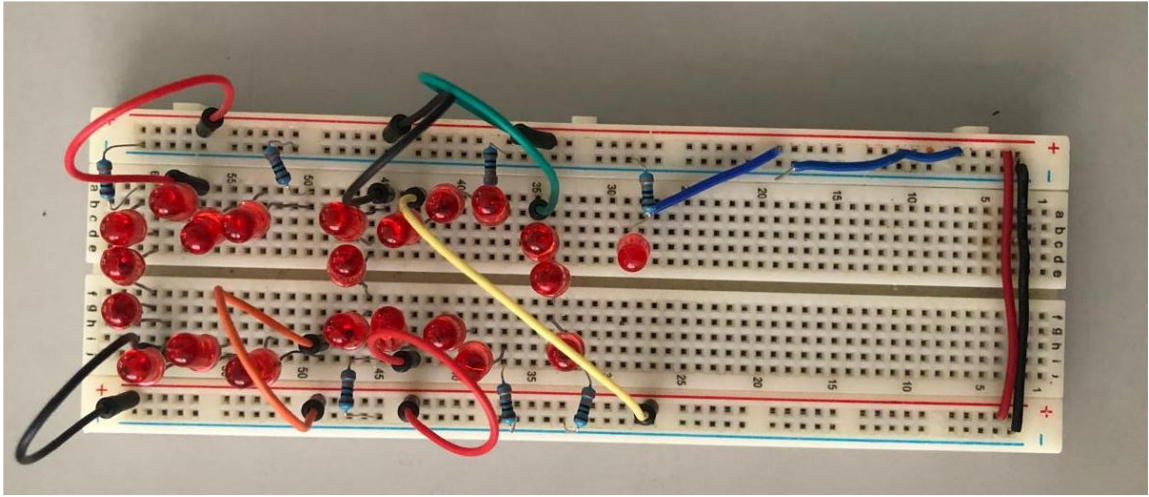
PCB- segmento F (Fuente: Elaboración propia)

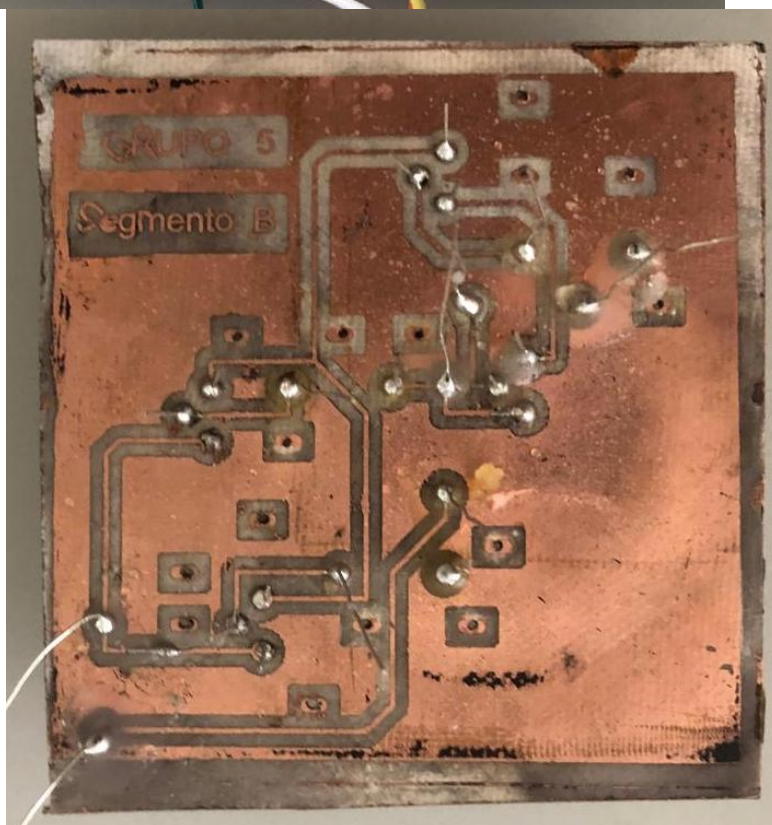
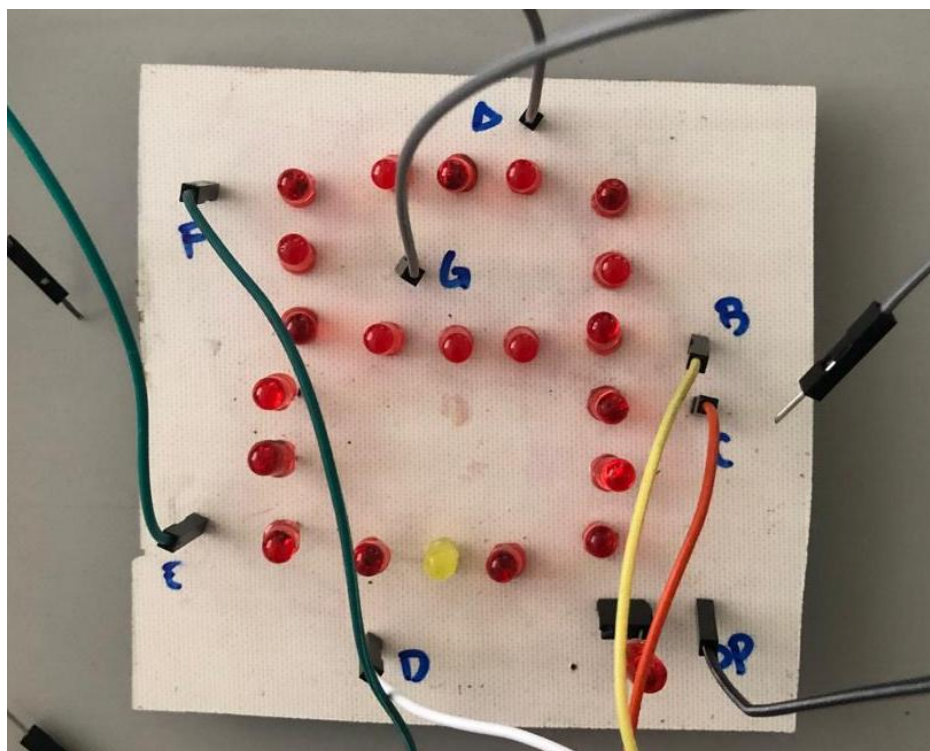


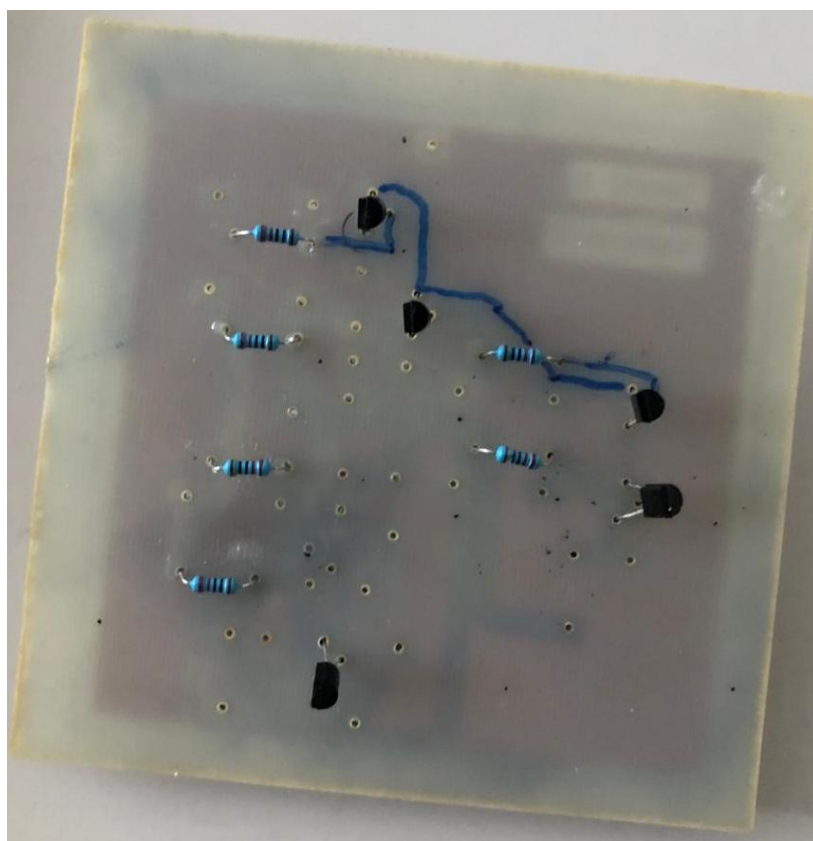
Segmento E, usando integrados (Fuente: Elaboración propia)

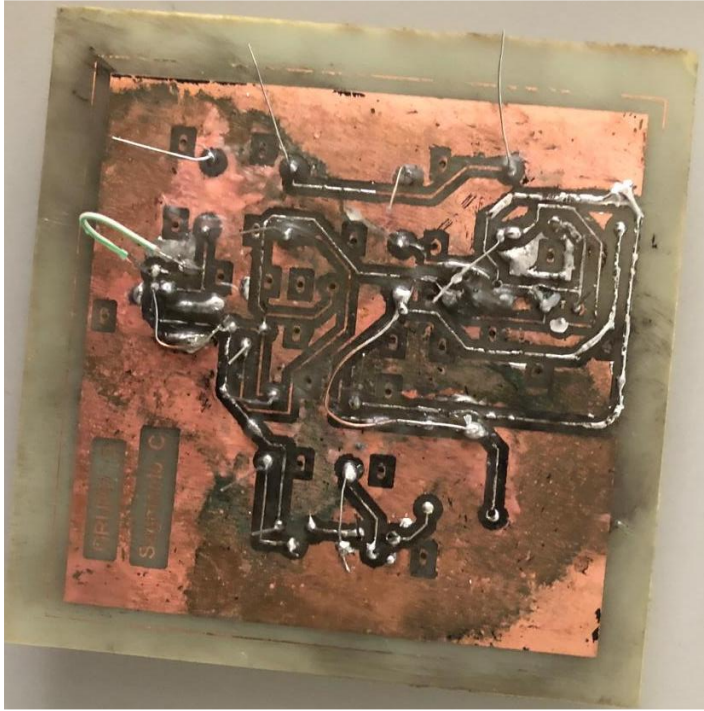


Segmento D, usando transistores NPN (Fuente: Elaboración propia)









JOSE OROZCO. 22.02.2025. Grupo 5 Practica 1 Orga.
<https://youtu.be/ONJqbD4nFQM?si=9KLLlOulj-uXtX>