

Métricas de calidad en el diseño digital

Tema 7

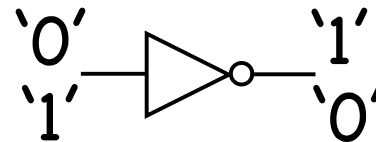
Contenidos

- ① Introducción
- ② Fiabilidad y robustez
- ③ Coste (área)
- ④ Velocidad
- ⑤ Consumo de potencia
- ⑥ Ejemplos de aplicaciones del inversor

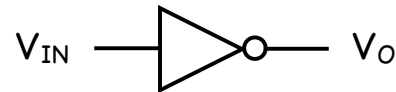
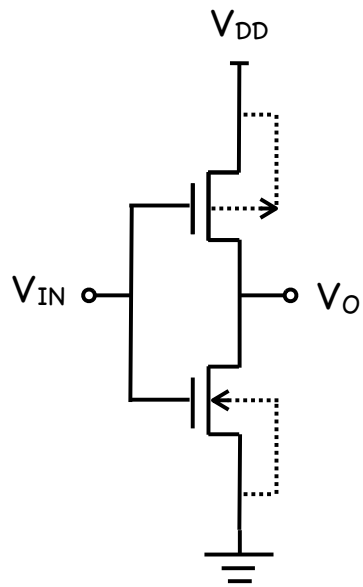
Caracterización de una familia lógica

Una familia lógica se caracteriza observando las propiedades de la puerta lógica más básica: el inversor

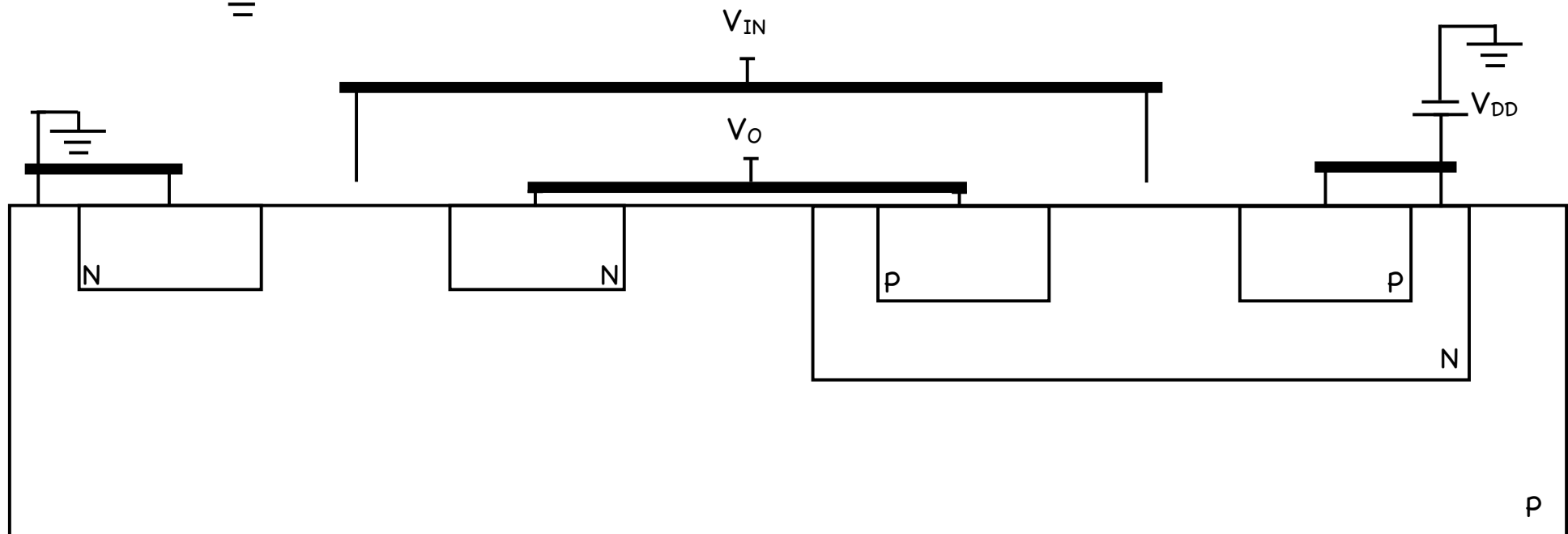
- Se trata de un circuito fácil de analizar (presenta sólo una entrada y una salida)
- Su comportamiento es extrapolable a puertas lógicas más complejas
- Representa un modelo objetivo para comparar diferentes familias lógicas o diferentes procesos tecnológicos.



Inversor

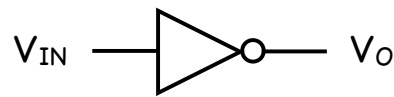


V_{IN}	V_O
'0'	'1'
'1'	'0'

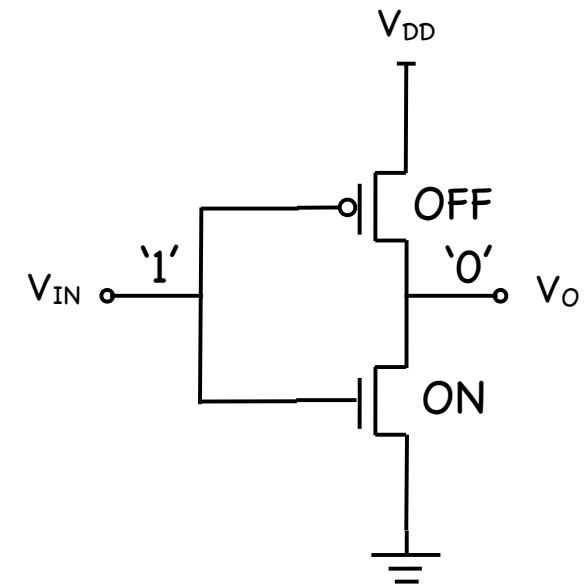
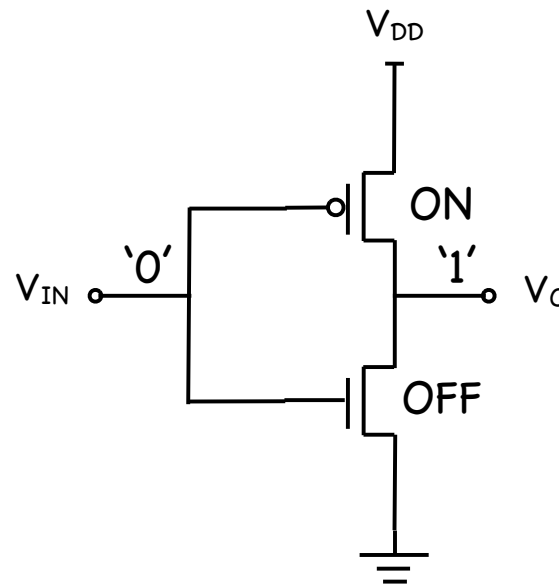


Tecnología CMOS

Vamos a particularizar el análisis de las métricas de calidad en la tecnología más ampliamente utilizada

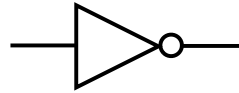


V_{IN}	V_O
'0'	'1'
'1'	'0'

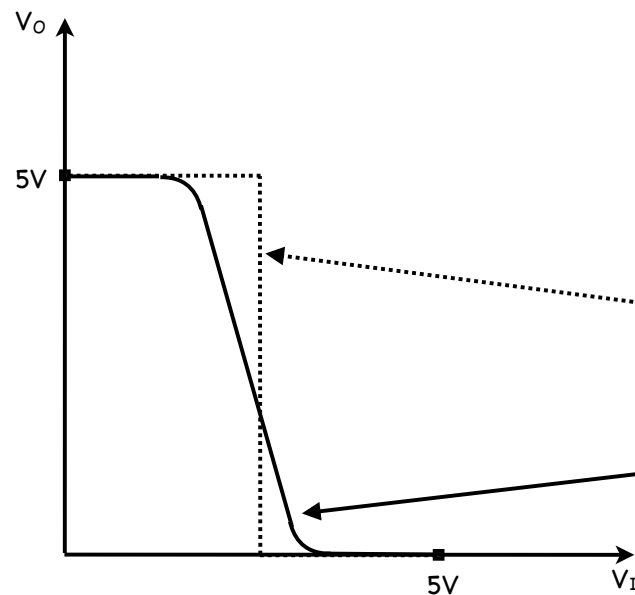


En realidad, los valores lógicos '0' y '1' son representaciones simbólicas de algún valor de tensión

En realidad, los valores lógicos '0' y '1' son representaciones simbólicas de algún valor de tensión



Por ejemplo, consideremos 5V para representar el '1' y 0V para el '0'. Consideremos además V_I la tensión de entrada al inversor y V_O la tensión de salida.



Si $V_I = 0V \Rightarrow V_O = 5V$

Si $V_I = 5V \Rightarrow V_O = 0V$

Pero, ¿y si tenemos $0 < V_I < 5V$?

Podemos imaginar diferentes situaciones:

• Un caso ideal

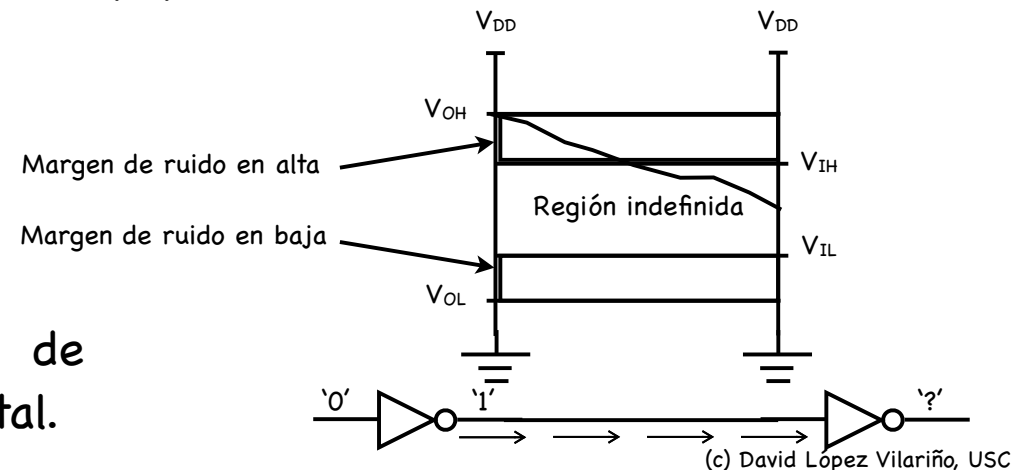
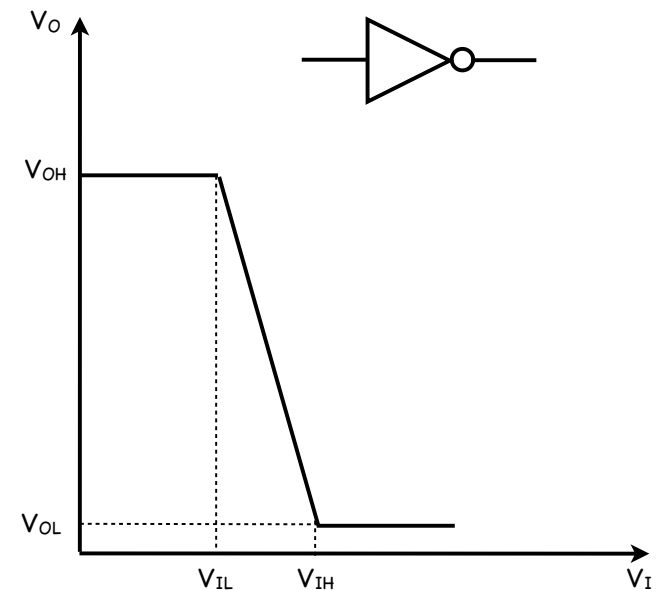
• Un caso real

Curva VTC (Voltage Transfer Characteristic)

Caracterización de un circuito lógico: fiabilidad y robustez

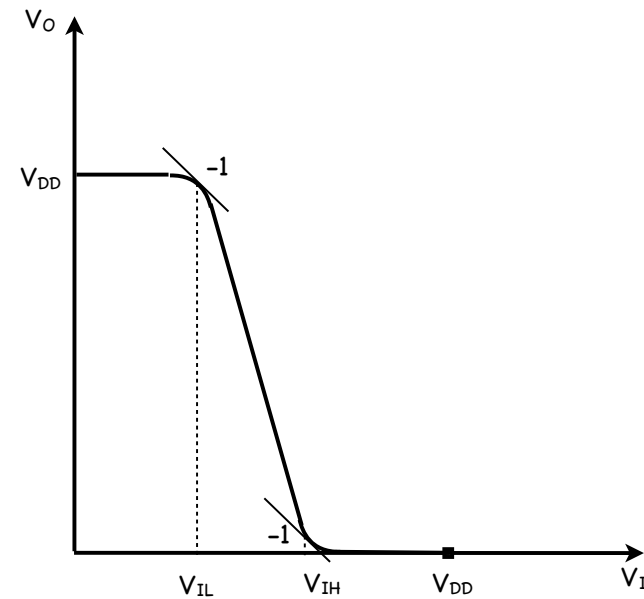
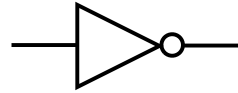
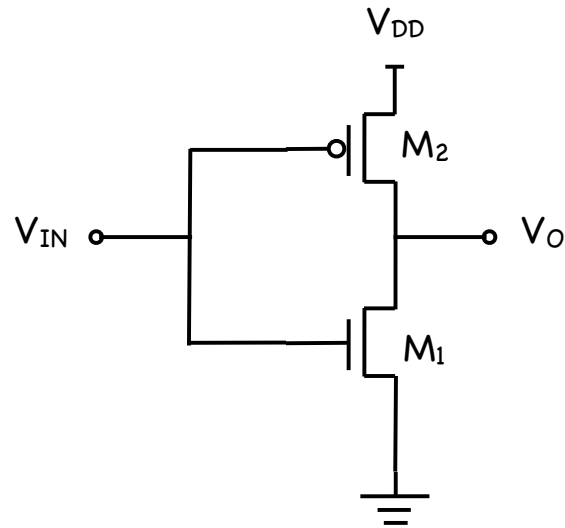
A partir de la curva VTC, que relaciona la entrada y la salida de un sistema (en este caso un inversor), definimos una serie de parámetros que determinarán la robustez de la familia lógica correspondiente:

- $V_{OH} \equiv$ Nivel alto de salida
- $V_{OL} \equiv$ Nivel bajo de salida
- $V_{IL} \equiv$ Valor máximo de entrada interpretado por el inversor como '0'
- $V_{IH} \equiv$ Valor mínimo de entrada interpretado por el inversor como '1'
- $NM_L \equiv$ Margen de ruido para entrada baja ('0'): $V_{IL} - V_{OL}$
- $NM_H \equiv$ Margen de ruido para entrada alta ('1'): $V_{OH} - V_{IH}$



Cuanto mayores sean los márgenes de ruido, más robusto será el circuito digital.

Inversor CMOS



Viendo la gráfica es evidente:

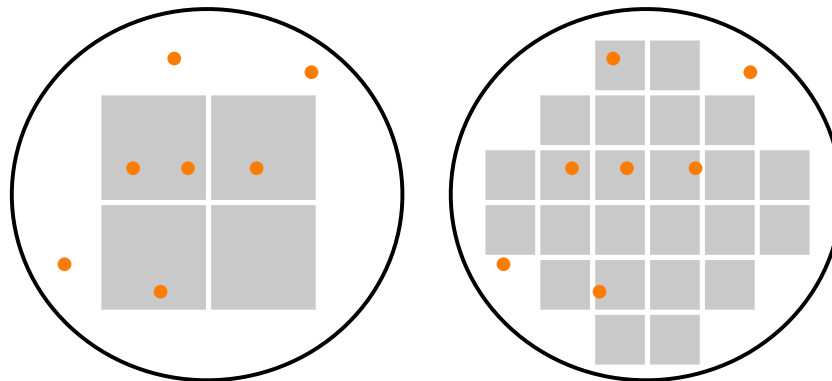
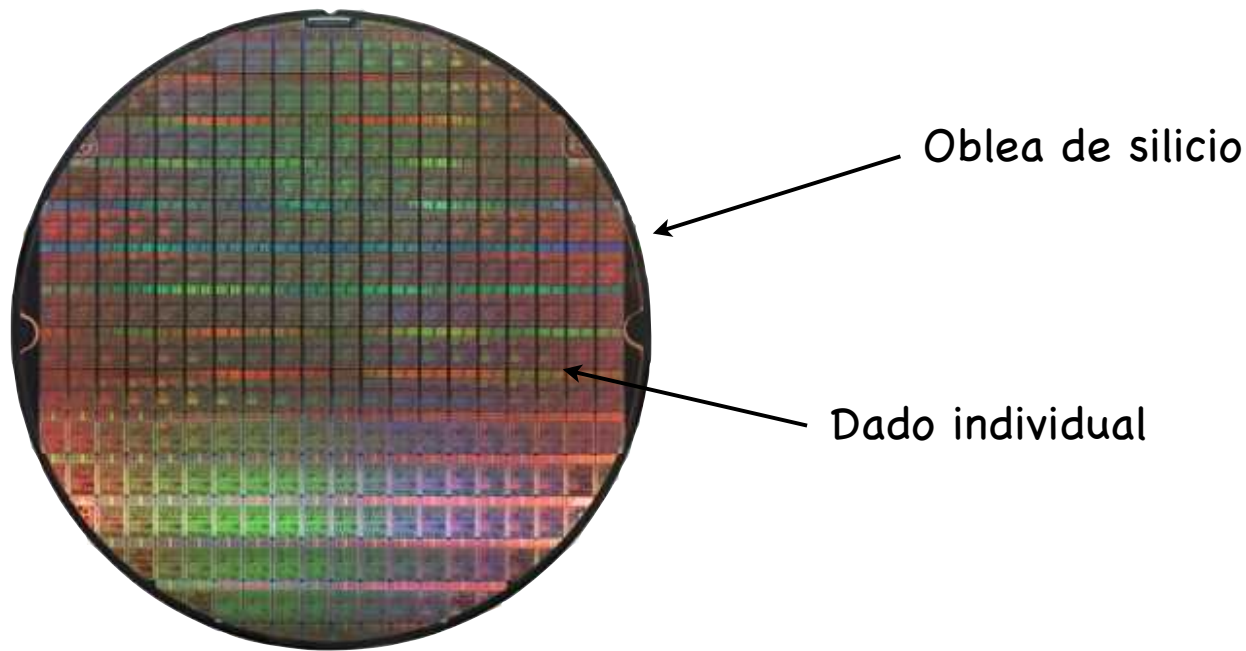
- $V_{OH} = V_{DD}$
- $V_{OL} = 0$

Pero, ¿ V_{IH} y V_{IL} ?

Por definición se considera V_{IL} y V_{IH} los puntos de la curva con pendiente $dV_O/dV_I = -1$

A partir de estos valores obtenemos los márgenes de ruido

Caracterización de un circuito lógico: Coste

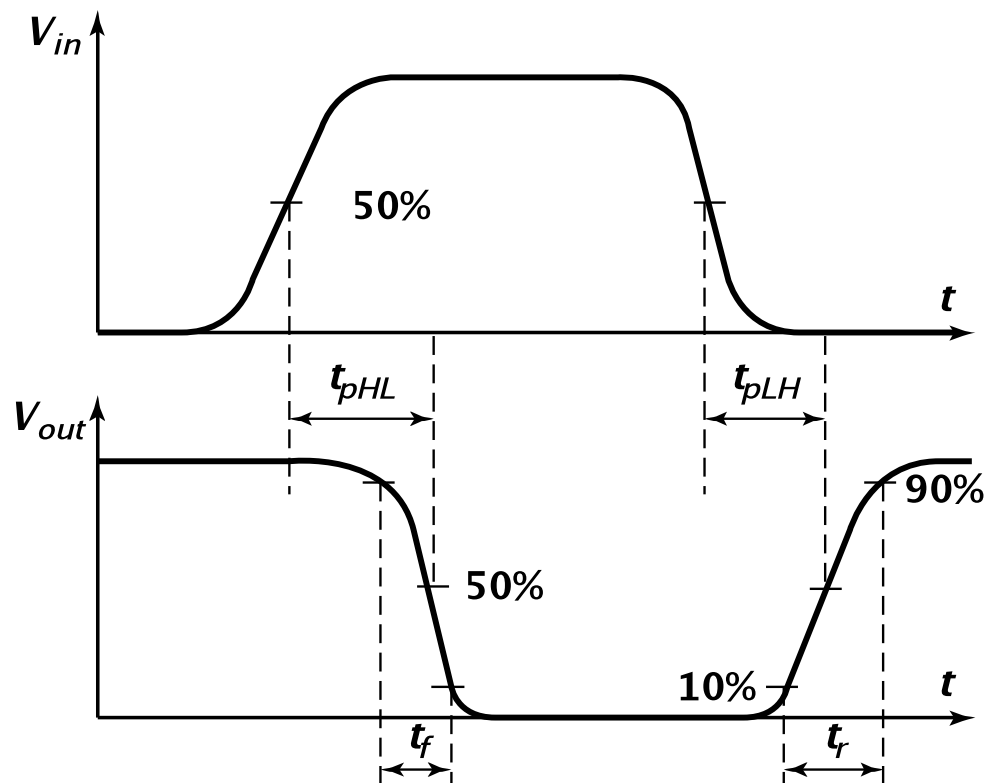


Desde el punto de vista del diseñador, para una tecnología dada, el coste en área se contabiliza a partir del número y del tamaño de los transistores

A mayor área de dado, mayor probabilidad de fallo

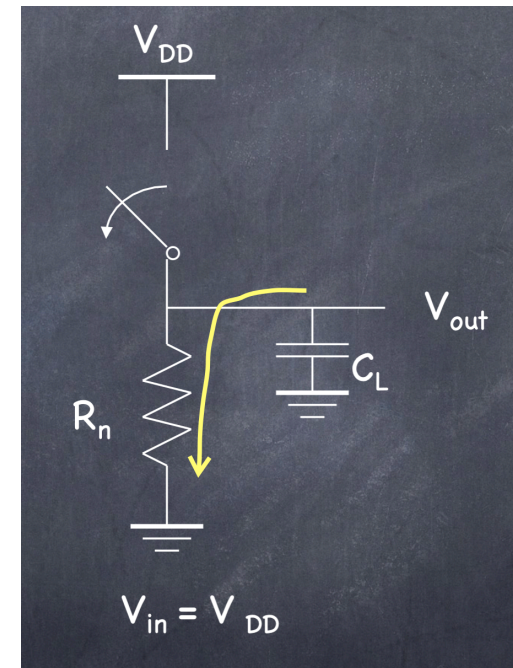
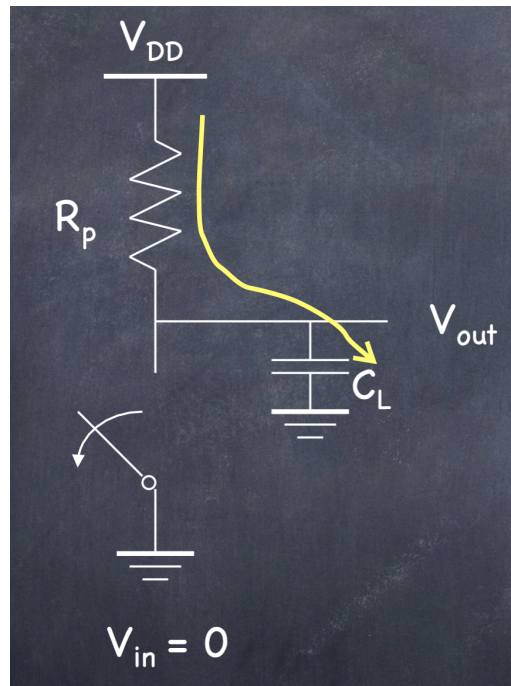
Caracterización de un circuito lógico: Velocidad

- La velocidad se caracteriza inicialmente a través de los retardos de propagación de las puertas lógicas.
- Los retardos de propagación de las señales entre puertas lógicas empiezan a aproximarse a los propios retardos de puerta, por lo que deben tenerse en cuenta en las tecnologías actuales.



Retardos de propagación del inversor CMOS

Comportamiento dinámico del modelo de conmutación:



Se trata por tanto del proceso de carga o descarga de una capacidad a través de una resistencia.

Conmutación '0' \rightarrow '1' \Rightarrow carga de capacidad

El retardo de propagación de baja a alta, t_{PLH} , se define como el tiempo requerido para alcanzar a la salida el 50% de su valor final.

En CMOS $V_{OH}=V_{DD}$, por tanto $V_O(t_{PLH})=V_{DD}/2$

Si recordamos del Tema 2, el proceso de carga de un condensador a través de una resistencia:

$$V_O(t) = -V \cdot \left(e^{-\frac{1}{RC}(t-t_1)} - 1 \right)$$

Sustituimos $V=V_{DD}$, $V_O(t_{PLH})=V_{DD}/2$, $R=R_P$, $C=C_L$, $t=t_{PLH}$ y $t_1=0$:

$$V_{DD}/2 = -V_{DD} \cdot \left(e^{-\frac{t_{PLH}}{R_P C_L}} - 1 \right)$$

Despejamos t_{PLH} y obtenemos:

$$t_{PLH} = \ln(2) R_P C_L = 0.69 R_P C_L$$

Conmutación '1' \rightarrow '0' \Rightarrow descarga de capacidad

El retardo de propagación de alta a baja, t_{PHL} , se define como el tiempo requerido para alcanzar a la salida el 50% de su valor final

En CMOS $V_{OH}=V_{DD}$ y $V_{OL}=0$, por tanto $V_O(t_{PHL})=V_{DD}/2$

Si recordamos del Tema 2, el proceso de descarga de un condensador a través de una resistencia:

$$V_C(t)=V \cdot e^{-\frac{1}{RC}(t-t_2)}$$

Sustituimos $V=V_{DD}$, $V_O(t_{PHL})=V_{DD}/2$, $R=R_N$, $C=C_L$, $t=t_{PHL}$ y $t_2=0$:

$$V_{DD}/2=V_{DD}e^{-\frac{t_{PHL}}{R_N C_L}}$$

Despejamos t_{PHL} y obtenemos:

$$t_{PHL}=\ln(2)R_N C_L=0.69R_N C_L$$

El retardo global t_p sería por tanto la media de los retardos:

$$t_p = \frac{t_{PLH} + t_{PHL}}{2}$$

Conviene hacer los retardos de propagación lo más simétricos posibles.

Y eso lo conseguimos con $R_p = R_n$

Si hacemos $R_p = R_n = R$

$$t_p = 0.69RC_L$$

Si aumenta C_L , el retardo será mayor. Y C_L aumenta cuando conectamos más puertas lógicas a la salida del inversor.

Fan-out: Número de puertas conectadas a la salida de la puerta en consideración.

Por lo tanto, a mayor fan-out, mayor retardo.

También observamos que si R disminuye, también disminuye el retardo.

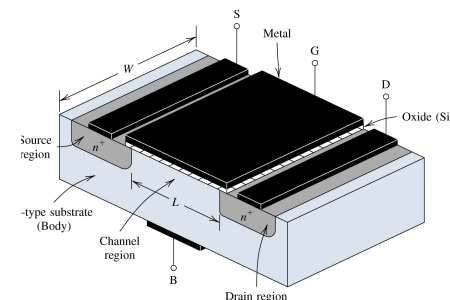
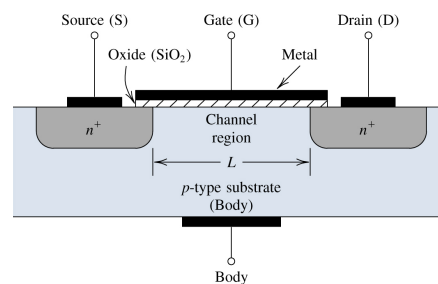
Entonces, ¿por qué no disminuir R para aumentar la velocidad?

Si recordamos...

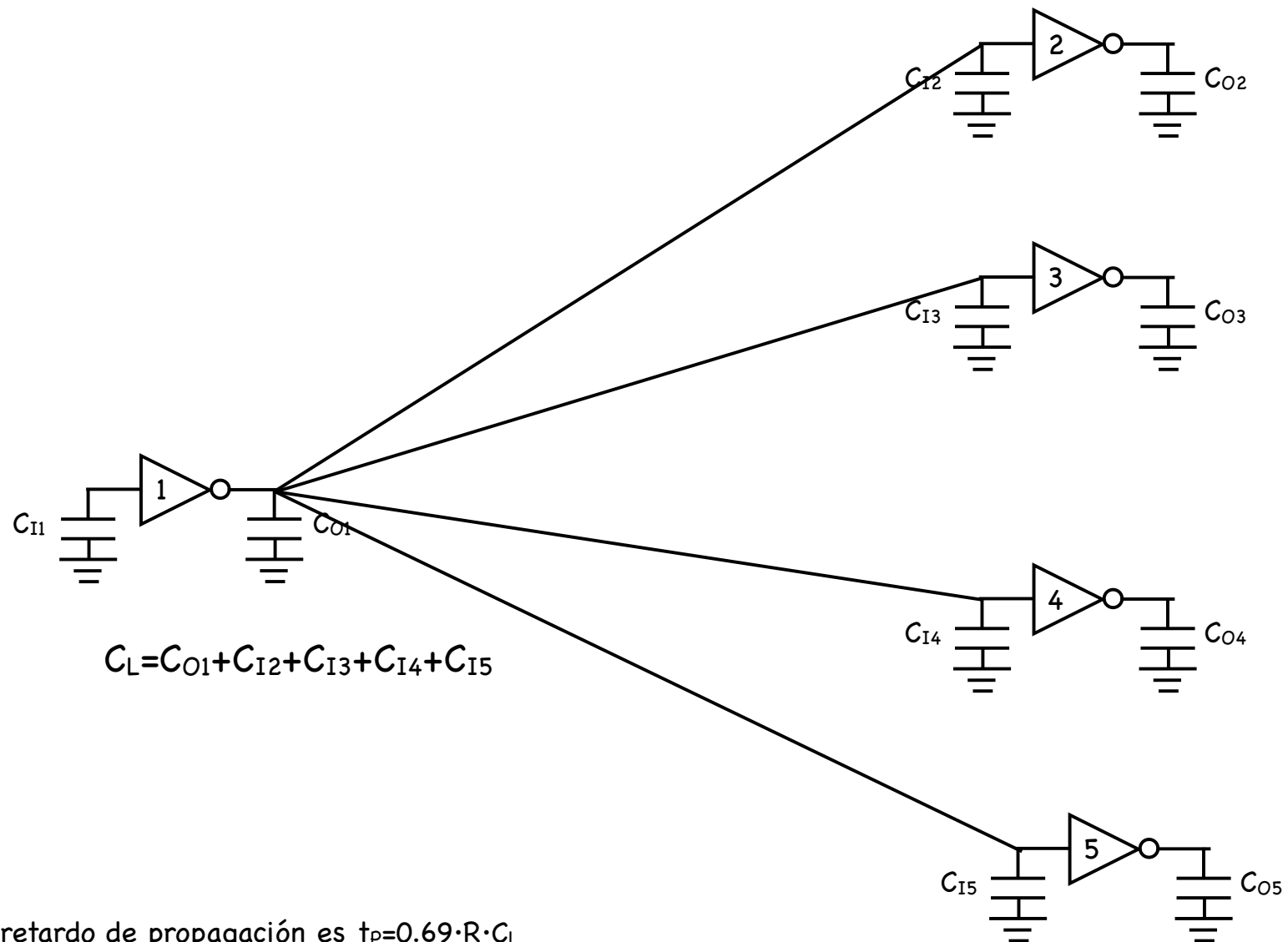
$$R_P \approx K_P(L_P/W_P) \quad R_N \approx K_N(L_N/W_N) \quad K_P, K_N \text{ parámetros dependientes de la tecnología}$$

Para disminuir R_N y $R_P \Rightarrow$ $\left\{ \begin{array}{l} 1. \text{ Fijamos } L_N \text{ y } L_P \text{ al mínimo permitido} \\ 2. \text{ Aumentamos } W_N \text{ y } W_L \text{ hasta igualar } R_P \text{ y } R_N \end{array} \right.$

Pero si aumentamos la anchura de canal de los transistores (W) aumentan también sus capacidades, que se sumarán a la capacidad de carga C_L .



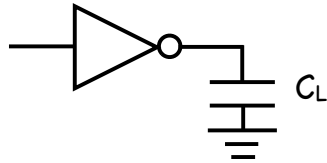
Es decir, $C_L = C_{int} + C_{ext}$, donde C_{int} es la componente de C_L debida al propio inversor y C_{ext} la componente de C_L debida a la puertas conectadas a la salida del inversor.



Como el retardo de propagación es $t_p = 0.69 \cdot R \cdot C_L$

- * Si el fanout aumenta $\Rightarrow C_L$ aumenta (más C_{Ix}) $\Rightarrow t_p$ aumenta
- * Si el W_N y W_P aumentan $\Rightarrow R_N$ y R_P disminuyen (y por tanto también R) pero C_L aumenta (crece C_{O1}).

Conclusión:



$$R_N \approx K_N (L_N / W_N)$$

$$R_P \approx K_P (L_P / W_P)$$

Es decir, $C_L = C_{int} + C_{ext}$, donde C_{int} es la componente de C_L debida al propio inversor y C_{ext} la componente de C_L debida a la puertas conectadas a la salida del inversor.

Si $C_{ext} \gg C_{int}$, el aumento de W_n y W_p puede ser beneficioso porque R_N y R_P (y por tanto R) disminuyen más de lo que aumenta C_L .

Pero si $C_{int} \gg C_{ext}$, el aumento de W_n y W_p provoca una disminución de R_N y R_P (y por tanto R) en la misma medida que aumenta C_L . Por lo tanto, la velocidad no mejoraría y estaríamos aumentando el consumo de área innecesariamente.

Caracterización de un circuito lógico: Consumo de potencia

- ④ El consumo (disipación) de potencia media (Wattios), marca principalmente la vida de la batería (en horas)
- ④ La potencia instantánea, y más concretamente los picos de potencia, determinan el diseño del cableado, imponen límites en el encapsulado y además, afecta a los márgenes de ruido y la fiabilidad del sistema
- ④ Fuentes de disipación de potencia:
 - (a) Disipación de potencia estática: Potencia consumida en situación estable
 - (b) Disipación de potencia dinámica: Potencia consumida como consecuencia de una transición de estados de salida
- ④ En tecnología CMOS, apenas hay consumo de potencia estática. La que hay es debida esencialmente a corrientes de fugas
- ④ En tecnología CMOS, la principal componente de consumo es dinámica, y es consecuencia de la carga y descarga de la capacidad de salida de las puertas lógicas
- ④ Existe una tercera componente de consumo de potencia, denominada de cortocircuito, asociada a la transición de estados. Durante este proceso, hay un intervalo de tiempo donde se habilita un paso de corriente entre la alimentación y tierra

Caracterización de un circuito lógico: Consumo de potencia

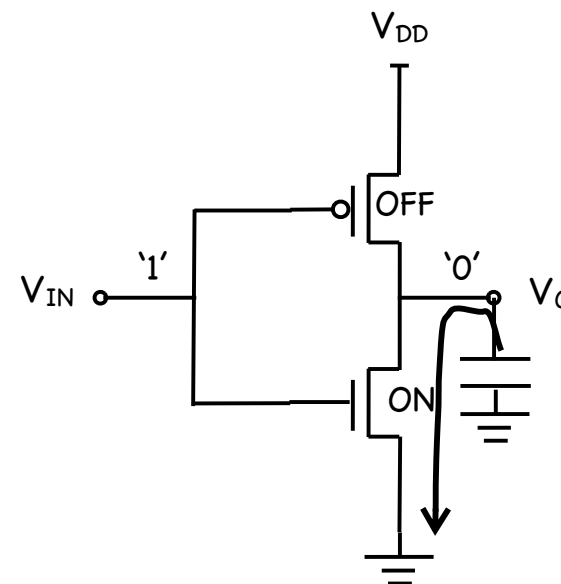
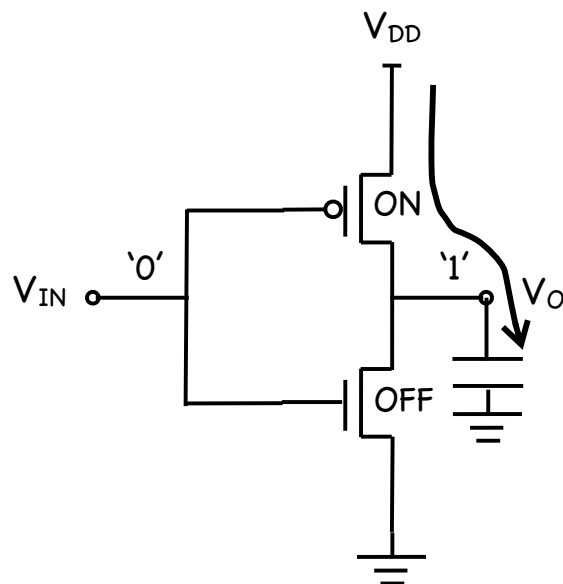
$$P = C_L V_{DD}^2 f_{0 \rightarrow 1}$$

Consumo de potencia dinámica:

✓ Aproximadamente el 90% del consumo actual.

✓ Se puede disminuir:

- ➡ Disminuyendo la capacidad de carga (fanout)
- ➡ Disminuyendo la tensión de alimentación
- ➡ Disminuyendo la frecuencia (velocidad)



Caracterización de un circuito lógico: Consumo de potencia

$$P = C_L V_{DD}^2 f_{0 \rightarrow 1} + t_{sc} V_{DD} I_{pico} f_{0 \rightarrow 1}$$

● Consumo de potencia dinámica:

✓ Aproximadamente el 90% del consumo actual.

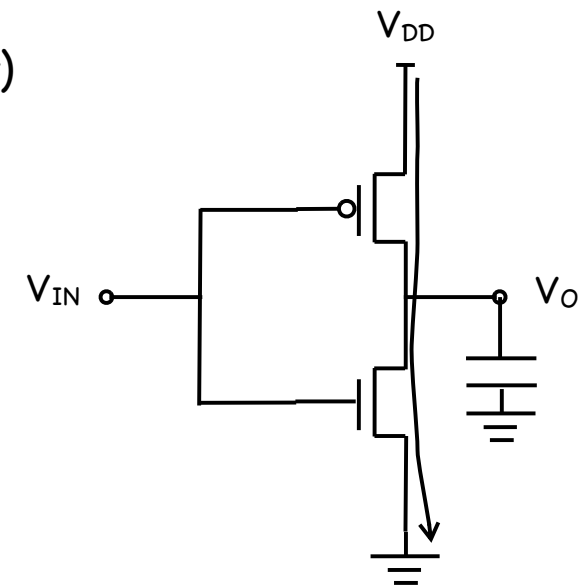
✓ Se puede disminuir:

- ➡ Disminuyendo la capacidad de carga (fanout)
- ➡ Disminuyendo la tensión de alimentación
- ➡ Disminuyendo la frecuencia (velocidad)

● Consumo de potencia de cortocircuito:

✓ Aproximadamente el 8% del consumo actual

✓ Depende de la capacidad de carga (fanout)



Caracterización de un circuito lógico: Consumo de potencia

$$P = C_L V_{DD}^2 f_{0 \rightarrow 1} + t_{sc} V_{DD} I_{pico} f_{0 \rightarrow 1} + V_{DD} I_{fugas}$$

Consumo de potencia dinámica:

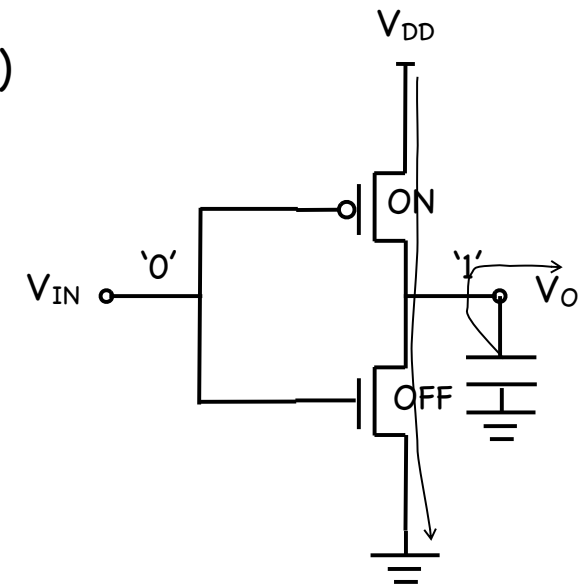
- ✓ Aproximadamente el 90% del consumo actual.
- ✓ Se puede disminuir:
 - ➡ Disminuyendo la capacidad de carga (fanout)
 - ➡ Disminuyendo la tensión de alimentación
 - ➡ Disminuyendo la frecuencia (velocidad)

Consumo de potencia de cortocircuito:

- ✓ Aproximadamente el 8% del consumo actual
- ✓ Depende de la capacidad de carga (fanout)

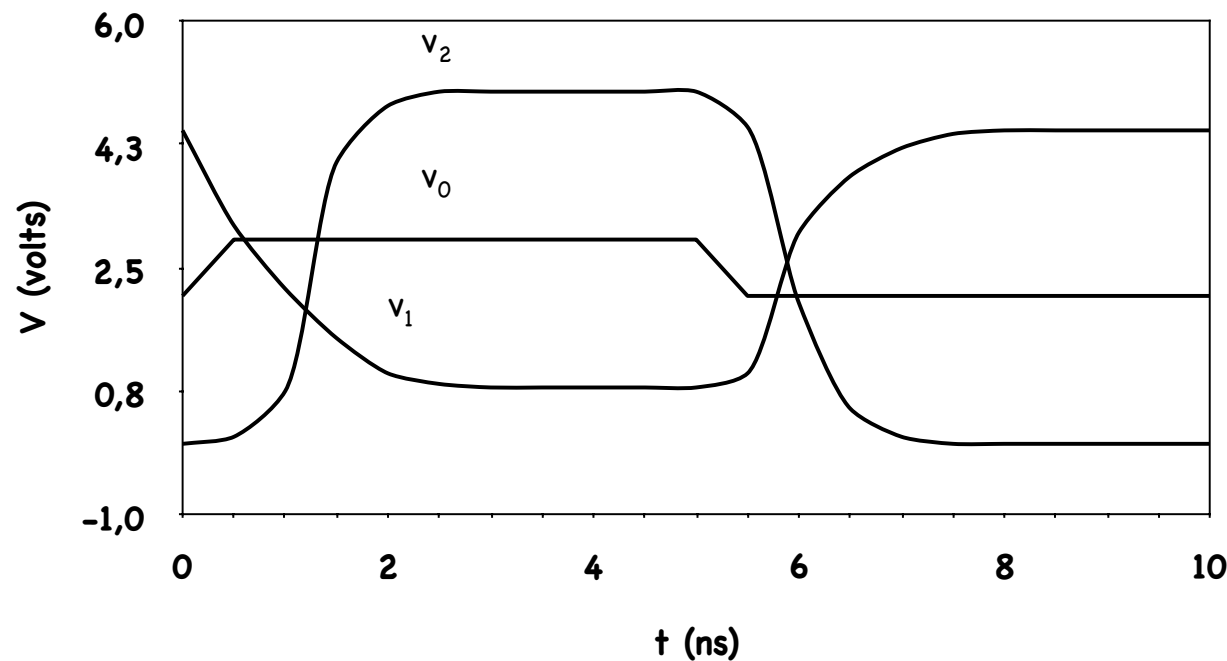
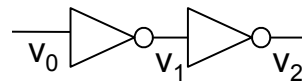
Consumo de potencia estática (fugas):

- ✓ Aproximadamente el 2% del consumo actual.
- ✓ Depende principalmente del proceso de fabricación



Inversores en cascada: Propiedad regenerativa

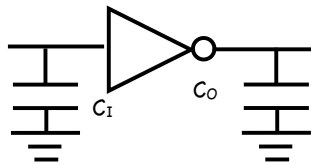
Un puerta lógica con propiedad regenerativa garantiza que una señal perturbada converja de nuevo al nivel de tensión nominal



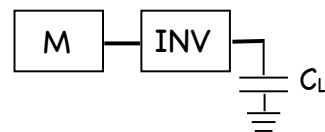
Aplicación → distribución de la señal de reloj en circuitos integrados digitales

Inversores en cascada: Optimización de retardos

Considérese un inversor (INV) con una capacidad de entrada C_I y una capacidad de salida C_O



Imaginemos un módulo M conectado a su entrada y una carga (C_L) a su salida



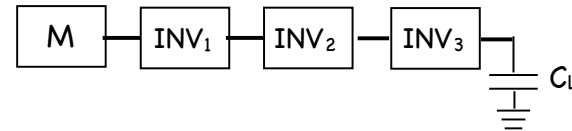
Asumiendo retardos simétricos y $C_L \gg C_O$, los retardos en el inversor serían:

$$t_p = t_{PHL} = t_{PLH} = 0.69RC_L \quad (R_p = R_n = R)$$

Se cumple que si $W \uparrow$ (anchura transistores) $\Rightarrow R \downarrow \Rightarrow t_p \downarrow$

Pero si $W \uparrow \Rightarrow C_I \uparrow$ y por tanto el retardo de la etapa anterior (M) se verá afectado

Consideremos un caso particular donde en lugar de un inversor tenemos tres, siendo el segundo s veces más grande (mayor anchura) que el primero y el tercero s veces más grande que el segundo (s^2 veces más que el primero)



Se cumple:

- $C_{I2}=sC_{I1}$, $C_{I3}=sC_{I2}=s^2C_{I1}$
- $C_{O2}=sC_{O1}$, $C_{O3}=sC_{O2}=s^2C_{O1}$
- $R_2=R_1/s$, $R_3=R_2/s=R_1/s^2$

Por lo tanto, de una etapa a la siguiente la resistencia disminuye s veces y las capacidades (de entrada y salida) aumentan en la misma proporción

El retardo total sería:

$$t_p = t_{PHL} = t_{PLH} = 0.69R_1(C_{O1}+C_{I2}) + 0.69R_2(C_{O2}+C_{I3}) + 0.69R_3(C_{O3}+C_L)$$



$$t_p = 0.69R_1(C_{O1}+sC_{I1}) + 0.69(R_1/s)(sC_{O1}+s^2C_{I1}) + 0.69(R_1/s^2)(s^2C_{O1}+C_L)$$



$$t_p = 0.69R_1(C_{O1}+sC_{I1}) + 0.69R_1(C_{O1}+sC_{I1}) + 0.69R_1(C_{O1}+C_L/s^2)$$

De modo general para N inversores:

$$t_p = (N-1) \times 0.69R_1(C_{O1} + sC_{I1}) + 0.69R_1(C_{O1} + C_L/s^{N-1})$$

En el caso en el que se cumple (escalado ideal):

$$s = \sqrt[N]{\frac{C_L}{C_{I1}}} \longrightarrow t_p = 0.69NR_1(C_{O1} + sC_{I1})$$

¿Cuál es el número de etapas N que minimiza el retardo?

Derivamos (con respecto a N) e igualamos a cero la expresión de t_p

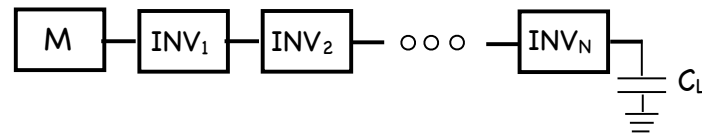
$$t_p = 0.69NR_1 \left(C_{O1} + C_{I1} \sqrt[N]{\frac{C_L}{C_{I1}}} \right) \longrightarrow \frac{dt_p}{dN} = 0$$

... y nos queda:

$$0.69 \left[R_1 C_{O1} + R_1 C_{I1} \left(\sqrt[N]{\frac{C_L}{C_{I1}}} + N \sqrt[N]{\frac{C_L}{C_{I1}}} \frac{\ln(C_L/C_{I1})}{-N^2} \right) \right] = 0$$

Despejando N y asumiendo pequeño el retardo intrínseco de la primera etapa, el número de etapas óptimo viene dado por la expresión:

$$N = \ln \frac{C_L}{C_{I1}}$$



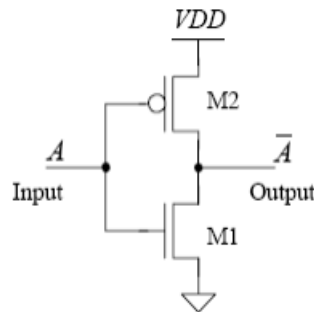
En una situación real no se cumplirá que $s = \sqrt[N]{\frac{C_L}{C_{I1}}}$ para s y N enteros

Por lo tanto se redondeará N al número entero más próximo
(par o impar según interese invertir la entrada o no)

Se procurará también escalar por un número entero
(escalados entre 2 y 4 dan buenos resultados)

Ejemplo: Considerar un inversor simétrico de tamaño mínimo conectado a una capacidad de carga $C_L=200\text{pF}$.

- Obtener los retardos de propagación.
- Optimizar el retardo mediante una cadena de inversores. Asumir que el primer inversor de la cadena es el del apartado anterior

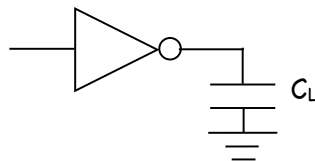


Proceso tecnológico CMOS		
	NMOS	PMOS
L_{\min}	$1\mu\text{m}$	
W_{\min}	$10\mu\text{m}$	
V_{DD}	5V	
R_{ON}	$15(L/W) \text{ (K}\Omega\text{)}$	$45(L/W) \text{ (K}\Omega\text{)}$
C_{ox}	$1.75LW$ <small>L y W deben especificarse en μm</small>	

Las capacidades intrínsecas de entrada y salida de un inversor CMOS se pueden aproximar mediante las expresiones: $C_I=1.5(C_{oxN}+C_{oxP})$ y $C_O=C_{oxN}+C_{oxP}$

1.a- Retardo del inversor con una carga $C_L=200\text{pF}$

$1\mu=10^{-6}$ $1\text{n}=10^{-9}$
 $1\text{p}=10^{-12}$ $1\text{f}=10^{-15}$



Tamaño mínimo para ser simétrico (i.e., $R_P=R_N$) \rightarrow $L_P=L_N=1\mu\text{m}$ $W_N=10\mu\text{m}$ $W_P=30\mu\text{m}$

Para estas dimensiones: $R_N=15 \times (1\mu\text{m}/10\mu\text{m})=1.5\text{K}\Omega$ $R_P=45 \times (1\mu\text{m}/30\mu\text{m})=1.5\text{K}\Omega$

En cuanto a las capacidades:

$$C_{oxN}=1.75 \times 1 \times 10 = 17.5\text{fF}$$

$$C_{oxP}=1.75 \times 1 \times 30 = 52.5\text{fF}$$



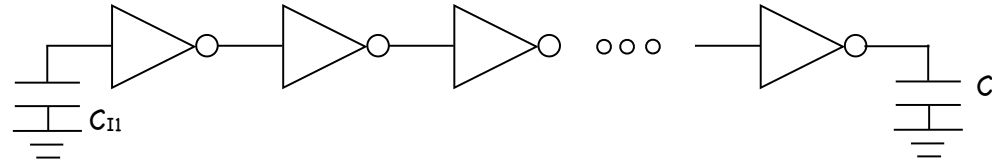
$$C_I=1.5(17.5+52.5)=105\text{fF}$$

$$C_O=17.5+52.5=70\text{fF}$$

Retardos de propagación ($R=R_N=R_P=1.5K\Omega$):

$$t_p = t_{PHL} = t_{PLH} = 0.69R(C_O+C_L)=0.69 \times 1,5 \times 10^3 (70 \times 10^{-15} + 200 \times 10^{-12}) \approx 0.69 \times 1,5 \times 10^3 (200 \times 10^{-12}) = 207 \times 10^{-9} \approx 210ns$$

1.b- Optimización con cadena de inversores



Número de etapas (N):

$$N = \ln \left(\frac{C_L}{C_{I1}} \right) = \ln \left(\frac{200 \times 10^{-12}}{105 \times 10^{-15}} \right) = \ln (1904.76) = 7,55$$

Escalado entre etapas:

$$s = \sqrt[7.55]{\frac{C_L}{C_{I1}}} = \sqrt[7.55]{1904.76} = 2.718 = e$$

Por lo tanto, $N=7.55$ inversores con un escalado $s=2.718$. Pero...

¿Cómo metemos 7.55 inversores? ¿Cómo escalamos por 2.718?

En una situación real el número de inversores tiene que ser:

- ➡ Un número entero impar si queremos salida negada
- ➡ Un número entero par si queremos salida no negada

Además hay que escalar por un factor que permita la fabricación del chip (normalmente un número entero)

Ajustemos N y s a números enteros:

Número de etapas (N):

$$N = \ln \left(\frac{C_L}{C_{I1}} \right) = \ln \left(\frac{200 \times 10^{-12}}{105 \times 10^{-15}} \right) = 7.55$$

Como no podemos meter un número decimal de etapas. Elegimos el número impar más próximo $\Rightarrow N=7$

(impar porque queremos que el resultado sea un inversor)

Escalado entre etapas:

$$s = \sqrt[7]{\frac{C_L}{C_{I1}}} = \sqrt[7]{1904.76} = 2.94$$

Escalamos por un valor entero (para garantizar la posible fabricación del circuito integrado) $\Rightarrow s=3$

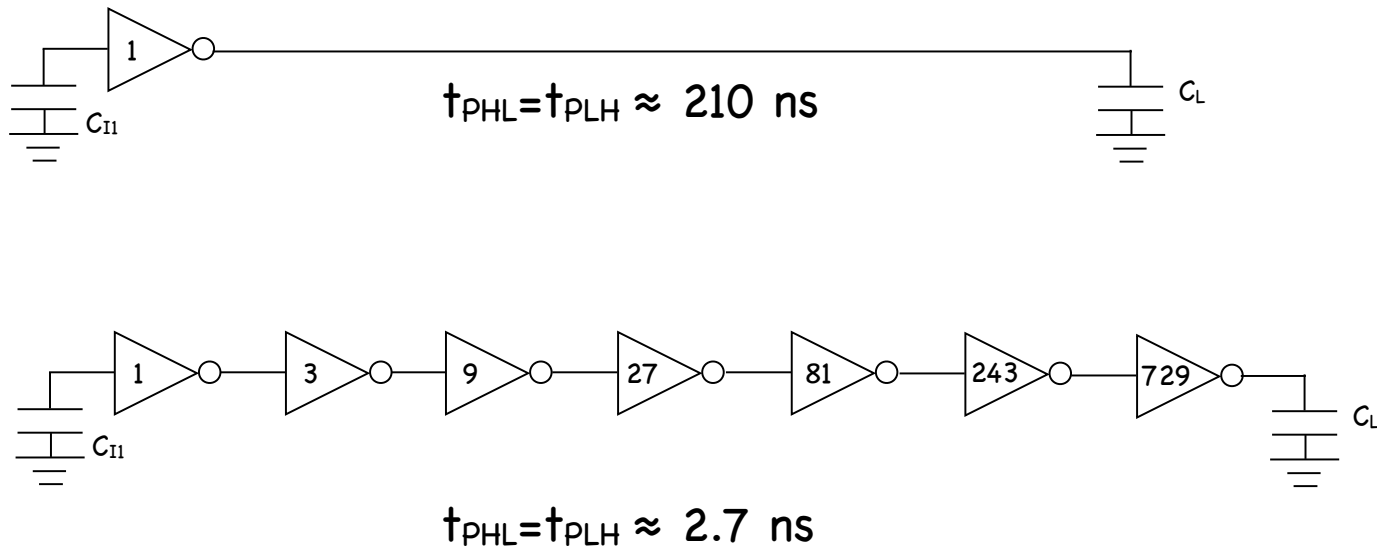
Como el número de inversores y el escalado no 'encaja' perfectamente entre C_I y C_L tendremos que usar la siguiente ecuación para obtener los retardos de propagación:

$$t_p = t_{PHL} = t_{PLH} = (N-1) \times 0.69R_1(C_{O1} + sC_{I1}) + 0.69R_1(C_{O1} + C_L/s^{N-1})$$

Sustituyendo valores ($N=7$ y $s=3$) obtenemos:

$$t_p = (7-1) \times 0.69 \times 1.5 \times 10^3 [70 \times 10^{-15} + (3 \times 105 \times 10^{-15})] + 0.69 \times 1.5 \times 10^3 (70 \times 10^{-15} + 20 \times 10^{-12} / 3^{(7-1)}) \approx 2.7 \text{ ns}$$

En conclusión:

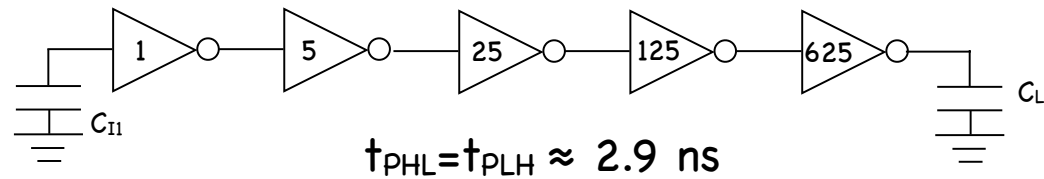


¿Y si en vez de 7 inversores metemos 5 (o 9)?

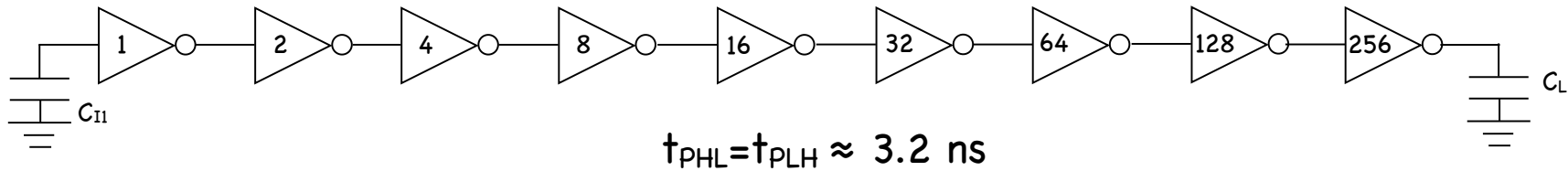
$$s = \sqrt[5]{\frac{C_L}{C_{I1}}} = \sqrt[5]{1904.76} = 4.528 \approx 5$$

$$s = \sqrt[9]{\frac{C_L}{C_{I1}}} = \sqrt[9]{1904.76} = 2.314 \approx 2$$

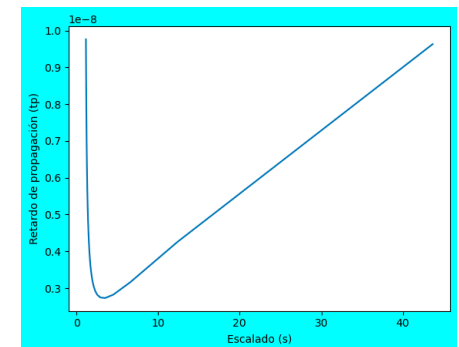
En el caso de N=5 inversores con un escalado s=5



En el caso de N=9 inversores con un escalado s=2



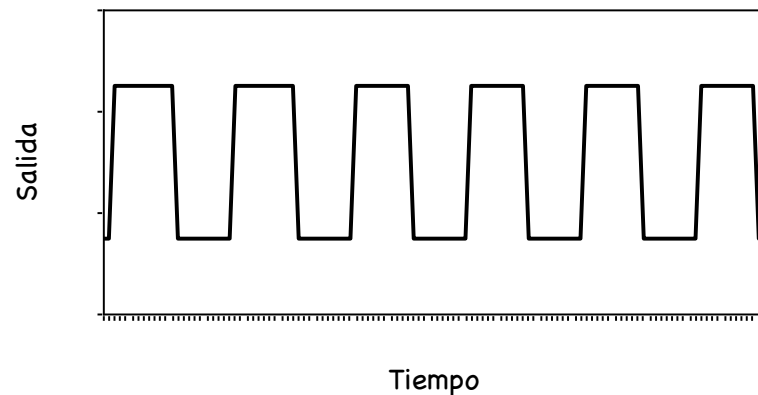
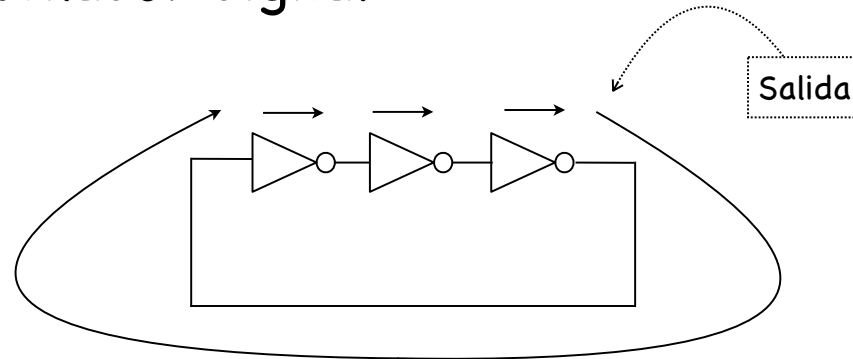
Experimentalmente se observa que escalados entre 2 y 5 dan resultados aceptables



(c) David López Vilariño, USC

Oscilador en anillo

Un lazo cerrado formado por un número **impar** de inversores proporciona un oscilador digital



Dados N inversores idénticos

$$f_{osc} = \frac{1}{N \times (t_{PHL} + t_{PLH})}$$

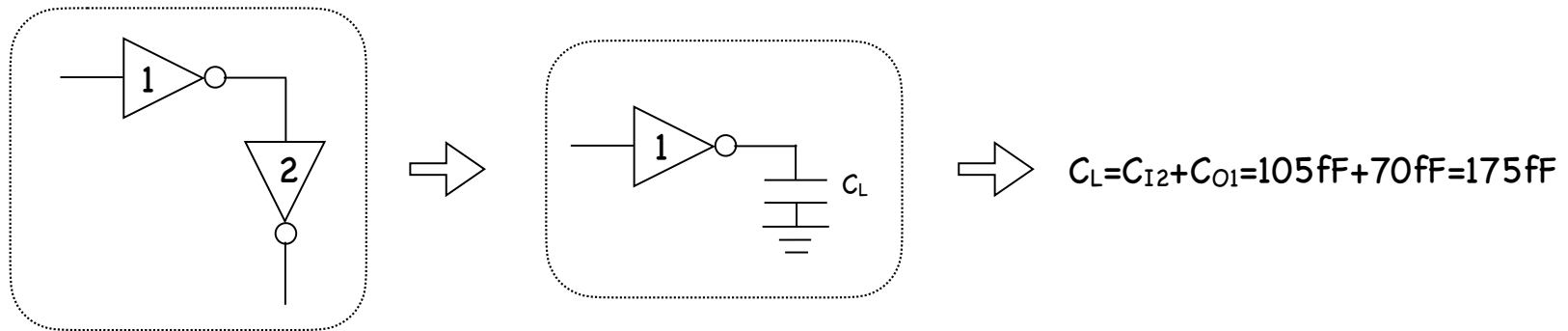
Aplicación -> | VCO (Voltage-Controlled Oscillator) para PLL (Phase-Locked Loop)
Testeo y verificación de tecnología

Ejemplo: Estimar la frecuencia de oscilación de un oscilador formado por 11 inversores de tamaño mínimo con retardos simétricos. Considerar el mismo proceso tecnológico que en el ejercicio anterior (cadena de inversores).

11 inversores idénticos $f_{osc} = \frac{1}{11 \times (t_{PHL} + t_{PLH})}$

Necesitamos los retardos de propagación

En este caso la carga de cada inversor de la cadena es otro inversor

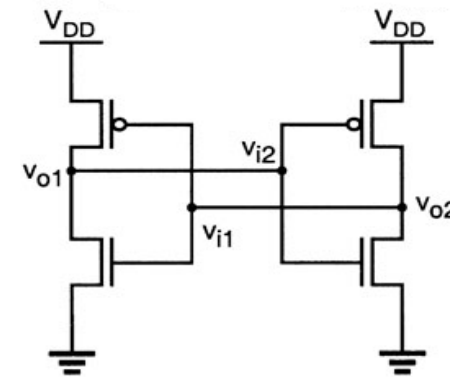
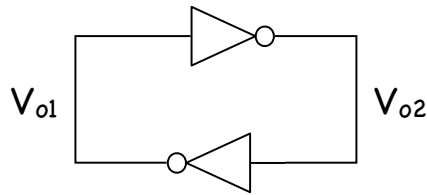


$t_p = t_{PHL} = t_{PLH} = 0.69RC_L \approx 181 \text{ ps}$ \Rightarrow $f_{osc} = 251 \text{ MHz}$

$R_N = R_P = R = 1.5 \text{ K}\Omega$

Biastable

Un lazo cerrado formado por un número **par** de inversores proporciona una salida estable



El lazo cerrado actúa como una cadena infinita de inversores

Con un número par de inversores los nodos no conmutan por lo que la propiedad regenerativa de los inversores los lleva a valores extremos ('0' y '1')

Aplicación -> Celdas de memoria (registros, memoria RAM,...)