

Circuitos lógicos combinacionales

Tema 8

Contenidos

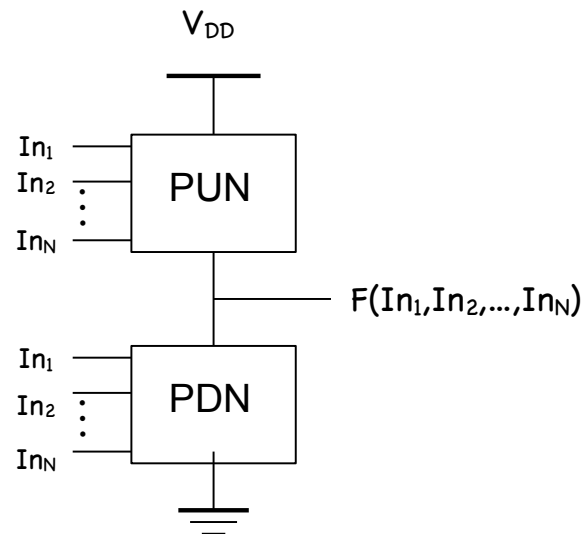
- Lógica CMOS complementaria
- Lógica de transistores de paso y de puertas de transmisión

Lógica CMOS complementario

Es la extensión natural del inversor CMOS que hemos estudiado hasta ahora.

Está constituido por dos bloques de transistores:

- Un bloque superior (PUN, de "Pull-Up Network") de transistores PMOS
- Un bloque inferior (PDN, de "Pull-Down Network") de transistores NMOS



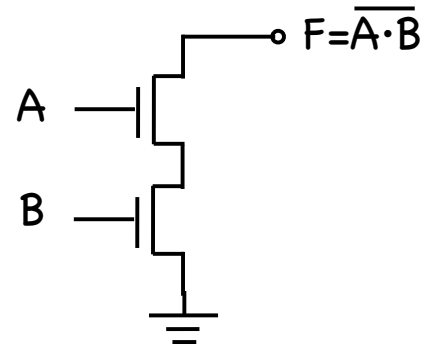
La red PUN conecta la salida con V_{DD} cuando $F(In_1, In_2, \dots, In_N)=1$

La red PDN conecta la salida con tierra cuando $F(In_1, In_2, \dots, In_N)=0$

¿Cómo construimos funciones lógicas?

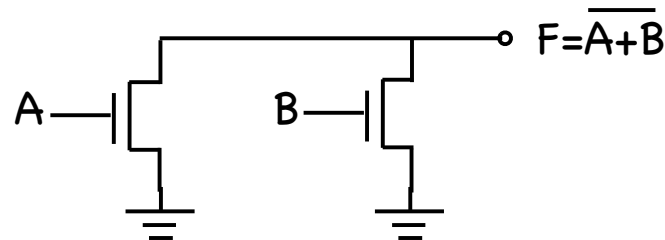
Si nos fijamos en el bloque NMOS (PDN), observamos que:

Transistores NMOS conectados en serie, implementan (parcialmente) una función NAND.



| A | B | F |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Transistores NMOS conectados en paralelo, implementan (parcialmente) una función NOR.

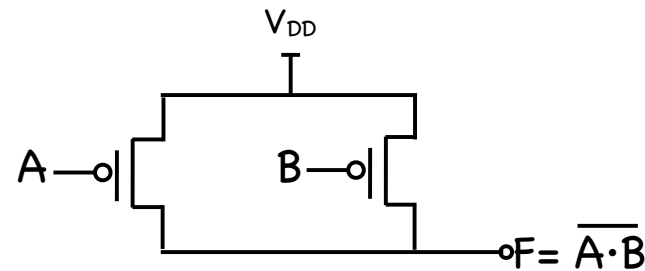


| A | B | F |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

¿Cómo construimos funciones lógicas?

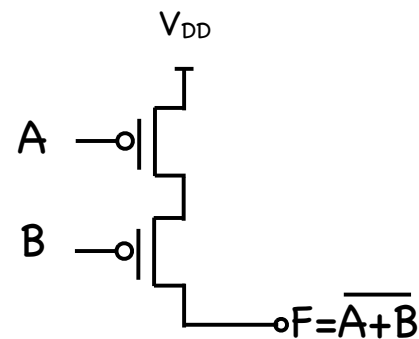
Si nos fijamos ahora en el bloque PMOS (PUN), observamos que:

Transistores PMOS conectados en paralelo, implementan (parcialmente) una función NAND.



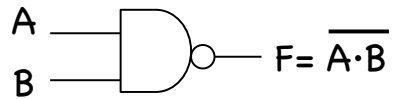
| A | B | F |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Transistores PMOS conectados en serie, implementan (parcialmente) una función NOR.

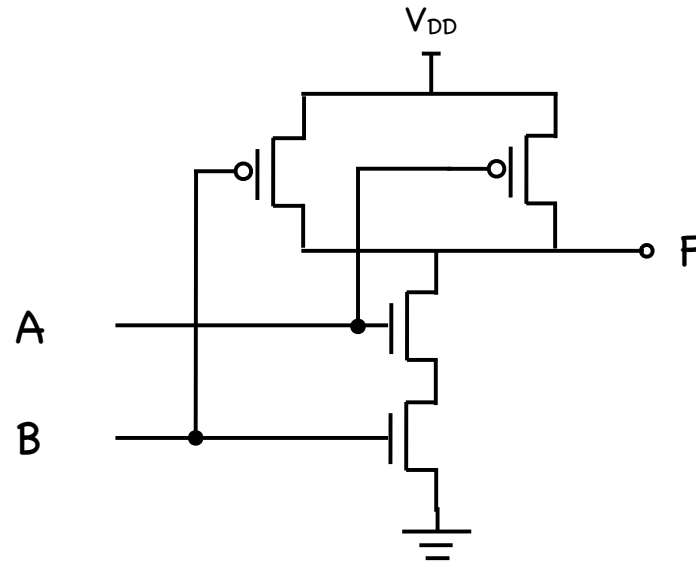


| A | B | F |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

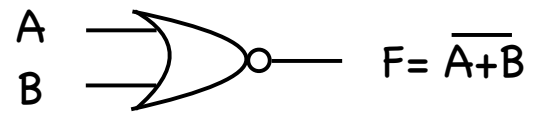
Por ejemplo, una puerta NAND de dos entradas:



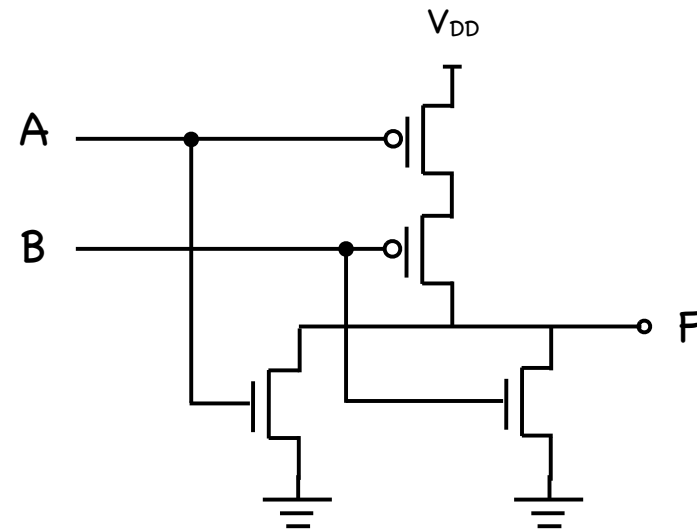
| A | B | F |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |



Y una puerta NOR de dos entradas:



| A | B | F |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |



Los bloques PMOS y NMOS son duales:

Una conexión en serie en el bloque PMOS se corresponde con una paralela en el bloque NMOS y viceversa

Leyes de De Morgan:

$$\overline{A+B}=\overline{A}\cdot\overline{B} \qquad \overline{A\cdot B}=\overline{A}+\overline{B}$$

Las puertas en lógica complementaria incluyen una inversión. Es decir, la salida siempre es negada (NAND, NOR, AOI,...)

El número de transistores necesarios para cada puerta lógica es el doble del número de entradas

¡La lógica CMOS complementaria funciona siempre!

Implementación de una función lógica compleja

$$F = \overline{D + A \cdot (B + C)}$$

Construimos paso a paso la red NMOS:

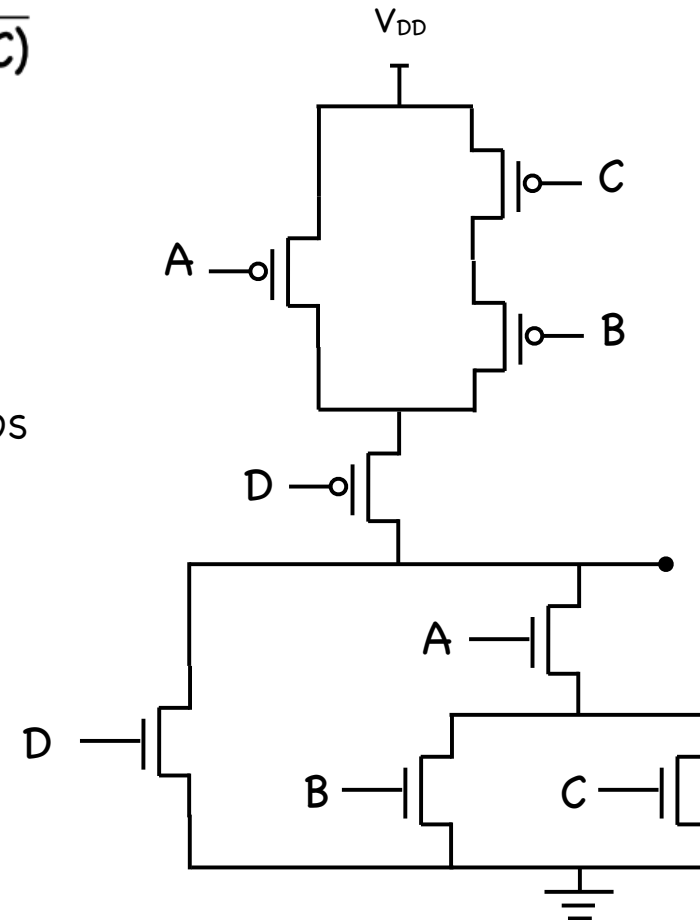
$$\overline{(B+C)} \rightarrow \overline{A \cdot (B+C)} \rightarrow \overline{D + A \cdot (B+C)}$$

Ahora creamos la red PMOS dual:

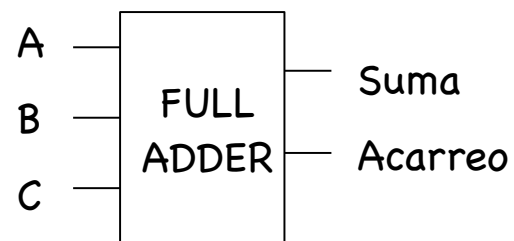
D en paralelo en la red NMOS \Rightarrow en serie en la red PMOS

A en serie en la red NMOS \Rightarrow en paralelo en la red PMOS

B y C en paralelo en la red NMOS \Rightarrow en serie en la red PMOS



Otro ejemplo: Full adder



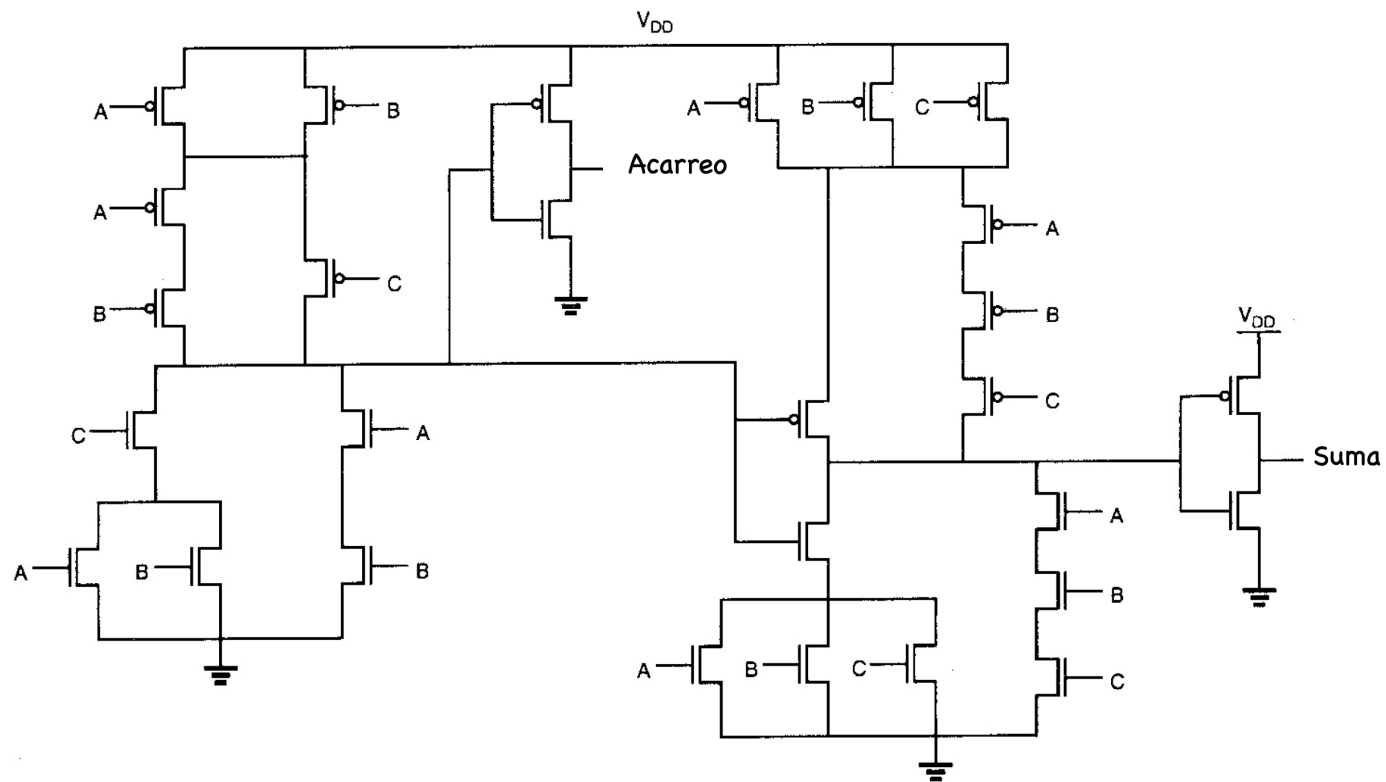
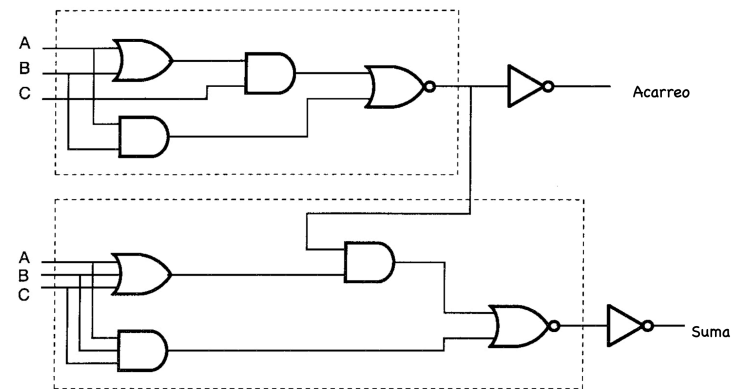
$$\begin{aligned}
 \text{Suma} &= A \oplus B \oplus C = \\
 &= ABC + \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} \\
 \text{Acarreo} &= AB + AC + BC
 \end{aligned}$$



$$\text{Suma} = ABC + (A + B + C)\overline{\text{acarreo}}$$

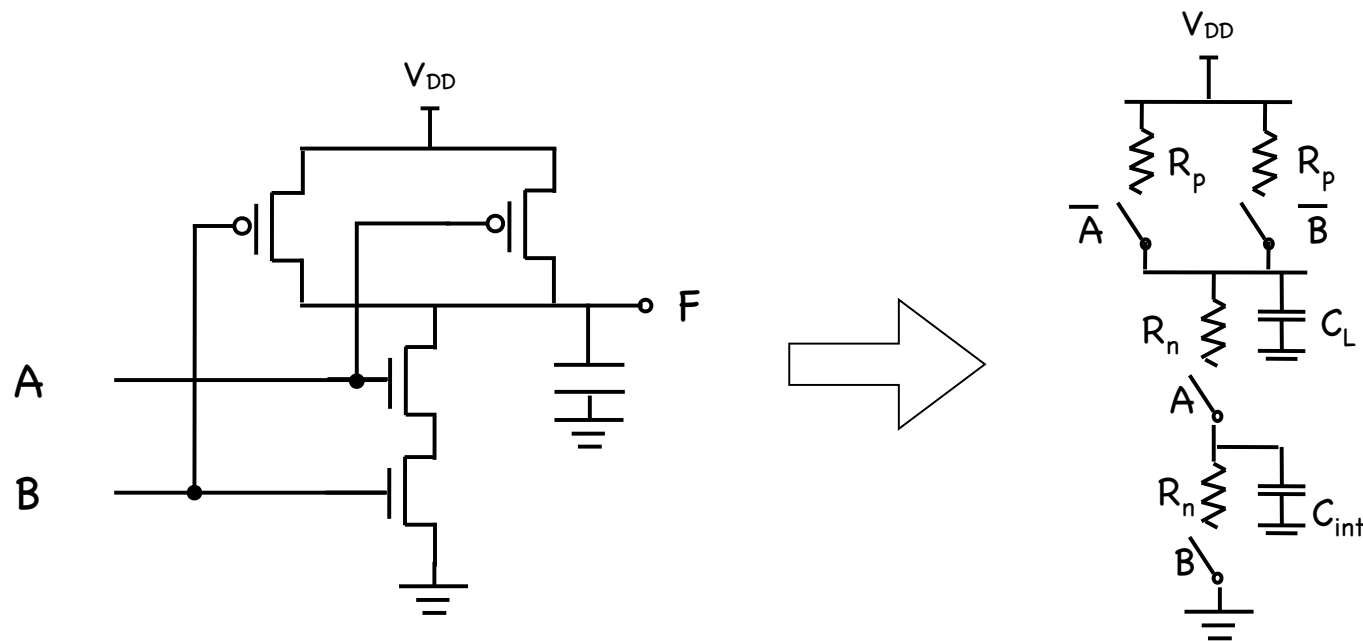
| A | B | C | Suma | Acarreo |
|---|---|---|------|---------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

Full adder



Retardos de propagación

Tomemos como referencia una puerta NMOS de dos entradas:



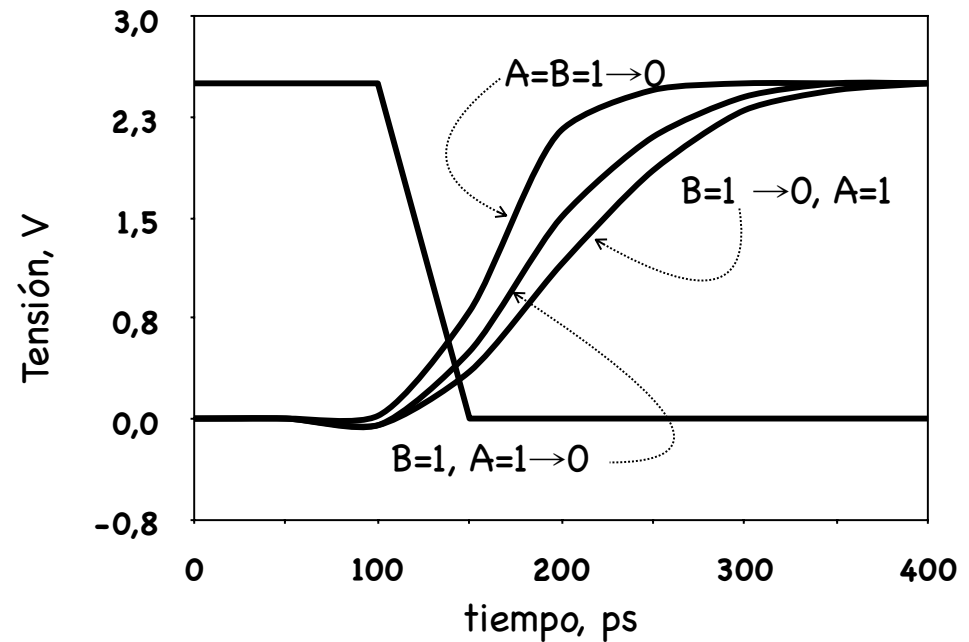
El retardo depende del patrón de entradas.

✓ Transición de baja a alta

- Ambas entradas van a baja
→ Retardo $t_{pLH} = 0.69 \cdot (R_p/2) \cdot C_L$ (las R_p están en paralelo)
- Una entrada a baja
→ Retardo $t_{pLH} = 0.69 \cdot R_p \cdot C_L$

✓ Transición de alta a baja

- Ambas entradas a alta
→ Retardo $t_{pHL} = 0.69 \cdot (2 \cdot R_n) \cdot C_L$



Conclusión: Añadir transistores en serie ralentiza el circuito

💡 Conectar las entradas más lentas próximas al nodo de salida

Dimensionado de los transistores

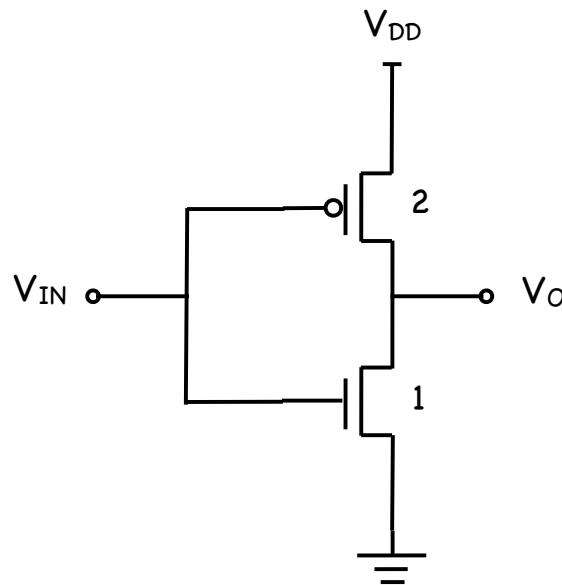
Si recordamos:

$$R_P \approx K_P (L_P / W_P)$$

$$R_N \approx K_N (L_N / W_N)$$

K_P, K_N parámetros dependientes de la tecnología

Si por ejemplo, $R_P = 2R_N$, para $W_N/L_N = W_P/L_P$ (es lo habitual), para conseguir $R_P = R_N$ hace falta que el transistor PMOS sea el doble de ancho (o la mitad de largo) que el transistor NMOS:



Tomamos

$$\begin{cases} L_N = L_{\min} \text{ y } W_N = W_{\min} \\ W_P / L_P = s (W_{\min} / L_{\min}) \end{cases}$$

$s \equiv$ factor de escalado

Para este ejemplo, $s=2 \Rightarrow$

$$\begin{cases} L_P = L_{\min} \\ W_P = 2W_{\min} \end{cases}$$

Si $s > 1$ $L = L_{\min}$ y $W = sW_{\min}$

Si $s < 1$ $W = W_{\min}$ y $L = \frac{L_{\min}}{s}$

Veamos el caso de la función lógica implementada anteriormente:

El objetivo es tener retardos simétricos, similares (en el peor caso) a los del inversor

Tomamos de nuevo el ejemplo donde $R_P = 2R_N = 2R$ para transistores de tamaño mínimo

Peor caso '0' \rightarrow '1': tres PMOS en serie (DBC)

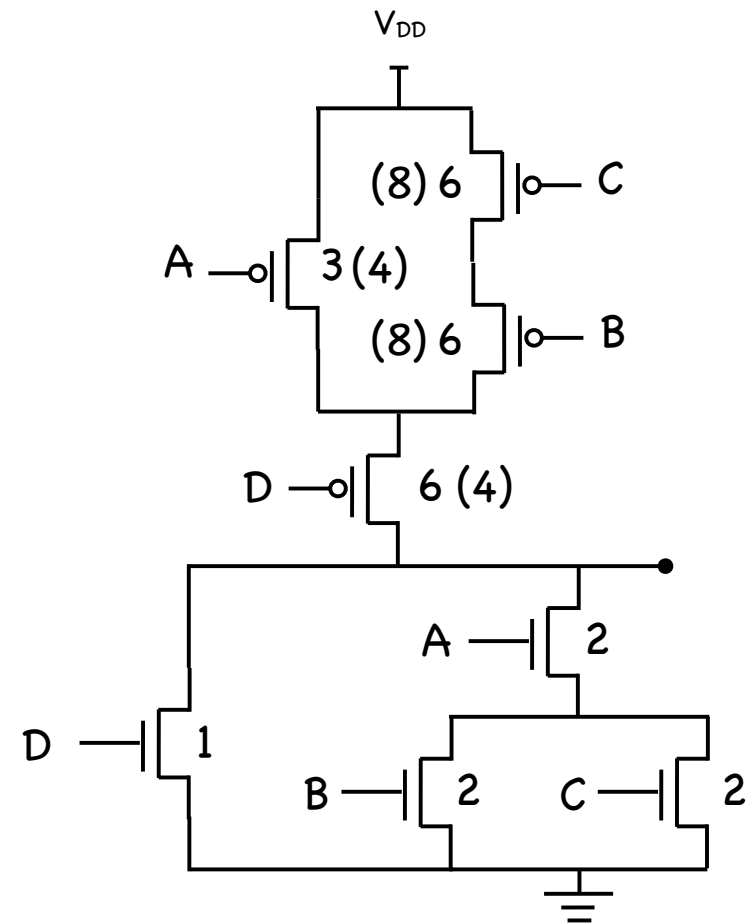
$$R_D + R_B + R_C = (2R/s) + (2R/s) + (2R/s) = 6R/s = R$$

\uparrow
 $s=6$

Peor caso '1' \rightarrow '0': dos NMOS en serie (AB o AC)

$$R_A + R_B = (R/s) + (R/s) = 2R/s = R$$

\uparrow
 $s=2$



Problema con la elección de PMOS: con el PMOS de abajo (D), estamos cargando demasiado la capacidad del nodo de salida. Una opción mejor se muestra entre paréntesis

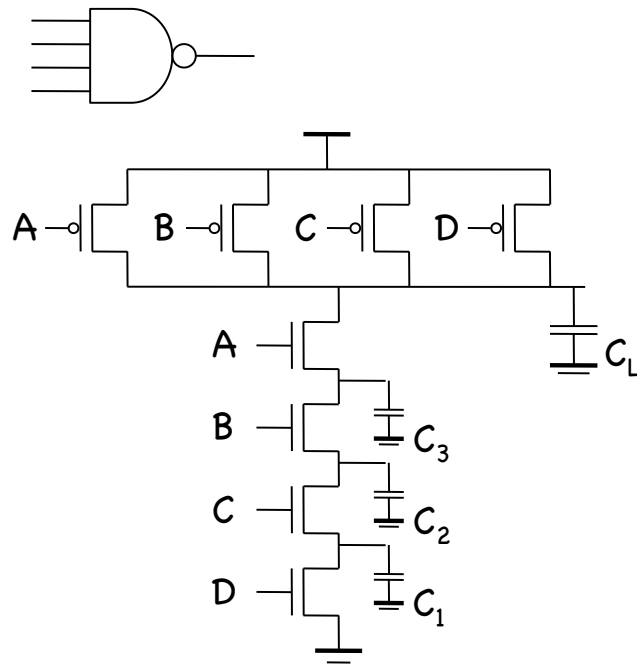
Conclusión: La mejor solución es la que provoque una menor carga del nodo de salida

Fan-in: Número de entradas conectadas a una puerta lógica.

Fan-out: Número de puertas conectadas a la salida de la puerta en consideración.

Ya vimos que a mayor fan-out, mayor retardo, debido a que aumenta la capacidad de carga. Pero, ¿cómo afecta el fan-in?

Veámoslo en el siguiente ejemplo:



Según lo visto hasta ahora, diríamos que $t_{pHL} = 0.69 \cdot R \cdot C_L$

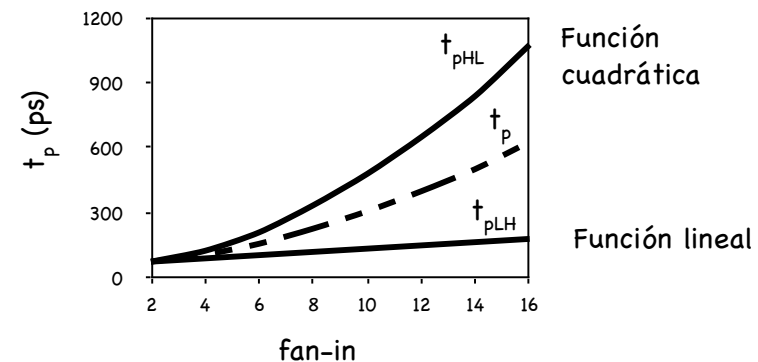
Sin embargo, esto no es del todo cierto, debido a la existencia de capacidades en los nodos de conexión de los transistores (en este ejemplo los NMOS).

Si tenemos en cuenta estas capacidades:

$$t_{pHL} = 0.69 R_N (C_1 + 2C_2 + 3C_3 + 4C_L)$$

La propagación del retardo se deteriora rápidamente con el fan-in (función cuadrática en el peor caso).

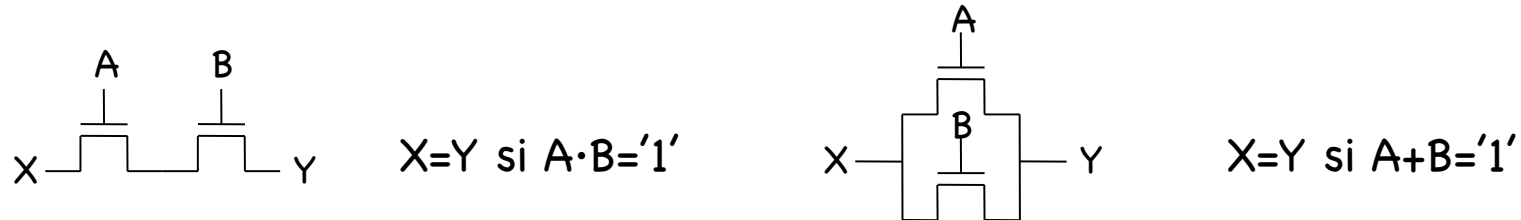
Conclusión: Deben evitarse puertas con un fan-in superior a 4.



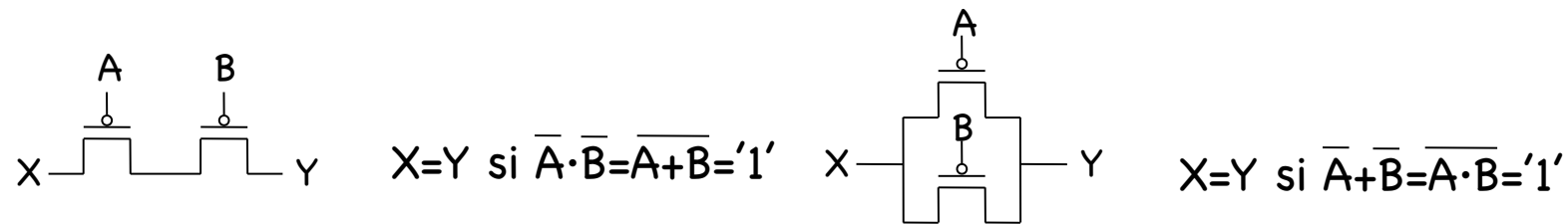
Lógica de transistor de paso y puertas de transmisión

Las entradas primarias controlan los terminales de puerta y de fuente/drenador

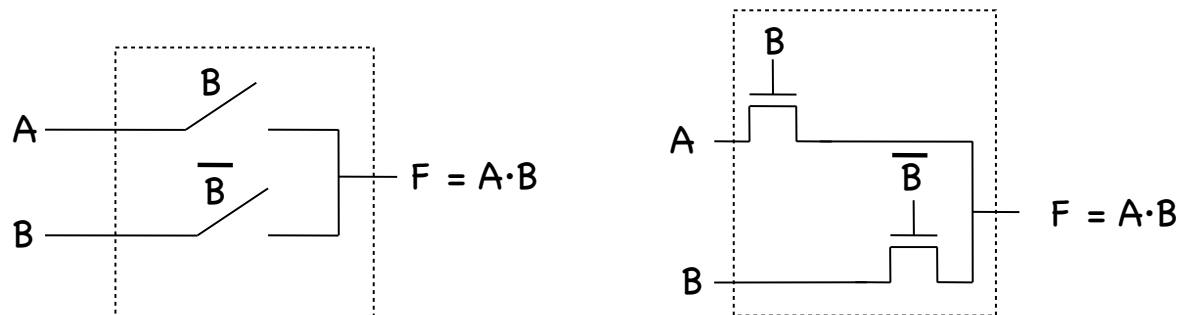
Un conmutador NMOS se cierra cuando la entrada por la puerta está en alta



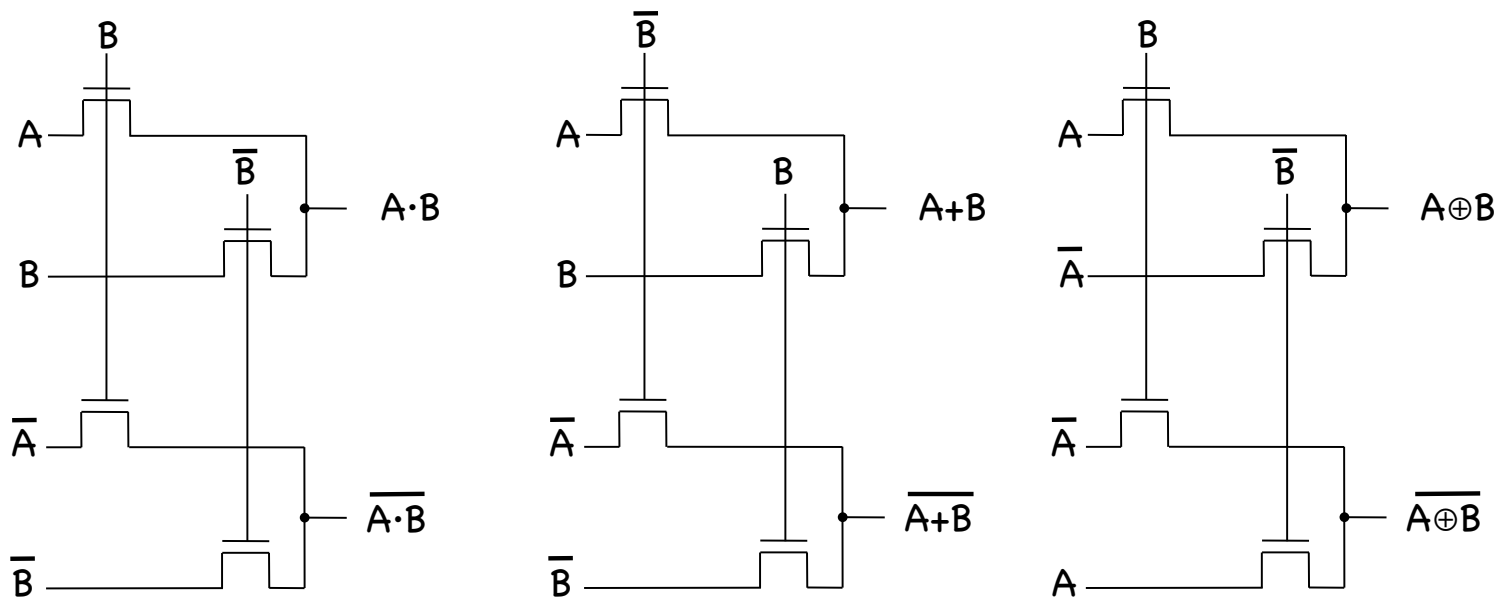
Un conmutador PMOS se cierra cuando la entrada por la puerta está en baja



Ejemplo: operación AND (con NMOS)



Lógica de transistores de paso complementaria (CPL)



Propiedades:

Las salidas y sus complementarias están disponibles simultáneamente

Lógica modular: Las puertas básicas tienen la misma estructura (sólo cambian las entradas)

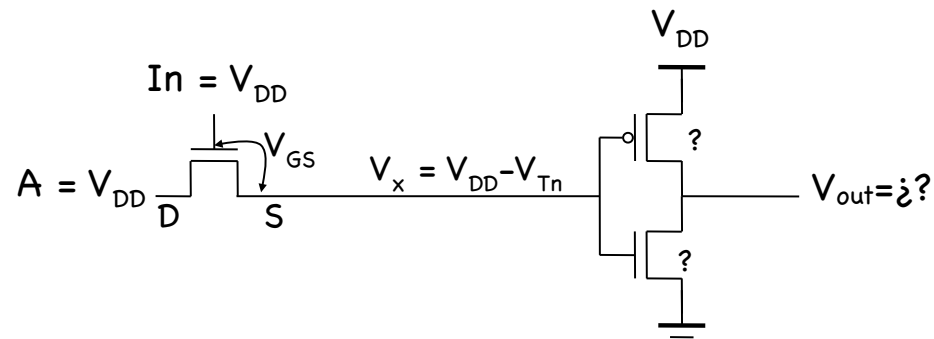
Lógica muy compacta

Inconvenientes:

Los NMOS transfieren un '0' fuerte y un '1' débil

Los PMOS transfieren un '1' fuerte y un '0' débil

Ejemplo: conmutador controlando un inversor



La entrada del inversor se queda por debajo de V_{DD} , lo que puede originar un mal funcionamiento

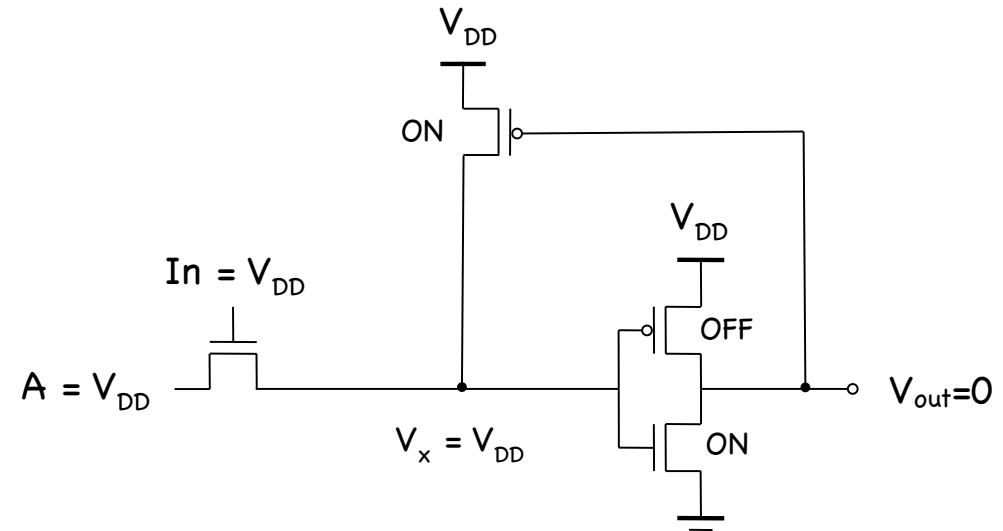
Soluciones:

Usar transistores con $V_T=0$

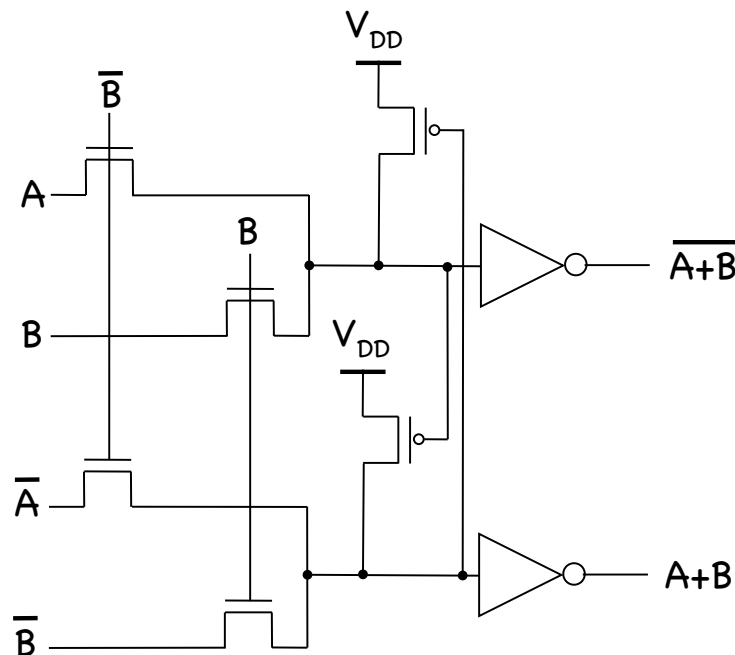
Sin embargo esto los hace muy sensibles al ruido

Soluciones:

Introducir un lazo de realimentación en la salida

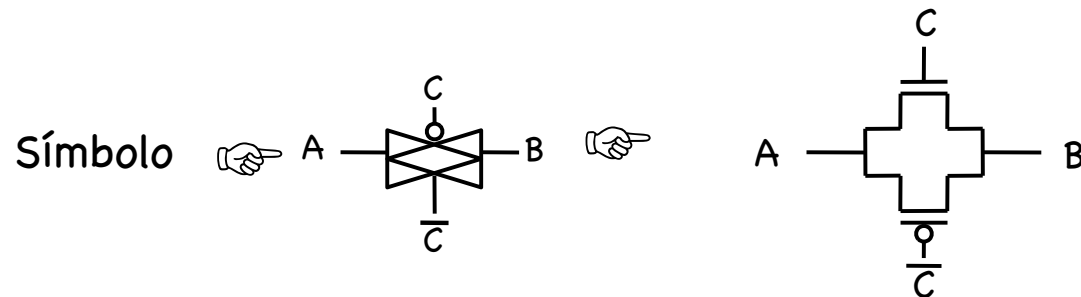


Ejemplo: AND/NAND en CPL con realimentación



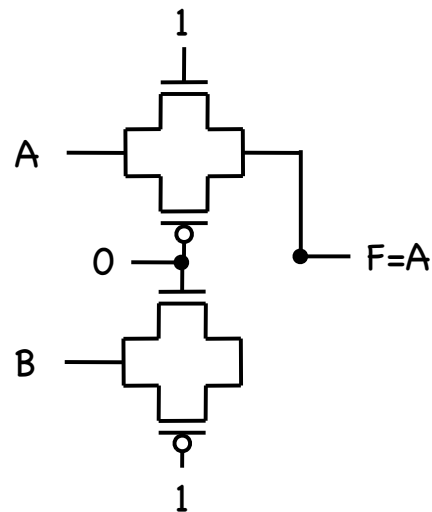
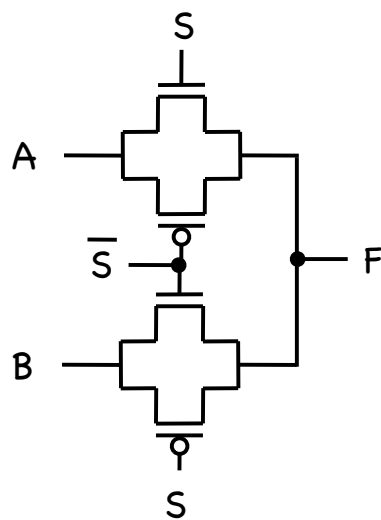
Soluciones:

Usar puertas de transmisión



Ejemplo: Multiplexo

Si $S=1' \Rightarrow F=A$



Si $S=0' \Rightarrow F=B$

