

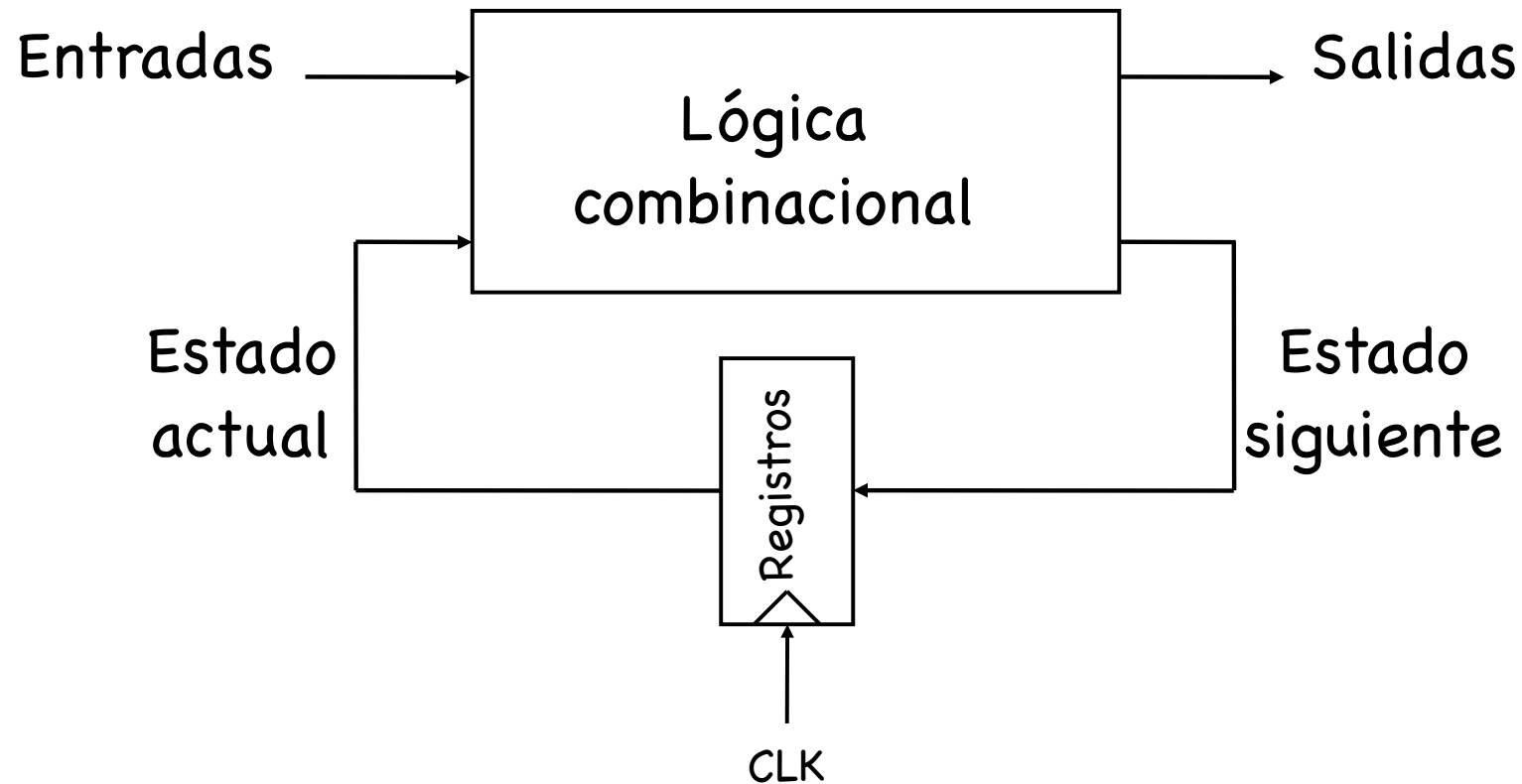
Circuitos lógicos secuenciales

Tema 9

Contenidos

 Registros

Circuitos lógicos secuenciales



Tipos de registros

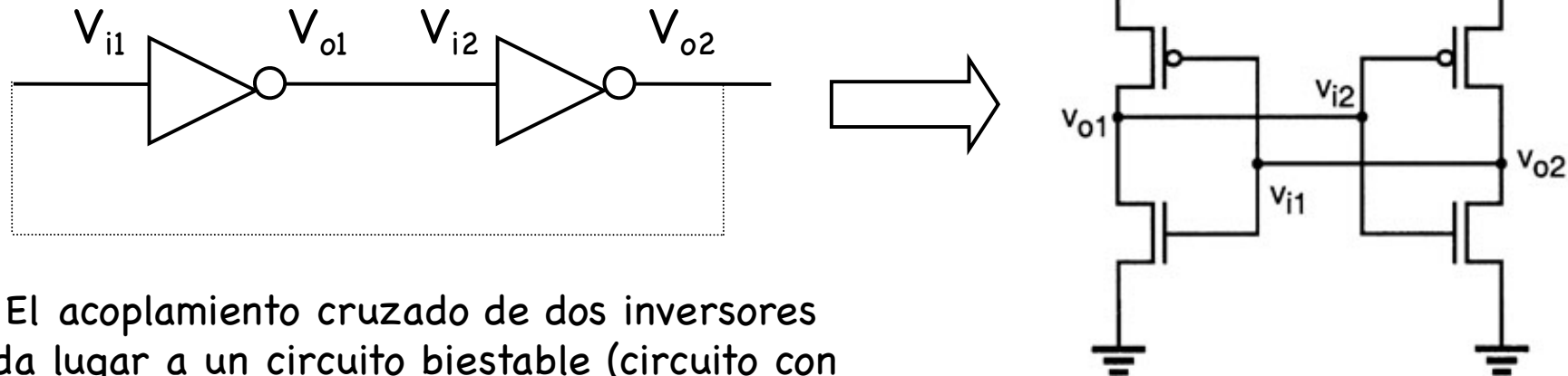
□ Latches

- Circuitos sensibles a nivel: se transfiere la entrada al estado cuando el reloj está en alta (baja) – modo transparente
- La entrada muestreada antes del flanco negativo (positivo) de la señal de reloj se mantiene estable cuando el reloj está en baja (alta) – modo hold

□ Registros (flipflops)

- Circuitos sensibles a los flancos que muestrean las entradas en las transiciones de reloj
 - flanco positivo: $0 \rightarrow 1$
 - flanco negativo: $1 \rightarrow 0$
- Se construyen mediante latches (e.g., flipflop master-slave)

Inversores en cascada



El acoplamiento cruzado de dos inversores da lugar a un circuito biestable (circuito con dos estados estables)

Es necesario poder cambiar el valor del estado almacenado

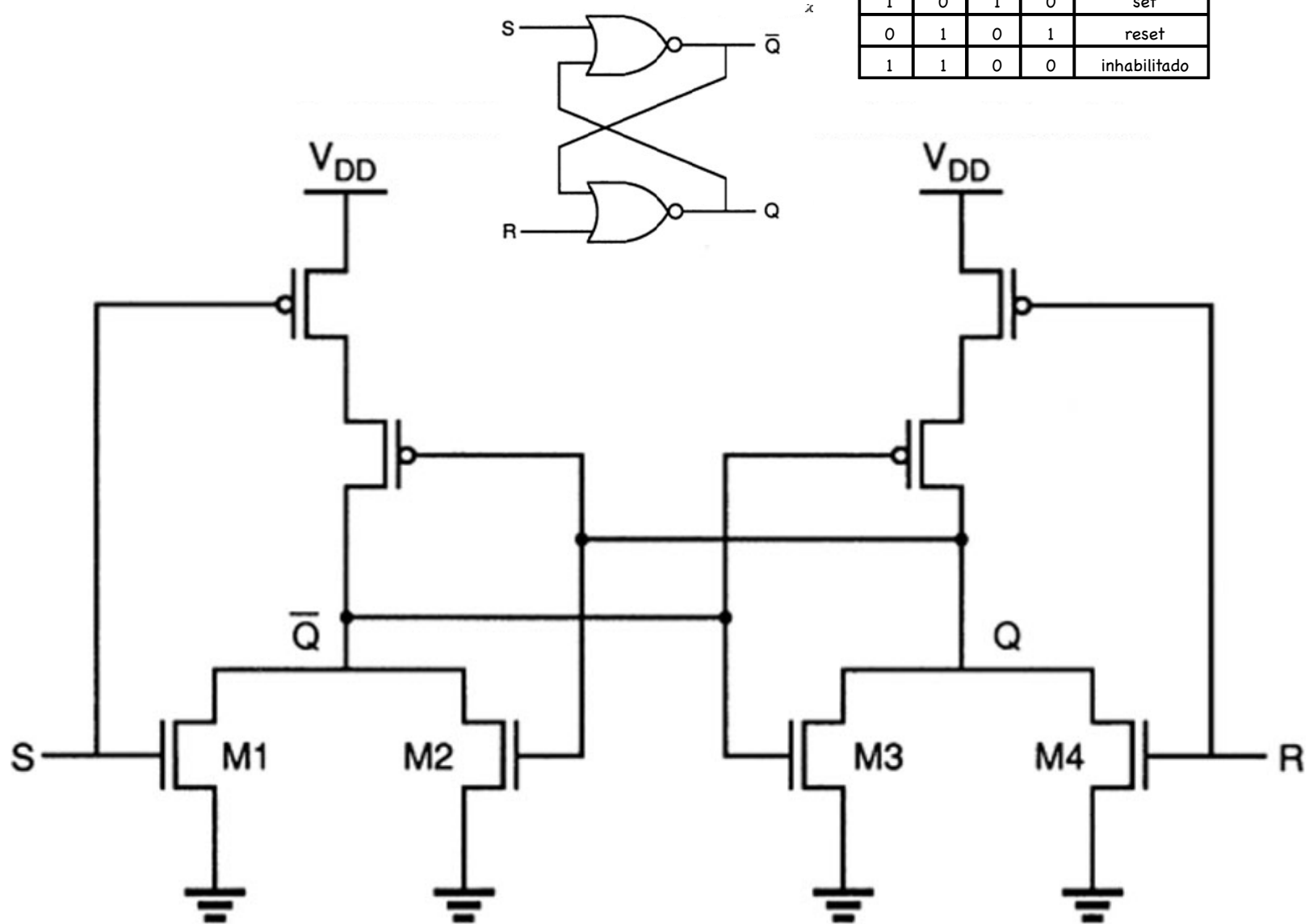
- Se puede hacer mediante un pulso de disparo en V_{i1} o V_{i2}
- La anchura del pulso debe ser un poco mayor que el retardo de propagación a lo largo del lazo (dos veces el retardo de un inversor)

Dos estrategias:

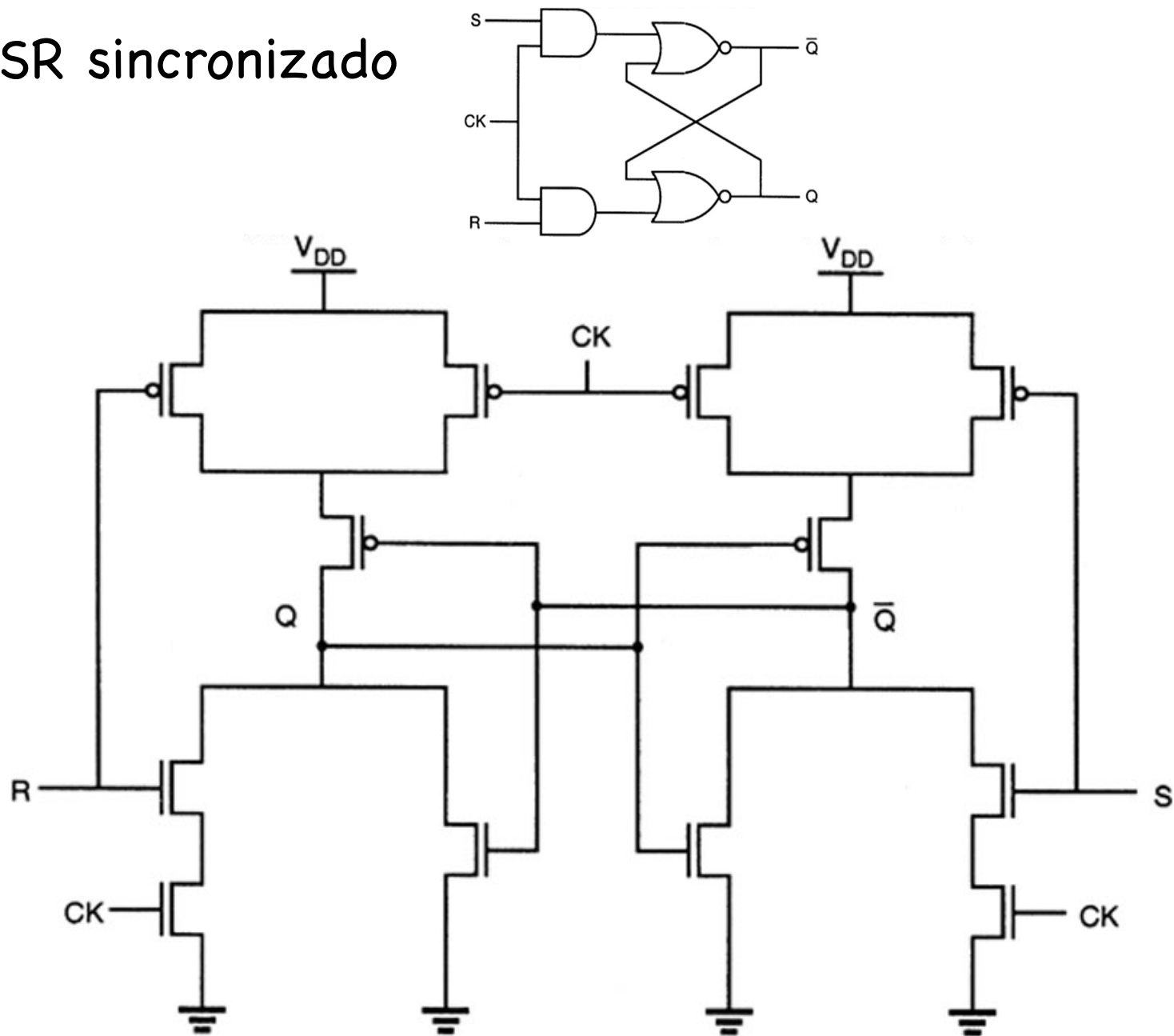
- On-line (usado en SRAM)
- Off-line (latch basado en mux)

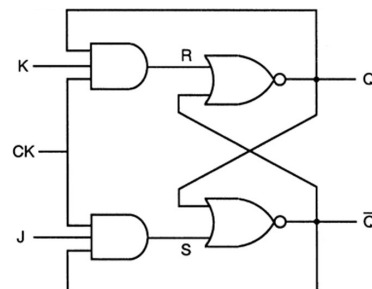
Latch tipo SR

S	R	Q	Q	
0	0	Q	Q	memoria
1	0	1	0	set
0	1	0	1	reset
1	1	0	0	inhabilitado

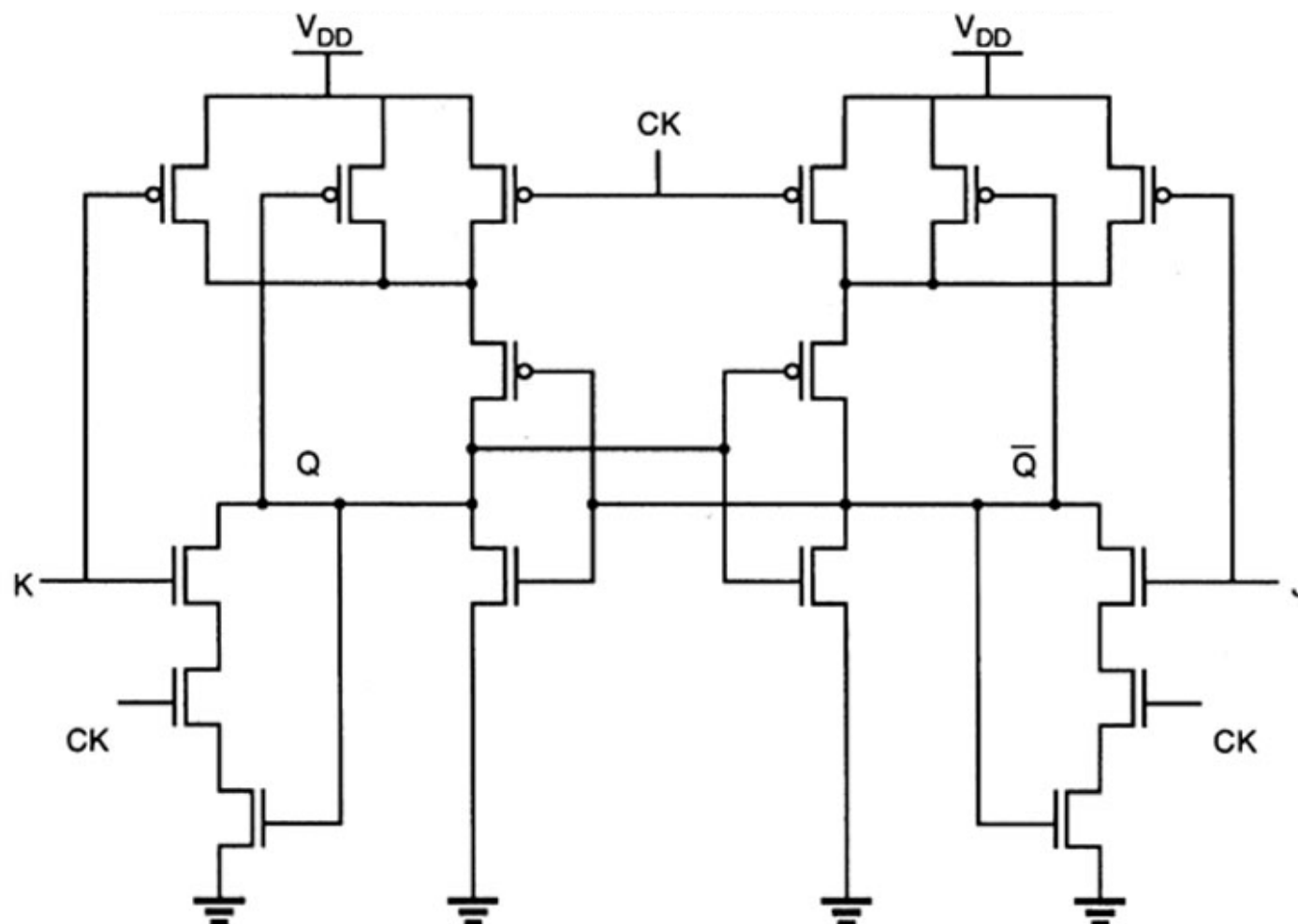


Latch SR sincronizado



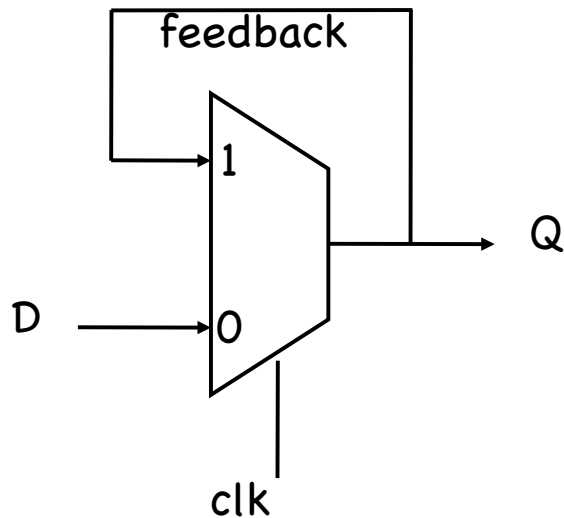


J	K	Q	\bar{Q}
0	0	Q	\bar{Q}
1	0	1	0
0	1	0	1
1	1	\bar{Q}	Q



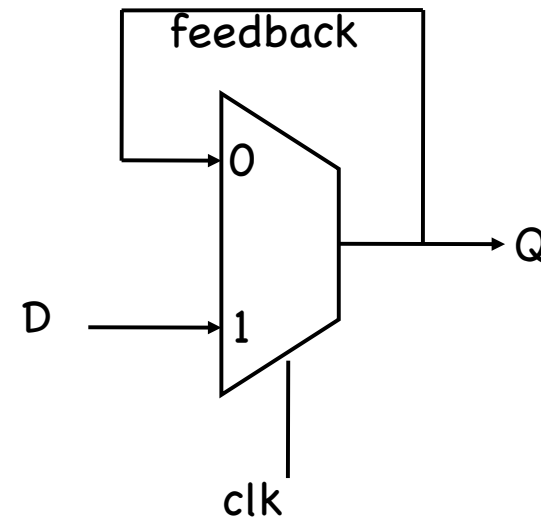
Latches basados en multiplexos

Se cambia de estado rompiendo el lazo de realimentación



Latch negativo

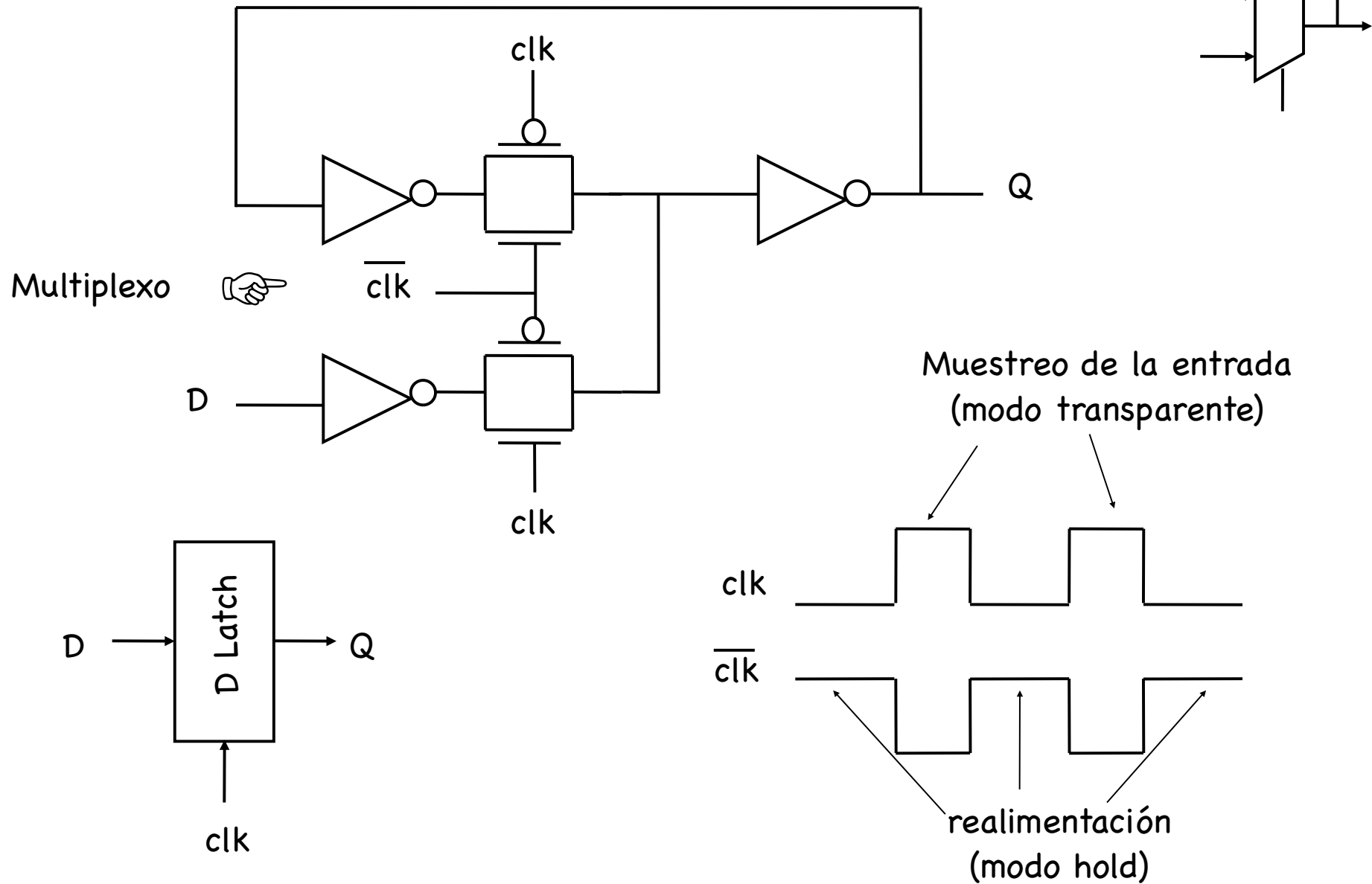
Transparente cuando el reloj está en baja



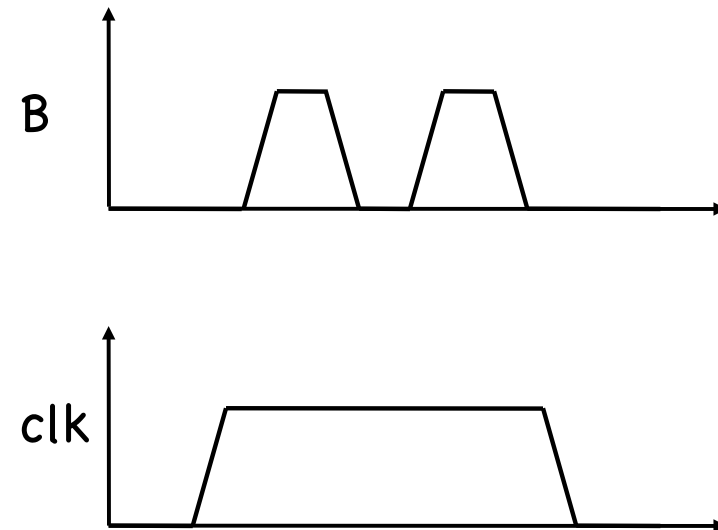
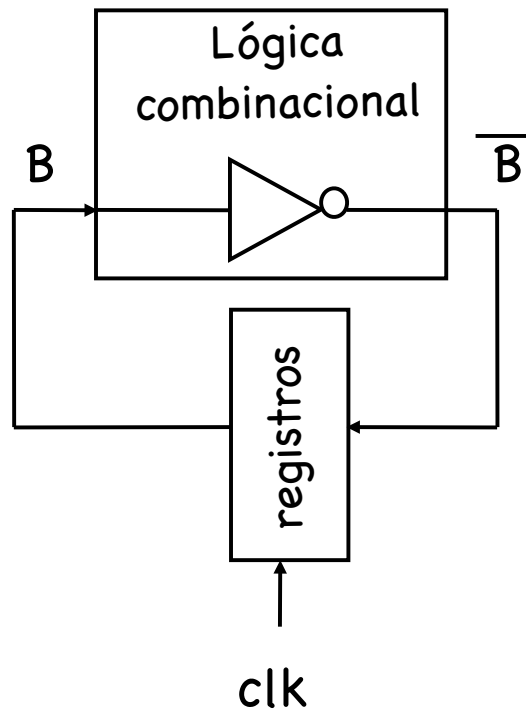
Latch positivo

Transparente cuando el reloj está en alta

Latches basados en multiplexos

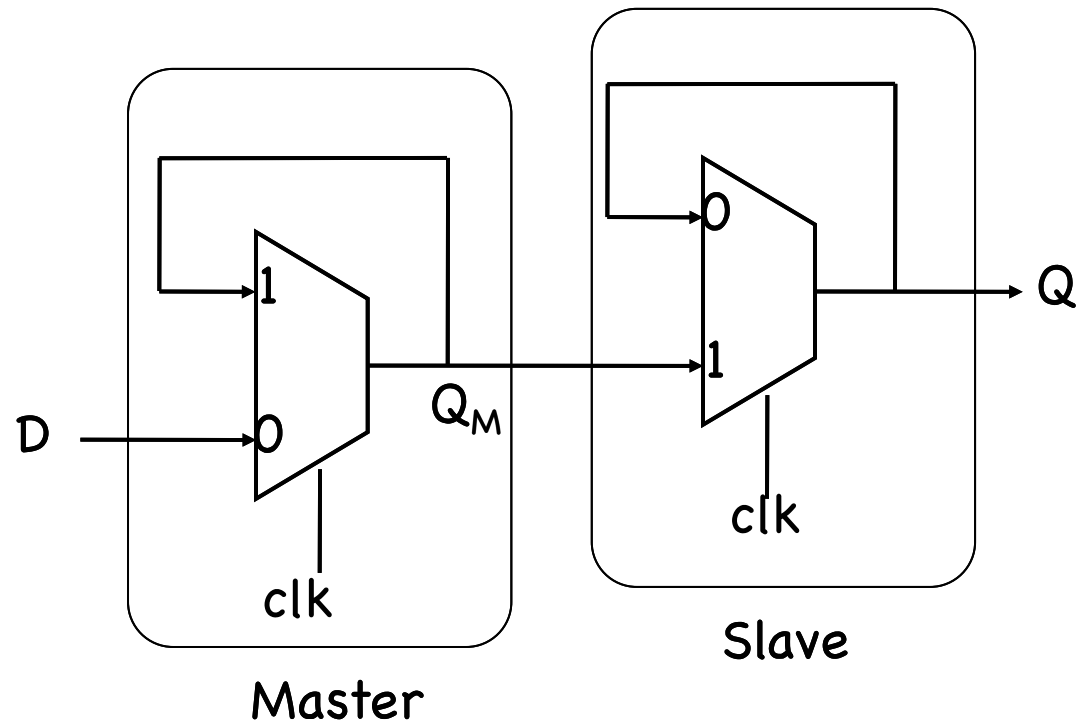


Inconvenientes de carrera en los latches



¿Qué valor de B se almacena?

Solución: Flipflop disparado por flanco (Master-Slave)

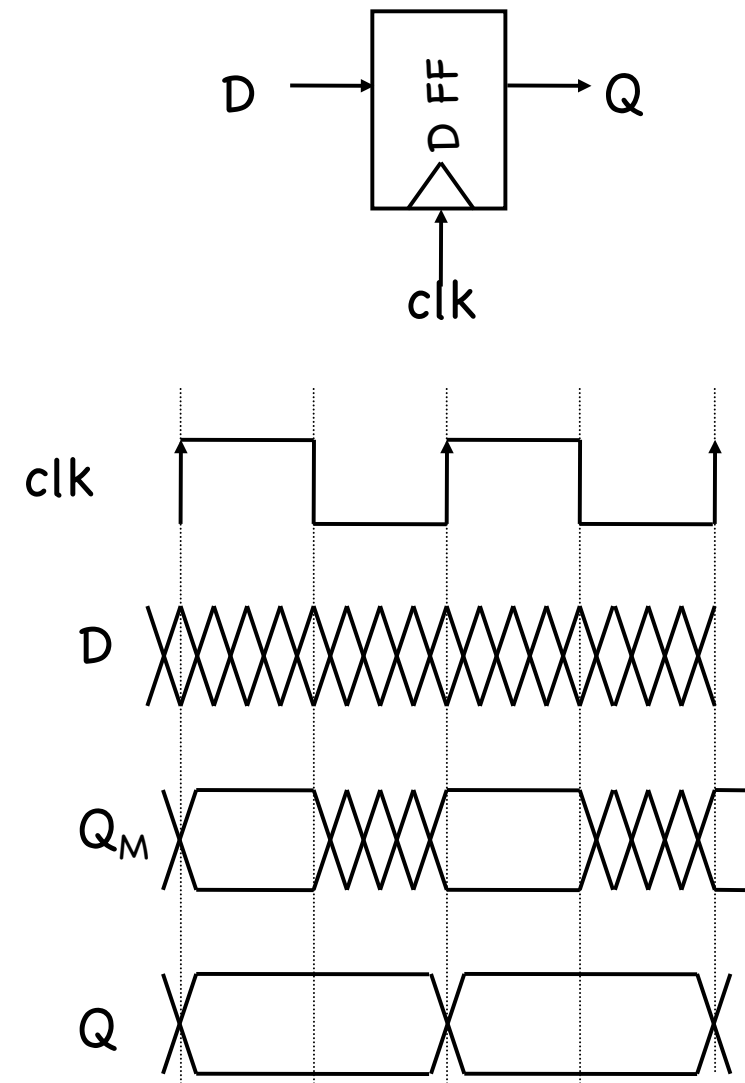


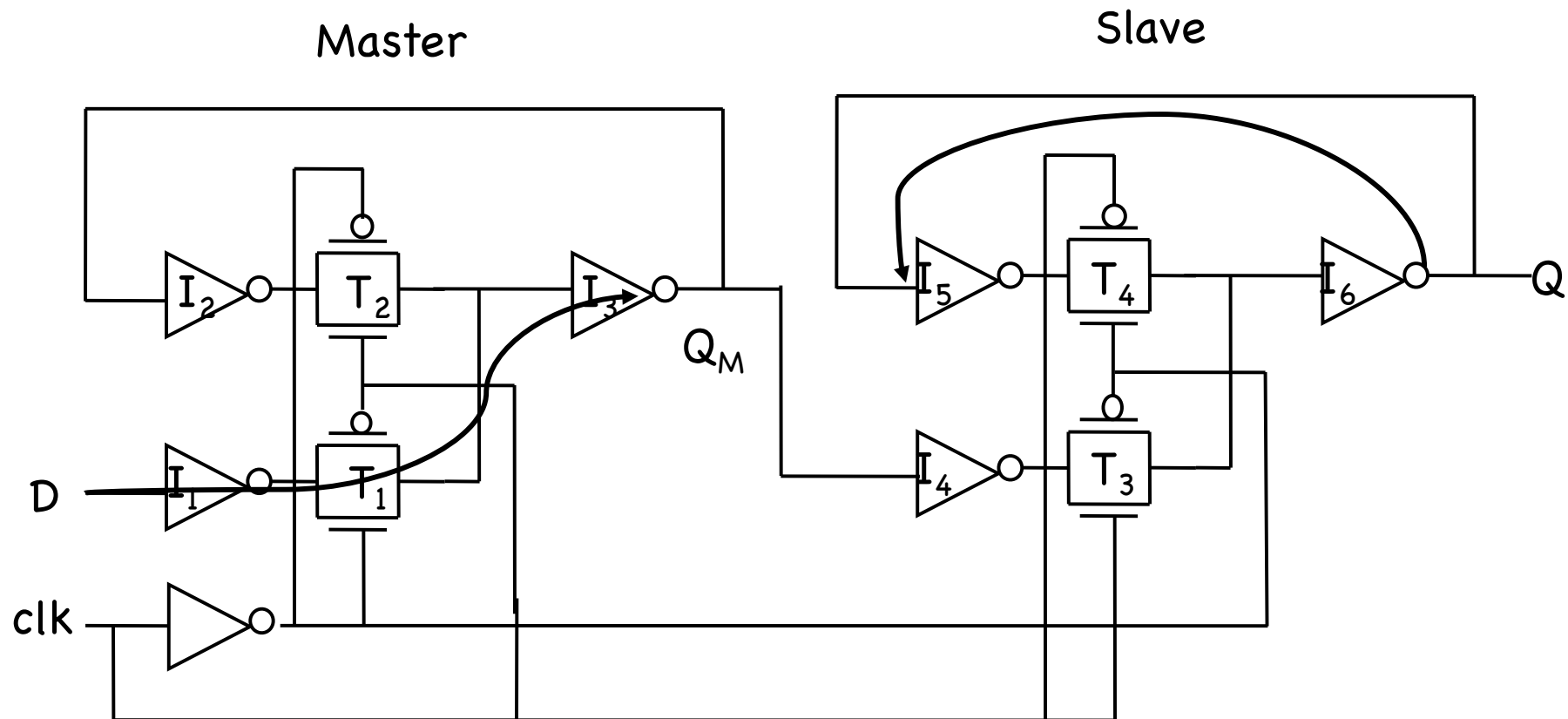
clk = 0 transparente

hold

clk = 0 → 1 hold

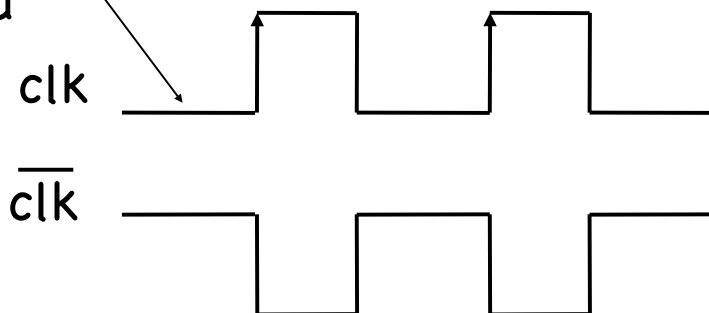
transparente

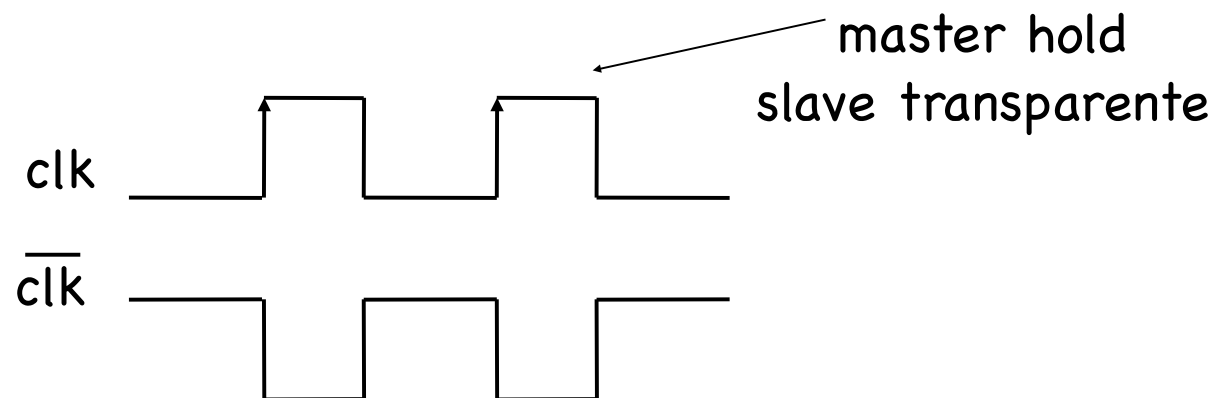
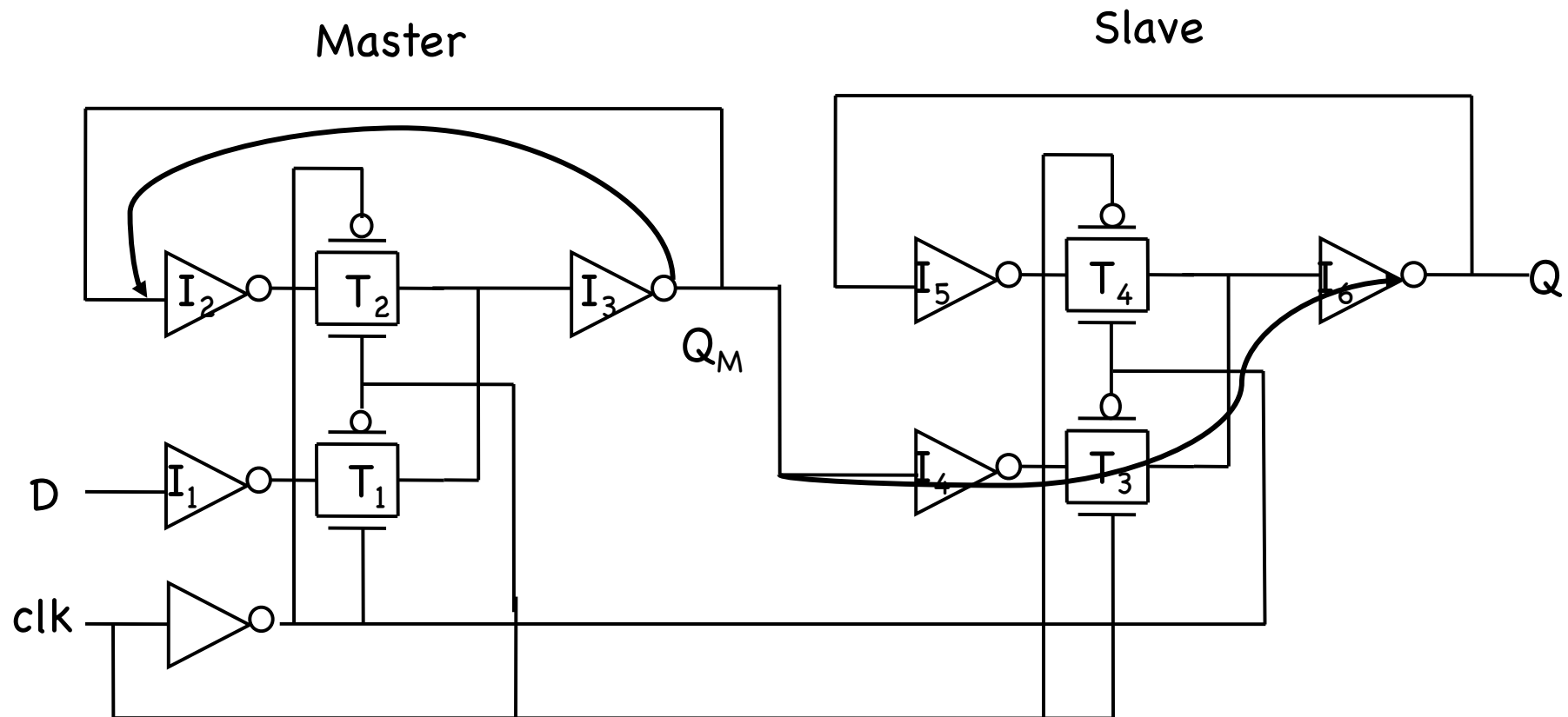




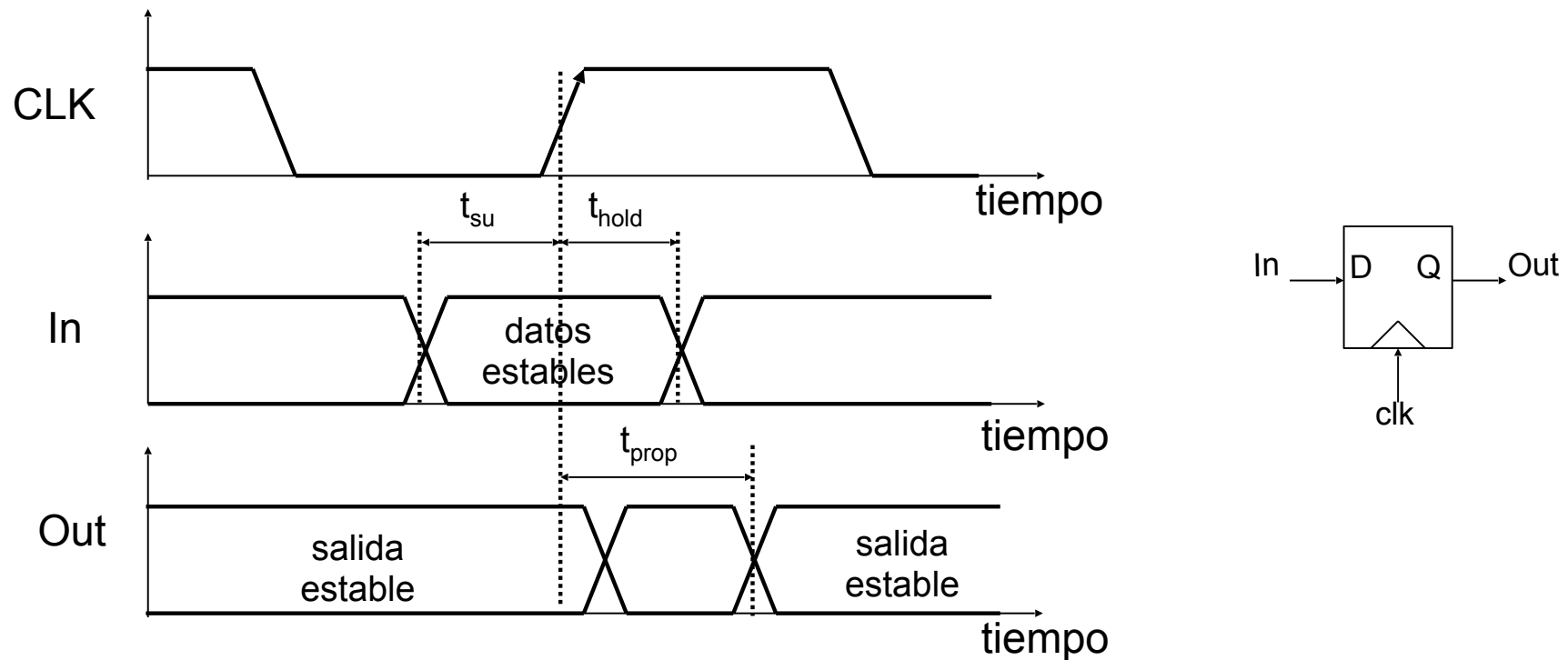
master transparente

slave hold





Propiedades de temporización del master-slave



Tiempo de set-up (t_{su}) – tiempo anterior al flanco positivo para el que los datos de entrada D deben ser válidos

Retardo de propagación – tiempo que tarda QM en propagarse a Q

Tiempo de mantenimiento (t_{hold}) – tiempo que la entrada D debe mantenerse estable después del flanco positivo de reloj

Propiedades de temporización del master-slave

Asumiendo que los retardos de propagación son t_{pd_inv} (inversores) y t_{pd_tx} (puertas de transmisión) y que el retardo del inversor para derivar \overline{clk} a partir de clk es 0

Tiempo de set-up (t_{su}) – tiempo anterior al flanco positivo (negativo) para el que los datos de entrada D deben ser válidos

$$3 * t_{pd_inv} + t_{pd_tx}$$

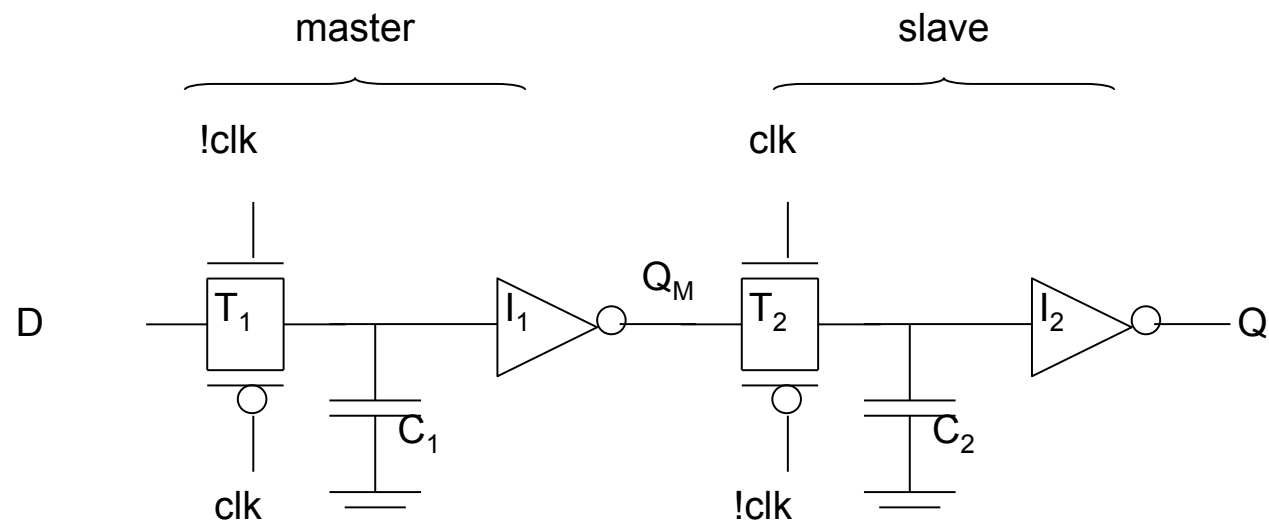
Retardo de propagación (t_{prop}) – tiempo que tarda QM en propagarse a Q

$$t_{pd_inv} + t_{pd_tx}$$

Tiempo de mantenimiento (t_{hold}) – tiempo que la entrada D debe mantenerse estable después del flanco positivo (negativo) de reloj

cero

Registro dinámico

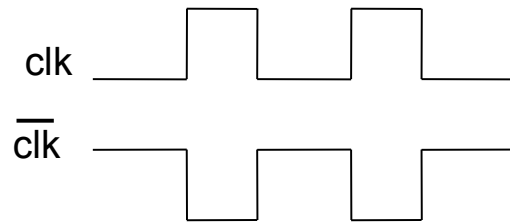


$$t_{su} = t_{pd_tx}$$

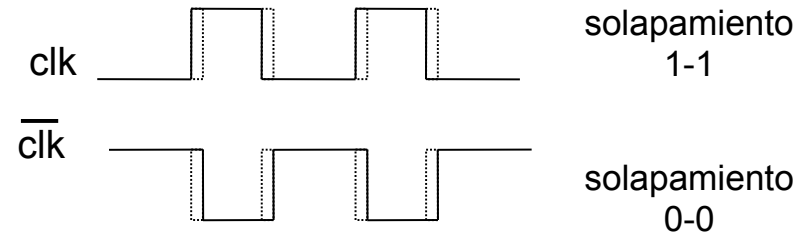
$$t_{hold} = 0$$

$$t_{c-q} = 2 t_{pd_inv} + t_{pd_tx}$$

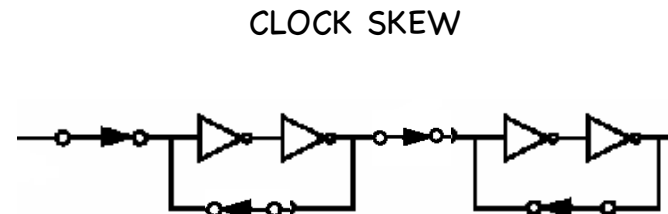
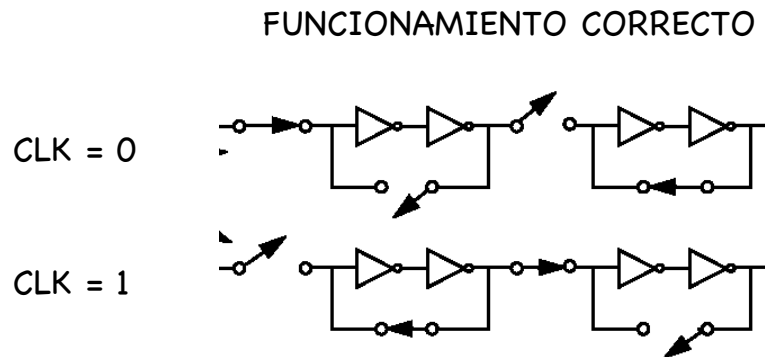
Clock Skew (sesgo de reloj): Fenómeno observado en circuitos síncronos cuando las señales de reloj no llegan al mismo tiempo a las diferentes componentes del sistema



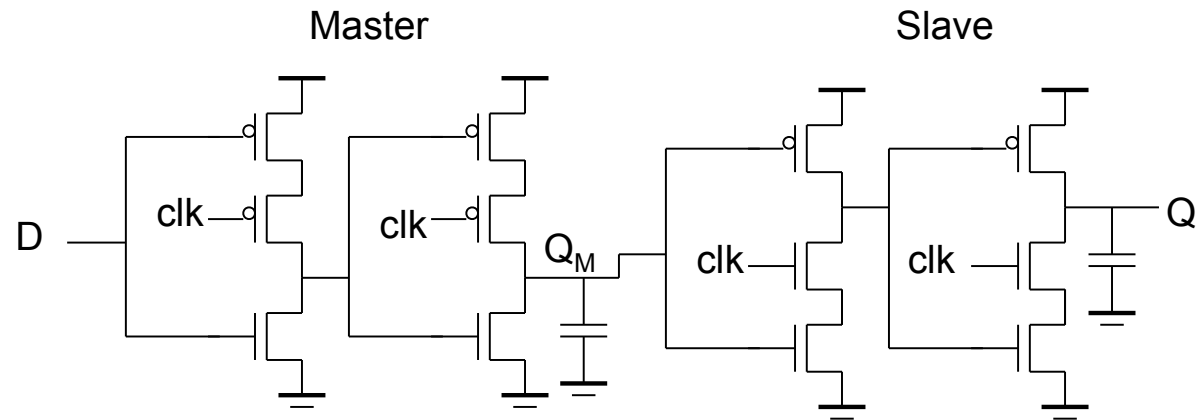
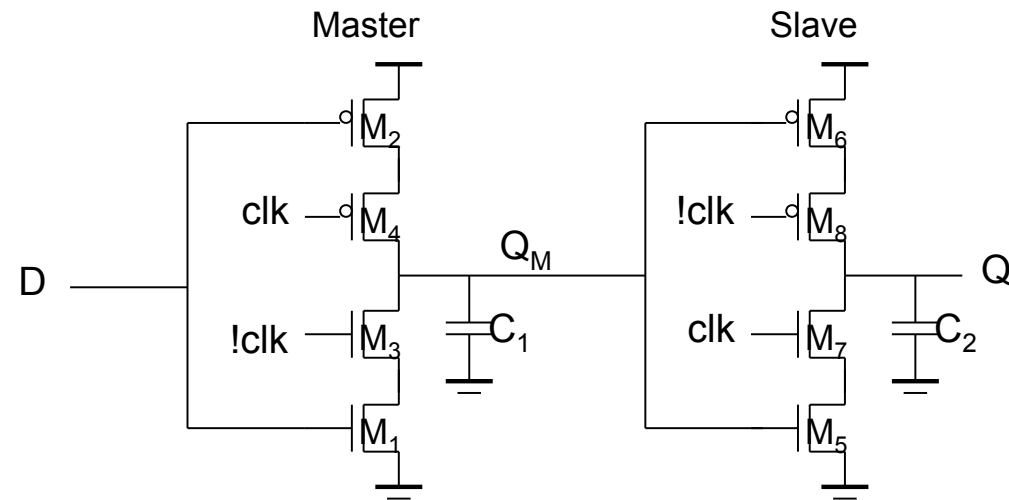
Reloj ideal

Reloj no ideal
clock skew

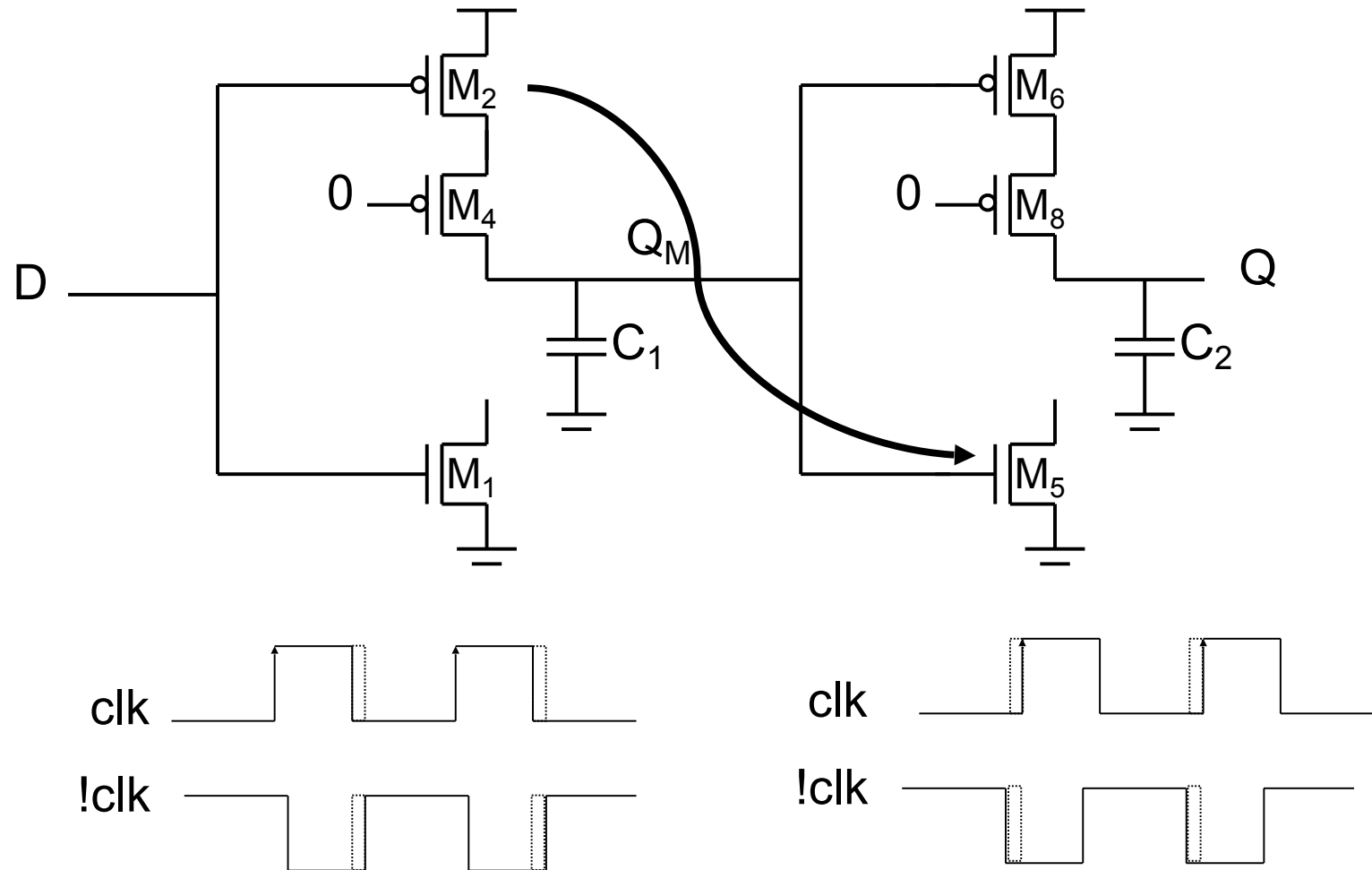
Puede producir problemas de funcionamiento a nivel de registro:



Registros insensibles al clock-skew

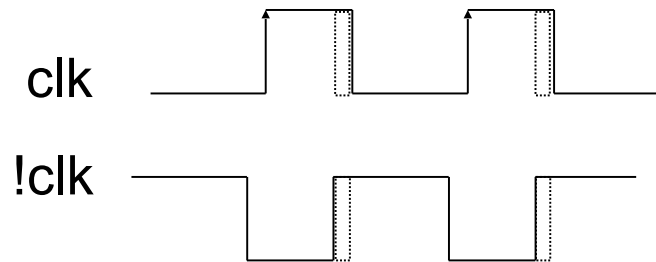
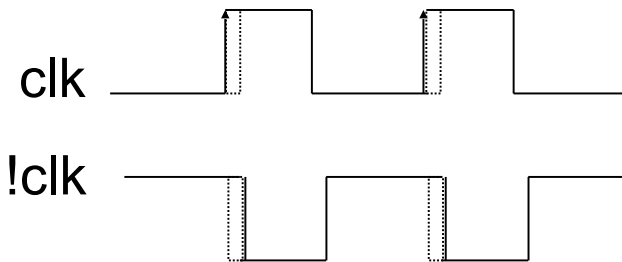
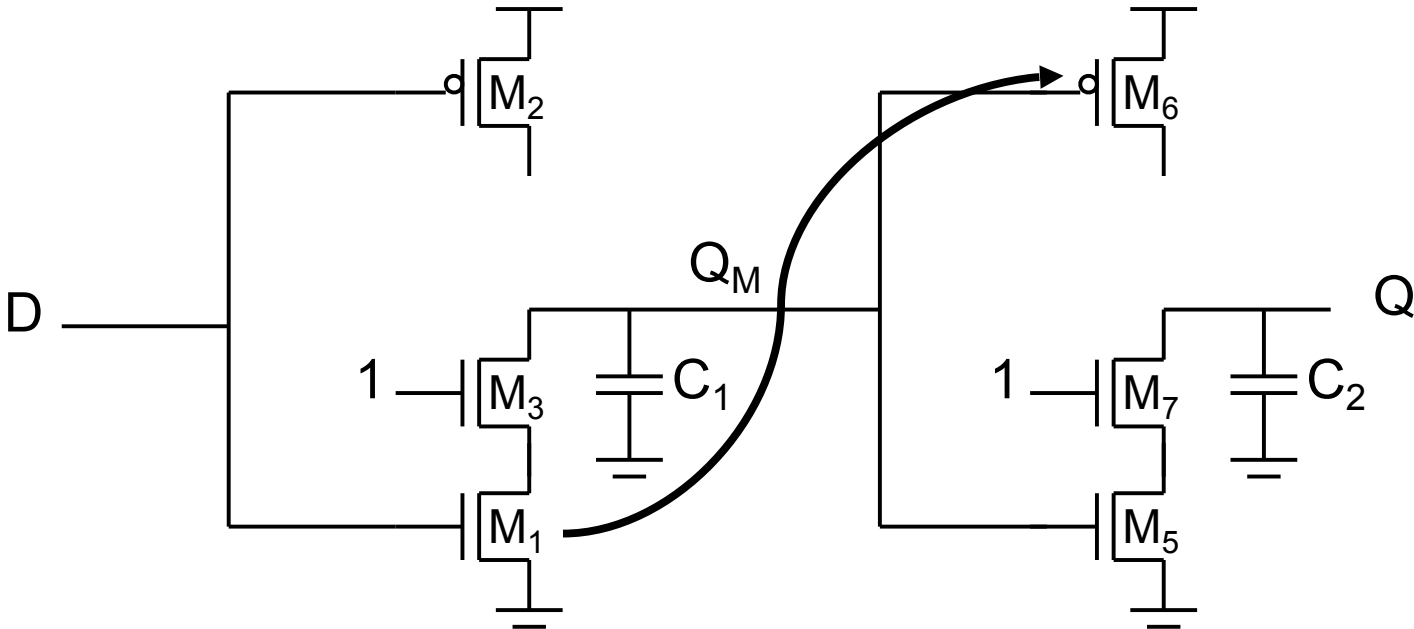


Registros insensibles al clock-skew



Solapamiento 0-0

Registros insensibles al clock-skew



Solapamiento 1-1