

# TEMA 4: ELECTRÓNICA EN ESTADO SÓLIDO

## TEORÍA DE BANDAS:

Si los átomos están lo suficientemente alejados, cada  $e^-$  se encuentra en un nivel de energía determinado (todos los átomos del mismo elemento, siempre que estén aislados, presentan exactamente la misma configuración electrónica).

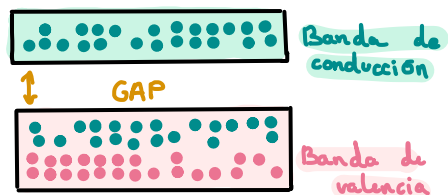
Cuando se juntan varios átomos del mismo elemento para formar un sólido

→ los  $e^-$  sienten la atracción de: sus propios núcleos + los demás núcleos ⇒

⇒ Sus niveles de energía cambian → en vez de ser idénticos, se convierten en una serie de niveles de energía cercanos con un espacio entre ellos ⇒

⇒ Bandas de energía { Banda de valencia ⇒ Banda más alta con  $e^-$   
Banda de conducción ⇒ Banda siguiente a la de valencia

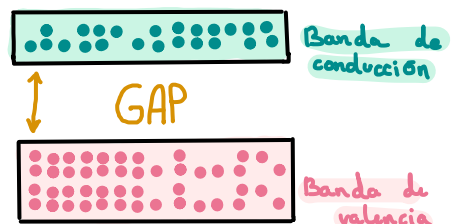
Conductores: Banda de valencia parcialmente llena → si se aplica energía térmica, los  $e^-$  pueden saltar a los huecos cercanos → si aplicamos también un campo eléctrico, los  $e^-$  pueden saltar de un hueco al siguiente ⇒ conducción de corriente (corriente de arrastre)



Aislantes: Banda de valencia llena y el "gap" (diferencia de energía entre la banda de valencia y la banda de conducción) es grande → al aplicar un campo eléctrico,

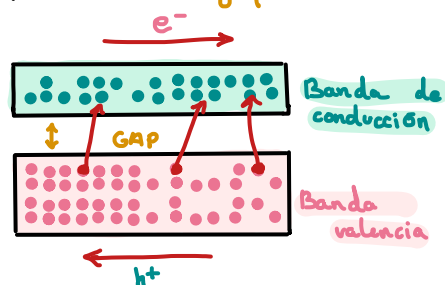
los  $e^-$  no se pueden mover { No quedan huecos en la capa de valencia

El gap es demasiado grande → los  $e^-$  no pueden saltar a la banda de conducción



Semiconductores intrínsecos: similares a los aislantes, pero con un **gap** mucho menor →

→ a  $t^\circ$  ambiente, habrá algunos  $e^-$  con la energía suficiente para saltar a la **banda de conducción** → saltan entre las **huecos** ⇒ generan corriente (ver apéndice)

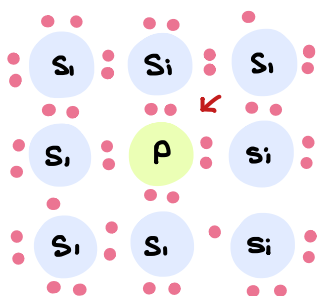


• Así, los **huecos** que dejan en la **banda de valencia** también se pueden mover. Para hacer los semiconductores más útiles ⇒ dopar (añadir átomos de impuredad).

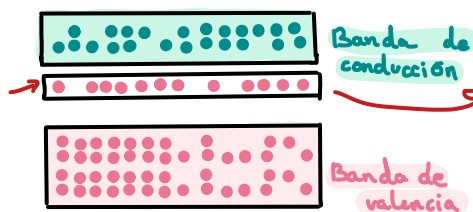
Semiconductores extrínsecos:

### Semiconductor tipo N

Por ejemplo, en el **Si** se puede añadir un pequeño número de átomos de **P** → similar al **Si** pero con un  $e^-$  extra en la capa de valencia.



↳ Está justo bajo la **banda de conducción**

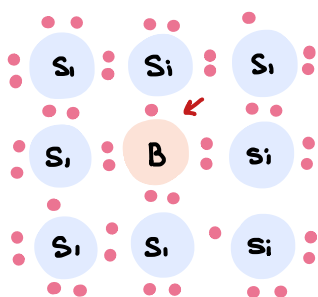


Si añadimos energía térmica, estos  $e^-$  pueden saltar a la **banda de conducción** y llevar corriente.

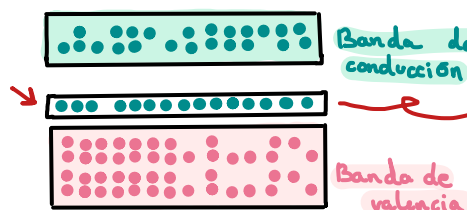
Este tipo de semiconductor se dice que es de **tipo N** debido a que la mayoría de cargas en movimiento son negativas ( $e^-$ ). **Ojo!** ⇒ el semiconductor "per se" es eléctricamente neutro

### Semiconductor tipo P

Se dopa el **Si** con **B**, que posee un  $e^-$  de valencia menos



↳ Crea un nivel vacío encima de la **banda de valencia**.



Si añadimos energía térmica, los  $e^-$  de la **banda de valencia** pueden saltar → dejan **huecos** → responsables de conducir corriente (mayoría de las cargas móviles = positivas)

## APÉNDICE DE CONCEPTOS CLAVE:

Semiconductores intrínsecos tienen la misma concentración de  $e^-$  en la banda de conducción ( $n$ ) y de huecos en la banda de valencia ( $p$ )  $\Rightarrow$   $n = p = n_i$

Semiconductores extrínsecos: no tienen la misma concentración de  $e^-$  en la banda de conducción ( $n$ ) y de huecos en la banda de valencia ( $p$ )  $\Rightarrow$   $n \neq p$  pero  $n \cdot p = n_i^2$

Portadores de carga  $\left\{ \begin{array}{l} \text{Electrons } (e^-) \rightarrow \text{carga negativa} \\ \text{Huecos } (h^+) \rightarrow \text{ausencia de } e^- = \text{carga positiva} \end{array} \right.$

Generación: proceso por el cual un  $e^-$  situado en la capa de valencia absorbe energía suficiente para superar el gap de energías y alcanzar la banda de conducción

Recombinación: proceso por el cual un  $e^-$  y un huevo se aniquilan  $\Rightarrow$  Sucede cuando un  $e^-$  de la banda de conducción ocupa un huevo en la banda de valencia, liberando el exceso de energía.

Corriente de arrastre: es la que se genera cuando los  $e^-$  y los huecos se ven afectados por la presencia de un campo eléctrico o una diferencia de potencial.

Corriente de difusión: es la que se genera debido a la tendencia de las partículas cargadas a distribuirse debido a su constante movimiento de origen térmico, emigrando hacia regiones de baja concentración. La corriente de huecos va en el sentido de la disminución de la concentración, y la de los  $e^-$  va al revés.

### Aplicación de $n \cdot p = n_i^2$ y $n = p = n_i$ .

$n$  = concentración de  $e^-$  en la banda de conducción

$p$  = concentración de huecos en la banda de valencia

$n_i$  = concentración intrínseca (depende del material)

### Conductividad y resistividad $\rightarrow \sigma = \rho^{-1} = q(n\mu_n + p\mu_p)$ .

$\sigma$  = conductividad

$\rho$  = resistividad =  $\frac{1}{\sigma}$

$q$  = carga de las partículas portadoras de corriente

$\mu_n$  = movilidad de  $e^-$

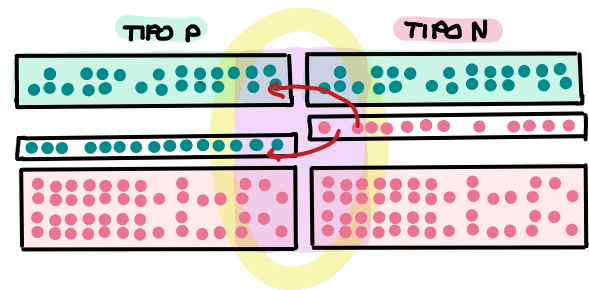
$\mu_p$  = movilidad de huecos

# TEMA 5. DISPOSITIVOS SEMICONDUCTORES: EL DIODO

## UNIÓN PN:

Si juntamos un semiconductor tipo P y otro tipo N, sin necesidad de que estén conectados a un circuito, algunos  $e^-$  se difundirán del tipo N al tipo P, cayendo en los huecos del tipo P, para disminuir el gradiente.

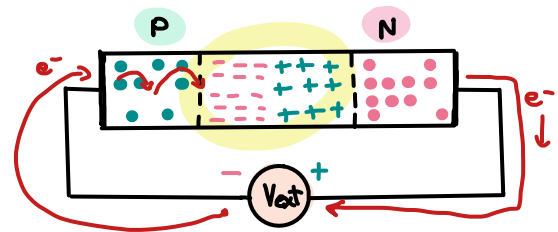
→ Ocurre un proceso de recombinación masivo que hace que el tipo P esté ligeramente cargado negativamente, y el tipo N, cargado positivamente  $\Rightarrow$  se crea un



campo eléctrico  $\Rightarrow$  Aparece una barrera de potencial

→ Los  $e^-$  siguen difundándose hasta que el campo eléctrico es tan grande que les impide cruzar de un semiconductor al otro  $\Rightarrow$  Zona de vaciamiento: área sin portadores de cargas móviles  $\rightarrow$  no hay  $e^-$  en la capa de conducción, ni huecos en la capa de valencia. *Actually*: la corriente de arrastre iguala a la corriente de difusión ( $J_a = J_d$ ).

POLARIZACIÓN INVERSA: aplicamos un potencial externo al diodo (batería) con el mismo signo que el potencial de contacto. Debido a esto, los  $e^-$  salen de la zona N hacia el polo positivo de  $V_{ext}$   $\Rightarrow$  aumenta la carga iónica en la zona de contacto.



En el otro lado, los  $e^-$  son repelidos desde el terminal negativo de  $V_{ext}$   $\rightarrow$  viajan hacia el tipo P  $\rightarrow$  recombinación. Los  $e^-$  saltan hasta alcanzar la zona de vaciamiento  $\rightarrow$  carga estática negativa

$\Rightarrow$  Así, la barrera de potencial aumenta  $\rightarrow$  mayor oposición a las cargas

**Ojo!** La corriente no es nula  $\Rightarrow$  Corriente de saturación en inversa ( $I_s$ ): corriente muy pequeña generada debido al desbalanceo de la corriente de difusión ( $I_d$ ) y la corriente de arrastre ( $I_a$ ) ( $I_a > I_d$ )  $\Rightarrow$  los huecos y  $e^-$  que aparecen en la región de vaciamiento (debido a procesos de generación espontánea) son trasladados a la región donde son mayoritarios debido al campo eléctrico.

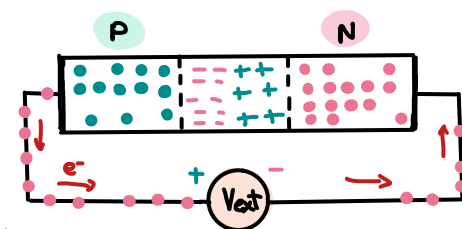
● POLARIZACIÓN DIRECTA: aplicamos un potencial externo al diodo, en sentido contrario al del potencial de contacto

Debido a esto, los  $e^-$  libres viajan desde la  $V_{ext}$  hasta la zona N, la atraviesan, y alcanzan la

región de vaciamiento  $\Rightarrow$  estas  $e^-$  neutralizan parcialmente

la carga iónica  $\Rightarrow$  la región de vaciamiento se estrecha y el potencial de contacto disminuye

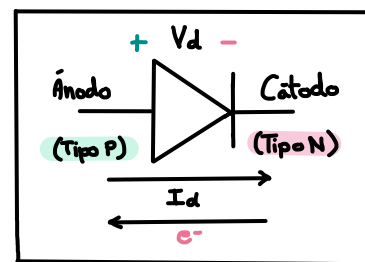
Mayor movimiento de cargas móviles ( $e^-$  hacia la zona P y huecos hacia la zona N)  $\Rightarrow$   
 $\Rightarrow$  corriente de difusión muy elevada  $\rightarrow$  diodo en conducción ( $I_a < I_d$ )



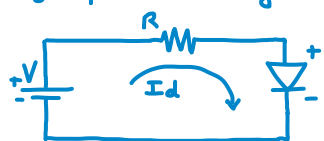
## EL DIODO:

Solo permite la circulación de corriente en un solo sentido.

Diodo ideal: funciona como un conmutador



► Ejemplo:  $V = 5V$  y  $R = 1K\Omega$



1. ¿Diodo en ON o OFF?

Si el diodo está OFF, la  $I$  que circula por él es nula  $\Rightarrow I_d = 0$

$\hookrightarrow$  El circuito queda abierto:  $\otimes$

Pero tenemos que  $V = 5V = V_d \Rightarrow V_d > 0 \Rightarrow$  El diodo no puede estar OFF

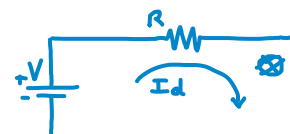
El diodo tiene que estar ON.

Tenemos que  $V - I_d \cdot R = 0 \rightarrow I_d = 5mA > 0 \Rightarrow$  Diodo ON

Ohm:  $V = RI$

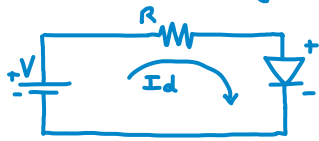
$V_d = 0V$   $\leftarrow$  corriente

$\leftarrow$  Caída de tensión (0 pq funciona como un conmutador)



Diodo con tensión de despegue ( $V_T$ ): solo se activa si se llega a una tensión mínima

▷ Ejemplo:  $V = 5V$  y  $R = 1K\Omega$



1. ¿Diodo en ON o OFF?

Como antes, si está OFF  $\Rightarrow I_d = 0 \Rightarrow V = 5V = V_d \Rightarrow V_d > V_T$

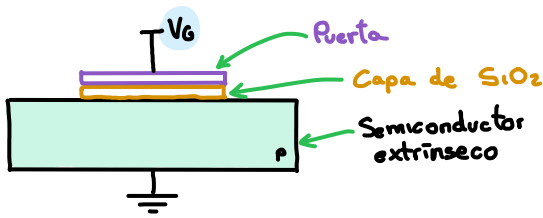
↳ No puede estar en OFF

El diodo tiene que estar en ON  $\Rightarrow V_d > V_T$

$$V - I_d \cdot R - V_T = 0 \rightarrow I_d = 4.3mA > 0 \Rightarrow \text{Diodo ON ; } V_d = V_T = 0.7V$$

# TEMA 6 DISPOSITIVOS SEMICONDUCTORES: EL TRANSISTOR

## Estructura MOS:



El semiconductor reaccionará según el signo de  $V_G$

$V_G < 0$

✱ Modo de acumulación  
Similar a un condensador

$V_G > 0$

Se genera un campo eléctrico

Capa de vaciamiento  
✱ (Modo de vaciamiento)  
se sigue aumentando  $V_G$

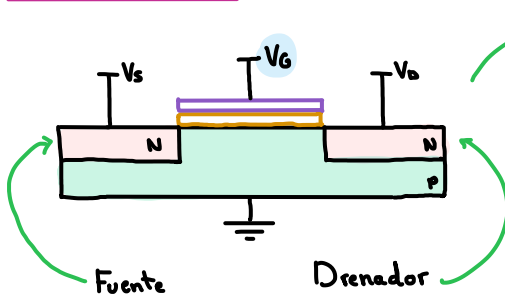
+ campo eléctrico

Ruptura de enlaces

+  $[e^-]$

✱ Modo de inversión

## Transistor MOS:

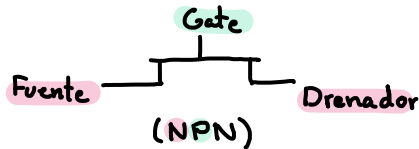


Si  $V_G > V_{TH} \Rightarrow$  la corriente fluye entre la fuente y el drenador

Transistor

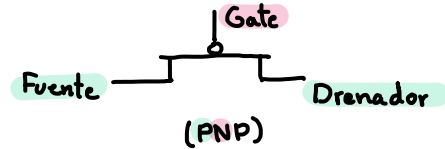
2 tipos

### Transistor NMOS



- Abierto  $\Rightarrow$  conmutador abierto
- Cerrado  $\Rightarrow$  resistencia ( $R_{on}$ )

### Transistor PMOS



$\hookrightarrow V_a$  al revés del NMOS ( $V_G < V_{TH}$ )

La corriente entre la fuente y el drenador ( $I_D$ ).  $I_D = f(W/L)$

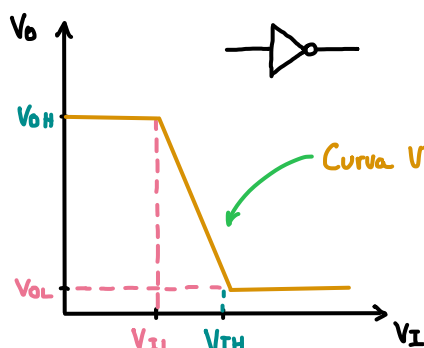
✱ Tensión umbral ( $V_{TH}$ ) Es el voltaje a partir del cual se crea un canal, es decir, la corriente fluye de la fuente al drenador

✱ ¿Qué significa la N y la P? Se refiere al tipo de semiconductor extrínseco del que están formadas las regiones que rodean la puerta (la fuente y el drenador).



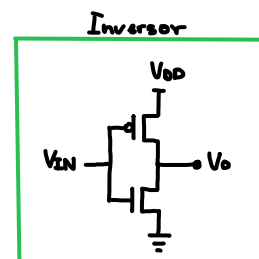
# TEMA 7. MÉTRICAS DE CALIDAD

## Caracterización de un circuito lógico:

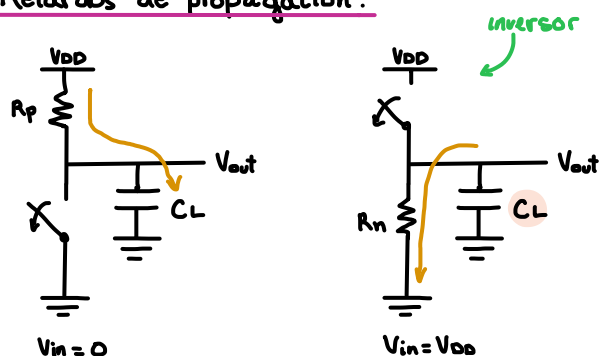


$$\begin{aligned}
 &V_{OH} = \text{Nvl. alto de salida} \\
 &V_{OL} = \text{Nvl. bajo de salida} \\
 &V_{IL} = \text{Valor máx. interpretado como '0'} \\
 &V_{IH} = \text{Valor mín interpretado como '1'} \\
 &NM_L = V_{IL} - V_{OL} \\
 &NM_H = V_{IH} - V_{OH}
 \end{aligned}
 \quad m = -1$$

+ márgenes de ruido = + robustez



## Retardos de propagación:



- $C_L$ : capacidad de salida del inversor sumada a las capacidades de entrada de las puertas a las que está conectada.
- Determina los retardos del circuito.

Retardos simétricos  $\Rightarrow t_p = 0.69 \cdot R \cdot C_L$

- $t_p \propto C_L \rightarrow + \text{gan-out} = + C_L = + t_p$
- $t_p \propto R \rightarrow - R \begin{cases} - L_n \text{ y } L_p \\ + W_n \text{ y } W_p \end{cases}$

## Consumo de potencia:

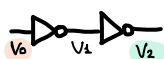
no entra  $\rightarrow P = C_L \cdot V_{DD}^2 f_{LH} + t_{sc} V_{DD} I_{pico} f_{LH} + V_{DD} I_{gugas}$   
 $\uparrow 90\%$

- Disipación de potencia  $\begin{cases} \text{estática} \rightarrow \text{gugas (circuito en situación estable)} \\ \text{dinámica} \rightarrow \text{transición entre estados} \Rightarrow - C_L, - V_{DD}, - g_o \\ \text{de transición/cortocircuito} \rightarrow \text{depende del } C_L (\text{ganout}) (\text{al revés de la } P \text{ dinámica}) \end{cases}$

## Aplicaciones del inversor:

### Propiedad regenerativa del inversor:

permite que una señal perturbada (que puede haberse degradado hasta el punto en el que no se diferencia bien un '0' de un '1') converja de nuevo a un nvl. de tensión nominal (donde se diferencian el '0' del '1')



### Cadena de inversores:

Para reducir los retardos  $\rightarrow$  se añaden + inversores de modo que el segundo es 5 veces + grande que el primero, el tercero  $5^2$  veces + grande...

$N = n$ : óptimo de etapas

$$N = \ln\left(\frac{C_L}{C_n}\right)$$

$N \in \mathbb{Z}$

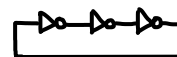
$s$ : factor de escalado

$$s = \sqrt[N]{\frac{C_L}{C_n}}$$

$s \in \mathbb{R}^+ / [2, 5]$

### Oscilador:

Lazo cerrado con un  $n$ - impar ( $N$ ) de inversores.

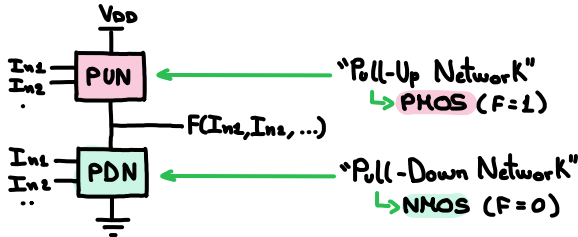


$$f_{osc} = \frac{1}{N \cdot (t_{pHL} + t_{pLH})}$$

## TEMA 8. CIRCUITOS LÓGICOS COMBINACIONALES

### Lógica CMOS complementario:

Esta construido por 2 bloques de transistores.



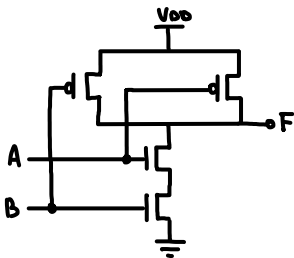
### Propiedades:

- Fiabilidad  $\rightarrow$  Salidas siempre bien definidas  $\begin{cases} \text{PUN} = \text{ON} \\ \text{PDN} = \text{ON} \end{cases}$
- Salida negada  $\rightarrow \text{OUT} = \overline{AB+C+\dots}$
- 2 transistores por input = 1 PMOS + 1 NMOS
- Los transistores en serie resultan en un circuito más lento que en paralelo  $\rightarrow$  transistores en serie =  $R_T$  mayor

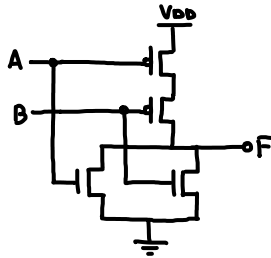
### Implementación a partir de función y viceversa:

Implementamos primero la PDN (NMOS) de menos a más, y luego lo replicamos al revés en la PUN (PMOS). (Ver ejemplo)

Puerta NAND:



Puerta NOR:



### Redimensionado de transistores para obtener retardos simétricos:

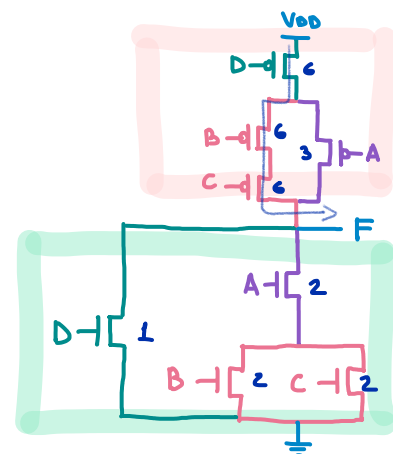
- 1°. Asumimos que  $s=1$  para todos los transistores
- 2°. Calculamos los peores casos para  $0 \rightarrow 1$  y  $1 \rightarrow 0$  (miramos  $t_{pLH}$  y  $t_{pHL}$  en los caminos + largos)
- 3°. Para cada R, calculamos s para que la suma de las R sea igual a  $R_T$
- 4°. Miramos que la  $R_T$  de los demás caminos sea  $\leq$   
 $\hookrightarrow$  Ver ejemplo

### Lógica de transistor de paso complementaria (CPL):

#### Propiedades:

- Lógica muy compacta.
- NMOS transmite un '0' fuerte y un '1' débil  $\Rightarrow$  cuando la entrada de un NMOS es alta ('1' lógico), la resistencia entre la fuente y el drenador en el NMOS es alta  $\rightarrow$  no produce corriente significativa.  
Cuando la entrada es baja ('0' lógico) el NMOS se activa y conduce corriente entre la fuente y el drenador.
- PMOS transmite un '1' fuerte y un '0' débil  $\Rightarrow$  cuando la entrada es alta, el PMOS se activa y conduce corriente ('1' fuerte); y cuando es baja, el PMOS está desactivado  $\rightarrow$  '0' débil

Ejemplo:  $F = \overline{D+A(B+C)}$



Tomamos  $R_P = 2R_N = 2R$  para  $\text{tam. mín.}$

Por caso '0'  $\rightarrow$  '1':  $R_T = R_D + R_B + R_C$

$$R_T = \frac{2R}{s} + \frac{2R}{s} + \frac{2R}{s} = \frac{6R}{s} = R$$

$\hookrightarrow s = 6$

# TEMA 9. CIRCUITOS LÓGICOS SECUENCIALES

## Tipos de circuitos

sensibles a

Nivel

Latches

- Se activan con reloj en alta/baja
- Señal cambia  
↳ modo transparente (HIGH)
- Señal se mantiene  
↳ modo hold (LOW)
- Inconveniente → podría cambiar el valor varias veces en un ciclo

Solución

Flanco

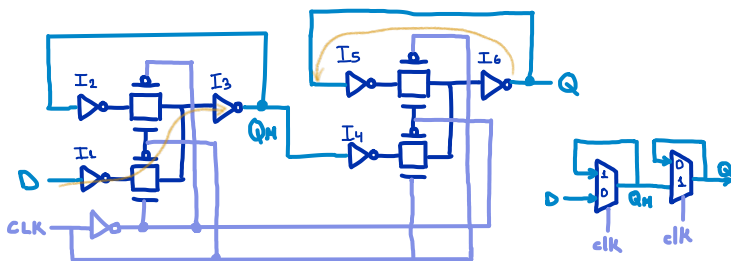
Registros

- Se activan en los flancos (positivo o negativo)
- Se construyen mediante latches
- Son más útiles

Biestable disparado por flanco (master-slave)

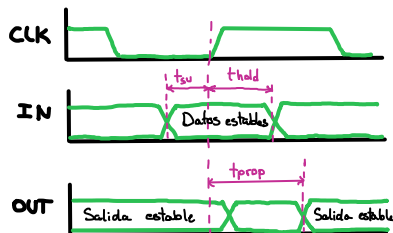
↳ Compuesto por 2 latches { Master (M) } out(M) = in(S)  
Slave (S)

Ejemplo con M y S transparentes con CLK=0 y CLK=1, respect.



↳ La salida solo cambia en el flanco de subida

► Características y parámetros de temporización:



• Tiempo de set-up ( $t_{su}$ )

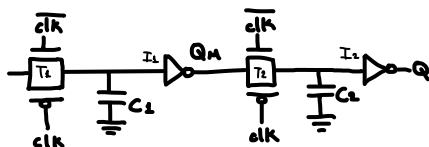
↳ Tiempo anterior al flanco positivo para el que los datos (D) deben ser válidos

• Tiempo de mantenimiento ( $t_{hold}$ )

↳ Tiempo posterior al flanco positivo que debe mantenerse D.

• Tiempo de propagación ( $t_{prop}$ ) → Tiempo que tarda QM en propagarse a Q

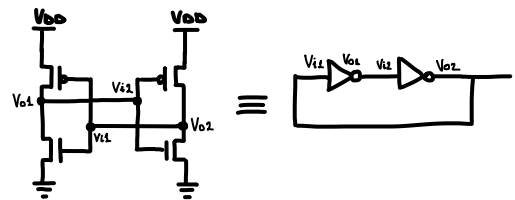
► Registro dinámico: utilizan condensadores cuya carga almacena el dato guardado temporalmente (fugas).



► Clock Skew: fenómeno observado en circuitos sincrónicos, donde CLK y  $\overline{CLK}$  no cambian de valor simultáneamente → las señales de reloj no llegan a los componentes a la vez.

↳ Solapamiento  
1-1  
0-0

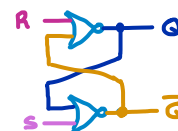
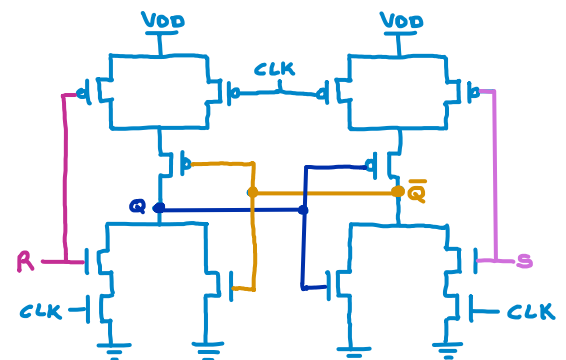
Biestable mediante inversores.



↳ Para cambiar el estado almacenado:

- On-Line ⇒ introduce un cambio entre los inversores mientras está funcionando

Ejemplo: Latch SR

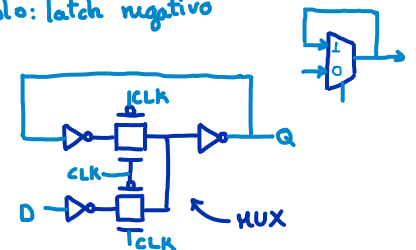


S	R	Q(t+1)
0	0	Q(t)
0	1	0
1	0	1
1	1	Prohibida

• Off-Line ⇒ Se cambia el estado rompiendo el lazo de realimentación mediante un MUX

- Latch negativo → transparente con CLK=0
- MUX → puertas de transmisión

Ejemplo: latch negativo

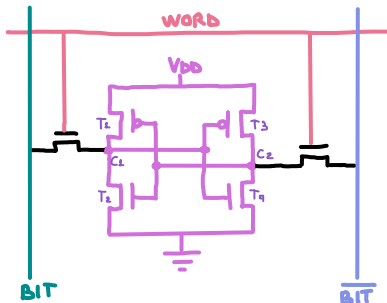


Para latch positivo → intercambiar '0' y '1' → transparente con CLK = 1

# TEMA 10. MEMORIAS DE ESTADO SÓLIDO

## Memorias RAM:

### SRAM



#### > Para leer:

- Se precarga BIT y  $\overline{\text{BIT}}$  a 1
- Cuando WORD = '1'
  - ↳ si  $C_1 = '1' \Rightarrow$  Se lee un 1
  - ↳ si  $C_1 = '0' \Rightarrow \text{BIT} = 0$
- Siempre:  $\text{BIT} = C_1$ ;  $\overline{\text{BIT}} = C_2$

#### ↳ Descarga condicional:

- ↳ Temporalmente fluye corriente ( $V_{IL}$ ) por  $C_1 \rightarrow C_2 = '1' \rightarrow$
- Varía la entrada de  $C_1 \rightarrow$
- Se corrige y  $C_2 = '0' \Rightarrow \text{Follón}$
- ↳ Para -Follón  $\rightarrow -V_{IL} \Rightarrow RTw \gg RTy$

#### > Para escribir

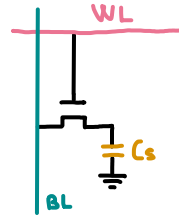
- Se precarga el dato a escribir en BIT y su negado en  $\overline{\text{BIT}}$
- Se activa WORD
  - ↳ Igual que en la lectura

#### ↳ Transición '1' $\rightarrow$ '0' $\Rightarrow$ Follón

- ↳ Para -Follón  $\Rightarrow RTy \gg RTw$  (para que se detecte lo que antes queríamos evitar)

#### > Es más rápida y más cara.

### DRAM



#### > Para leer:

- Se precarga BL y se activa WL
  - ↳ Se distribuye la carga entre  $C_s$  y  $C_{BL}$

#### Se destruye lo que hay en $C_s$

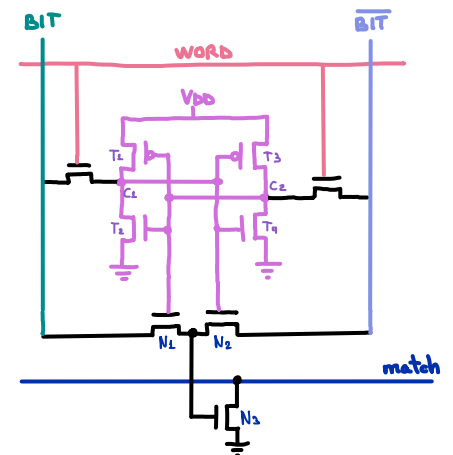
- Requiere una capacidad extra para almacenar el dato + un amplificador sensor por bitline para distribuir la carga

#### > Para escribir:

- Se activa WL y se pone el valor correcto en BL  $\Rightarrow$  Se carga  $C_s$

#### > Es más lenta pero ocupa menos

## Memorias CAM:



#### > Lectura y escritura = SRAM

#### > Operación match:

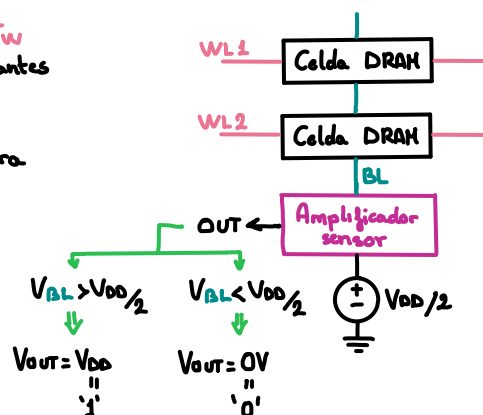
- El dato a buscar en BIT
- Si no coincide  $\Rightarrow N_3 = '1'$ 
  - ↳ match = '0'

#### > En una memoria CAM $\rightarrow$

- varias celdas CAM agrupados en palabras

## Amplificador sensor:

- ↳ DRAM  $\rightarrow$  necesario
- ↳ SRAM  $\rightarrow$  + rendimiento



## Ejemplo: búsqueda de '0101'

