

Memorias de estado sólido

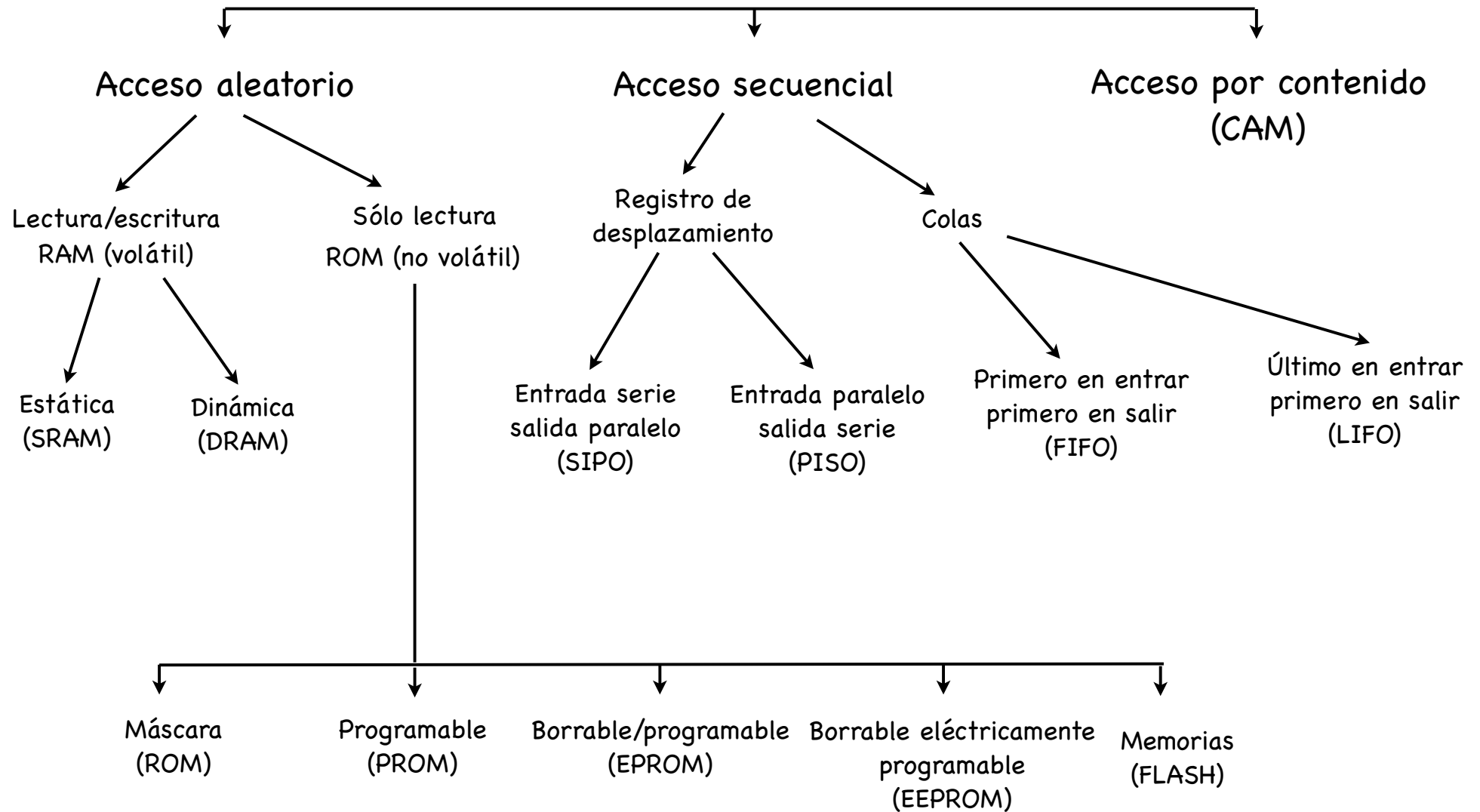
Tema 10

Contenidos

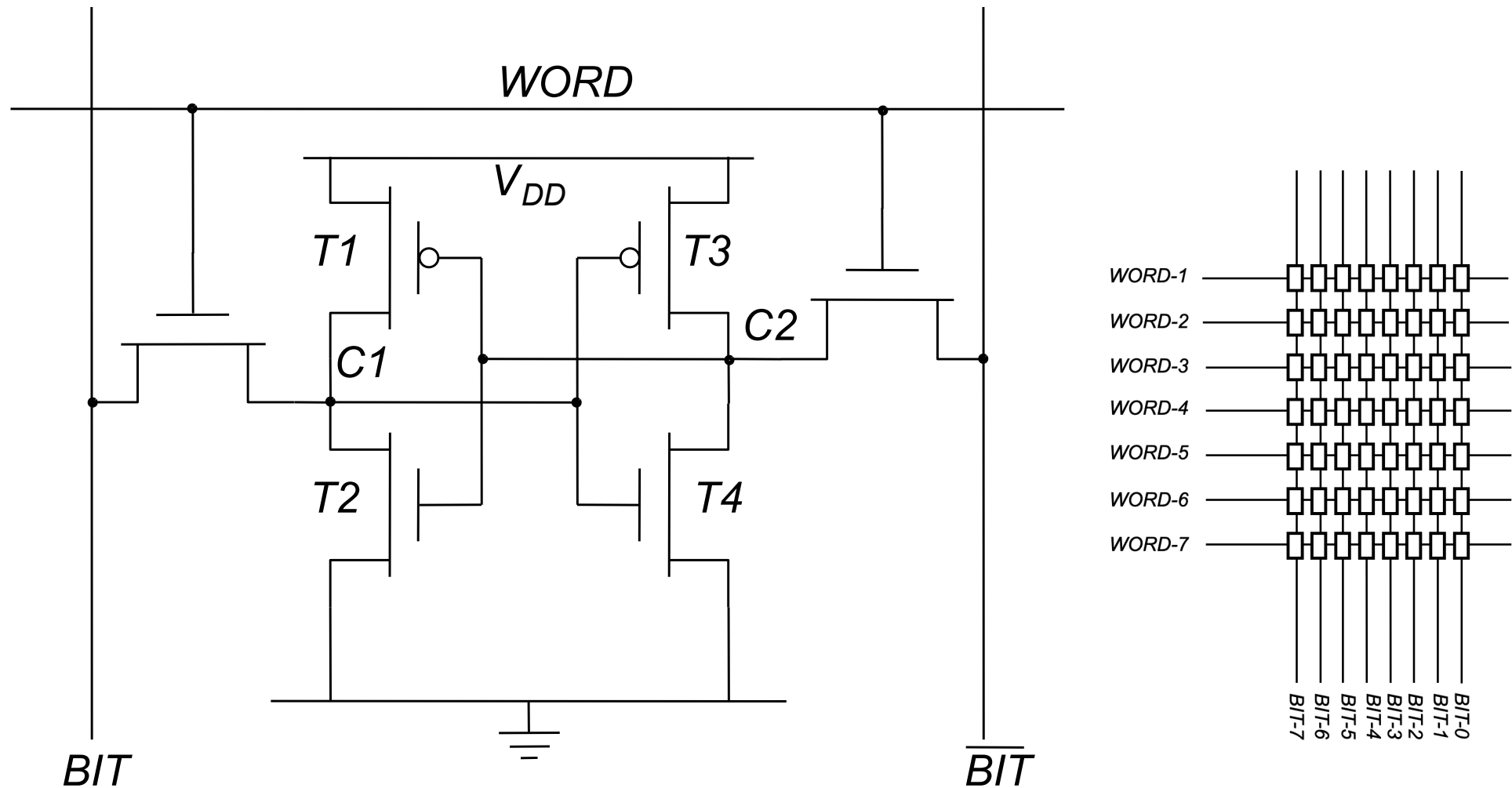
- Memoria volátil: SRAM, DRAM y CAM
- Circuitos periféricos: decodificadores y amplificadores

Memorias

(de estado sólido)



Celda RAM estática (SRAM)



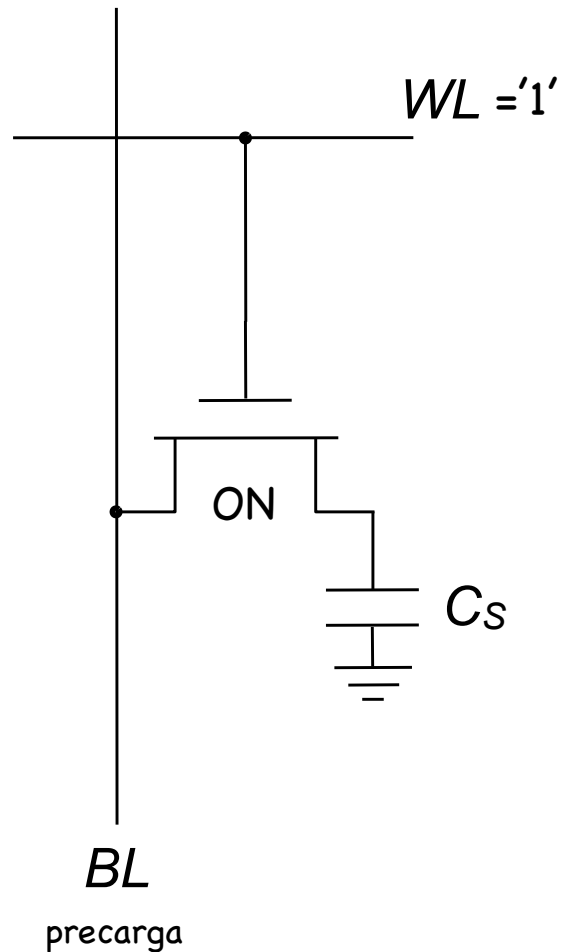
LECTURA:

1. PRECARGA DE BIT y $\overline{\text{BIT}}$ a '1'.
2. WORD = 1 (selección de la celda) → Descarga condicional de uno de los nodos (C1 o C2) a tierra. ¡Operación no destructiva!

ESCRITURA:

1. DATO → BIT, $\overline{\text{DATO}}$ → $\overline{\text{BIT}}$
2. WORD = 1 (selección de la celda)

Celda RAM dinámica (DRAM)



ESCRITURA:

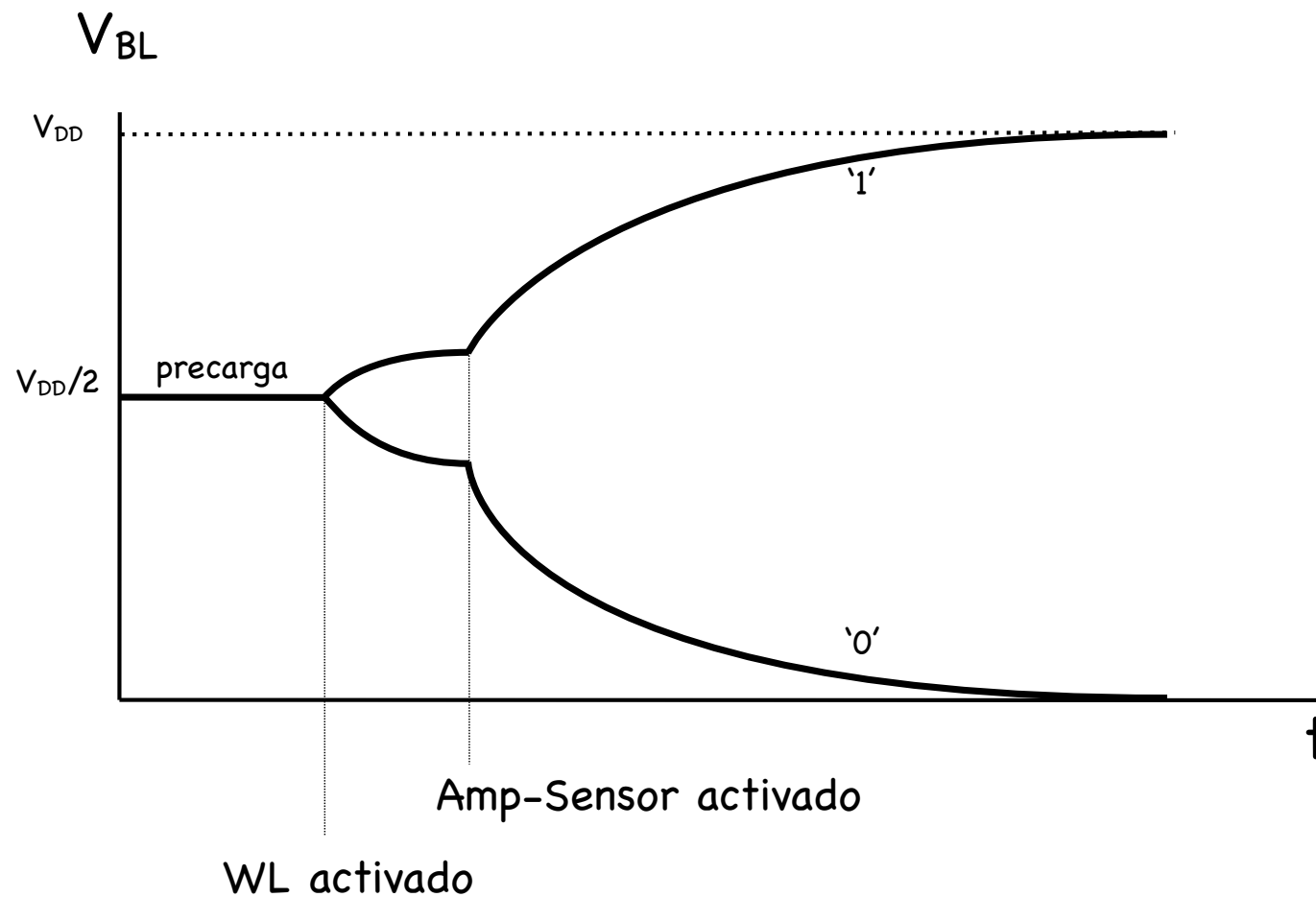
- C_S se carga/descarga activando WL y poniendo un valor adecuado en BL

LECTURA:

- Se precarga BL
- Se activa WL
- Se distribuye la carga entre C_S y C_{BL}
(valor típico variación voltaje de 250mV)

¡Operación destructiva!

Necesario un detector sensible a la dirección de cambio de tensión
⇒ restauración del valor lógico de lectura

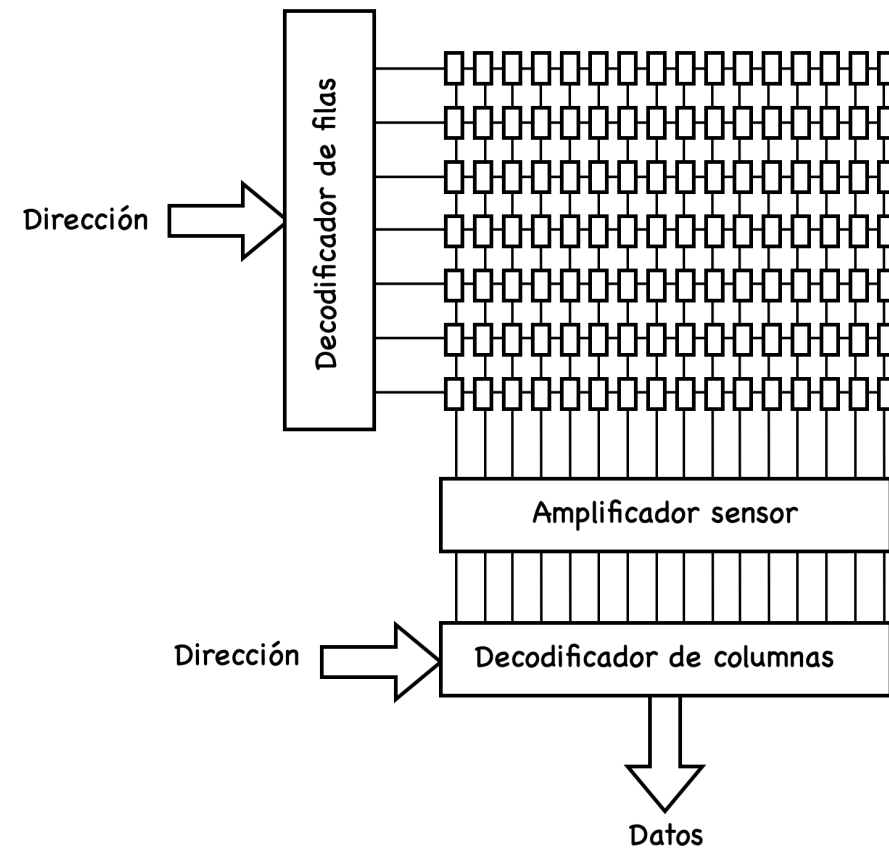


Conclusiones:

- ✓ Las celdas DRAM de un transistor tienen una línea de acceso (bit line) en contraste con las celdas SRAM
- ✓ La operación de lectura de la celda DRAM de un transistor es destructiva. Son necesarias ADEMÁS operaciones de lectura/refresh
- ✓ Las celdas DRAM de un transistor requieren la presencia de una capacidad extra para el almacenamiento de la información
- ✓ Requieren un amplificador sensor por bit line, debido a la redistribución de carga en el proceso de lectura
- ✓ La memoria SRAM es más rápida que la DRAM, pero es también más costosa (más transistores \Rightarrow más área)

Circuitos periféricos

- ▶ Amplificador sensor
- ▶ Decodificador de filas
- ▶ Decodificador de columnas



Amplificador sensor

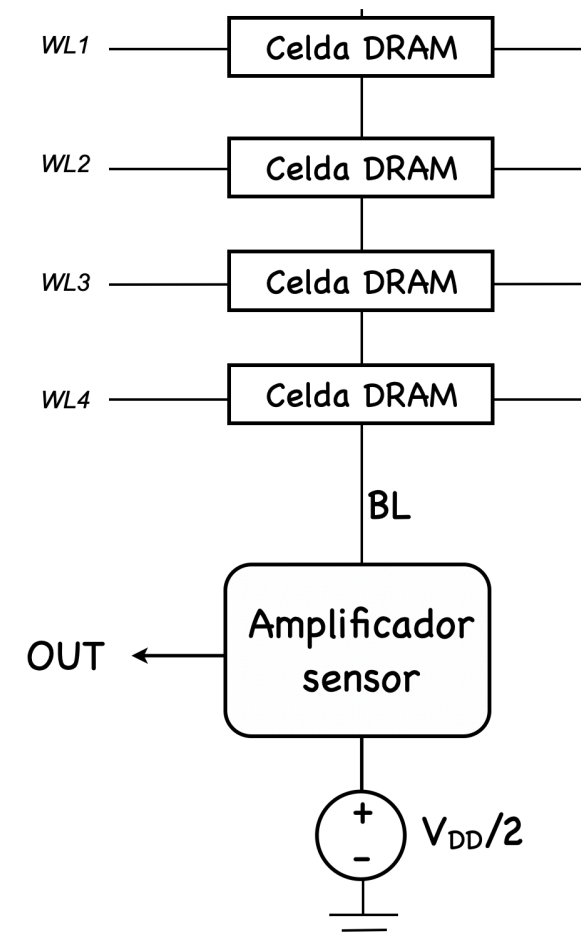
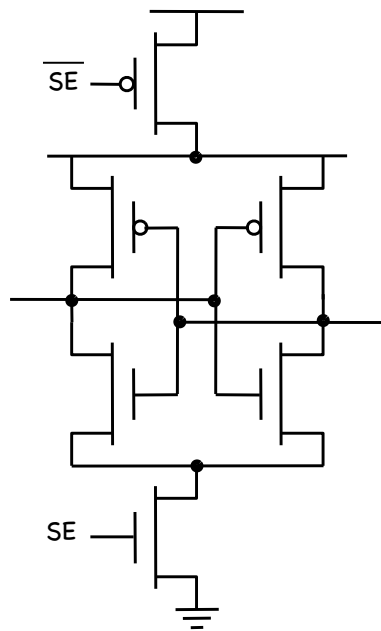
Permite aumentar la velocidad y ahorrar área en las SRAM

Es indispensable para el funcionamiento correcto de las DRAM

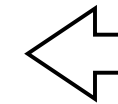
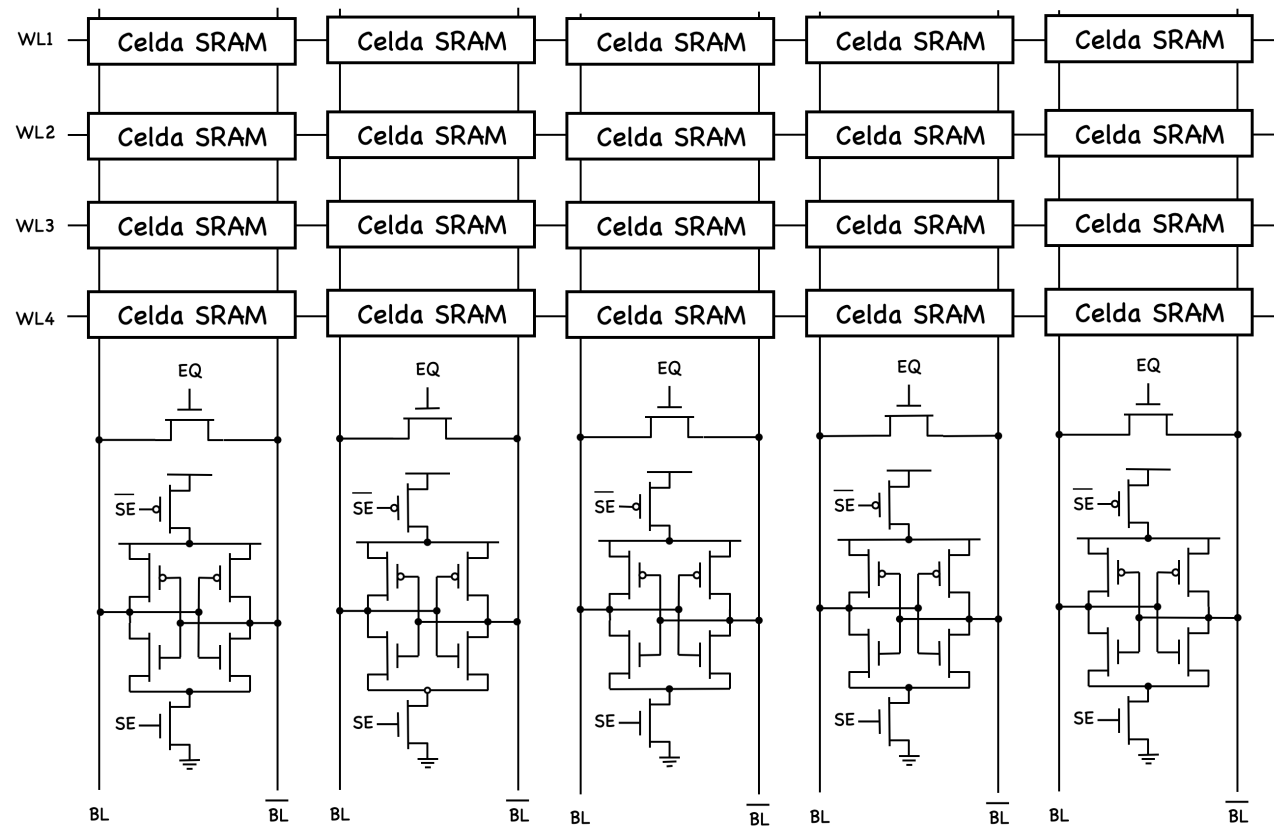
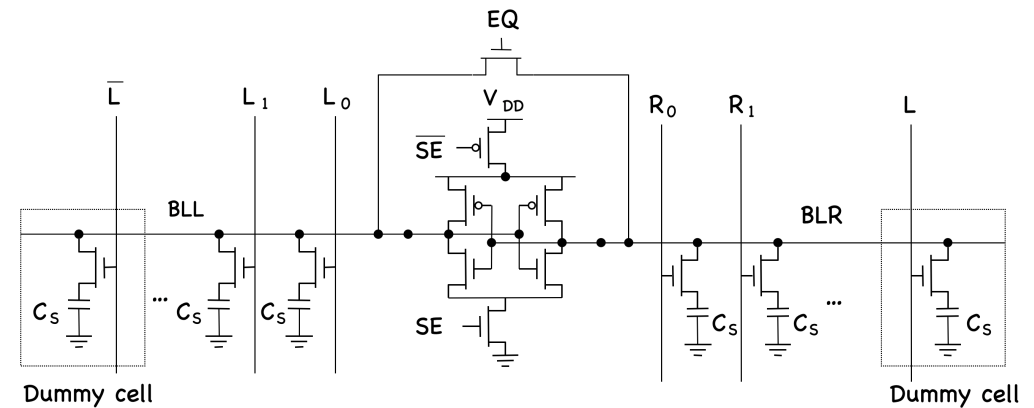
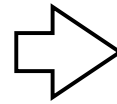
Implementación para una DRAM:

Si $V_{BL} > V_{DD}/2 \Rightarrow V_{OUT} = V_{DD}$

Si $V_{BL} < V_{DD}/2 \Rightarrow V_{OUT} = 0 \text{ V}$



Amplificadores sensores para DRAM



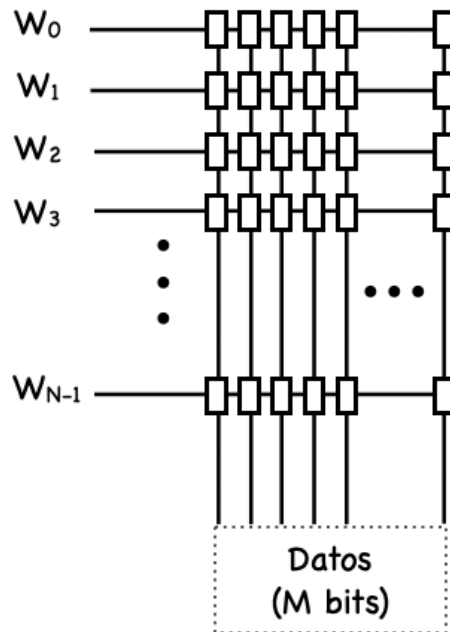
Amplificadores sensores para SRAM

EQ \equiv Señal de ecualización: Precarga BL y BL a la misma tensión

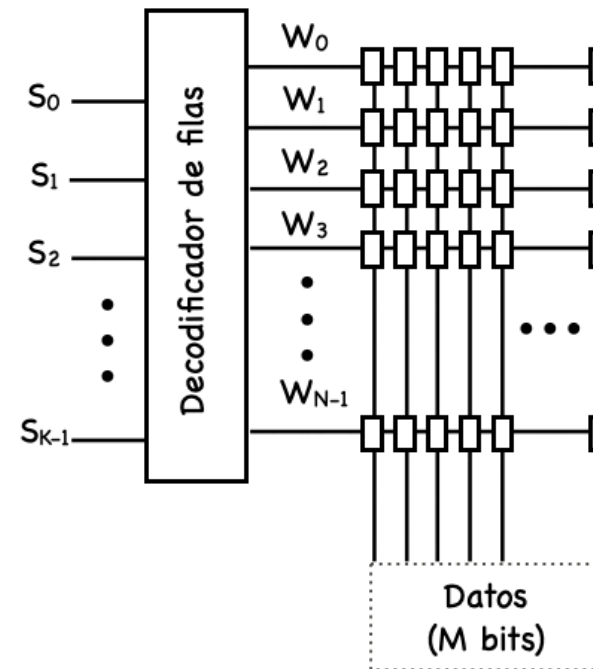
SE y SE \equiv Señales de selección: activan o desactivan el amplificador (para ahorrar energía)

(c) David López Vilariño, USC

Decodificadores



Arquitectura intuitiva para una memoria $N \times M$
 Demasiadas líneas de selección:
 N palabras $\Rightarrow N$ líneas de selección



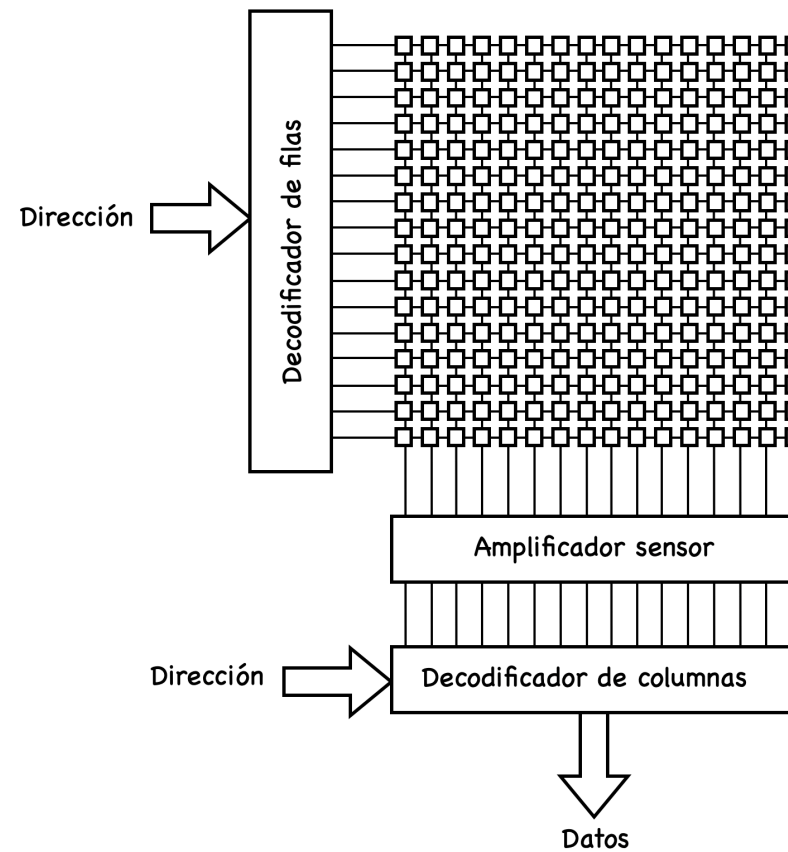
El decodificador reduce el número de líneas de selección
 N palabras $\Rightarrow K$ líneas de selección ($K = \log_2(N)$)

Decodificadores

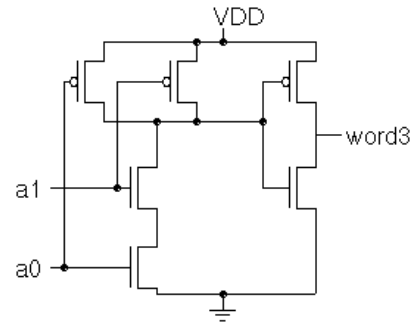
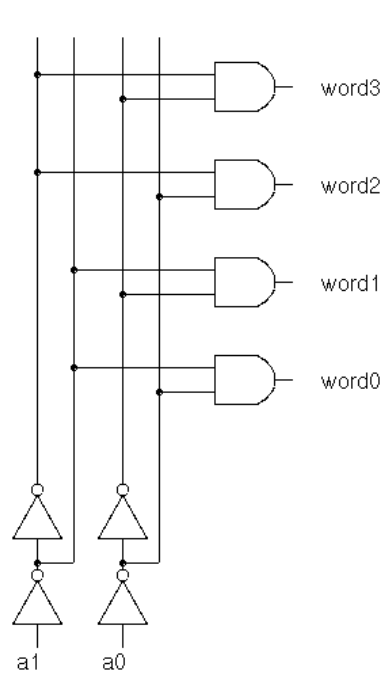
Situación óptima: dimensión horizontal = dimensión vertical

“layout” más regular

Mayor velocidad



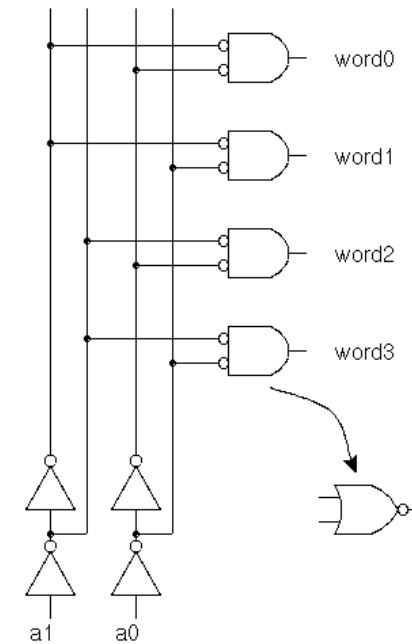
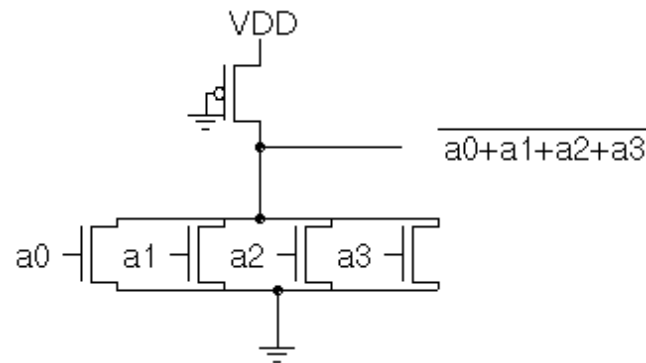
Decodificadores de filas



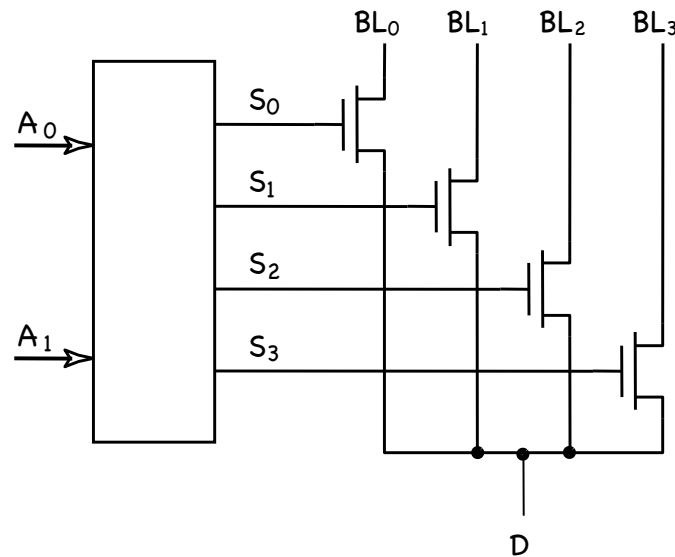
Puertas NAND estáticas
Máximo 5 ó 6 entradas.

Puertas NOR pseudo-NMOS

NOR más rápida que NAND
(pseudo-NMOS o dinámica)

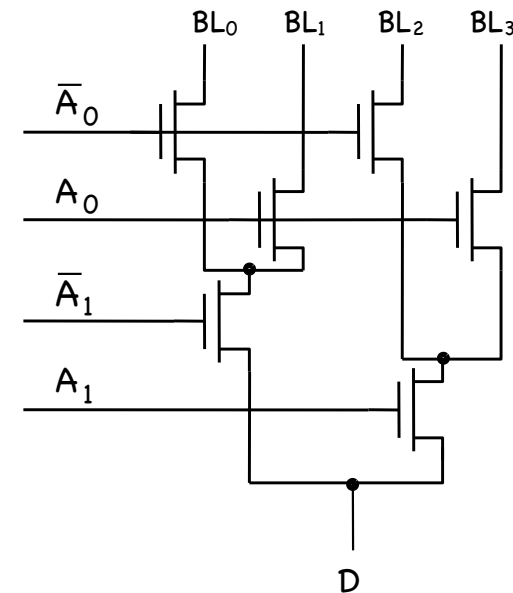


Decodificadores de columnas



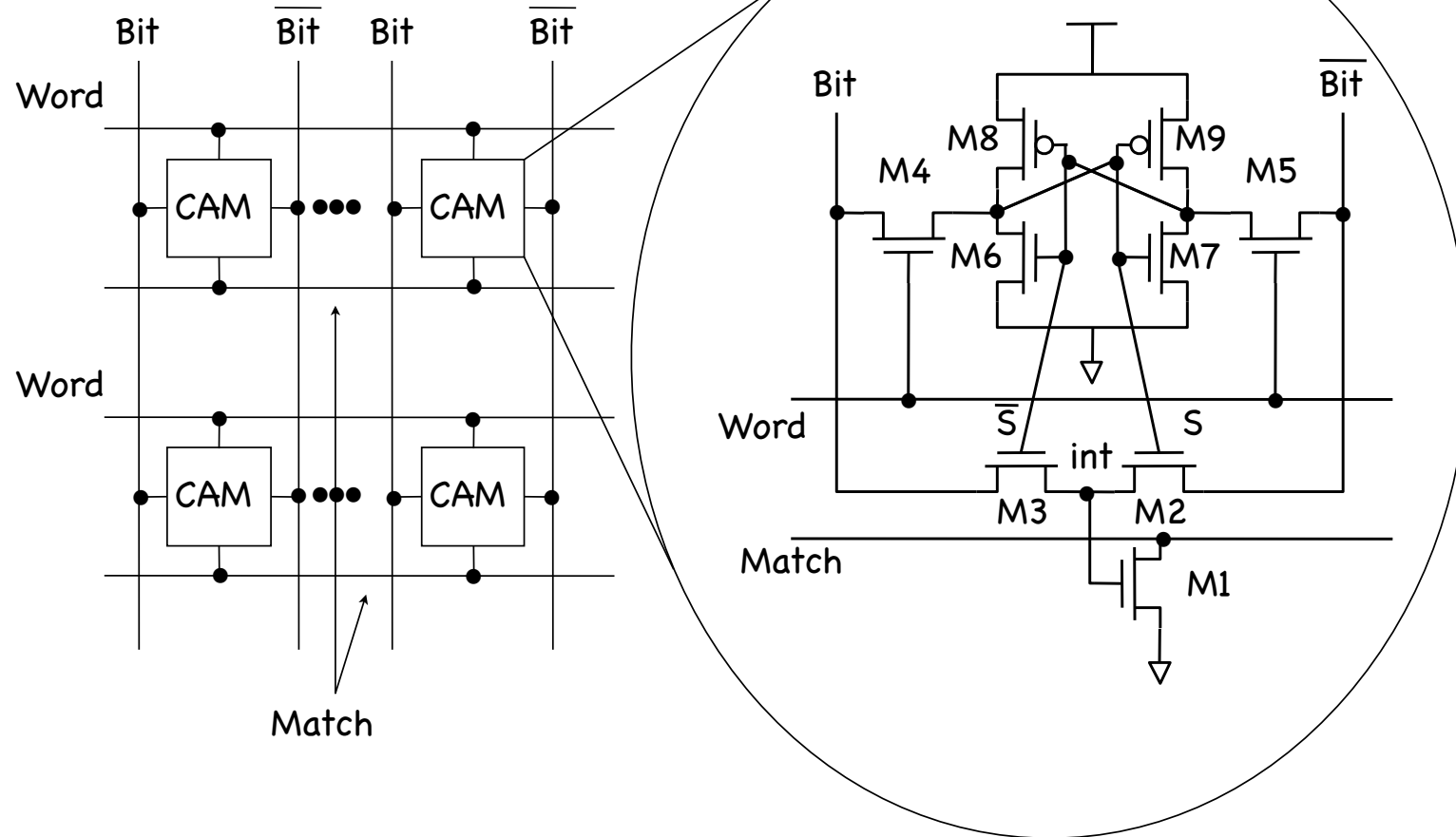
- ✓ Ventajas: Velocidad. Sólo se incluye un transistor extra en la vía de datos crítica
- ✗ Desventaja: Número transistores elevado

- ✓ Ventajas: Número reducido de transistores
- ✗ Desventaja: Retardo elevado, prohibitivo para grandes decodificadores



(c) David López Vilariño, USC

Memorias CAM (Content Addressable Memory)



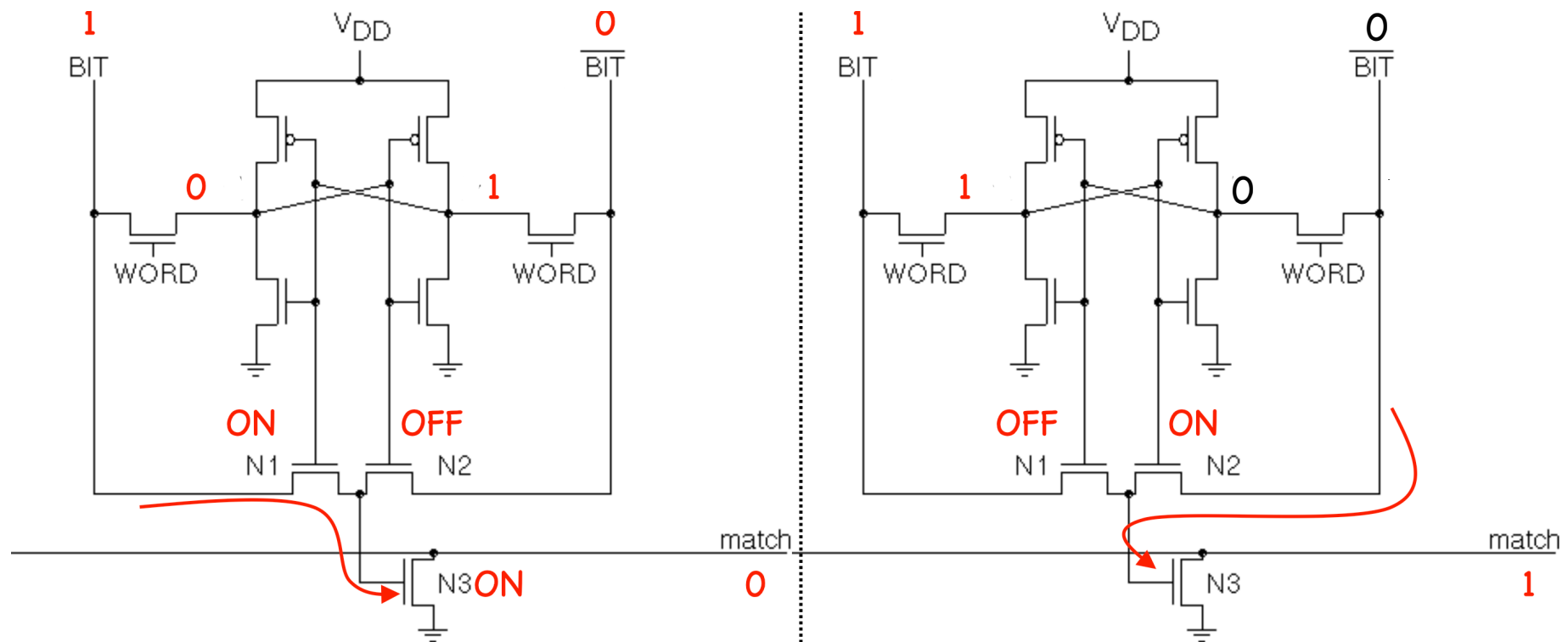
Memorias CAM (Content Addressable Memory)

Operación MATCH

1. Dato a buscar en líneas BIT

2. Word = 0

N3=1 si el dato no
está en la celda \rightarrow Match = 0

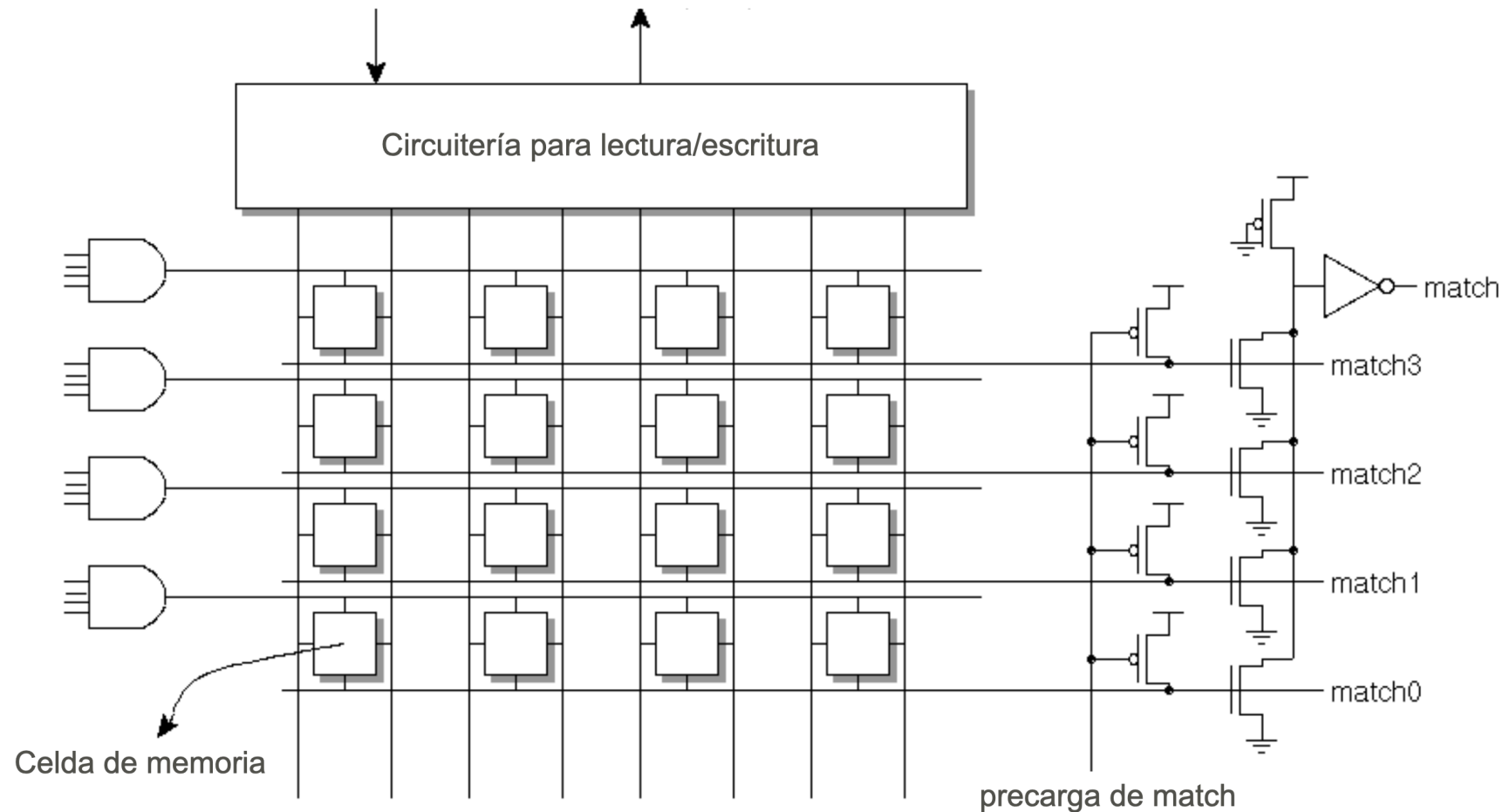


Búsqueda 1; Valor almacenado 0

Búsqueda 1; Valor almacenado 1

(c) David López Vilariño, USC

Memorias CAM (Content Addressable Memory)



Conexión entre celdas: Línea Match común a todas las celdas de la palabra → NOR distribuida (dinámica o pseudo-NMOS)
 Las líneas match(i) dan valor a las WORD de una RAM

Memorias CAM (Content Addressable Memory)

