



5. PLL – Phase Locked Loop - Lazos Enganchados en Fase

5.1. Introducción

Un PLL es un circuito que sincroniza la frecuencia y la fase de un oscilador con una segunda señal, llamada referencia.

El primer PLL fue implementado en 1932 por Bellescize, un ingeniero francés que es considerado como el inventor de la “comunicación coherente”. Como un campo de la investigación en los PLLs y el diseño independiente que se inició en la década de 1950 [4] y ganó aplicación práctica importante en TV. Uno de los primeros papers fundamentales se encuentra en [5]. El PLL se pudo aplicar ampliamente luego de la aparición de los circuitos integrados ICs.

Una ventaja importante de los PLLs actuales es la posibilidad del uso generalizado de chips de CI off-the-shelf resultando en una aplicación de bajo volumen, bajo peso, y con frecuencia con dispositivos de ahorro de energía. Al mismo tiempo, también apreciamos tiempos de conmutación cortos y muy alta resolución de alta frecuencia. El PLL opera en uno de dos modos; adquisición y de seguimiento.

En el modo de *adquisición*, el PLL intenta sincronizar la frecuencia y la fase de la salida del VCO con los de una señal de entrada. Los errores de fase entre estas dos señales pueden ser bastante grandes. En esta situación, el PLL es un sistema no lineal y son necesarios técnicas de análisis no lineales para el análisis del comportamiento de adquisición. Las técnicas de análisis no lineales son difíciles y mucho más allá del alcance de la mayoría de los cursos de pregrado. Sin embargo, es posible utilizar la simulación con el fin de obtener una información sobre el funcionamiento del PLL.

En el modo de *seguimiento*, los errores de fase son a menudo pequeñas y se puede utilizar el análisis mediante un modelo lineal simple para proporcionar resultados aceptables y útiles. Los parámetros de bucle estándar, se definen en términos del modelo lineal.

Los PLLs también son conocidos como sintetizadores de frecuencia, ya que permiten disponer de una frecuencia muy estable y precisa. Las principales aplicaciones son:

- Sintetizadores de frecuencia;
- Generación y recuperación de portadoras en emisión
- Generación de osciladores locales en recepción;
- Desmodulación de las señales analógicas o digitales moduladas en frecuencia;
- Recuperación de impulsos de reloj en transmisión digital;
- Circuitos de sincronismo para barrido horizontal y vertical en receptores de televisión;
- Recepción de señales satelitales de satélites no geoestacionarios;
- Divisores y multiplicadores de frecuencia.

5.2. Principales componentes y diagrama en bloques

Los principales componentes son:

1. Detector de fase: Compara la fase de la señal de entrada (referencia) con la del oscilador de salida. La salida es proporcional a la diferencia de fase entre las dos señales. El detector de fase es un multiplicador en PLL analógicos, y está formado por compuertas lógicas en un PLL digital;
2. Filtro de bucle: Filtra la salida del detector de fase para ser aplicado al VCO. Tiene un alto impacto en la característica, propiedades y performances del PLL;
3. Oscilador controlado por tensión (VCO): Es un oscilador de salida del PLL, cuya frecuencia es función de la tensión de entrada;
4. Oscilador de referencia, generalmente de cuarzo;
5. Divisor de frecuencia por N.

Los tres primeros ítems forman parte de los componentes básicos. Los últimos dos son complementarios.

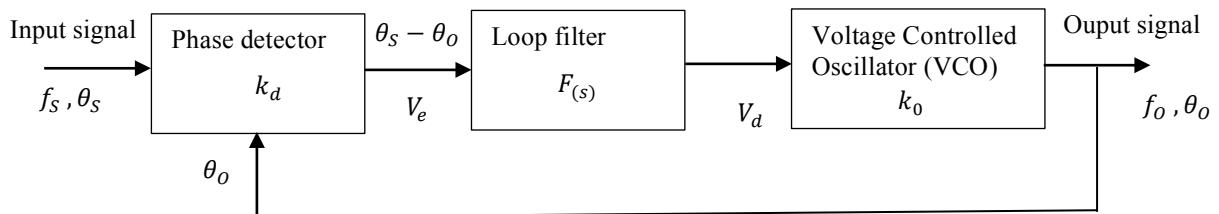
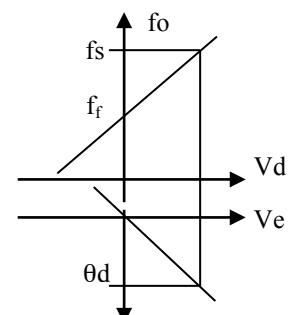


Fig. 5.1. Diagrama en bloques del PLL básico.

- El VCO (Voltage Controlled Oscillator) oscila libremente a una frecuencia llamada frecuencia de corrida libre f_f (free frequency). Esta frecuencia es comparada con la frecuencia f_S de una señal de referencia en el detector de fase. Los productos de alta frecuencia son eliminados por el filtro pasabajos $F(s)$.
- Si la frecuencia de la señal V_e es lo suficientemente baja para que el filtro pasabajos no la atenúa ni la desfasaje en exceso, V_d controlará el VCO, tendiendo a reducir la diferencia de frecuencias hasta que se igualen.

- Una vez que se sincronizan V_O y V_S , esto es $f_O=f_S$, el detector de fase entrega una tensión V_e , con una componente continua estable necesaria para que el VCO iguale la frecuencia de la señal de referencia. En este caso se establece una diferencia de fase θ_d para producir la tensión V_e . Dependiendo del tipo de PLL, el error en estado estacionario puede ser constante o cero.



5.3. Clasificación de los PLLs

PLL lineal (LPLL)

Es un PLL con dispositivos analógicos, con un multiplicador analógico usado como comparador de fase, un filtro con elementos pasivos o activos, y con un VCO para generar la salida del PLL.

El primer PLL industrial realizado con ICs apareció alrededor de 1965 y se realizó con dispositivos analógicos.

Como detector de fase se utiliza un multiplicador analógico (multiplicador en los cuatro cuadrantes), el filtro de lazo se implementó con un filtro RC pasivo, e incorporaba un VCO analógico también.

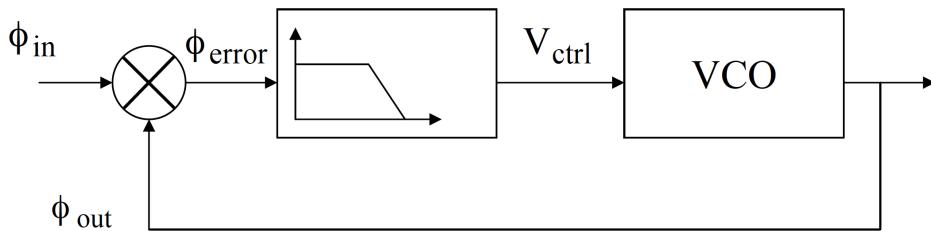


Fig. 5.2. Diagrama en bloques del PLL analógico o lineal.

Este tipo de PLL se “engancha” cuando la diferencia de fase es constante.

$$\phi_{in} - \phi_{out} = \text{constante} \quad (5.1)$$

$$d \frac{(\phi_{in} - \phi_{out})}{dt} = 0 \rightarrow f_0 = f_s (\text{promedio}) \quad (5.2)$$

PLL digital híbrido (DPLL)

Es un PLL con dispositivos digitales y analógicos. También se conocen como “mixed-signal PLL”.

El primer PLL digital apareció en 1970 y fue en realidad un circuito híbrido. Sólo el detector de fase era un componente digital (compuerta EXOR, o flipflop-JK), pero el resto de los dispositivos eran analógicos. El diagrama en bloques de un PLL digital se muestra en la Fig. 5.3.

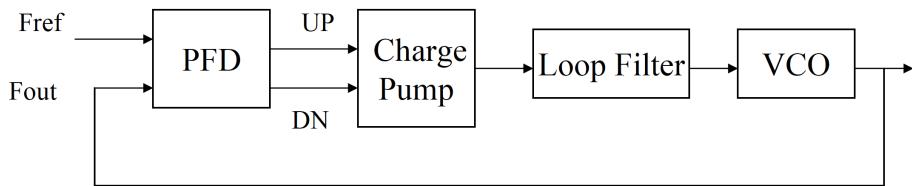


Fig. 5.3. Diagrama en bloques del PLL digital.

PFD=Phase-frequency detector

El rango “pull-in” es limitado solo por el rango del VCO.

En este caso el comparador de fase PFD+CP introducen otro polo en el sistema convirtiéndolo en Tipo II, pudiéndose de esta manera desacoplar ancho de banda BW y ganancia.

$\phi_e = 0$ para un escalón de frecuencia.

PLL completamente digital (ADPLL, All Digital PLL)

Es un PLL con dispositivos digitales, y no contiene dispositivos analógicos.

PLL implementado por software (SPLL)

Es un PLL cuya función es realizada por software, sin hardware dedicado a esta función y corren sobre un DSP.

Este método apareció al final de 1980.

La performance de los LPPLL y DPLL son similares, y el SPPLL es muy versátil, ya que puede emular a algunos de los otros PLLs.

5.4. Rangos de funcionamiento del PLL

Existen básicamente cuatro regiones que describen el PLL en estados dinámico y estático.

El PLL está en estado dinámico cuando la salida no está enganchada o sincronizada con la referencia. Como un caso particular de este caso se encuentra el estado de “corrida libre”, el cual el PLL no se puede enganchar.

El PLL está en estado estático cuando la salida está enganchada o sincronizada con la referencia. También se denomina estado fijo.

La Fig. 5.4 muestra los rangos de funcionamiento del PLL.

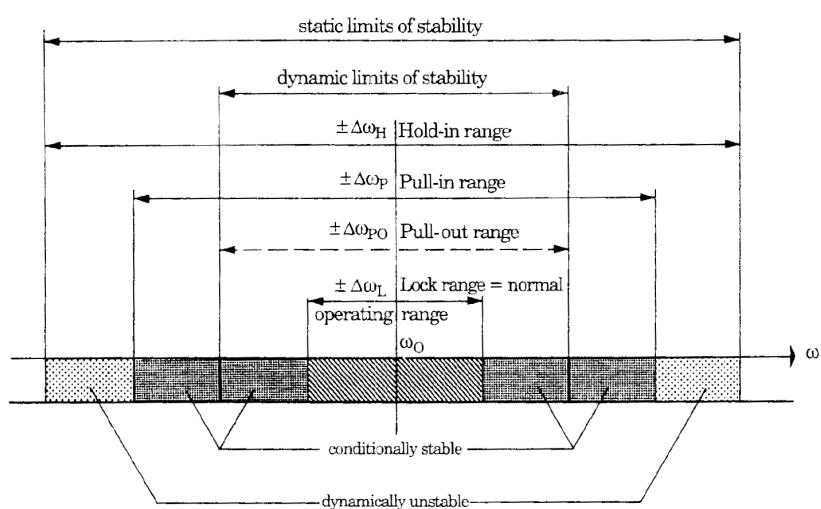


Fig. 5.4. Gráfico de los rangos de funcionamiento del PLL [5]

Hold range

Rango de bloqueo. Describe el PLL en estado del estático o enganchado, y es el rango el cual el PLL puede mantener el “tracking” o seguimiento de fase. El PLL está enganchado con la señal de referencia si se reduce o incrementa lentamente la frecuencia de la referencia. Si, en cambio, se incrementa mucho, el PLL puede perder el enganche en los extremos.

Pull-out range

Es el margen de frecuencias para las que ante un salto brusco de la frecuencia de entrada el PLL no se desengancha. Si el PLL pierde el seguimiento en este rango, el PLL normalmente se enganchará, pero el proceso puede ser lento.

En este caso, se analiza el problema de tolerar la diferencia de frecuencia progresiva antes de la pérdida del enganche, a esta frecuencia se llama frecuencia pull-out.

Pull-in range

Rango de captura. Es el margen de frecuencia para las que el PLL, con un tiempo mayor al periodo de la salida, se engancha en cualquier condición.

Lock range

Se parte del PLL desenganchado. Es el margen de frecuencias en el que el PLL puede engancharse dentro de un periodo de la frecuencia de la señal de salida. Normalmente el rango de operación del PLL se restringe a este rango.

Como el estado ideal podemos diseñar una situación en la que se consigue el bloqueo sin ningún ciclo de deslizamiento, es decir, sin ninguna pérdida de enganche después del encendido del PLL. Este estado entre las frecuencias de la entrada y salida de los PLLs se describe como el rango o intervalo de lock-in.

El PLL es un sistema inherentemente no lineal. Sin embargo, es posible utilizar el análisis lineal para el caso que el PLL esté enganchado, pero el análisis del comportamiento durante la adquisición no puede llevarse a cabo con un modelo lineal. Para este caso se utilizan las técnicas de análisis no lineal. Como método alternativo al análisis, se pueden utilizar las simulaciones, generalmente para determinar el comportamiento dinámico y el tiempo que tarda en engancharse, en presencia de ruido o interferencia.

5.5. Análisis de los bloques del PLL

5.5.1. Detector de Fase

La Fig. 5.5 muestra la respuesta que se debería esperar de un detector de fase (PD). Este produce una tensión proporcional a la diferencia de fase entre la referencia y la salida del VCO (incluido el divisor).

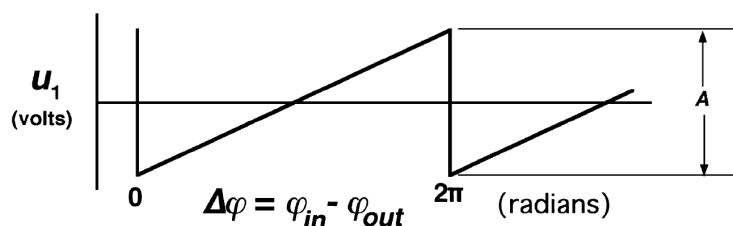


Fig. 5.5. Característica lineal del comparador de fases en determinado rango de fase

La relación es una constante proporcional k_d es la ganancia del detector de fase, y es la relación entre el cambio de la tensión de salida frente al cambio de fase.

Sin embargo, la respuesta del detector de fase generalmente involucra alguna no linealidad.

A continuación se analizarán algunos de los casos más comunes.

5.5.1.1. Detector de fase por Flip-Flop

La Fig. 5.6 muestra el circuito con un Flip-Flop tipo RS.

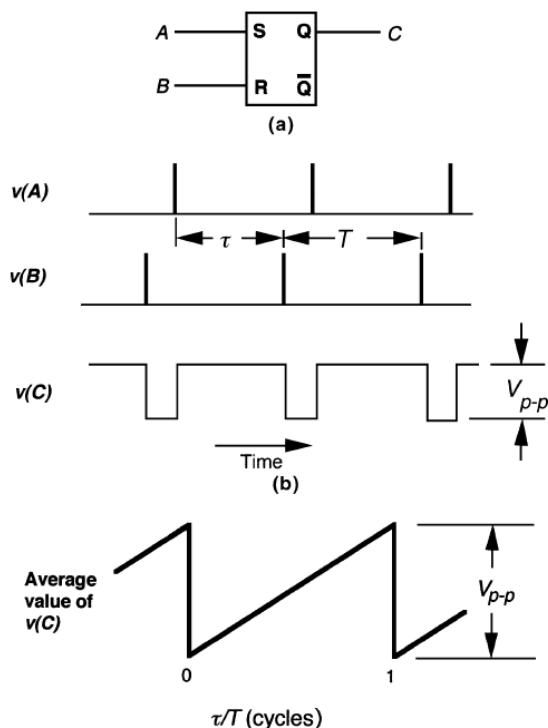


Fig. 5.6. Comparador de fase con Flip-Flop tipo RS y formas de onda

En este caso, Q cambia de estado a Q=1 cuando la entrada S=1, y Q=0 cuando R=1. Cuando ambas entradas son iguales a 1, la salida está indefinida. Por esta razón, las entradas deben ser muy angostas para evitar el solapamiento del estado 1 en ambas entradas. La duración del estado Q=1 depende del tiempo en que cambian de estado las entradas S y R. La duración del estado Q=1, y por ende la tensión promedio es proporcional a la diferencia de fase entre ambas entradas. En este caso, se deben filtrar las componentes de alta frecuencia. La salida promedio tiene una característica de diente de sierra en función de la fase. el rango lineal comprende $0 - 2\pi$.

5.5.1.2. Compuerta EXOR

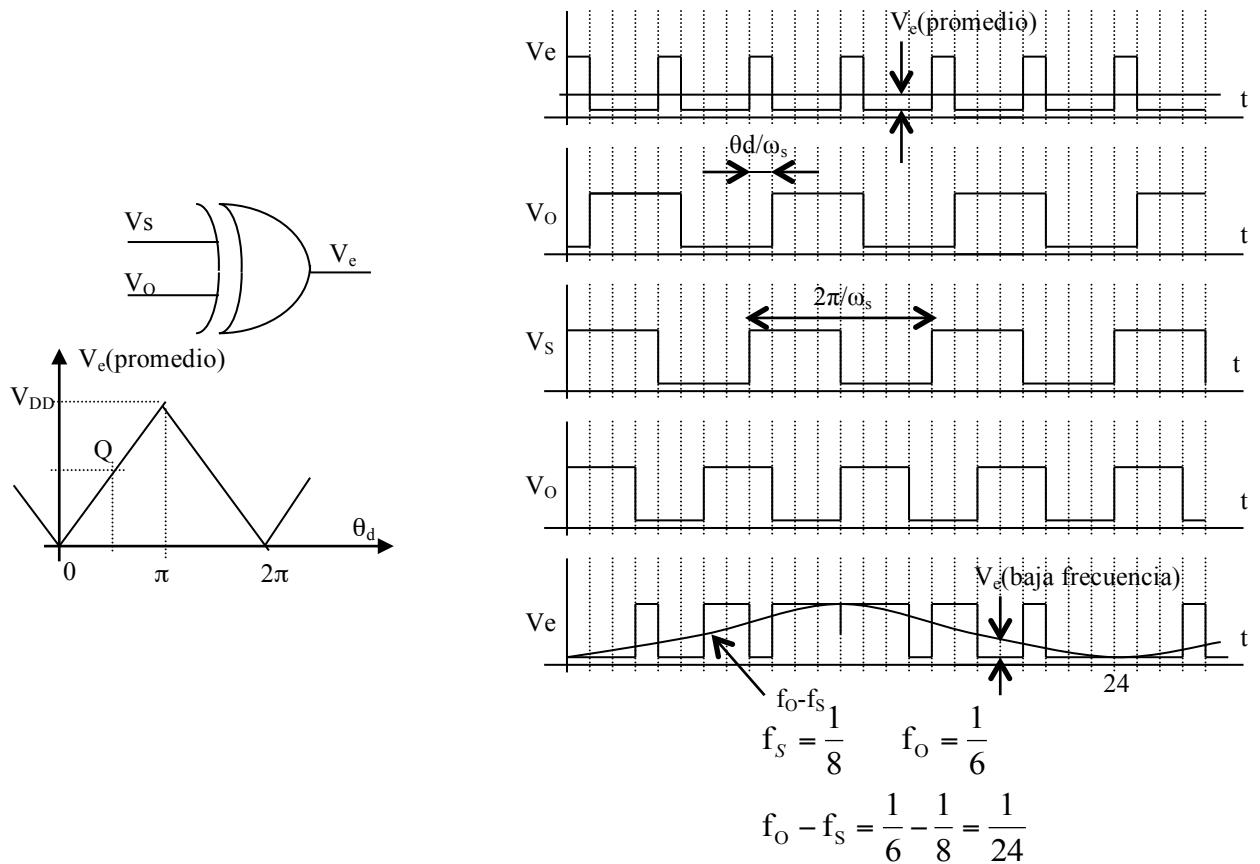


Fig. 5.7. Comparador de fase por compuerta EXOR

$$V_e = k_d \theta_d \quad (5.3)$$

$$\theta_d = \theta_s - \theta_0 \quad (5.4)$$

$$k_d = \frac{V_{DD}}{\pi} \quad (5.5)$$

La puerta XOR es un comparador de desigualdad, cuando sus entradas tienen niveles lógicos distintos la salida es alta.

- Es sensible a los cambios del ciclo de trabajo (duty cycle).
- Da un valor de continua estable para armónicos de la señal de entrada, posibilitando que el PLL sincronice con armónicos.
- El comparador de fase EXOR puede mantener el seguimiento de fase cuando el error está confinado al rango

$$-\frac{\pi}{2} < \theta_e < \frac{\pi}{2} \quad (5.6)$$

5.5.1.3. Detector de fase controlado por flancos

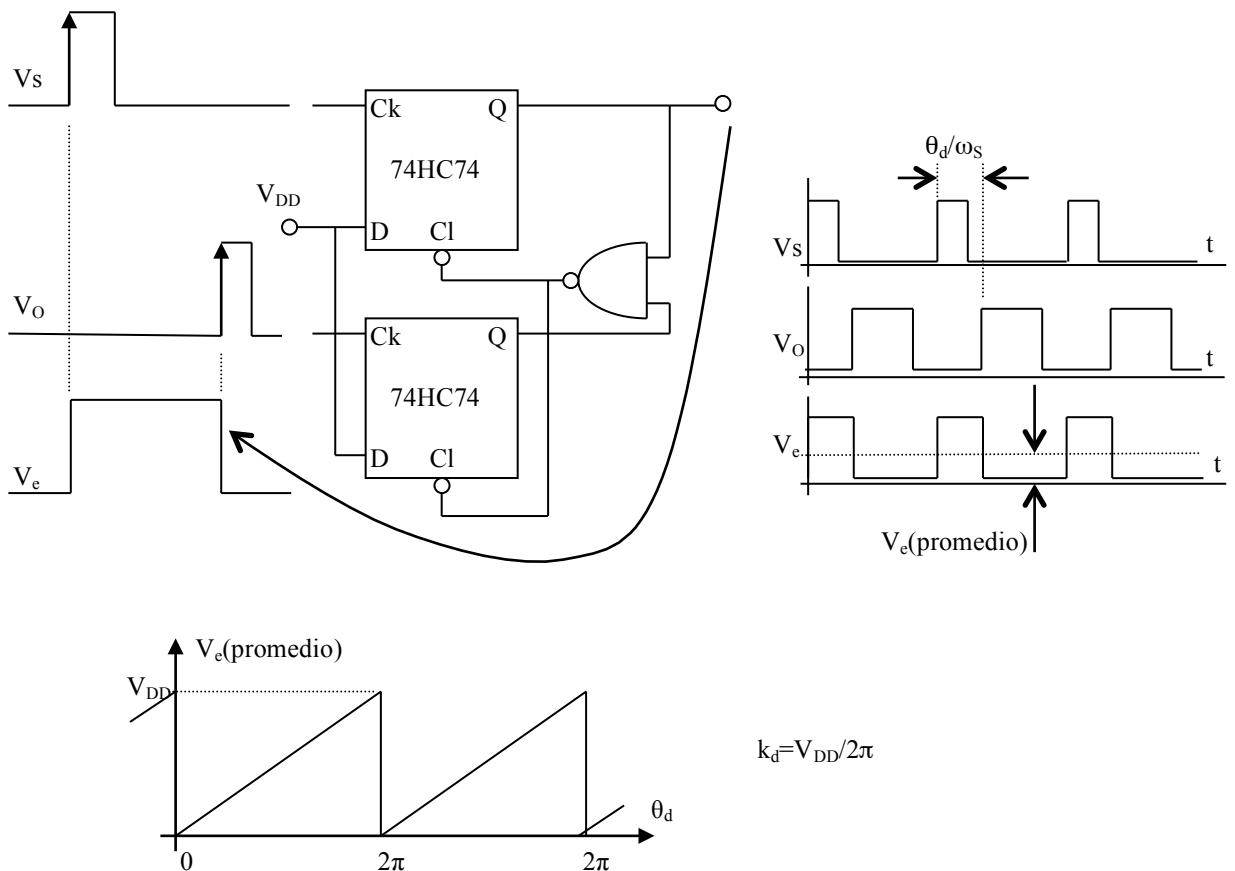


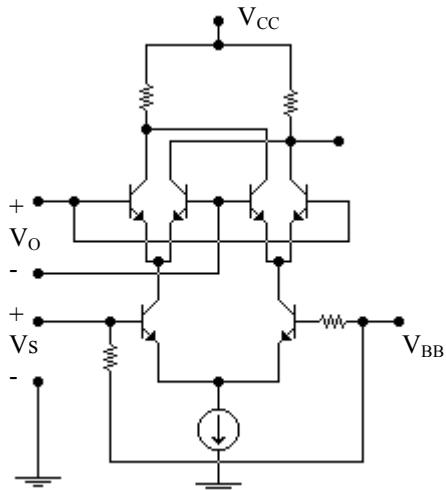
Fig. 5.8. Detector de fase por flancos

- Tiene el doble de rango lineal que la puerta XOR, por lo tanto el PLL tiene mejor captura y seguimiento.
- Es sensible a armónicos de la señal de entrada.
- Esta versión, demasiado simple, es sensible al cambio del duty cycle, resultando en errores.
- Para evitar la sensibilidad al duty cycle, y a los armónicos, existen detectores de fase más elaborados como el MC4044(4π radianes) o como el comparador II del CD4046 que está elaborado con 4 flip flops.

Normalmente cuanto más complicados son los detectores, menor es la máxima frecuencia de trabajo.

5.5.1.4. Detector de fase por multiplicador (MC1496)

Este circuito se usa en una gran variedad de PLL integrados, y también tiene aplicación como modulador balanceado, mezclador y detector de producto. El circuito no necesita que las señales sean cuadradas, mientras una, o ambas sean lo suficientemente intensas como para que los transistores trabajen en una zona no lineal. En una aplicación del PLL como demodulador de FM, la entrada del VCO, puede ser cuadrada, mientras que la señal de FI puede ser senoidal, la función de transferencia resulta en vez de triangular, cosenoideal.



V_s	V_o	V_c
-	-	+
-	+	-
+	-	+
+	+	-

Ley del producto

ver
MC1357
MC3357
MC3359
MC1496

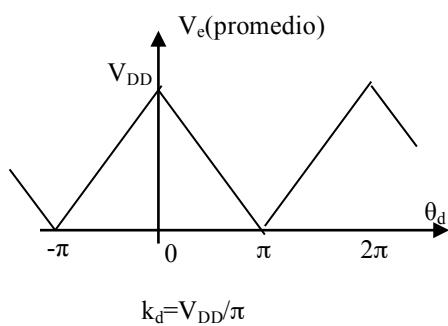
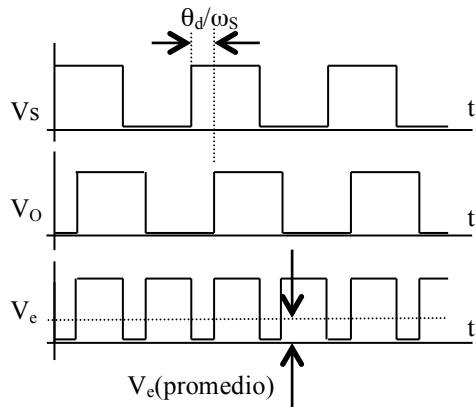


Fig. 5.9. Detector de fase por flancos

5.5.1.5. Detector de fase con bomba de carga

EL punto de operación normal es cuando la diferencia de fase es cercana a cero ($\tau = 0$). En el comparador de fase de bomba de carga (charge-pump) se generan dos salidas de impulsos diferentes, una cuando la transición de v (B) queda en atraso de v (A), y otra cuando se adelanta. A medida que aumenta τ , las características representadas en las Figs. 5.6b y c se llevan a cabo. Pero, si τ disminuye desde 0, v (C) se mantiene bajo, y se genera otra salida de pulsos que se extiende desde la transición v (B) a la V (A) de transición, comenzando así con un pulso muy estrecho para los pequeños valores de $-\tau$ y ensanchándose cuando v (B) se produce cada vez más temprano. Se puede observar la salida Q del flip-flop cuando v (B) se retrasa y la salida Q cuando está en avance. Si acabamos de agregar estas dos salidas, obtendríamos algo así como la característica del comparador de fase de OR exclusiva en las inmediaciones de la fase cero - un punto útil de funcionamiento. Pero, mediante la conversión de una de las salidas a una señal analógica positiva o negativa, dependiendo del signo de la fase y pasando a cero cuando la diferencia de fase es cero.

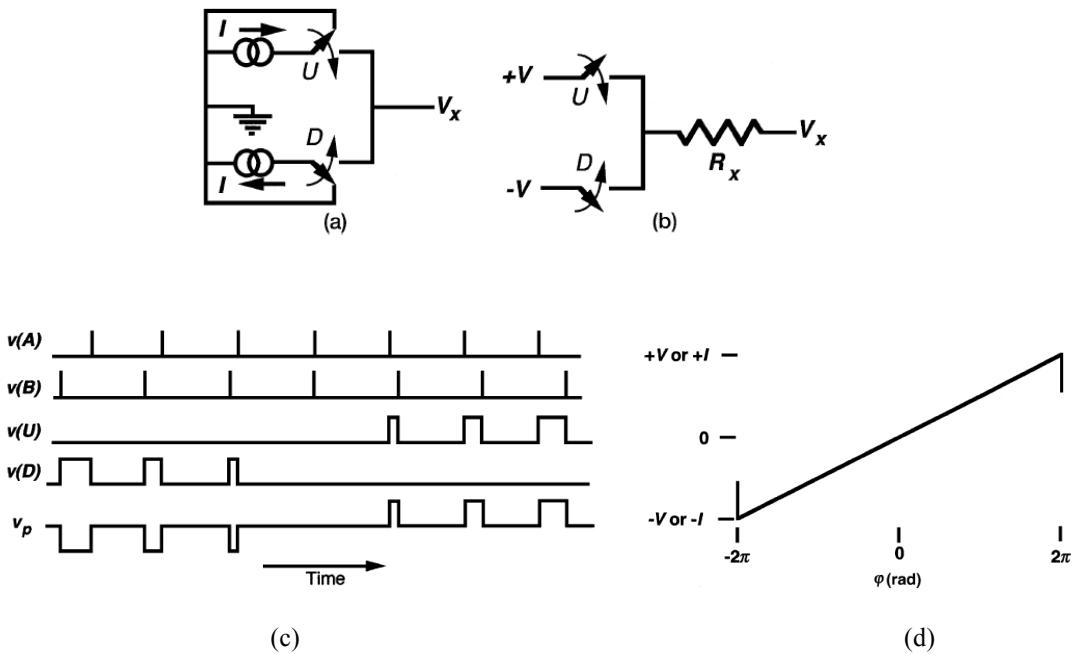


Fig. 5.10. Detector de fase por bomba de carga

La característica de funcionamiento se muestra en la Fig. 5.10.c. Aquí, $v(B)$ está inicialmente en adelanto, pero a menor frecuencia, y lentamente se va retrasando. Se puede también observar que $v(u)$ es similar al de la Fig. 5.6 cuando A está en atraso, pero cuando A se adelanta, este pulso desaparece y es reemplazado por $v(D)$. El voltaje v_p se produce con la combinación de $[V(U) - V(D)]$, usando el signo apropiado. Notar cómo la tensión promedio de esta forma de onda produce una rampa a medida que la diferencia de fase incrementa, mostrando una relación lineal con el promedio del voltaje de fase. Esta relación lineal tiene un rango de fase de $\pm 2\pi$. Ver Fig. 5.10.c. Estos pulsos son utilizados de varias maneras como “bomba de carga” en un filtro de lazo.

También se utiliza una fuente de corriente como se muestra en la Fig. 5.10.a. También en algunos casos es conmutado a través de una resistencia, como se muestra en la Fig. 5.10.b.

En la siguiente figura se muestra un diagrama simplificado del circuito. Nótese que el comparador con FF accionado por flancos, conecta las fuentes de corrientes solo durante el desfasaje entre V_s y V_o . La rampa de i se produce por la corrientes I o $-I$ inyectadas al capacitor. La tensión V_e del capacitor se mantiene constante cuando no se producen las corrientes mencionadas, ya que no tiene un circuito de descarga.

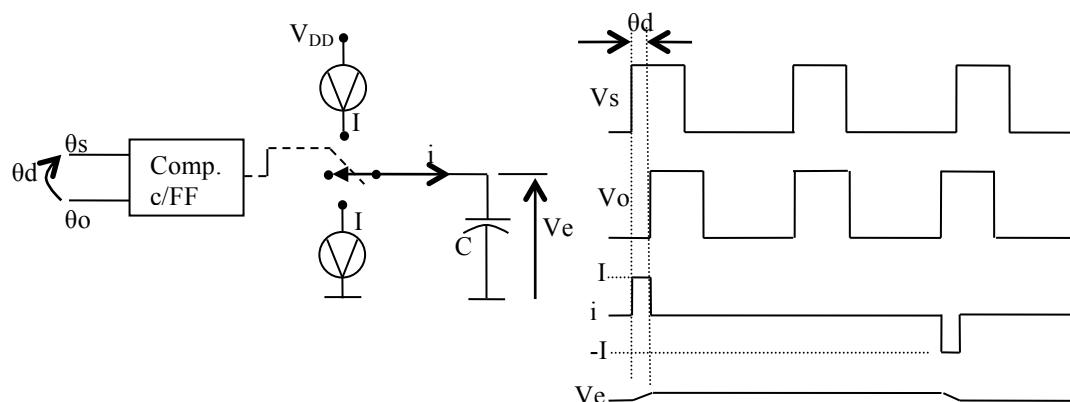


Fig. 5.11. Detector de fase por bomba de carga

Formalmente, el comparador no admite una función de transferencia ya que no es invariante en el tiempo. A continuación se muestra un circuito lineal no invariante en el tiempo, como es este comparador, y un circuito invariante en el tiempo, pero alineal.



Fig. 5.12. Modelo simplificado lineal y alineal

Sin embargo se le puede atribuir una función de transferencia que produzca los mismos resultados prácticos. Se muestra una situación hipotética donde el andar tipo escalera de V_e se reemplaza por una recta con efecto equivalente.

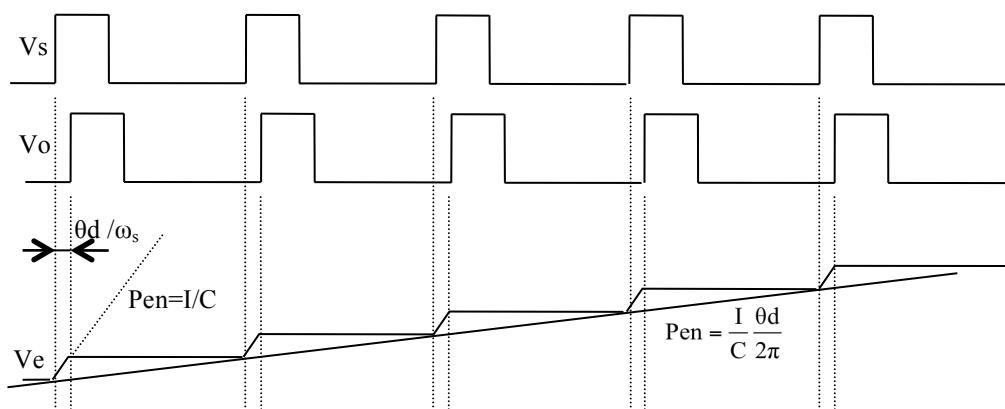


Fig. 5.13. Formas de onda

La tensión V_e es:

$$V_e = \frac{1}{C} \int I dt \quad (5.6)$$

Y es discontinua integrada durante $\frac{\theta_d}{\omega_s}$ segundos por período equivale a una tensión:

$$V_e = \frac{1}{C} \int I \frac{\theta_d}{2\pi} dt = \frac{I}{2\pi \cdot C} \int \theta_d dt \quad (5.7)$$

Además es continua integrada durante todo el tiempo. Aplicando la transformada de Laplace a la expresión anterior, queda:

$$V_e(s) = \frac{I}{2\pi \cdot C} \frac{\theta_d(s)}{s} \quad (5.8)$$

Por lo tanto,

$$F(s) = \frac{V_e(s)}{\theta_d(s)} = \frac{I}{2\pi \cdot C} \frac{1}{s} \quad (5.9)$$

$$F(s) = \frac{k}{s} \quad (5.10)$$

El comparador ya no es más una constante, y se comporta como un integrador.

La introducción de un nuevo integrador (el VCO actúa para la fase como un integrador) cambia totalmente el comportamiento del PLL. Es fácil comprender que no puede existir ningún desfasaje constante en la entrada del comparador, ya que la acción integradora provoca una rampa a la salida del mismo obligando a realizar un barrido al VCO. Esto explica que en el laboratorio no se pueda medir ningún desfasaje entre V_e y V_o .

El comparador II del CD4046 es un comparador con bomba de carga. En la hoja de datos del CD4046 se indica que para el Comparador II, el rango de captura es igual al rango de seguimiento. La existencia de un desfasaje provoca grandes excursiones a la salida del comparador provocando un barrido del VCO hasta que este se approxima a la f_s produciéndose el enganche.

5.5.1.6. Detector de fase a frecuencia

El diagrama esquemático del comparador de fase a frecuencia PFD (Phase-frequency Detector) se muestra en la Fig. 5.14.

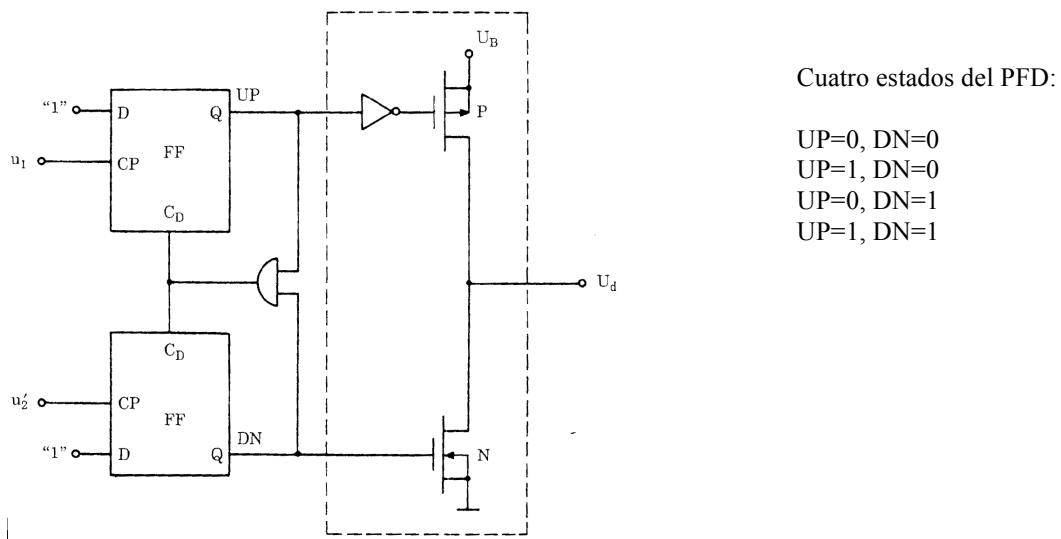


Fig. 5.14. Comparador de fase a frecuencia (PFD) [5]

En este comparador, la salida depende de no solo del error de fase θ_e , sino también de la diferencia entre las frecuencias de entrada, cuando el PLL no está enganchado.

$$\Delta\omega = \omega_1 - \omega_2 \quad (5.11)$$

El PFD se compone de dos Flip-Flop (FF) del tipo D cuyas salidas Q se denotan por UP y DN. Los estados posibles son cuatro, y mostrados en la Fig. 5.14.

También los cuatro estados son inhibidos por una compuerta adicional AND. Cuando ambos FF están en estado 1, se resetean ambos FF. En esta condición, los dispositivos actúan como un dispositivo de tres estados (triflop). Si se asignan los símbolos -1, 0 y 1 a esos tres estados, quedaría:

DN=1, UP=0		state = -1
DN=0, UP=0		state = 0
DN=0, UP=1		state = 1

El estado se determina por el flanco en las entradas de los FF, como se muestra ben la Fig. 5.15.

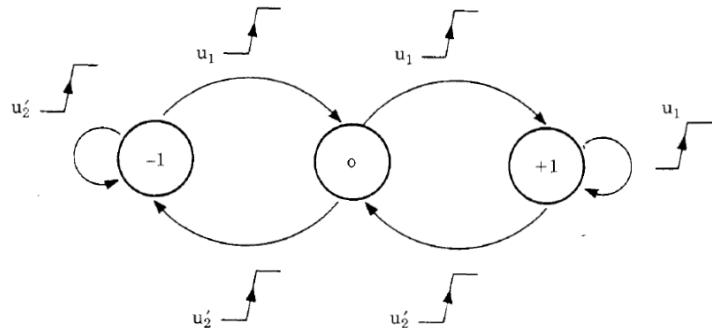
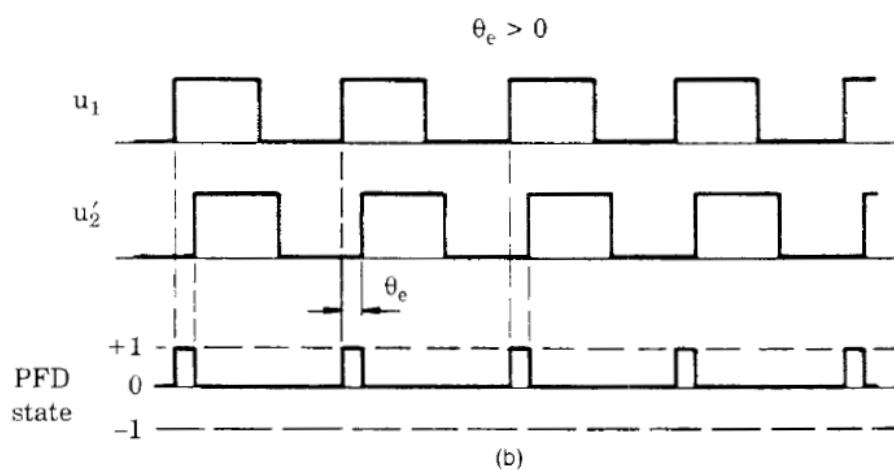
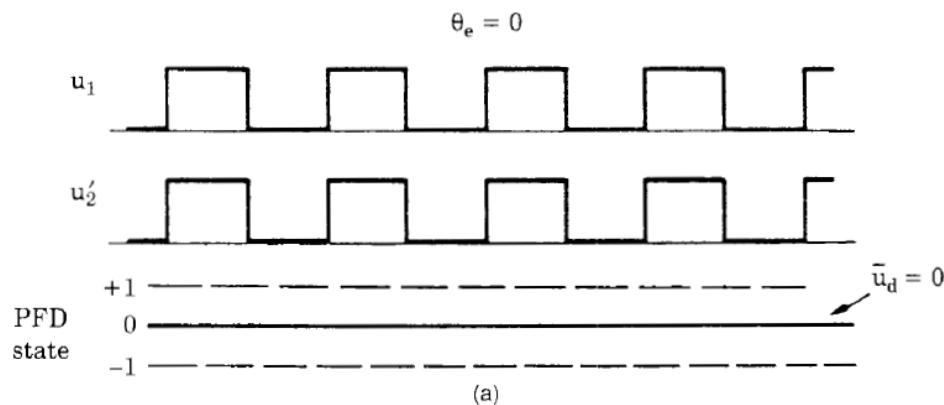


Fig. 5.15. Diagrama de estados para el comparador de fase a frecuencia (PFD)

De acuerdo a la Fig. 5.15, un flanco positivo en u_1 fuerza al PFD a pasar al próximo estado, y un flanco positivo de u_2' , fuerza al PFD al estado anterior.

La Fig. 5.16 muestra las señales que se obtienen como resultado del circuito de la Fig. 5.14.



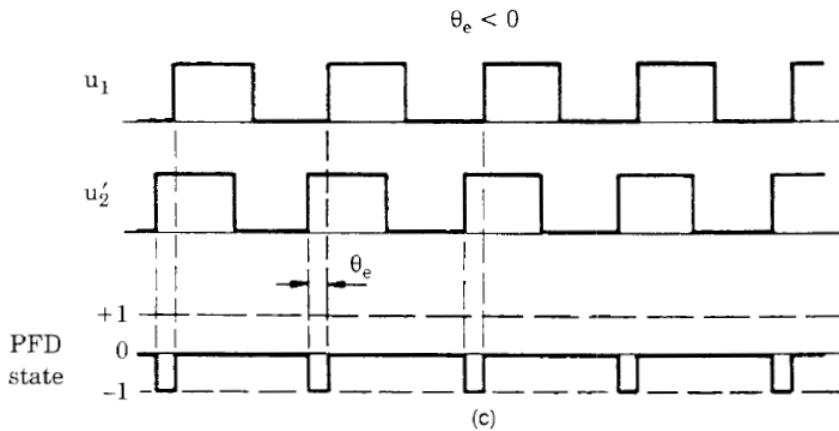


Fig. 5.16. Formas de onda para el comparador de fase a frecuencia (PFD). (a) error de fase cero, (b) error de fase positivo; (c) error de fase negativo

En la Fig. 5.16.a, el error de fase es cero. En estas condiciones, los flancos positivos aparecen en el mismo tiempo, y el PFD tendrá una salida cero permanentemente.

En la Fig. 5.16.b, u_1 tiene un flanco positivo antes que u_2' , y el PFD cambia de estado al siguiente.

En la Fig. 5.16.c, u_2' tiene un flanco positivo antes que u_1 , y el PFD cambia de estado al anterior.

Si el error de fase se restringe en el rango $-2\pi < \theta_e < 2\pi$, la señal de salida promedio es

$$\bar{u}_d = k_d \theta_e \quad (5.12)$$

Este comparador tiene grandes ventajas cuando el PLL no está enganchado, sobretodo cuando la frecuencia de referencia está muy alejada de la salida del VCO ω_2' .

Si asumimos que la frecuencia de referencia ω_1 es mayor que la frecuencia de salida ω_2' , la señal de salida ω_1 genera más transiciones positivas por unidad de tiempo que la señal ω_2' . En estas condiciones, los estados posibles son 0 y 1, pero nunca sería -1. Si la frecuencia de referencia ω_1 es significativamente mayor que la frecuencia de salida ω_2' , la señal de salida estará en el estado 1 la mayor parte de tiempo.

Si la frecuencia de referencia ω_1 es menor que la frecuencia de salida ω_2' , los estados posibles son -1 y 0.

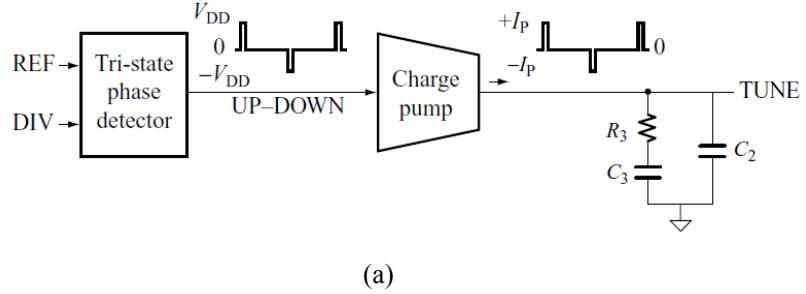
Si la frecuencia de referencia ω_1 es significativamente menor que la frecuencia de salida ω_2' , la señal de salida estará en el estado -1 la mayor parte de tiempo.

La señal de salida \bar{u}_d varía con el error de frecuencia $\Delta\omega = \omega_1 - \omega_2'$ cuando el PLL no está enganchado.

También se podría llamar detector de fase-frecuencia.

5.5.1.7. Detector de fase a frecuencia (PFD) y bomba de carga (CP)

El diagrama esquemático del comparador de fase a frecuencia PFD (Phase-frequency Detector) y bomba de carga (Charge Pump) se muestra en la Fig. 5.17.



(a)

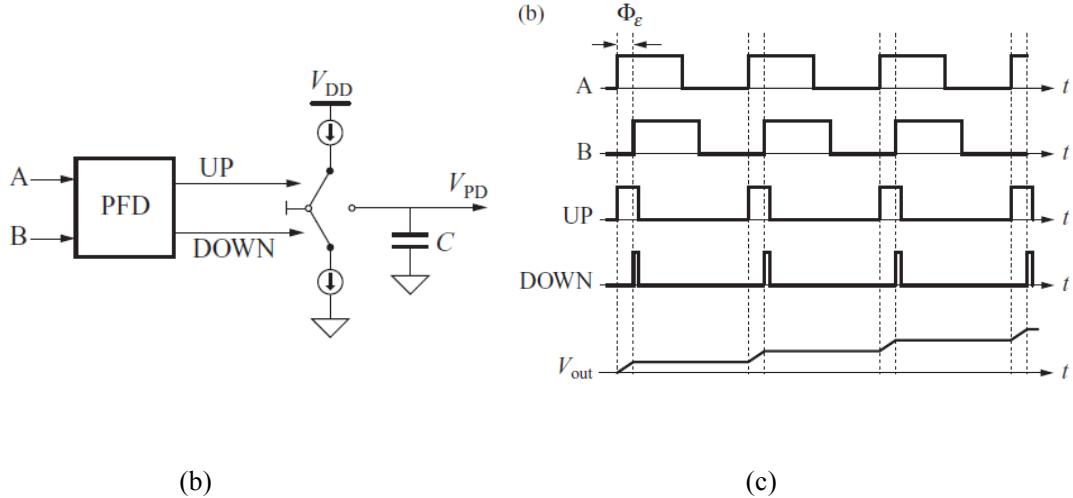


Fig. 5.17. Comparador de fase a frecuencia (PFD) y bomba de carga (CP). (a) Diagrama en bloques, (b) Circuito esquemático simplificado, (c) diagrama de señales [6]

Este comparador de fase incorpora a la salida de PFD un circuito bomba de carga como fuente de corriente, y luego un integrador. Las salidas de UP/DOWN alimentan los interruptores activando/desactivando las fuentes de corriente. Esta fuente de corriente, alimenta el capacitor integrador.

Cuando el lazo del PLL está cerrado, el error es cero, y en esa situación, ambas fuentes están en tercer estado, y la entrada del integrador recibe señal cero. Esto implica detención del valor de tensión al valor actual.

La ventaja de este circuito es la capacidad de auto rastreo. Si la diferencia de frecuencia $\Delta\omega = \omega_1 - \omega_2$ es muy grande, la tensión se satura positivamente o negativamente, dependiendo de la diferencia hasta llegar a igualar las frecuencias. Si $\omega_1 = \omega_2$, entonces la tensión de salida es proporcional a la diferencia de fase.

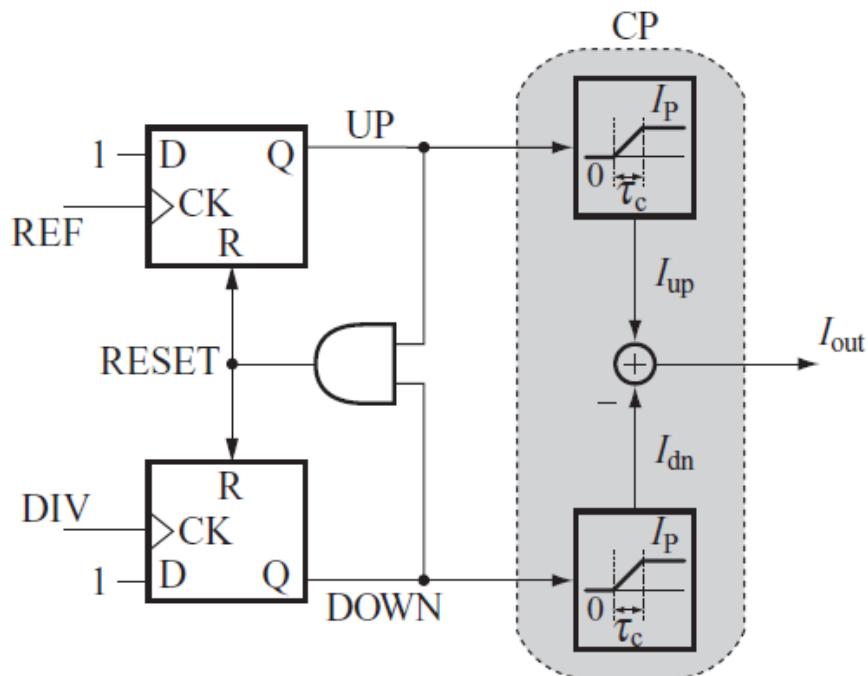
De esta manera, la salida del comparador de fase con integrador, puede dirigir al VCO a acercar la diferencia de frecuencias hasta igualarlas. Una vez alcanzada la igualdad, la tensión de salida es proporcional a la diferencia de fase, dirigiendo el VCO al error cero.

Este circuito de detector de fase es el más utilizado en los PLL actuales.

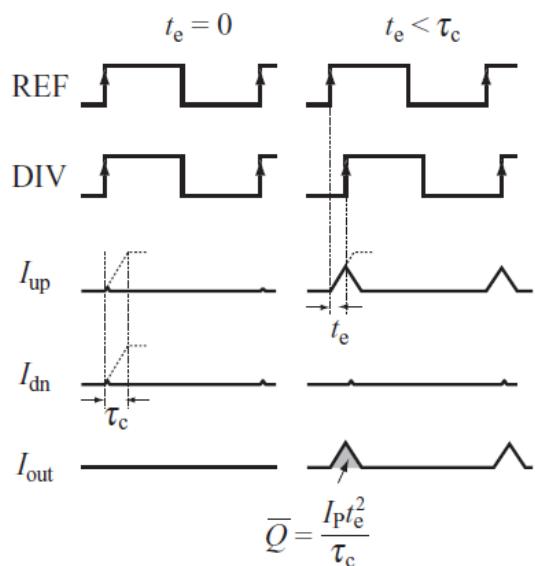
En los circuitos prácticos, la fuente de corriente de la bomba de carga tiene una pendiente acotada, llegando a su valor en un cierto tiempo τ_c . Este transitorio se puede aproximar Ver Fig. 5.18.

En el estado de enganchado, la corriente promedio de salida es cero. Esto obliga a estar alineados los flancos de las entradas REF y DIV, y no se inyecta carga en el filtro, porque las fuentes de corriente no están conectadas.

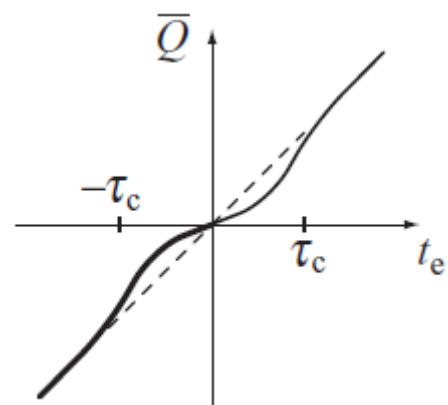
Cuando existe un error de tiempo inferior a τ_c entre REF y DIV, el correspondiente UP o DOWN produce la señal, pero la corriente de la bomba de carga no tiene suficiente tiempo para alcanzar su valor final.



(a)



(b)



(c)

Fig. 5.18. Comparador de fase a frecuencia (PFD) y bomba de carga (CP) con tiempo de crecimiento de la corriente finito. (a) Circuito esquemático simplificado, (b) señales lógicas de error de tiempo cero y de error de tiempo t_e menor que T_c CP tiempo de subida, (c) carga media Q de salida en función del error de tiempo de entrada t_e [6]

Como se muestra en la Fig. 5.18, se produce un pulso de corriente casi triangular, cuya área es menor que el valor esperado y es igual a $\bar{Q} = I_p \tau_e^2 / \tau_c$. Por otra parte, la dependencia en el error de tiempo τ_e de carga no es lineal, como en el caso ideal.

Por errores de tiempo τ_e mayores que τ_c , la carga inyectada durante un período de referencia $Q = \text{IPTE}$ es lineal. La función de transferencia resultante del detector de fase en la aproximación actual a trozos se muestra en la Fig. 5.18. Dos regiones lineales para $|\tau_e| > \tau_c$, y una región plana para $|\tau_e| < \tau_c$ pueden ser identificados en esta función de transferencia. En la región plana, la ganancia es inferior a la ideal y que tiende a cero. Por esta razón, generalmente se llama la zona muerta.

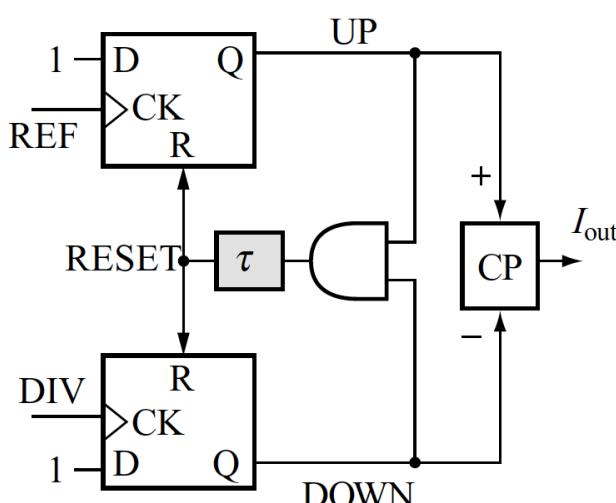
La zona muerta siempre se debe evitar en el diseño de un PLL. La ganancia de bucle abierto sería muy reducida a pequeños errores de fase. En consecuencia, el margen de fase y el ancho de banda se reducirían con problemas de estabilidad potenciales y filtrado de ruido del VCO más bajo, respectivamente. El error de fase en el estado estacionario puede rondar alrededor de la región donde la ganancia es casi cero. Por lo tanto, durante la dinámica de lazo puede haber estados de inactividad, que se traducen en tonos espurios en la salida del VCO. Otra cuestión relacionada con la zona muerta y, en general, a la presencia de cualquier no linealidad en la trayectoria de comparación de fase es el plegado potencial de ruido fuera de banda.

Para eliminar la distorsión de cruce, se agrega un retardo τ , mayor que τ_c , en la compuerta que realiza el reset de los flip-flops. Esta modificación en el PFD puede referirse como la superposición en el PFD de tres estados.

Como se muestra en la Fig. 5.18.b, en el estado estacionario $\tau_e = 0$, los dos pulsos síncronos UP y DOWN se generan con el agregado de τ , cancelándose entre sí. En ese caso, no se inyecta carga neta en el loop. Debido a este retardo, los pulsos de la bomba de carga pueden alcanzar siempre el valor final I_p . Por lo tanto, para errores de tiempo menores que el tiempo de retardo τ_c , ambos pulsos UP y DOWN son retrasados por τ_c , y la carga neta es:

$$\bar{Q} = (I_p / \tau_c) \tau_e^2 + (I_p / \tau_c) \tau_e (\tau_c - \tau_e) = I_p \tau_e \quad (5.13)$$

Esta carga es inyectada en el capacitor, que es el integrador del loop, resultando en una transferencia lineal.



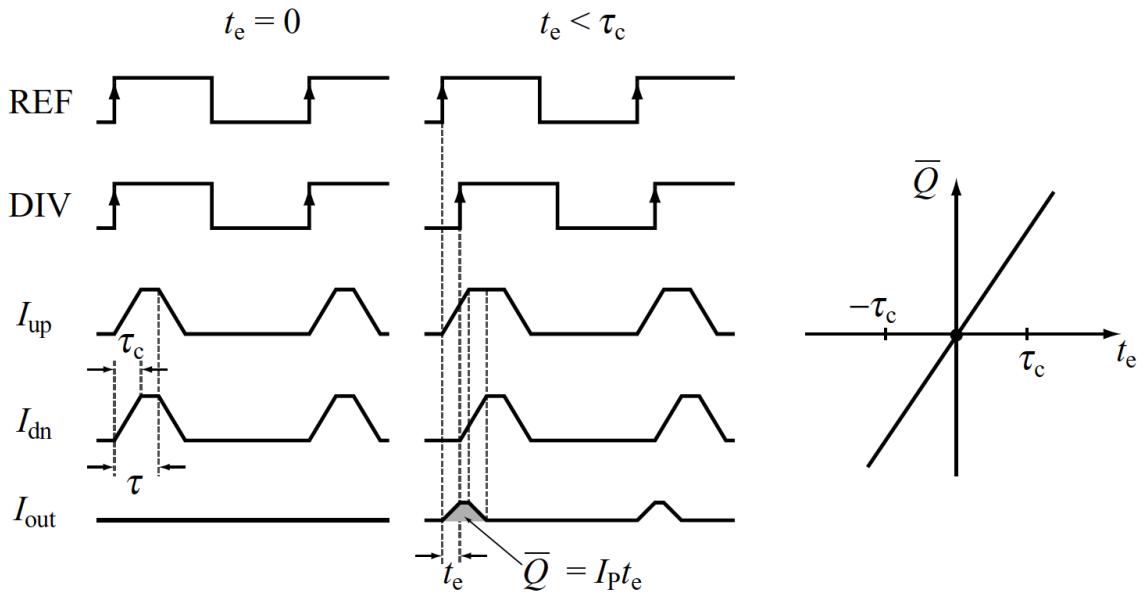


Fig. 5.18.b. Comparador de fase a frecuencia (PFD) y bomba de carga (CP) con eliminación del tiempo muerto por el agregado de un retardo $t>tc$ [6]

5.5.2. Filtro de bucle

El filtro de bucle es básicamente un filtro pasa bajos (supresor de las frecuencias de entrada al VCO no deseadas).

El filtro de bucle tiene dos importantes funciones. Primero, elimina el ruido y cualquier componente de alta frecuencia de la salida del detector de fase, dejando pasar solo la componente de baja frecuencia cuando se está adquiriendo el estado fijo, una continua, o pequeñas variaciones cuando el PLL ya está en estado fijo.

Segundo, es el bloque más importante en la determinación de las características dinámicas del lazo, rango de captura, respuesta en frecuencia y respuesta transitoria. El orden del filtro de bucle determina el orden y estabilidad del lazo del PLL.

Hay dos tipos de filtros, activos y pasivos.

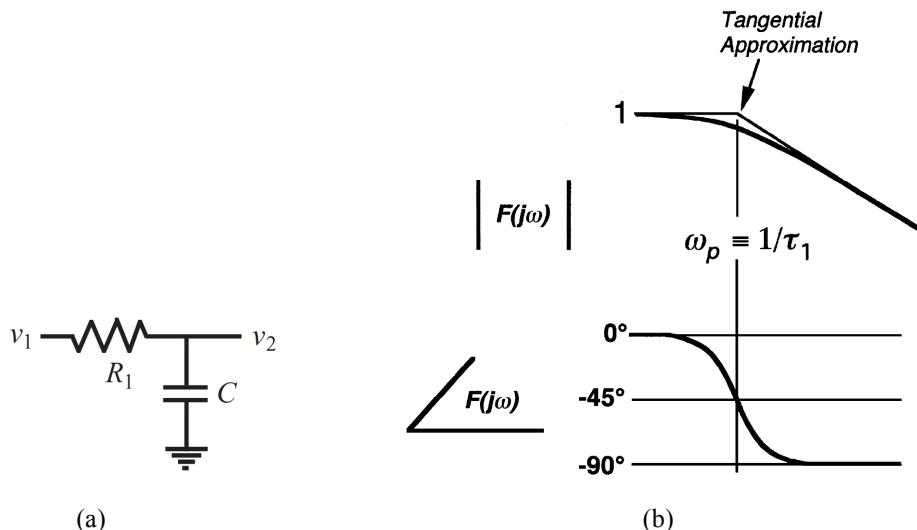


Fig. 5.19. Filtro pasabajos pasivo RC. (a) circuito; (b) diagrama de Bode

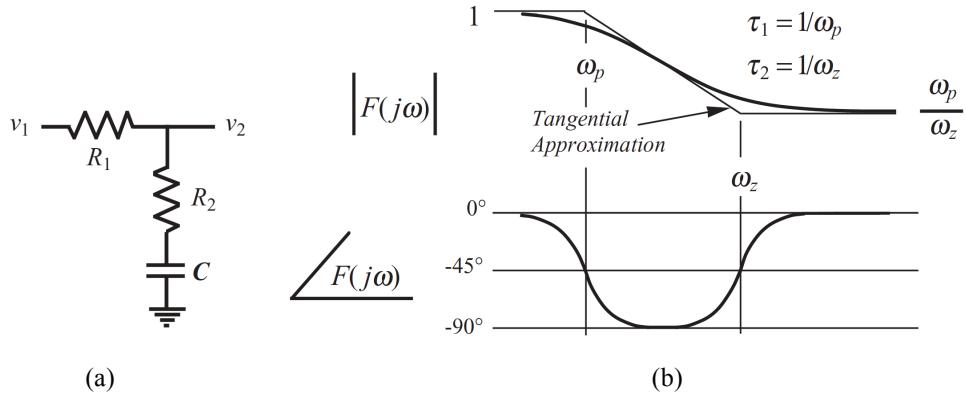


Fig. 5.20. Filtro pasabajas pasivo RRC con retraso-avance. (a) circuito; (b) diagrama de Bode

En algunas aplicaciones se puede utilizar como filtro pasabajas, un simple filtro pasivo como muestra la Fig. 5.19 y Fig. 5.20.

En el caso de la Fig. 5.19,

$$F(s) = \frac{R}{R + 1/sC} = \frac{1}{1 + sRC} = \frac{1}{1 + s\tau_1} \quad (5.14)$$

En el caso de la Fig. 5.20,

$$F(s) = \frac{1 + sR_2C}{1 + s(R_1 + R_2)C} = \frac{1 + s\tau_2}{1 + s\tau_1} \quad (5.15)$$

Los filtros pasivos son lineales, de relativo bajo ruido y rango de frecuencia ilimitado. La desventaja es que no son prácticos de implementar cuando $C > 100 \text{ pF}$ y $R > 100 \text{ k}\Omega$, son difíciles de ubicar un polo en el origen para incrementar el Tipo del sistema.

En el caso de los filtros activos, este emplea un amplificador operacional en el circuito, como se muestra en la Fig. 5.21.

Debido a que la ganancia real G_a de un amplificador operacional no es infinita, generalmente se realiza la siguiente consideración:

$$|Z_F / R_1| \ll |G_a| \quad (5.16)$$

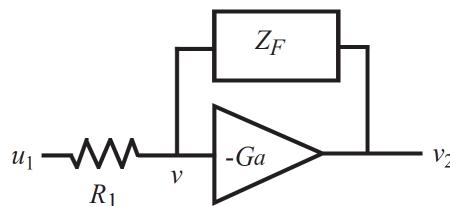
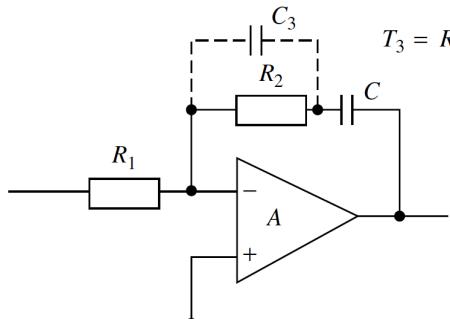
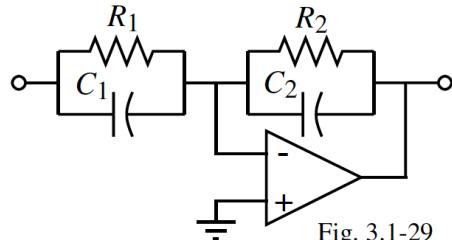


Fig. 5.21. Filtro activo.



(a)



(b)

Fig. 5.22. Ejemplo de circuito con filtro activo.
(a) atraso caso I, (b) atraso caso II

La Fig. 5.22 muestra algunos circuitos de filtros activos utilizados en PLLs.

En el caso de la Fig. 5.22.a,

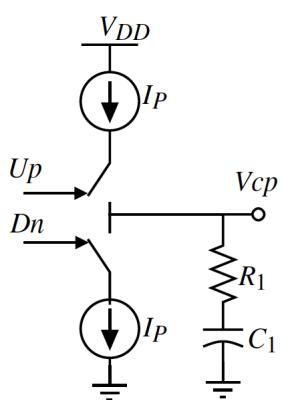
$$F(s) = \frac{1 + sCR_2}{sCR_1 + 1/A} = \frac{1 + s\tau_2}{s\tau_1 + 1/A} \quad (5.17)$$

$$\text{Si } A \gg 1, \text{ entonces } \tau_1 = \left(R_1 + \frac{R_1 + R_2}{A} \right) C \approx R_1 C \text{ y } \tau_2 = R_2 C$$

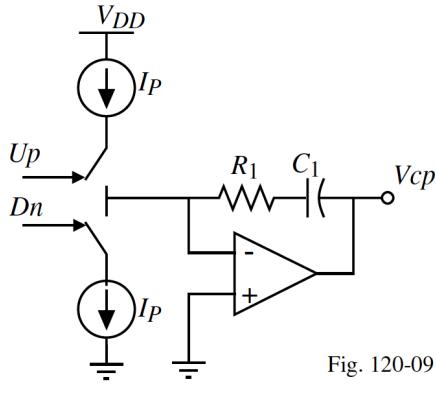
En el caso de la Fig. 5.22.b,

$$F(s) = -\frac{\frac{R_2}{sC_2}}{\frac{R_2 + \frac{1}{sC_2}}{R_1 \frac{1}{sC_1}}} = -\left(\frac{R_2}{R_1}\right) \frac{sR_1C_1 + 1}{sR_2C_2 + 1} = -\left(\frac{R_2}{R_1}\right) \frac{1 + s\tau_1}{1 + s\tau_2} \quad (5.18)$$

La Fig. 5.23 muestra el uso de filtros activos y pasivos con circuitos bomba de carga. En este caso el PLL es de segundo orden. La Fig. 5.24 muestra el uso de filtros activos y pasivos con circuitos bomba de carga para PLLs de tercer orden.



(a)



(b)

Fig. 5.23. Filtro para bomba de carga para PLL de segundo orden
(a) Pasivo, (b) Filtro activo

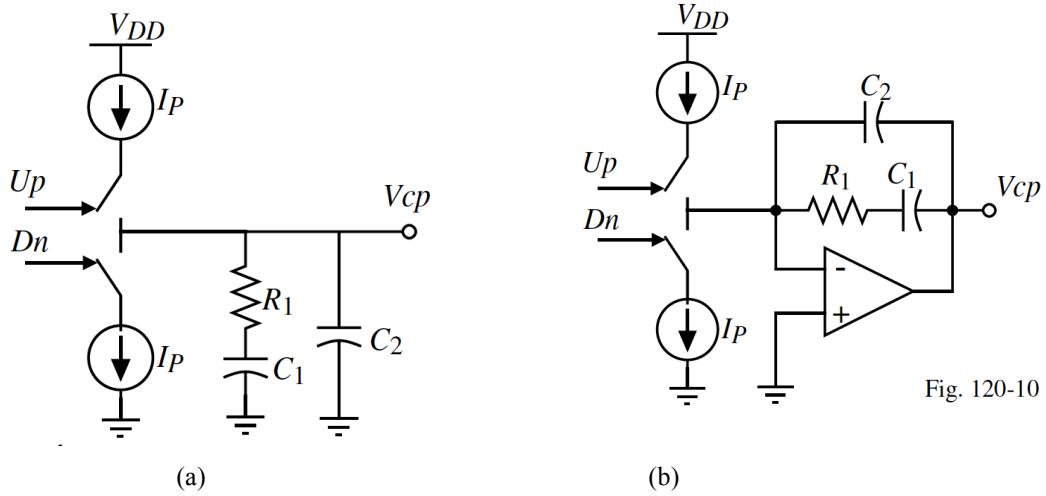


Fig. 5.24. Filtro para bomba de carga para PLL de tercer orden
(a) Pasivo, (b) Filtro activo

En el caso de la Fig. 5.24.a,

$$F(s) = \left(\frac{b}{b+1} \right) \frac{1+s\tau}{s^2 C_1 \left(\frac{s\tau}{b+1} + 1 \right)} \quad (5.19)$$

donde $\tau = R_1 C_1$ y $b = \frac{C_1}{C_2}$

En algunos filtros, el valor de capacidad requerido puede ser excesivo, debido a la baja frecuencia cercana a cero requerida y el valor de resistencia excesivamente grande. En estos casos, puede recomendarse el circuito de la Fig. 5.25. la suma de las corrientes totales es:

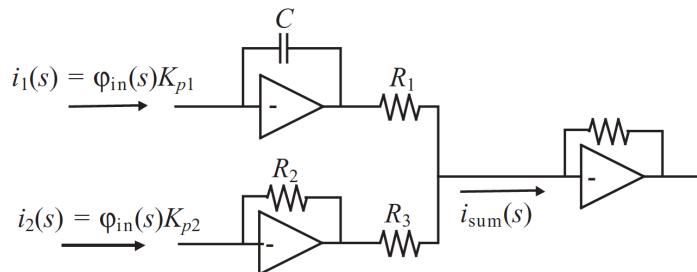


Fig. 5.25. Filtro activo

$$i_{sum}(s) = \varphi_{in}(s) \left[\frac{K_{p1}}{R_1 C s} + \frac{K_{p2} R_2}{R_3} \right] = \varphi_{in}(s) K_{LF} \frac{1 + s / \omega_z}{s} \quad (5.20)$$

Donde

$$K_{LF} = \frac{K_{p1}}{R_1 C} \quad (5.21)$$

$$\omega_z = \frac{K_{p1}}{K_{p2}} \frac{R_3}{R_2} \frac{1}{R_1 C} \quad (5.22)$$

Se bajar la frecuencia ω_z incrementando la relación K_{p1} / K_{p2} o R_3 / R_2 en lugar de incrementar $R_1 C$.

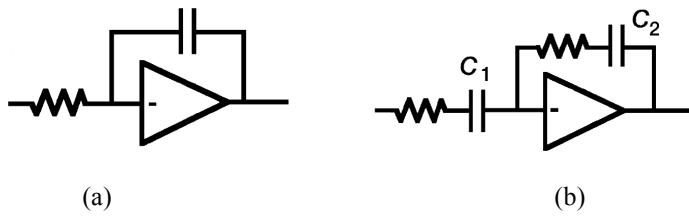


Fig. 5.26. Filtro activos que deben evitarse

Los filtros activos de la Fig. 5.26 tienen serios problemas para ser usados tal cual se muestran. El caso del integrador puro, no hay frecuencia al cual no tenga una transferencia de fase de -90° . El capacitor C_1 en el circuito de entrada puede ocasionar problemas si se necesitara un valor estacionario distinto de cero.

Hay que tener cuidado en el uso de capacitores para los filtros. Hay que tener en cuenta la corriente de fuga, que puede resultar en una resistencia equivalente en paralelo con el capacitor; especialmente en los electrolíticos (tantalio) utilizados para lograr grandes valores de capacidad y es notable a altas temperaturas. También hay que tener en cuenta es la absorción dieléctrica, que puede provocar que la tensión en el capacitor continúe variando luego de que el flujo de corriente ha cesado. Los capacitores de polipropileno pueden considerarse en estas aplicaciones.

5.5.3. VCO

El VCO (Voltage-controlled oscillator) es un oscilador cuya frecuencia es controlada por una tensión. Las variables de sintonización pueden ser capacitores variables (varactores), corriente, tensión o la fuente de alimentación. Por otro lado, el rol de un sintetizador de frecuencias es generar un rango de frecuencias a partir de una frecuencia fija de referencia. Para este propósito se adopta el VCO como generador de frecuencias. Si el VCO se implementa con un circuito de sintonía LC, el VCO puede ser sintonizado a la frecuencia deseada ω_o accionando sobre el capacitor controlado por tensión ubicado sobre el circuito LC. En ese caso queda:

$$V_o(t) = V_0 \cos(\omega_o t + \phi_o) \quad (5.23)$$

con $\omega_o = \omega_c + K_{VCO} V_{tune}$

En casos prácticos, el valor de V_{tune} es el valor de tensión que corresponde al medio del rango dinámico. ω_c es la frecuencia de corrida libre.

Cambiando V_{tune} la frecuencia de salida del VCO varia por el rango de sintonía. El término K_{VCO} está medido en rad/(sV), usualmente llamado *ganancia* del VCO. Algunas veces no es constante, y es función de V_{tune} .

En algunos casos la utilización de un solo VCO no es suficiente. Cuando la frecuencia del VCO debe tener una precisión de pocas partes-por-millón, esto no sería posible lograr con un simple circuito LC.

Si se utilizan dos réplicas del VCO, se necesitarán dos valores diferentes de V_{tune} para generar la misma frecuencia. La frecuencia de oscilación del VCO es pobre, sufriendo ruido de fase y corrimientos de frecuencia lentos temporales. Estas limitaciones se solucionan *enganchando* el VCO a la referencia que es muy estable.

Hay muchos tipos de VCO, pero los más comunes son los astables o de relajación y el oscilador senoidal LC sintonizado por diodo varicap. También pueden ser osciladores de relajación, osciladores de anillo, y de síntesis digital directa (Direct digital synthesis, DDS).

El diseño de los osciladores no es trivial. A medida que se incrementa la amplitud, aparecen la saturación y no linealidades que impiden la estabilidad del oscilador. Algunos osciladores integrados tienen el resonador LC integrados, otros no.

A continuación se muestra un multivibrador astable controlado por tensión (MC4324, LM566, XR-2206, 8038, etc.) La variación de la frecuencia con la tensión es bastante lineal y la salida del VCO es una onda cuadrada, lo cual es una ventaja para el comparador de fase por los flancos abruptos.

La mayoría son de capacitor único, pero muchos más complicados que el que se muestra en figura, pero se basan en el mismo principio.

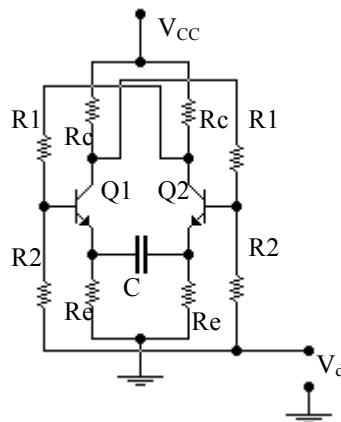


Fig. 5.27. Multivibrator

En los circuitos utilizados, las R_E se substituyen por fuentes de corriente, lo que hace que las exponenciales de carga y descarga del capacitor C , se transforman en rampas, resultando que el período T sea una función lineal de la tensión de control V_d .

El oscilador LC sintonizado con diodo varicap se utiliza en alta frecuencia, o cuando se desea una forma de onda senoidal. También se usan osciladores a cristal sintonizado por diodo varicap, para casos muy específicos, donde se desea alta estabilidad y bajo ruido, pero adolecen de tener un rango de sintonía muy limitado.

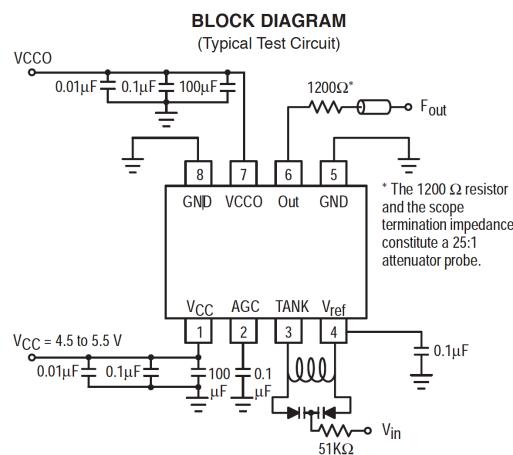


Fig. 5.28. VCO con circuito tanque LC con MC12048 [Motorola datasheet]

La Fig. 5.28 muestra un VCO utilizado para aplicaciones de hasta 1.1GHz. El ruido de fase mostrado en la hoja de datos es de -90 dBc/Hz a 25 kHz típico.

La característica típica de un VCO es la siguiente:

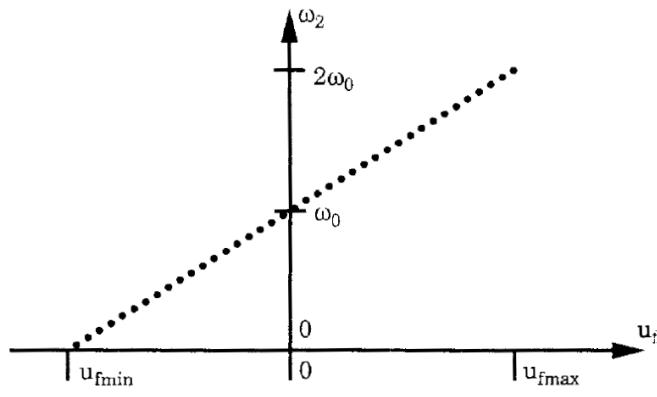


Fig. 5.29. Característica ideal de un VCO

$$\omega_2 = \omega_0 + K_0 u_f \quad (5.24)$$

La Fig. 5.29 muestra la característica típica ideal de un VCO, donde puede estar centralizado sobre el voltaje cero, o con un offset.

Los capacitores más utilizados en los VCOs son los siguientes:

- ✓ Capacitores de juntura p-n
- ✓ Capacitores standard MOS
- ✓ Capacitores MOS de acumulación
- ✓ Capacitores poly-poly y metal-metal

Tabla 1. Diferentes tipos de VCOs

Tipo de Circuito	Círculo Resonante	Rango de sintonía	Ruido de fase
Oscilador RC	Resistor y capacitor	Amplio	Pobre
VCO común LC	Inductor y Capacitor	Amplio	Justo
Stripline VCO	Microstrip	Amplio	Justo
SAW (Surface acoustic wave)	Filtro SAW	Angosto	Excelente
VXCO	Cristal	Muy angosto	El mejor
CRO (ceramic resonator osc)	Cerámico	Amplio	Excelente
DRO (dielectric resonator osc)	Dielectric	Amplio	Excelente
VCO YIG	Esfera YIG	Muy amplio	Justo
VCO silicio	Se usa con cables espirados	Muy amplio	Justo

La Fig. 5.30 muestra un ejemplo del VCO con oscilador Clapp.

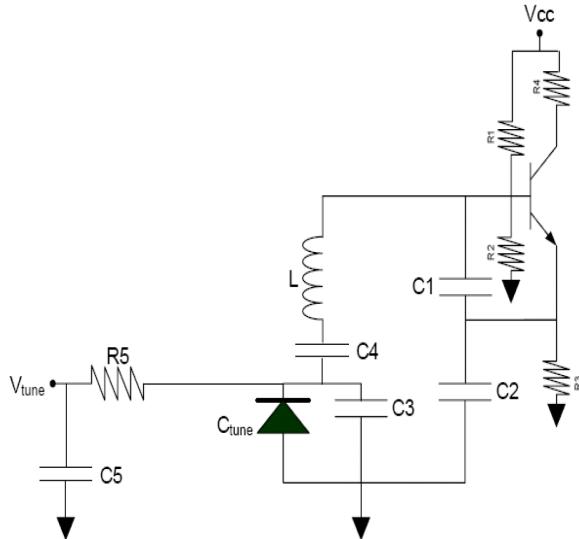


Fig. 5.30. VCO con oscilador Clapp

Tabla 2. VCO con oscilador Clapp

Componente	Propósito primario	Valor
<i>Ctune</i>	Diodo varactor, capacitancia variable con voltaje	32pf @ 0V 15pf @ 2V 12,5pf @ 3V
<i>TI</i>	Ampificador	
<i>L</i>	Inductor para el tanque	56nH
<i>C1 y C2</i>	Acoplan la salida en el tanque y forman parte resonante Del mismo	27pf
<i>C3</i>	Mejora el ruido de fase debido a la resistencia del diodo varactor estando en paralelo	
<i>C4</i>	Bloqueo de CC para no perjudicar la polarización del transistor	100pf
<i>C5</i>	Trabaja con R5 para prevenir ruido desde el VCO.	
<i>R1,R2,R3,R4</i>	Polarización del transistor	10KΩ, 8,2KΩ, 10KΩ, 75Ω
<i>R5</i>	Aísla el tanque del VCO del filtro para que la capacitancia del filtro no varíe la frecuencia del VCO	10KΩ

5.5.4. Divisor de frecuencia programable

El divisor de frecuencias programable es un divisor de frecuencias variable que permite la comparación con la frecuencia de referencia. Los dos ítems importantes en la selección del divisor son la alta frecuencia de entrada y la programabilidad del factor de división. Un gran valor de división se contrapone con los requerimientos de alta frecuencia de entrada.

Los divisors digitales se basan en flip-flops, latches, usando lógicas estáticas o dinámicas.

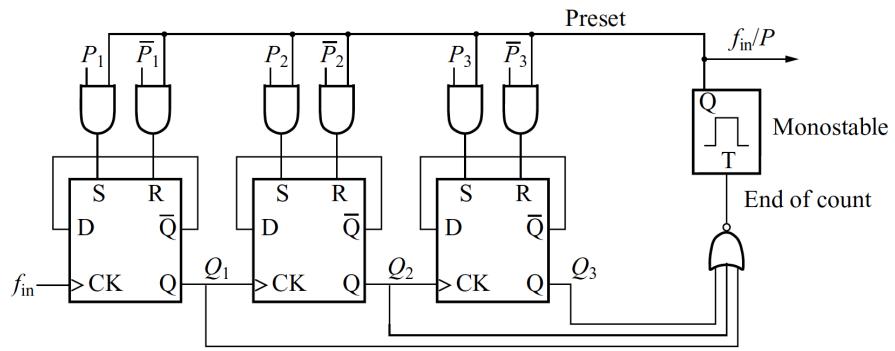


Fig. 5.31. Contador síncrono de módulo P, preseable

El contador de módulo-8 de la Fig. 5.31 es un ejemplo muy simple de programación de un contador desde $Q_3Q_2Q_1 = 111$ to 000. El contador comienza por el estado predefinido por el número preseable $P_3P_2P_1$ y este se desborda cuando alcanza el estado 000.

La principal limitación del divisor preseable asíncrono es la máxima frecuencia de operación, por lo que hay disponibles dos tipos de divisores: baja frecuencia y alta frecuencia. Se pueden lograr aumentos en la frecuencia máxima haciendo las funciones lo más simples posibles. En este contexto, el divisor más simple es el divisor fijo o de pocos valores de división. Este divisor podría ponerse antes del divisor programable. Este divisor previo se llama prescaler. Con el prescaler se puede bajar la frecuencia para que el divisor programable pueda funcionar dentro de su ancho de banda (usualmente hasta 100MHz). Para mayores frecuencias, se utiliza un prescaler de doble o mas módulos o técnicas que serán descritas en sintetizadores de frecuencia.

5.6. Función de transferencia del PLL

5.6.1. Modelo dinámico del PLL, simple lazo

La tarea principal del PLL es mantener la coherencia entre la frecuencia de entrada (referencia) y la de salida, vía comparación de la fase.

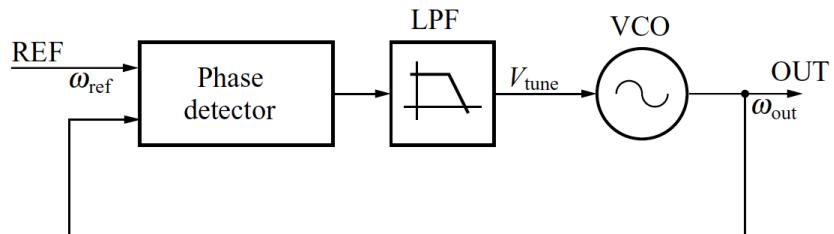


Fig. 5.32. Realimentación básica de un PLL con el divisor N=1

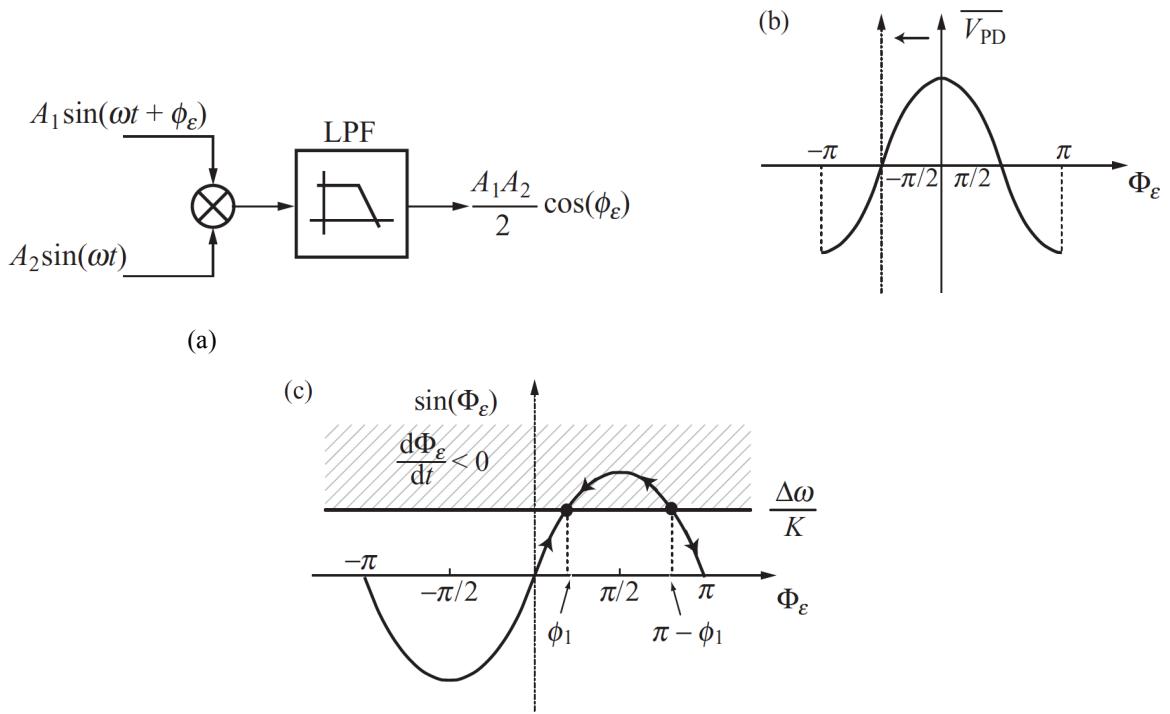


Fig. 5.33. Detector de fase mezclador. (a) circuito esquemático, (b) característica estática, (c) representación gráfica de la solución de estado estacionario de la ec. 5.32

Si se asume un detector mezclador de la Fig. 5.32, que las señales de entrada y salida en el caso de PLL enganchado, son tensiones harmónicas con una modulación de fase adicional, se puede expresar:

$$v_i(t) = A_1 \sin[\omega t + \phi_e] \quad (5.24)$$

donde ϕ_e varía lentamente

$$v_o(t) = A_2 \sin(\omega t) \quad (5.25)$$

$$A_1 \sin[\omega t + \phi_e] \cdot A_2 \sin(\omega t) = \frac{A_1 A_2}{2} \cos[2\omega t + \phi_e] + \frac{A_1 A_2}{2} \cos[\phi_e] \quad (5.26)$$

Si el filtro pasabajos corta las frecuencias altas, la salida depende de la diferencia de fase ϕ_e .

La Fig. 5.33.b muestra la característica entrada-salida del mezclador. La curva muestra la dependencia con los valores de DC de salida del mezclador en función del error de fase. Se puede notar que el error es cero si las dos señales tienen la misma frecuencia y están en cuadratura $\phi_e = \pi/2$ or $-\pi/2$. Por esto, es mas conveniente tener en cuenta este corrimiento de ahora en más, reescribiendo:

$$v_{ref}(t) = A_{ref} \sin[\Phi_{ref}(t)] = A_{ref} \sin[\omega_{ref}t + \phi_{ref}] \quad (5.27)$$

$$v_{out}(t) = A_{out} \cos[\Phi_{out}(t)] = A_{out} \cos[\omega_{out}t + \phi_{out}] \quad (5.28)$$

También como puede observarse, la salida del mezclador depende de las dos amplitudes. Asumiendo amplitudes unitarias, la salida del filtro es:

$$V_{tune}(t) = K_{PD} \sin(\Phi_{ref} - \Phi_{out}) = K_{PD} \sin(\Phi_e) \quad (5.29)$$

donde en K_{PD} es la ganancia de conversión del mezclador, y $\Phi_e = \Phi_{ref} - \Phi_{out}$ es el error de fase. Si las amplitudes no son iguales, la ganancia queda $K_{PD}A_{ref}A_{out}$. En la Fig. 5.33.b se muestra la ganancia sobre el eje-y y la característica de este tipo de mezclador sobre una fase de 2π .

La derivada de $\Phi_{out}(t)$ es la frecuencia instantánea de la salida del VCO, y puede ser escrita en términos de la frecuencia de corrida libre ω_c y el valor de sintonía de entrada V_{tune} .

$$\frac{d\Phi_{out}}{dt} = \omega_c + K_{VCO}V_{tune}(t) \quad (5.30)$$

Utilizando una expresión similar para Φ_{ref} , la derivada temporal del error de fase Φ_e es

$$\frac{d\Phi_e}{dt} = \frac{d\Phi_{ref}}{dt} - \frac{d\Phi_{out}}{dt} = \omega_{ref} - \omega_c - K_{VCO}V_{tune}(t) \quad (5.31)$$

$$\frac{d\Phi_e}{dt} = \Delta\omega - K \cdot \sin[\Phi_e(t)] \quad (5.32)$$

donde $\Delta\omega = \omega_{ref} - \omega_c$ y $K = K_{VCO}K_{PD}$

La ecuación 5.32 muestra que es un sistema no lineal, debido al mezclador.

Si el sistema entra en estado estacionario, $d\Phi_e/dt = 0$, y el error de fase está dado por:

$$\sin(\Phi_e) = (\Delta\omega / K)$$

Esta condición es representada gráficamente en la Fig. 5.33.c. El lazo puede engancharse sólo si $|\Delta\omega / K| < 1$.

En estado estacionario, cuando $t \rightarrow \infty$, $\omega_{out} = \omega_{ref}$ y el exceso del error de fase $\Phi_e = \sin^{-1}(\Delta\omega / K)$ y tiene dos soluciones, ϕ_1 y $\pi - \phi_1$ en el rango $[-\pi, \pi]$.

Si $K > 0$ y $[\sin(\Phi_e)] > (\Delta\omega / K)$ entonces:

$$\frac{d\Phi_e}{dt} = \Delta\omega - K \cdot \sin[\Phi_e(t)] < 0$$

Entonces, en la región de la Fig. 5.33.c, el error de fase decrece. La única condición estable es en ϕ_1 .

Si $K < 0$ entonces la única región estable es para un error de fase de $\pi - \phi_1$. De ahora en mas, se asume $K > 0$.

El límite de frecuencia, o rango de sostén (hold-in range) $\Delta\omega = \pm K$ setea el PLL en el rango de enganche.

Si $|\Delta\omega / K| > 1$ el PLL nunca logra engancharse.

Si $|\Delta\omega / K| < 1$ el PLL logra engancharse.

Si aproximamos la ec. 5.32 haciendo $\sin[\Phi_e(t)] \approx \Phi_e(t)$, entonces

$$\frac{d\Phi_e}{dt} = \Delta\omega - K \cdot \Phi_e(t) \quad (5.33)$$

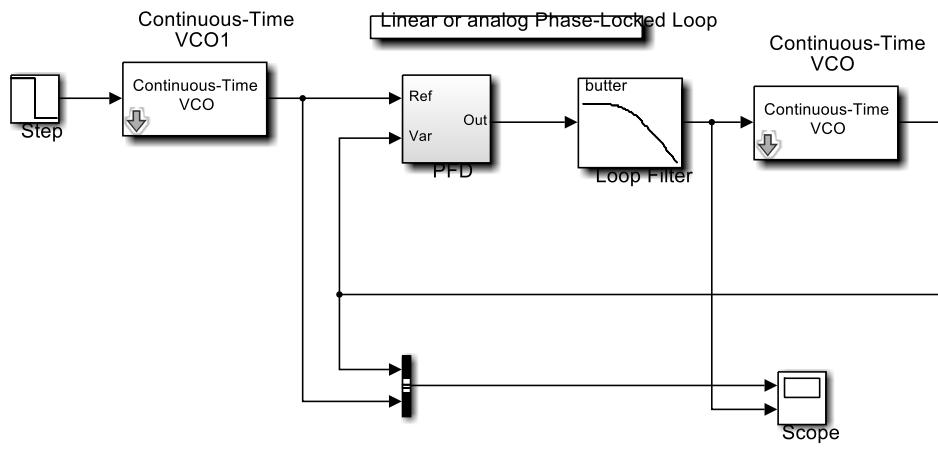
Cuya solución es:

$$\Phi_e(t) = e^{-Kt} \left[\Phi_{e0} - \frac{\Delta\omega}{K} \right] + \frac{\Delta\omega}{K} \quad (5.34)$$

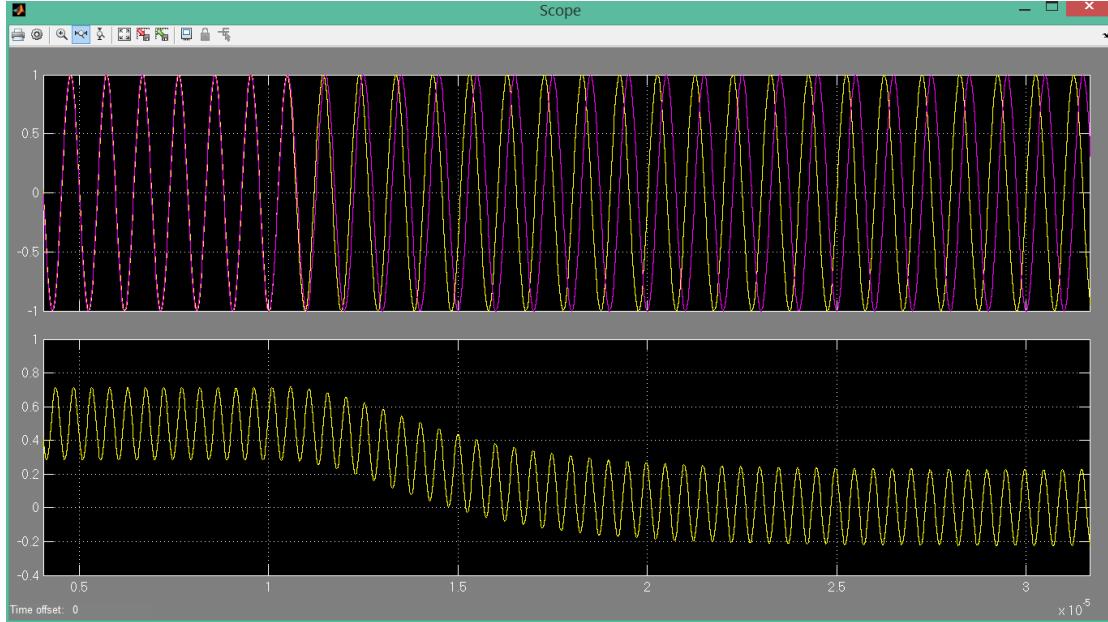
Esto significa que el error comienza con Φ_{e0} y va aproximándose a $\Delta\omega / K$. La constante de transición es seteada por K.

Este tipo de aproximación lineal se utiliza para describir el transitorio del PLL llamado régimen de seguimiento (tracking regime), y es el caso donde se inducen pequeñas variaciones de frecuencia en un PLL ya enganchado. La aproximación también asume que el comparador de fase trabaja en la región lineal y que las componentes de alta frecuencia son filtrados por el filtro pasa bajos.

La Fig. 5.34 muestra un ejemplo de simulación con Simulink (linearpll2) de un PLL con detector de producto, un filtro de BW de orden 1y un VCO tomado del modelo de Simulink. En la Fig. 5.34.b se muestra que para el estado estacionario, el error de fase es 90DEG.



(a)



(b)

Fig. 5.34. (a) Modelo utilizado; (b) Se muestra que para el estado estacionario, el error de fase es 90DEG.

5.6.2. Función de transferencia del PLL simple

Para investigar la función de transferencia de un PLL simple, se analiza cada bloque por separado en el dominio de Laplace para llegar a la función de transferencia, utilizando los métodos de sistemas lineales.

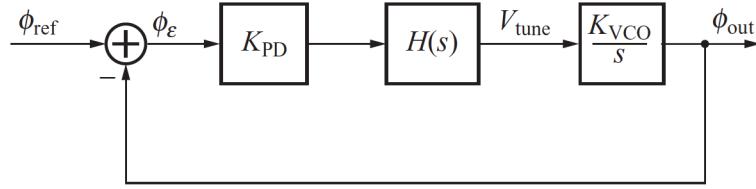


Fig. 5.35. Modelo lineal del PLL con el divisor N=1

$$G_{loop}(s) = -K_d F(s) K_O / s \quad (5.35)$$

5.6.2.1. Caso del filtro RC

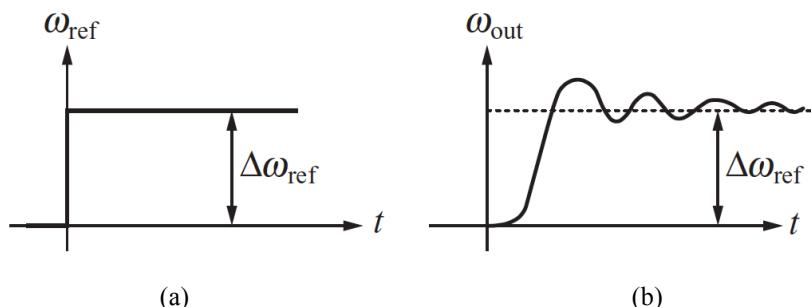
Con el filtro pasa bajos simple RC (Fig. 5.37.a), y simplificando $K_d = K_{PD}$ y $K_{VCO} = K_O$

$$F(s) = \frac{1}{1 + s\tau} \quad (5.36)$$

$$\frac{\phi_{out}(s)}{\phi_{ref}} = \frac{K_d \frac{1}{1 + s\tau} \frac{K_O}{s}}{1 + K_d \frac{1}{1 + s\tau} \frac{K_O}{s}} \quad (5.37)$$

$$\frac{\phi_{out}(s)}{\phi_{ref}} = \frac{K_d K_O / \tau}{s^2 + s / \tau + K_d K_O / \tau} = \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (5.38)$$

El sistema tiene dos polos con $\omega_n = \sqrt{K / \tau}$ y $\xi = \frac{1}{2\sqrt{K\tau}}$, donde $K = K_d K_O$



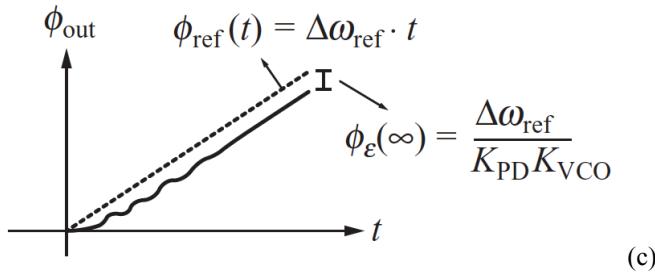


Fig. 5.36. Sistema de segundo orden. (a) entrada escalón de frecuencia, (b) variación de la frecuencia de salida correspondiente a la entrada escalón, (c) exceso de señal de fase

Si la variación de la referencia es un escalón de frecuencia de referencia, se puede representar el sistema frente a este escalón en el dominio de la transformada de Laplace, según se muestra en la Fig. 5.36, y es representada por $\omega_{ref}(s)$, mientras $\omega_{out}(s)$ denota la transformada de Laplace de la variación de la salida frente al escalón.

Debido a que $\omega_{out}/\omega_{ref} = s\phi_{out}/s\phi_{ref} = \phi_{out}/\phi_{ref}$, entonces la ec. 5.38 es equivalente para la relación $\omega_{out}/\omega_{ref}$. Si la frecuencia de referencia es un escalón de frecuencia, con una variación de $\Delta\omega_{ref}(s) = \omega_{ref}(s)/s$.

El transitorio de salida $\omega_{out}(t)$ sigue la respuesta al escalón de un sistema de segundo orden, alcanzando el valor final en $\omega_{out}(t \rightarrow \infty) = \Delta\omega_{ref}$. En principio, el transitorio $\omega_{out}(t)$ puede ser medido monitoreando la señal de entrada del VCO, que es proporcional al VCO.

El error de fase es $\phi_e = \phi_{ref} - \phi_{out}$, por lo tanto

$$\frac{\phi_e}{\phi_{ref}}(s) = \frac{1}{1 - G_{loop}} = \frac{2\xi}{\omega_n} \frac{s\omega_n^2 \left(\frac{s}{2\xi\omega_n} + 1 \right)}{s^2 + 2\xi\omega_n s + 1} \quad (5.39)$$

El escalón de frecuencia que corresponde a la señal de entrada con una dependencia de la rampa lineal, $\phi_{ref}(s) = \Delta\omega_{ref}(s)/s^2$, y ϕ_{out} , luego del transitorio inicial, se aproxima linealmente con la pendiente ϕ_{ref} .

Para $t \rightarrow \infty$, la diferencia entre ϕ_{out} y ϕ_{ref} pueden ser derivados de la ec. 5.39. Usando el teorema del límite de la transformada de Laplace:

$$\lim_{t \rightarrow \infty} \phi_e(t) = \lim_{s \rightarrow 0} s\phi_e(s), \text{ por lo que}$$

$$\phi_e(t \rightarrow \infty) = \Delta\omega_{ref}/K.$$

La Fig. 5.36.c muestra las señales de fase.

Para evitar sobrepasamiento en el dominio del tiempo grande, el factor de amortiguamiento se ajusta en $\xi = 1/\sqrt{2}$. Esto corresponde a setear $K = 1/(2\tau)$ y además para tener un ancho de banda de bucle cerrado, dado por $\omega_n = \sqrt{2}K$.

Notar que la condición del coeficiente de amortiguamiento setea todos los parámetros del lazo. Este sistema de este tipo tiene muy pocos grados de libertad para acomodar otros requisitos de forma independiente. Para filtrar las perturbaciones de entrada, el ancho de banda de bucle cerrado debe ser estrecho, lo que conduce a un valor

bajo para el producto K y, a su vez, a uno estrecho rango de frecuencias de bloqueo del PLL. Por otro lado, si $K \gg 1/2\tau$, el factor de amortiguamiento puede llegar a ser muy chico, obteniéndose grandes sobrepicos.

La Fig. 5.37 muestra un diagrama de Bode típico de la magnitud de ganancia de bucle abierto, la función de transferencia de entrada a fase de salida y el lugar de las raíces de un PLL con un filtro de un solo polo.

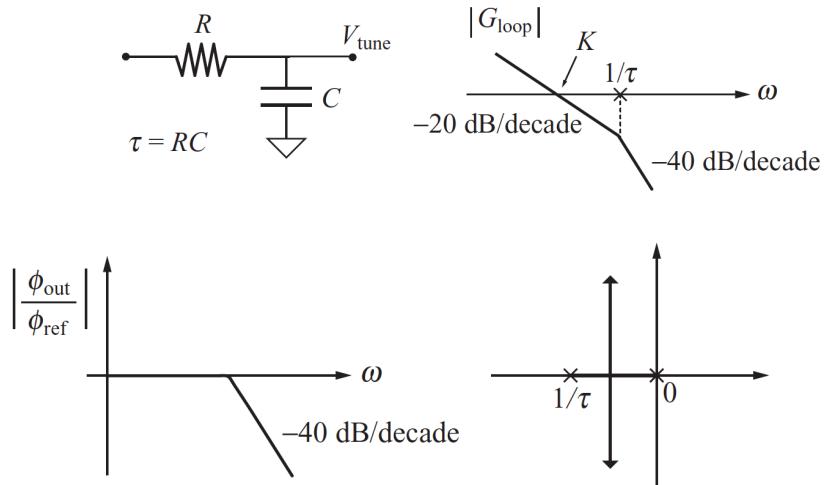


Fig. 5.37. Análisis del filtro pasa bajos de polo simple (a) circuito esquemático pasivo, (b) Ganancia para el lazo abierto, (c) función de transferencia salida/entrada, (d) lugar de las raíces para un PLL de segundo orden

5.6.2.2. Caso del filtro RRC

Se puede agregar un grado de libertad, agregando un cero en el filtro de lazo. En este caso el filtro tiene la siguiente función de transferencia:

$$F(s) = \frac{1+s\tau_2}{1+s\tau_1} \quad (5.40)$$

La Fig. 5.38 muestra el circuito esquemático, G_loop, la magnitud de fase de la función de transferencia, y el lugar de las raíces.

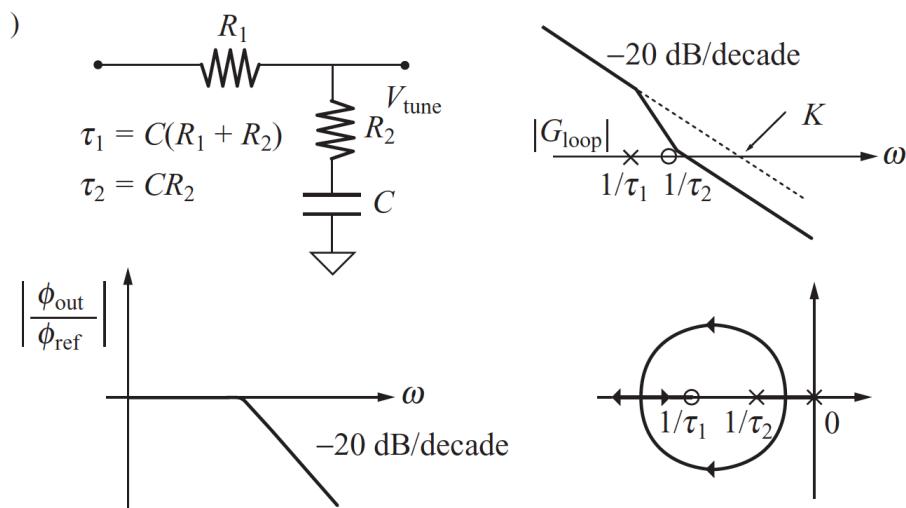


Fig. 5.38. Análisis del filtro pasa bajos de polo y cero (a) circuito esquemático pasivo, (b) Ganancia para el lazo abierto, (c) función de transferencia salida/entrada, (d) lugar de las raíces para un PLL de segundo orden

En este caso, la función de transferencia no tiene sobrepasamiento si la ganancia de la trayectoria directa (open-loop gain) es alta y lleva a los polos de lazo cerrado a ser reales. La ganancia de la trayectoria directa $G(s)$ y función de transferencia en este caso es:

$$G(s) = \frac{K_d K_O (1 + s\tau_2)}{s(1 + s\tau_1)} \quad (5.41)$$

$$\begin{aligned} \frac{\phi_{out}}{\phi_{ref}}(s) &= \frac{(K/\tau_1)(1 + s\tau_2)}{s^2 + s(1 + K\tau_2)/\tau_1 + K/\tau_1} \\ \frac{\phi_{out}}{\phi_{ref}}(s) &= \frac{s\omega_n(2\xi - \omega_n/K) + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \end{aligned} \quad (5.42)$$

El sistema tiene dos polos con $\omega_n = \sqrt{K/\tau_1}$ y $\xi = \frac{\omega_n}{2} \left(\tau_2 + \frac{1}{K} \right)$, donde $K = K_d K_O$

En este caso, los parámetros K , ω_n y ξ pueden ser seteados de manera independiente.

5.6.2.3. Caso del filtro activo

Para el caso de un filtro activo de la Fig. 5.22.a,

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{K(1 + s\tau_2)}{s^2\tau_1 + s(K\tau_2 + 1/A)/\tau_1 + K} \quad (5.43)$$

El sistema tiene dos polos con $\omega_n = \sqrt{K/\tau_1}$ y $2\xi\omega_n = \frac{K\tau_2 + 1/A}{\tau_1}$, y $\xi = \omega_n \frac{\tau_2}{2}$

La curva característica de un sistema de segundo orden tipo 1 y 2 se muestran en las Fig. siguientes:

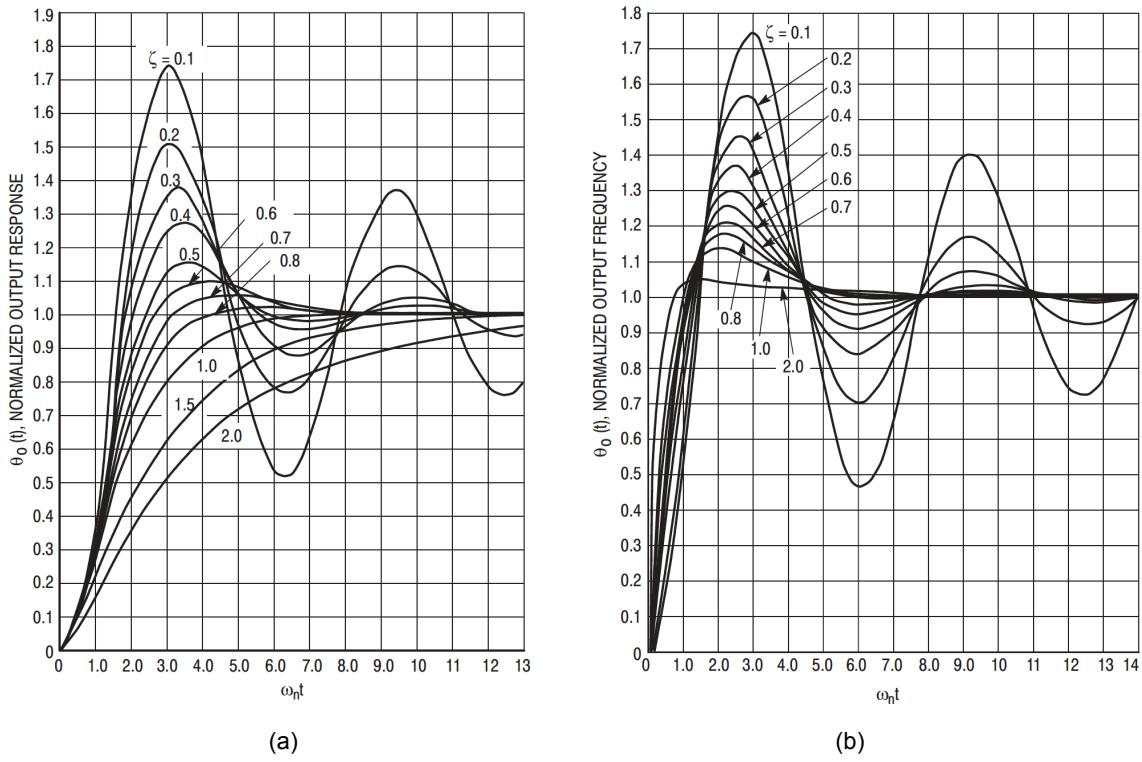


Fig. 5.39. Curva característica de un sistema de segundo orden tipo (a) 1 y (b) 2

5.7. PLL como sintetizador de frecuencia

La Fig. 5.40 muestra el diagrama en bloques de un sintetizador de frecuencias con un divisor por N-entero (Integer-N). En este caso,

$$\omega_{out} = N \cdot \omega_{ref} \quad (5.44)$$

El PLL puede sintetizar una frecuencia de salida proporcional a N, con un salto mínimo de la frecuencia de salida de ω_{ref} para el caso del N-entero (y ω_{ref}/P para PLL N-Fraccionales). A este tipo de PLL, desde el punto de vista de un lazo cerrado, se le suele llamar “lazo cerrado con retorno no directo”.

En ese caso las ec. 5.35 en adelante cambian por:

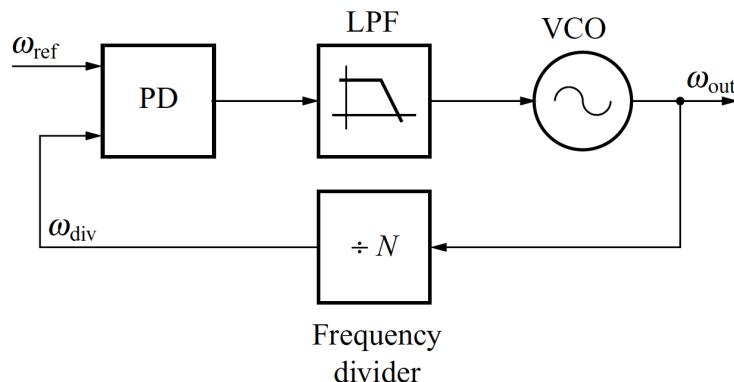


Fig. 5.40. PLL con divisor por N entero (Integer-N PLL)

$$G_{loop}(s) = -K_d F(s) K_o / s.$$

Con el filtro pasa bajos de la ec. 5.36, o ec. 5.40:

$$F(s) = \frac{1}{1+s\tau} ; \quad F(s) = \frac{1+s\tau_2}{1+s\tau_1}$$

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{K_d F(s) \frac{K_o}{s}}{1 + K_d F(s) \frac{K_o}{s} \frac{1}{N}} \quad (5.44)$$

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{K_d F(s) K_o}{s + \frac{K_d F(s) K_o}{N}} \quad (5.45)$$

5.7.1. Caso del filtro RC

Para el caso de la ec. 5.36 queda:

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{\frac{K_d K_o}{s(1+s\tau)}}{s + \frac{1}{N} \frac{K_d K_o}{s(1+s\tau)}} = \frac{\frac{K_d K_o}{s(1+s\tau)}}{\frac{Ns(1+s\tau) + K_d K_o}{Ns(1+s\tau)}} \frac{N\tau}{N\tau} = N \frac{\frac{K_d K_o}{N\tau}}{\frac{Ns^2 + Ns + K_d K_o}{N\tau}} \quad (5.45)$$

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{K_d K_o / N\tau}{s^2 + s/\tau + K_d K_o / N\tau} = \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (5.46)$$

El sistema tiene dos polos con

$$\omega_n = \sqrt{K/N\tau} \text{ y } \xi = \frac{1}{2} \sqrt{\frac{N}{K\tau}} , \text{ donde } K = K_d K_o \quad (5.47)$$

El valor de la ganancia de baja frecuencia del PLL es igual a N. Consecuentemente, cualquier perturbación de la fase de entrada que sea suficientemente lento como para entrar dentro del ancho de banda del PLL se transfiere a la salida amplificada por N, independientemente del filtro de bucle.

5.7.2. Caso del filtro RRC

Para el caso de la ec. 5.40 queda:

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{(K/\tau_1)(1+\tau_2 s)}{s^2 + s(1+K\tau_2/N)/\tau_1 + K/N\tau_1} \quad (5.48)$$

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{s\omega_n(2\xi - \omega_n/K) + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (5.49)$$

El sistema tiene dos polos con

$$\omega_n = \sqrt{K/N\tau_1} \text{ y } \xi = \frac{\omega_n}{2} \left(\tau_2 + \frac{N}{K} \right) , \text{ donde } K = K_d K_o \quad (5.50)$$

5.7.3. Caso del filtro con PFD y bomba de carga. PLL Tipo II.

La función de transferencia de un PLL con detector de fase con bomba de carga es:

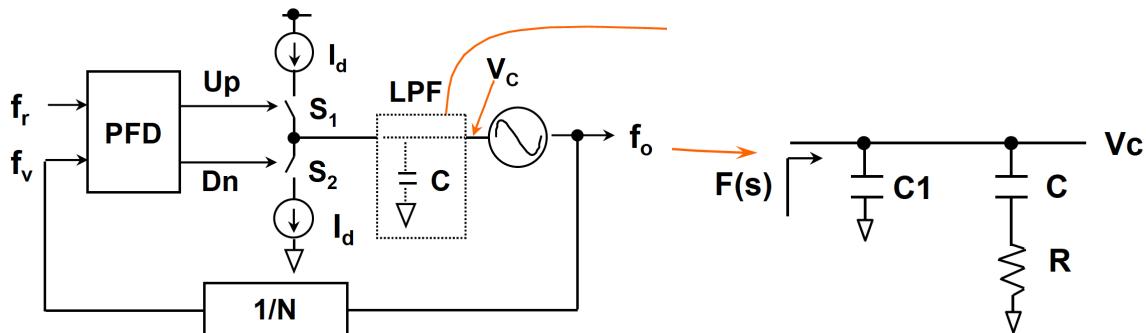


Fig. 5.41. PLL con divisor por N y PFD con bomba de carga

$$F(s) = \frac{1+s\tau_2}{s(C+C_1)(1+s\tau_1)} \quad (5.51)$$

$$\text{Donde } \tau_1 = \frac{CC_1}{C+C_1}R \text{ y } \tau_2 = RC.$$

La función de transferencia de lazo abierto es:

$$G(s)H(s) = \frac{K_d K_o}{N(C+C_1)} \frac{(1+s\tau_2)}{s^2(1+s\tau_1)} \quad (5.52)$$

La función de transferencia de lazo cerrado es:

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{\frac{K}{(C+C_1)}(1+s\tau_2)}{s^3 + \frac{1}{\tau_1}s^2 + \frac{K\tau_2}{N(C+C_1)}s + \frac{K}{N(C+C_1)\tau_1}} \quad (5.53)$$

Corresponde a un sistema de tercer orden tipo II.

Ejemplo 5.1: En un PLL con FPB RRC, determine τ_1 y τ_2 , para $\xi = 0.5$ y un tiempo de respuesta $t=10\text{ms} (\pm 10\%)$. Usar ec. 5.50.

Solución:

La gráfica muestra la respuesta normalizada a un escalón de un sistema tipo 1 de 2^{do} orden para $\xi=0.5$. En base a la curva característica de la Fig. 5.42,

$$\omega_n t = 4.5$$

$$\omega_n = \frac{4.5}{10\text{ms}} = 450 \frac{\text{rad}}{\text{seg}}$$

$$\tau_1 \text{ y } \tau_2 \text{ se despejan de } \omega_n = \sqrt{\frac{K_d K_o}{N \tau_1}}$$

$$\boxed{\tau_1 = \frac{K_d K_o}{\omega_n^2 N}}$$

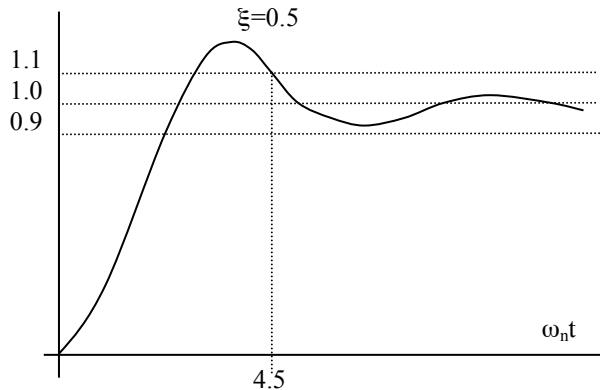


Fig. 5.42. Curva característica de un sistema de segundo orden

$$\text{y de } \xi = \frac{\omega_n}{2} \left(\tau_2 + \frac{N}{k_d k_o} \right) \text{ se despeja} \quad \boxed{\tau_2 = \frac{2\xi}{\omega_n} - \frac{N}{k_d k_o}}$$

Nótese que de haberse utilizado un filtro del tipo RC donde $\tau_2 = 0$, no es posible la elección independiente de ξ y ω_n . Si $\tau_2 = 0$:

$$\xi = \frac{\omega_n}{2} \frac{N}{K_d K_o}$$

Normalmente N y K_d y a veces K_o no son valores que el diseñador pueda cambiar a voluntad.

5.7.4. Ejemplos de aplicaciones en sintetizadores clásicos

Sintetizador básico N-Entero

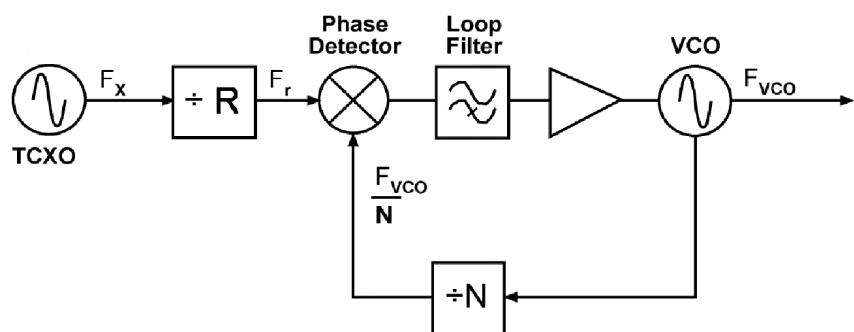


Fig. 5.43. Circuito PLL de baja frecuencia (Integer-N PLL)

Normalmente, es conveniente que la frecuencia de referencia f_s , sea lo más alta posible, para que sea removida fácilmente por el FPB, y no sea la frecuencia de referencia f_s , la que obligue a fijar la frecuencia de corte del FPB. Generalmente la frecuencia de corte del FPB quede definida por la frecuencia natural ω_n y el coeficiente de amortiguamiento ξ . La energía en frecuencia de referencia que alcanza al VCO, lo modula, y se traduce en bandas laterales espurias llamadas bandas laterales de referencia.

Otra causa que justifica la conveniencia de seleccionar una frecuencia de referencia lo más alta posible, es que la corrección de la tensión de control solo puede realizarse una vez cada ciclo de la señal de entrada. Por ejemplo si la frecuencia de referencia es de 1kHz la corrección es cada 1ms.

Cuando la f_o es elevada, no siempre es simple y económico la realización del divisor programable.

Sintetizador tipo "down converter"

Para disminuir la frecuencia del divisor programable se heterodina la f_o con la de un oscilador a cristal de cuarzo, de frecuencia fija f_H .

Se analizará sobre un ejemplo de un sintetizador para el oscilador local de un receptor de FM de 200 canales separados cada 100kHz, desde 88 a 108MHz, se usa una frecuencia intermedia FI=10.7MHz.

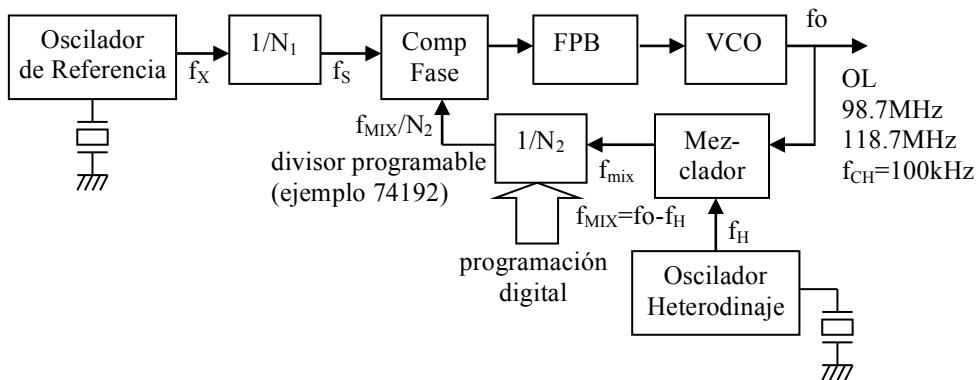


Fig. 5.44. Circuito PLL de de VHF con división superheterodinaria

Parece aceptable exigir al circuito que cuando N_2 cambie en una unidad f_o cambie en un canal f_{CH} .

$$f_s = \frac{f_o - f_H}{N_2} , \text{ si se incrementa el OL para el canal siguiente } f_s = \frac{f_o + f_{CH} - f_H}{N_2 + 1}$$

Despejando de la primera $f_o = N_2 f_s + f_H$ y reemplazando en la segunda

$$(N_2 + 1)f_s = N_2 f_s + f_H + f_{CH} - f_H \text{ simplificando queda } f_s = f_{CH}$$

Para el caso numérico $f_s = f_{CH} = 100kHz$

Si se elige a $f_x = 1MHz$, $N_1 = \frac{f_x}{f_s} = 10$. Se elige $f_H = 98MHz$, la f_H máxima es 98.6MHz

Es conveniente que f_H sea lo más grande posible para que f_{MIX} sea posible dividirla con un divisor programable convencional (CMOS o TTL), para este caso f_{MIX} va de 0.7 a 20.7MHz

$$N_2 \text{ máx} = \frac{f_o \text{ máx} - f_H}{f_s} = \frac{118.7 - 98}{0.1} = 207$$

$$N_2 \text{ mín} = \frac{f_o \text{ mín} - f_H}{f_s} = \frac{98.7 - 98}{0.1} = 7$$

} 200 canales

5.7.5. Ancho de banda

5.7.5.1. Caso de filtro RC

Si en la función de transferencia del PLL realizado con el filtro pasabajos tipo RC es:

$$\frac{\theta_o}{\theta_s} = \frac{k_d k_o}{\tau_1} \frac{1}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

Para condición de régimen, esto es $s \rightarrow 0$, $\theta_o = N\theta_s$ por lo tanto la función queda:

$$\frac{\theta_o}{\theta_s} = N \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

La respuesta en frecuencia se encuentra reemplazando s por $j\omega$

$$\frac{\theta_o}{\theta_s} = N \frac{\omega_n^2}{-\omega^2 + j2\xi\omega_n\omega + \omega_n^2} \quad \left| \frac{\theta_o}{\theta_s} \right| = \frac{N\omega_n^2}{|\omega_n^2 - \omega^2 + j2\xi\omega_n\omega|}$$

Consideraremos al ancho de banda, como la frecuencia correspondiente a -3dB por debajo del valor de la función para $\omega=0$ que llamaremos ω_{3dB} , entonces:

$$\left| \frac{\theta_o}{\theta_s} \right| \Big|_{\omega=0} = N \quad \left| \frac{\theta_o}{\theta_s} \right| \Big|_{\omega=\omega_{3dB}} = \frac{N}{\sqrt{2}}$$

$$2\omega_n^4 = (\omega_n^2 - \omega_{3dB}^2)^2 + 4\xi^2\omega_n^2\omega_{3dB}^2$$

$$0 = \omega_n^4 - 2\omega_n^2\omega_{3dB}^2 + \omega_{3dB}^4 + 4\xi^2\omega_n^2\omega_{3dB}^2 - 2\omega_n^4$$

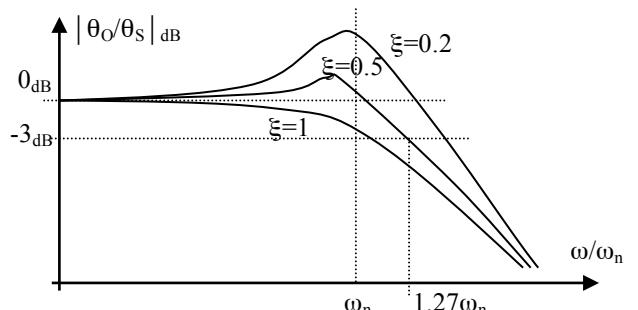
$$0 = \omega_{3dB}^4 + \omega_{3dB}^2(-2\omega_n^2 + 4\xi^2\omega_n^2) - \omega_n^4$$

$$\omega_{3dB}^2 = \omega_n^2 - 2\xi^2\omega_n^2 \pm \sqrt{(1-2\xi^2)^2 \omega_n^4 + \omega_n^4}$$

$$\left(\frac{\omega_{3dB}}{\omega_n} \right)^2 = 1 - 2\xi^2 \pm \sqrt{(1-2\xi^2)^2 + 1}$$

$$\boxed{\omega_{3dB} = \omega_n \sqrt{1 - 2\xi^2 \pm \sqrt{(1-2\xi^2)^2 + 1}}} \quad (5.54)$$

para $\xi=0.5 \quad \omega_{3dB}=1.27\omega_n$



Es interesante relacionar el rango de captura con el ancho de banda. Si aceptamos como válida la expresión del rango de captura para un FPB tipo A, que figura en las hojas de datos del PLL CD4046, podemos comparar a ω_c con ω_n y con ω_{3dB} para un ξ dado.

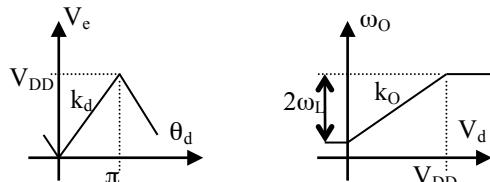
Las hojas de datos indican para el FPB RC y comparador XOR que el rango de captura es $2f_c \approx \frac{1}{\pi} \sqrt{\frac{2\pi f_L}{\tau_1}}$

reemplazando $2\pi f$ por ω queda $\omega_c \approx \sqrt{\frac{\omega_L}{\tau_1}}$

$$V_{DD} = \pi k_d \quad \text{y} \quad 2\omega_L = k_O V_{DD}$$

$$2\omega_L = \pi k_O k_d, \quad \omega_L = \frac{\pi}{2} k_O k_d$$

$$\omega_c = \sqrt{\frac{\pi}{2}} \sqrt{\frac{k_O k_d}{T_1}} = 1.25 \omega_n$$



De esto se deduce que para $\xi \sim 0.5$ $\omega_{3dB} \sim \omega_c$

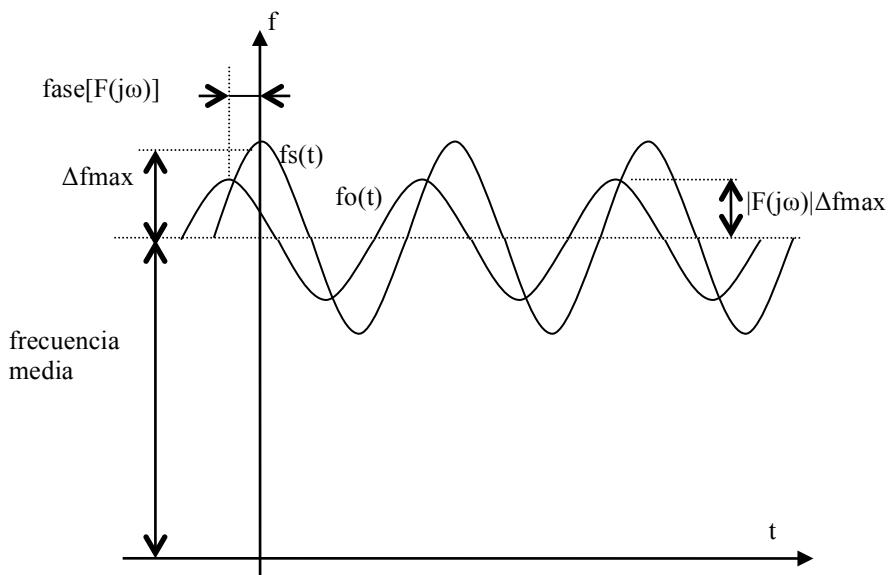


Fig. 5.45. Fase en función del tiempo

Analicemos el significado del ancho de banda ω_{3dB} . Un PLL bien diseñado debe ser inmune a las variaciones de amplitud de la señal de entrada. Trabaja con la fase y la frecuencia de la señal.

$$\theta_s(t) = \theta_{max} \cdot \cos(\omega t) \quad \theta_o(t) = |F(j\omega)| \theta_{max} \cdot \cos(\omega t + \text{fase}[F(j\omega)])$$

Como la función de transferencia para las frecuencias es la misma que para la de las fases, entonces las relaciones temporales para una variación senoidal de la frecuencia de entrada son las siguientes

$$fs(t) = \Delta f_{max} \cdot \cos(\omega t) \quad \text{y} \quad fo(t) = |F(j\omega)| \Delta f_{max} \cdot \cos(\omega t + \text{fase}[F(j\omega)])$$

Gráficamente, se puede observar en la Fig. 5.45.

Para $\omega = \omega_{3dB}$ la amplitud de $fo(t)$ es el 70.7% (-3dB) de la amplitud de $fs(t)$, siempre y cuando $fs(t)$ sea senoidal.

5.7.5.2. Caso de filtro RRC

Si en la función de transferencia del PLL realizado con el filtro pasabajos tipo RRC es (ec. 5.49), caso de alta ganancia K, es decir $K \gg \omega_n$.

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{s2\xi\omega_n + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} = \frac{1}{1 + \frac{s^2}{2\xi\omega_n s + \omega_n^2}} = \frac{1}{1 + Loop\ Gain}$$

La frecuencia de cruce ω_C es la frecuencia la cual la ganancia de lazo es unitaria:

$$\therefore \frac{\omega_C^4}{\omega_n^4 + 4\xi^2\omega_n^2\omega_C^2} = 1 \rightarrow \omega_C^4 - (4\xi^2\omega_n^2)\omega_C^2 - \omega_n^4 = 0$$

Resolviendo esta ecuación, se obtiene:

$$\omega_C = \omega_n \sqrt{2\xi^2 + \sqrt{4\xi^4 + 1}}$$

El ancho de banda de -3dB es

$$\omega_{-3dB} = \omega_n \sqrt{b + \sqrt{b^2 + 1}} \text{ donde } b = 2\xi^2 + 1 - \frac{\omega_n}{K} \left(4\xi - \frac{\omega_n}{K} \right) \quad (5.55)$$

La Fig. 5.46 muestra el ancho de banda para un sistema de segundo orden tipo 2.

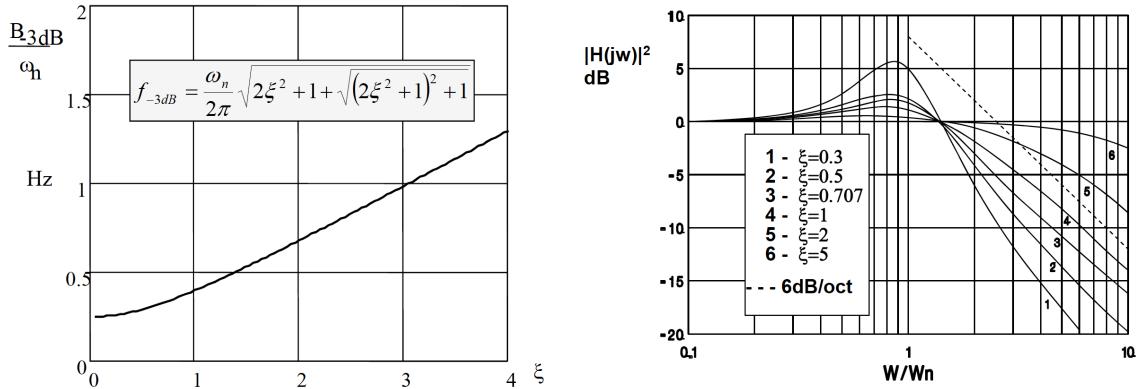


Fig. 5.46. Ancho de banda de un sistema de segundo orden tipo 2

5.7.6. Respuesta del sistema al escalón de fase

Tomando el caso del sistema de segundo orden con filtro RRC, la ec. 5.49 es:

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{s\omega_n(2\xi - \omega_n/K) + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

Si $K \gg \omega_n$ entonces, la función de arriba se simplifica en:

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{s2\xi\omega_n + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad y \quad (5.56)$$

$$He(s) = 1 - H(s) = \frac{s^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (5.57)$$

Asumiendo que $\theta_1(t) = \Delta\Phi \cdot u(t)$, entonces el escalón es $\rightarrow \theta_1(s) = \frac{\Delta\Phi}{s}$

$$\text{El error de fase es: } \theta_e(s) = H_e(s) \frac{\Delta\Phi}{s} = \frac{\Delta\Phi \cdot s^2}{s(s^2 + 2\xi\omega_n s + \omega_n^2)}$$

$$\begin{aligned}\theta_e(t) &= L^{-1}[\theta_e(s)] = \Delta\Phi \left(\cos \sqrt{1-\xi^2} \omega_n t - \frac{\xi}{\sqrt{1-\xi^2}} \sin \sqrt{1-\xi^2} \omega_n t \right) e^{-\xi\omega_n t}, \xi < 1 \\ &= \Delta\Phi (1 - \omega_n t) e^{-\xi\omega_n t}, \xi = 1 \\ &= \Delta\Phi \left(\cosh \sqrt{\xi^2 - 1} \omega_n t - \frac{\xi}{\sqrt{\xi^2 - 1}} \sinh \sqrt{\xi^2 - 1} \omega_n t \right) e^{-\xi\omega_n t}, \xi > 1\end{aligned}$$

El error en estado estacionario es:

$$\theta_e(\infty) = \lim_{s \rightarrow 0} \theta_e(s) = 0 \quad (5.58)$$

5.7.7. Respuesta del sistema al escalón de frecuencia

Asumiendo que $\omega_1(t) = \omega_0 + \Delta\omega \cdot u(t)$, $\rightarrow \theta_1(t) = \Delta\omega \cdot t$ entonces el escalón es $\rightarrow \theta_1(s) = \frac{\Delta\omega}{s^2}$

$$\text{El error de fase es: } \theta_e(s) = H_e(s) \frac{\Delta\omega}{s^2} = \frac{\Delta\omega \cdot s^2}{s^2(s^2 + 2\xi\omega_n s + \omega_n^2)} = \frac{\Delta\omega}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

$$\begin{aligned}\theta_e(t) &= L^{-1}[\theta_e(s)] = \frac{\Delta\omega}{\omega_n} \left(\frac{1}{\sqrt{1-\xi^2}} \sin \sqrt{1-\xi^2} \omega_n t \right) e^{-\xi\omega_n t}, \xi < 1 \\ &= \frac{\Delta\omega}{\omega_n} (\omega_n t) e^{-\xi\omega_n t}, \xi = 1 \\ &= \frac{\Delta\omega}{\omega_n} \left(\frac{1}{\sqrt{\xi^2 - 1}} \sinh \sqrt{\xi^2 - 1} \omega_n t \right) e^{-\xi\omega_n t}, \xi > 1\end{aligned}$$

El error en estado estacionario es para lazos de alta ganancia:

$$\theta_e(\infty) = \lim_{s \rightarrow 0} \theta_e(s) = 0 \quad (5.59)$$

$$\theta_e(\infty) = \frac{\Delta\omega}{K F(0)} \quad (5.60)$$

5.7.8. Respuesta del sistema a la rampa de frecuencia

Asumiendo que $\omega_1(t) = \omega_0 + \Delta\dot{\omega} \cdot t$, $\rightarrow \theta_1(t) = \frac{\Delta\dot{\omega} \cdot t^2}{2}$ entonces el escalón es $\rightarrow \theta_1(s) = \frac{\Delta\dot{\omega}}{s^3}$

$$\text{El error de fase es: } \theta_e(s) = H_e(s) \frac{\Delta\dot{\omega}}{s^3} = \frac{\Delta\dot{\omega} \cdot s^2}{s^3 (s^2 + 2\xi\omega_n s + \omega_n^2)} = \frac{\Delta\dot{\omega}}{s (s^2 + 2\xi\omega_n s + \omega_n^2)}$$

$$\begin{aligned}\theta_e(t) &= L^{-1}[\theta_e(s)] = \frac{\Delta\dot{\omega}}{\omega_n^2} - \frac{\Delta\dot{\omega}}{\omega_n^2} \left(\cos \sqrt{1-\xi^2} \omega_n t + \frac{\xi}{\sqrt{1+\xi^2}} \sin \sqrt{1-\xi^2} \omega_n t \right) e^{-\xi\omega_n t}, \xi < 1 \\ &= \frac{\Delta\dot{\omega}}{\omega_n^2} - \frac{\Delta\dot{\omega}}{\omega_n^2} (1 + \omega_n t) e^{-\xi\omega_n t}, \xi = 1 \\ &= \frac{\Delta\dot{\omega}}{\omega_n^2} - \frac{\Delta\dot{\omega}}{\omega_n^2} \left(\cosh \sqrt{\xi^2 - 1} \omega_n t + \frac{\xi}{\sqrt{\xi^2 - 1}} \sinh \sqrt{\xi^2 - 1} \omega_n t \right) e^{-\xi\omega_n t}, \xi > 1\end{aligned}$$

El error en estado estacionario es para lazos de alta ganancia:

$$\theta_e(\infty) = \lim_{s \rightarrow 0} \theta_e(s) = \frac{\Delta\dot{\omega}}{\omega_n^2} \quad (5.61)$$

El error en estado estacionario es para lazos de baja ganancia:

$$\theta_e(\infty) = \frac{\Delta\dot{\omega}t}{KF(0)^2} + \frac{\Delta\dot{\omega}}{\omega_n^2} \quad (5.62)$$

5.7.9. PLL con preescaler

5.7.9.1. Antecedentes

Los divisores programables de valor N-Entero tienen una limitación en el ancho de banda (típicamente hasta los 100MHz). *Por encima de VHF es necesario buscar otra solución práctica.*

Algunos CI como el MC12009/11/13, el 11C90/1, etc. están diseñados especialmente para el uso de la técnica llamada “prescaler de módulo variable”. Esta técnica permite que un simple prescaler MECL de doble módulo, pueda ser controlado por un contador o divisor programable de tecnología MTTL (no muy alta frecuencia). El uso de esta técnica permite usar prescalers de alta frecuencia sin sacrificio de la resolución de f_{out} , debido a que no es necesario dividir la frecuencia de referencia por la división que tiene el prescaler. Primero se planteará el problema, luego se mostrará la técnica del PLL de doble modulo y las técnicas fraccionales.

Para ampliar el ancho de banda del divisor programable, se podría utilizar por ejemplo, la técnica de un prescaler fijo P.

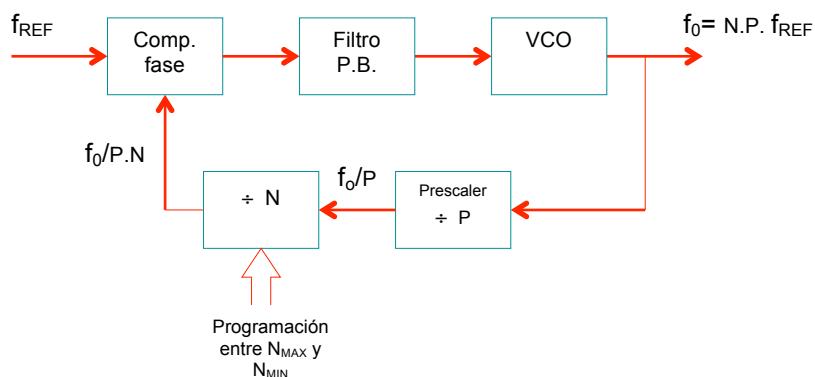


Fig. 5.47. Método de conversión con un divisor de valor P antes del divisor programable

$$f_o = N.P.f_{ref} \quad (5.63)$$

La desventaja de usar un divisor fijo es que, como dividirá la f_{out} a lo largo de todos los canales espaciados diseñados, y como se desea que la f_{REF} sea el espacio entre los canales, entonces la división daría fracciones decimales para lograr los espacios.

Si se usa un prescaler de módulo fijo, el diagrama es:

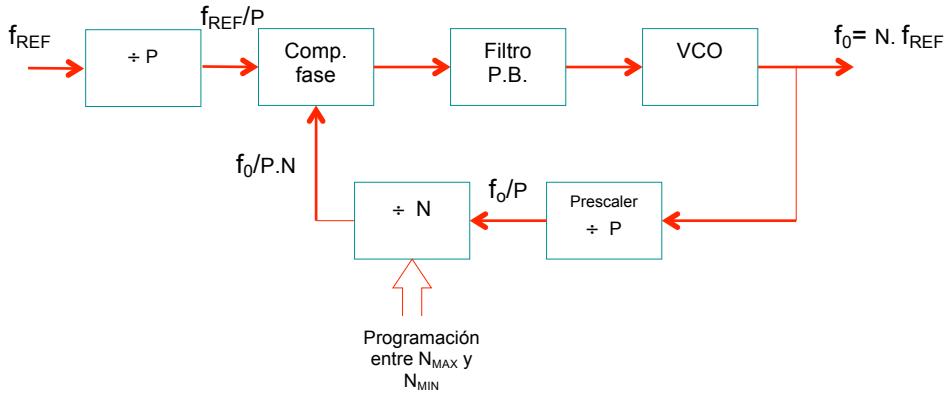


Fig. 5.48. Método de conversión con divisores previos de valor P, antes del divisor programable y luego de la f_{REF} .

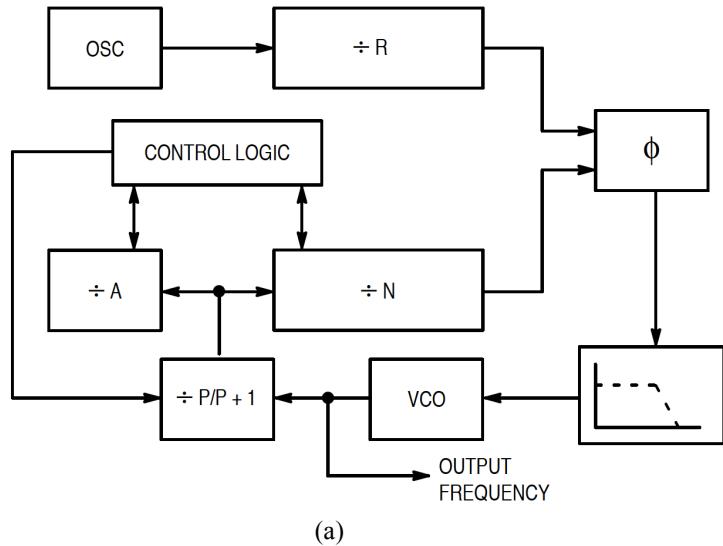
5.7.9.2. Principio de operación

Un preescaler de doble módulo es un contador cuya división puede ser conmutada entre un valor y otro por una señal externa.

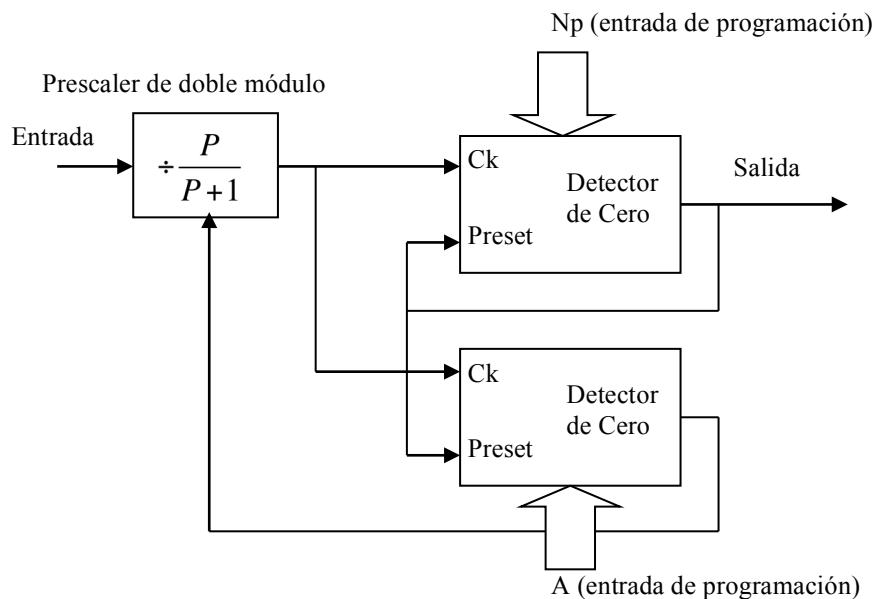
Como ejemplo, el preescaler de la Fig. 5.49 puede dividir por un factor de 11, cuando la señal de control aplicada es alta, o por un factor de 10 cuando la señal de control es baja.

Las condiciones son las siguientes:

- Ambos contadores programables N_p y A son dos contadores decrecientes (downcounters)
- La señal de salida de ambos contadores es alta si no han alcanzado a 0
- Cuando el contador N_p ha alcanzado a cero, su salida se hace baja y carga ambos contadores con su valor presente de N_p y A respectivamente
- N_p es siempre mayor o igual que A
- $A < P$



(a)

**Fig. 5.49.** (a) PLL con prescaler de doble módulo [Motorola, 145152 datasheet], (b) Lógica de funcionamiento

Si asumimos que el contador N_p ha llegado hasta cero, y ambos contadores cargan a sus valores presentes N_p y A respectivamente. Ahora se debe encontrar el número de ciclos que el VCO debe producir hasta que se alcance de nuevo el mismo estado lógico. Este número es el factor de escala N general de la disposición mostrada en la [Fig. 5.49](#). Mientras el contador A aún no ha llegado a 0, el prescaler está dividiendo por $P + 1$.

En consecuencia, ambos contadores N_p y A decrecerán en uno cuando el VCO ha generado $P+1$ pulsos. Por tanto, el contador A llegará a 0 cuando el VCO ha generado $A(P + 1)$ pulsos. En ese momento el contador N_p ha bajado por el recuento de A ; es decir, su contenido es $N_p - A$.

El factor de escala del prescaler de doble módulo es ahora comutado a P . El VCO generará pulsos adicionales $(N_p - A)P$ pulsos hasta que el contador N_p llegue a cero. Cuando el contador N_p llega a cero, ambos contadores N_p y A son recargados a su valor presente y el ciclo se repite.

$$N = (N_p + A / P)P = (N_p P + A + AP - AP) = A(P+1) + (N_p - A)P \quad (5.63)$$

$$N = N_p P + A \quad (5.64)$$

$$f_{out} = (N_p P + A) f_{ref} \quad (5.65)$$

Donde $N_p \geq A$. De no ser así, el contador N_p podría llegar a cero antes que el contador A , y ambos contadores se recargarían a sus valores presentes. El contador prescaler de doble módulo nunca debe comutarse de $P+1$ a P . Si $P=10$, entonces

$$N = N_p \cdot 10 + A$$

En esta expresión A representa las unidades y N_p las decenas de la relación de división global N_{tot} . Entonces A debe estar en el rango de 0 a 9, y N_p puede asumir cualquier valor mayor que o igual a 9. Es decir, $N_p \min = 9$. Por consiguiente, la relación de división realizable más pequeña es

$$N_{\min} = N_{p_{\min}} \cdot P = 90$$

El sintetizador de la Fig. 5.49 es capaz de generar todos los valores enteros múltiples de la frecuencia de referencia f_{ref} , comenzando por $N = 90$.

Otro factor a seleccionar es P . SI $P=16$, el prescaler divide por 16/17. En ese caso el valor de división total es:

$$N = N_p \cdot 16 + A$$

Ahora A podría valer entre 0-15 y el mínimo valor de $N_p=15$. En este caso el mínimo valor alcanzado es $N = 240$.

Ejemplo 5.2: Se desea realizar un PLL con prescaler de doble módulo con las siguientes características:

$$f_{out} = 98.7 \text{ to } 118.7 \text{ MHz}$$

$$f_{CH} = f_{ref} = 100 \text{ kHz}$$

Prescaler doble modulo de $P=20/21$

Solución:

Se ha optado por un prescaler de doble módulo 20/21. Resulta de esta elección, que la máxima frecuencia de

entrada de los contadores descendentes es $\frac{f_{out_max}}{P} = \frac{98.7 \text{ MHz}}{20} = 5.9 \text{ MHz}$, suficientemente baja para

cualquier lógica convencional. También se podría haber utilizado un prescaler de 10/11, dando una freq de entrada de 11.87MHz.

A- Con la frecuencia de salida máxima f_{MAX} :

$$N = \frac{f_{max}}{f_{(step)}} = \frac{118.7 \text{ MHz}}{100 \text{ kHz}} = 1187$$

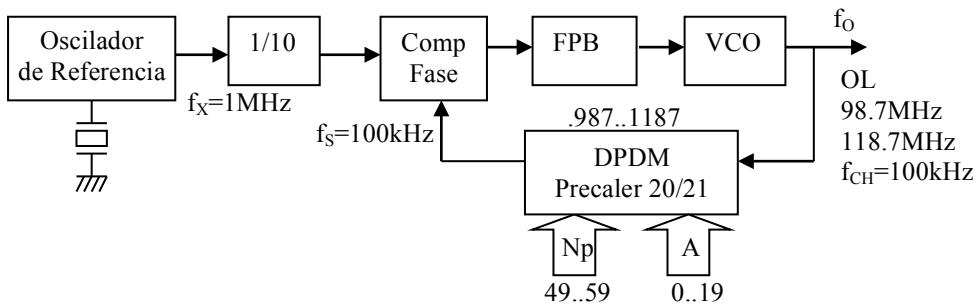


Fig. 5.50. PLL con prescaler de doble módulo del ejemplo 5.2

Para llegar a este valor, se deberá cumplir que

$$N = N_p P + A \quad \text{con } P=20, \text{ y } A=0:$$

$$1187 = N_p (20) + 0$$

$$N_p = 59.35 \quad \text{Se utilizará el valor entero, que es } N=59$$

Ahora se determinará el valor de A

$$A = N - N_p P = 1187 - 59 * 20 = 7$$

B- Con la frecuencia de salida mínima f_{\min} :

$$N = \frac{f_{\min}}{f_{(step)}} = \frac{98.7 \text{ MHz}}{100 \text{ kHz}} = 987$$

Para llegar a este valor, se deberá cumplir que

$$N = N_p P + A \quad \text{con } P=20, \text{ y } A=0:$$

$$987 = N_p (20) + 0$$

$$N = 49.35 \quad \text{Se utilizará el valor entero, que es } N=49$$

Como no dio un número entero, es necesario re-calcular el valor de A

$$A = N - N_p P = 987 - 49 * 20 = 7 \quad \text{con } P=20, \text{ y } A=0:$$

Un juego de valores posibles para las entradas de programación Np y A se muestran en la siguiente tabla. Como referencia $987/20=49.35$ y $49*20=980$.

Tabla 3. Valores de Np y A

Np	A	Np*20+A
49	7..19	987...999
50	0..19	1000...1019
...
58	0..19	1160...1179
59	0..7	1180...1187

Ejemplo 5.2: Se desea realizar un PLL con prescaler de doble módulo con las siguientes características:

$$f_{out} = 118.000 \text{ to } 135.975 \text{ MHz}$$

$$f_{CH} = f_{ref} = 25 \text{ kHz}$$

Solución:

Es necesario un prescaler para dividir la frecuencia del Vco a valores que pueda manejar el MC145159 (15 MHz frec. máx. a $V_{DD} = 5V$). El valor mínimo del prescaler deberá ser 10. Sin embargo, si se utilizara un prescaler de simple módulo, la frecuencia de referencia deberá ser ajustada en $f_{REF}=2,5$ kHz para mantener el salto de 25 kHz. Por esto, se utilizará el prescaler de doble módulo, por ejemplo el MC12016 que divide por 40/41 y tiene un ancho de banda de 225 MHz.

Con una frecuencia de referencia a 25 kHz, los contadores N_p y A deberán ser cargados con los valores propios para poder obtenerse el rango de 118,000 a 135,975 MHz en la salida.

A- Con la frecuencia de salida máxima f_{MAX} :

$$N = \frac{f_{max}}{f_{(step)}} = \frac{135,975 \text{ MHz}}{25 \text{ kHz}} = 5439$$

Para llegar a este valor, se deberá cumplir que

$$N = N_p P + A \quad \text{con } P=40, \text{ y } A=0:$$

$$5439 = N_p (40) + 0$$

$$N_p = 135,975 \quad \text{Se utilizará el valor entero, que es } N_p=135$$

Ahora se determinará el valor de A

$$A = N - N_p P = 5439 - 135 * 40 = 39$$

B- Con la frecuencia de salida mínima f_{MIN} :

$$N = \frac{f_{min}}{f_{(step)}} = \frac{118 \text{ MHz}}{25 \text{ kHz}} = 4720$$

Para llegar a este valor, se deberá cumplir que

$$N = N_p P + A \quad \text{con } P=40, \text{ y } A=0:$$

$$4720 = N_p (40) + 0$$

$$N_p = 118 \quad \text{Se utilizará el valor entero, que es } N=118$$

Como dio un número entero, no es necesario re-calcular el valor de A

La siguiente tabla muestra los valores de N y A para las correspondientes frecuencias de salida.

Tabla 4. Frecuencias de salida correspondientes a los valores de N y A ($f_{ref}=25$ kHz P=40)

Frec. salida MHz	N_{tot}	N	A
118,000	4720	118	0
118,025	4721	118	1
118,050	4722	118	2
...
118,975	4759	118	39*
119,000	4760	119	0
119,025	4761	119	1
...
139,950	5438	135	38
139,975	5439	135	39

Notar que, debido a que P=40, el valor máx. posible de A=39

A<P

5.7.10. PLL N-fraccional

Los cambios de frecuencia de salida de un PLL de división N, son múltiplos de la frecuencia de referencia ω_{ref} para el caso de PLL N-Entero. Este simple hecho hace imposible usar esta arquitectura en la mayoría de las aplicaciones de radio standard. La arquitectura del PLL N-Fraccional permite utilizar la resolución como una porción fraccional de la frecuencia de referencia.

Los principales objetivos de la arquitectura N-Fraccional es mejorar el ruido de fase e incrementar el valor de la frecuencia de referencia, mejorar la velocidad de conmutación y el ancho de banda del lazo.

Un caso crítico es el GSM. El espaciamiento de canal es 200KHz mientras que el espectro del GSM se ubica cerca de 1GHz. Un PLL con división programable por N convencional con el espaciamiento de canal de 200KHz, el factor de división N sería del orden de $1GHz / 200kHz \approx 5000$. La adopción de este factor de división tiene las siguientes desventajas:

- a) *Amplificación del ruido de entrada.* Cualquier ruido de entrada superpuesto a la señal de referencia es amplificada por N^2 . Tomando $N = 5000$, el factor N^2 corresponde a un incremento de 74dB del piso de ruido dentro del ancho de banda del PLL (como afecta el ruido en el PLL, no fue tratado en el apunte). Esto explica porqué los valores altos de N no son usualmente compatibles con los requerimientos de ruido en banda.
- b) *Ancho de banda angosto.* Debido al límite de Gardner para PLL N-Entero[Channel spacing = $F_{vco} / N = F_r$], la baja ω_{ref} impone un ancho de banda de lazo estrecho.

Para esta solución se han propuesto varias alternativas, y en este capítulo se analizará la arquitectura N-Fraccional, donde la frecuencia de salida cambia con una fracción de ω_{ref} . Con este concepto, la frecuencia de referencia puede ser mayor que el espaciamiento de los canales, eliminando así algunas de las ajustadas compensaciones señaladas anteriormente.

Un hecho inevitable en la síntesis de PLL digital es que la multiplicación de frecuencia (por N), plantea el ruido de fase de la señal por $20 \log(N)$ dB. La principal fuente de este ruido es de las características de ruido de la

circuitería activa del detector de fase. Debido a que los detectores de fase suelen ser la principal fuente de ruido de fase, N se convierte en un factor limitante al determinar el posible rendimiento de ruido de fase baja de la señal de salida. Un factor de multiplicación de $N = 30.000$ añadirá 90 dB sobre el ruido de fondo del detector de fase.

30000 es un valor de N típico utilizado por un sintetizador PLL, número entero para un transceptor celular con separación entre canales de 30 kHz. Parecería que podríamos reducir radicalmente la primer fuente de ruido de fase de nuestro sistema reduciendo el valor de N, pero desafortunadamente la separación de canales de un sintetizador N-entero depende del valor de N. Debido a esta dependencia, los detectores de fase típicamente operan a una frecuencia igual a la separación de canales del sistema de comunicación.

Una tecnología de PLL emergente ha hecho posible alterar la relación entre N, la frecuencia de referencia Fr, y la separación de canales del sintetizador. Ahora es posible conseguir una resolución de frecuencia que es una parte fraccional de la frecuencia de detector de fase. Esto se logra mediante la adición de una circuitería interna que permite que el valor de N pueda cambiar dinámicamente durante el estado bloqueado. Si el valor del divisor se "conecta" entre N y N + 1 en la proporción correcta, una relación media de división puede tener en cuenta que es N, más alguna fracción arbitraria, L / F. Esto permite que los detectores de fase puedan funcionar a una frecuencia que es mayor que la separación entre canales de sintetizador.

La idea básica detrás de una arquitectura N-Fraccional es simple: cuando el PLL está bloqueado, el factor de división se modula entre dos valores enteros, digamos N y N + 1, para obtener una relación de "promedio" ($N + x$), con $0 < x < 1$. En muchos circuitos, se utilizan más de dos niveles de enteros, pero el principio es idéntico. El problema es encontrar una secuencia de tiempo más adecuada para cambiar el factor de división o, en lenguaje más técnico, para elegir el patrón de control para el divisor programable. El siguiente análisis se realizará con referencia a un PLL tipo-II.

La Fig. 5.51 (a) muestra la forma más sencilla de obtener una división fraccional. Considere F ciclos de la referencia de *entrada* (REF), con un periodo $T_{ref} = 2\pi / \omega_{ref}$. Durante los primeros ciclos de L la frecuencia del VCO se divide por N + 1; para los restantes (F - L) ciclos el factor de división se convierte en N; a continuación, se repite el patrón. La Fig. 5.51 (b) muestra las señales.

Tener en cuenta que durante los primeros ciclos de L se acumula un error de fase negativo, ya que la señal DIV tiene ciclos de más de REF. Por el contrario, durante los restantes (F - L) ciclos, cuando el factor de división es N, la señal DIV acelera, recuperando así el retardo de fase.

Una característica peculiar del PLL fraccional es que los bordes de la señal DIV siempre deambulan alrededor de los bordes del REF y, en rigor, el PLL nunca se bloquea, es decir, las dos señales nunca muestran bordes perfectamente sincronizadas. Sin embargo, lo que importa para el funcionamiento del PLL es que:

- El promedio de error de fase entre REF y DIV sigue siendo cero.
- Un perfecto match de fase se recupera después de un intervalo FT_{ref} .

La primera condición corresponde a decir que la salida del divisor debe hacer un número entero exacto de ciclos dentro del intervalo de tiempo FT_{ref} , incluso aún si cambia el factor de división.

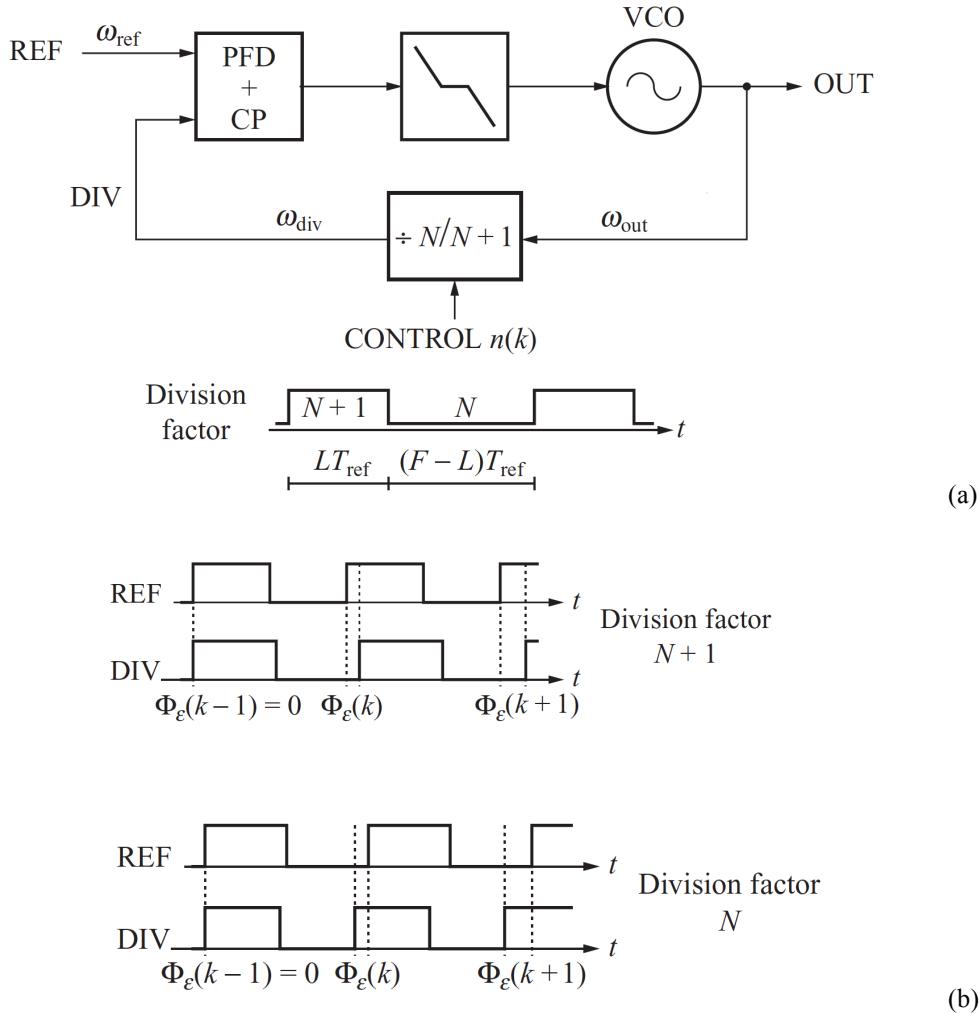


Fig. 5.51. (a) Principio de división N-fraccional; (b) Secuencia del error de fase para una división por $N+1$ y por N .

En una forma más cuantitativa:

$$FT_{ref} = T_{out} \cdot (N+1) \cdot L + T_{out} \cdot N \cdot (F - L) \quad (5.64)$$

donde $T_{out} = 2\pi / \omega_{out}$ es el periodo del VCO. La ecuación puede ser

$$\omega_{out} = \omega_{ref} \cdot (N + L/F) \quad (5.65)$$

Donde N , L y F son enteros.

Que da el factor promedio división, $\bar{N} = N + L/F$.

Al cambiar L , la frecuencia puede ser saltos de ω_{ref}/F , que es la resolución fraccional del PLL. Tenga en cuenta que para que la (ec. 5.65) se mantenga, el factor de división se debe cambiar sincrónicamente con los bordes de la salida del divisor DIV y no con la señal de referencia, de lo contrario N cambiaría antes del ciclo divisor haya terminado. El reloj de la lógica que controla el factor de división, que no se muestra en la Fig. 5.51, debería, por lo tanto, ser derivada de la señal DIV.

La segunda cuestión es, en cambio, en relación con el deambular de la señal de los bordes en torno a su condición de bloqueo medio. Este efecto hace que la dependencia del tiempo del error de fase ϕ_e periódica con un período FT_{ref} . El inconveniente es una modulación periódica de la tensión de sintonización, que genera tonos espurios en la salida PLL: los llamados espolones fraccionarios (fractional spurs). La distribución espectral de estos tonos depende del patrón de control, pero por lo general se encuentran en $\pm m\omega_{ref} / F$ de la portadora, donde m es un valor entero. El valor FT_{ref} define la resolución más fina del PLL, y es ω_{ref} / F .

5.7.10.1. Generación del patrón de control

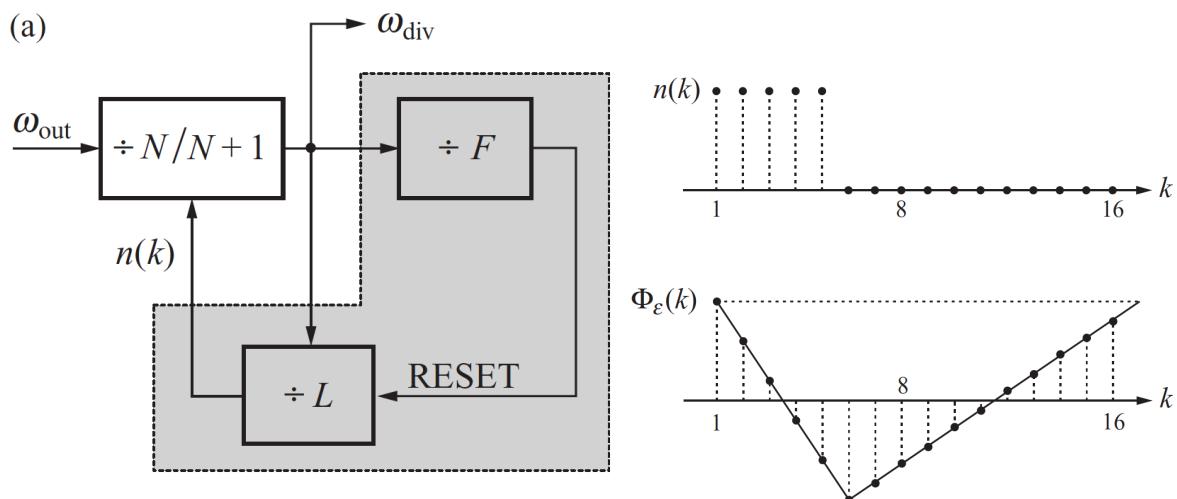


Fig. 5.52. (a) Generador de $n(k)$ Dual-Contador (dentro del cuadro gris); (b) Secuencia de $n(k)$ para $F=16$ y $L=5$; (c) Error de fase correspondiente

Si consideramos $n(k)$ como la secuencia de control, el factor de división del lazo la instante k -ésimo genérico es $N + n(k)$. Notar que $n(k)$ solo podrá valer 0 o 1.

La generación de un factor de división que cambie periódicamente, tal como la que se muestra en la Fig. 5.52, requiere sintetizar los L con 1s, seguido por $(F - L)$ 0s. Esto es obtenido por dos contadores programables en cascada, como se muestra en la Fig. 5.52 (a), uno programado para F y el segundo programado para L , y ambos impulsados por el mismo reloj.

Después de los primeros períodos de entrada L , $n(k)$ cambia su estado de 1 a 0 y desactiva el contador- L hasta que el contador- F alcanza el valor final de F y restablece ambas etapas. Se puede verificar fácilmente que $n(k)$ es la secuencia deseada. Fig. 5.52 (b) representa la secuencia de control cuando $F = 16$ y $L = 5$; todos los 1s se agrupan juntos. Fig. 5.52 (c) muestra la dependencia correspondiente del error de fase. Este arreglo se llama contador dual.

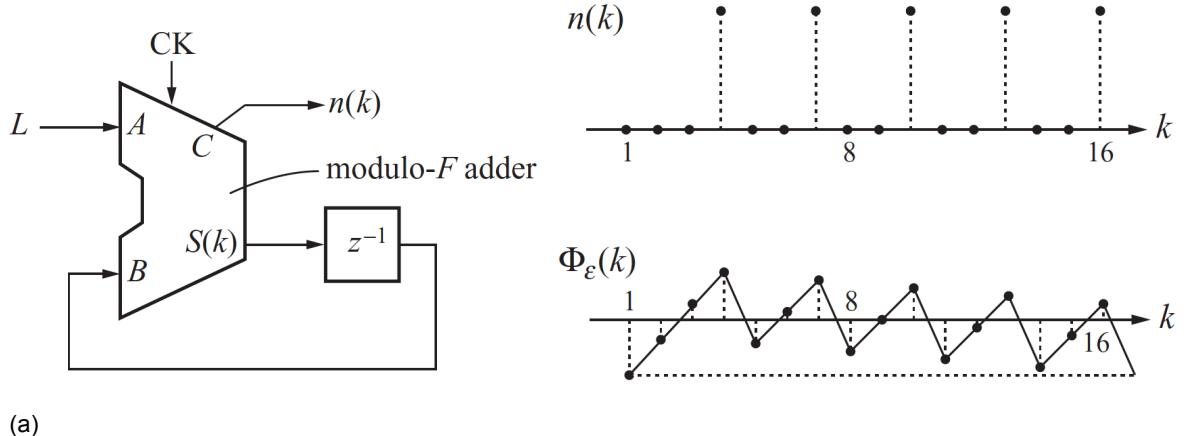


Fig. 5.53. (a) Acumulador de fase digital (Digital Phase Accumulator, DPA); (b) Secuencia de $n(k)$ para $F=16$ y $L=5$; (c) Error de fase correspondiente

La Fig. 5.53 (a) muestra una solución alternativa, donde se utiliza un acumulador de módulo- F con un valor de entrada L . [1-2] El valor acumulado $S(k)$ está dado por

$$S(k) = \begin{cases} S(k-1) + L & \text{si } S(k-1) + L < F \\ S(k-1) + L - F & \text{si } S(k-1) + L \geq F \end{cases} \quad (5.66)$$

Y $n(k)$ está dado por el desbordamiento del acumulador,

$$n(k) = \begin{cases} 0 & \text{si } S(k-1) + L < F \\ 1 & \text{si } S(k-1) + L \geq F \end{cases} \quad (5.67)$$

La secuencia de control y el subsecuente error de fase se muestran en la Fig. 5.53 (b) y (c), para $L=5$ y $F=16$.

Mientras que el contador dual 'colecta' todos los 1s juntos, el acumulador los distribuye a lo largo del periodo de control. Esta característica garantiza, en la mayoría de los casos, que los tonos espurios son más ampliamente distribuidas en el espectro de frecuencia.

El acumulador presenta otra propiedad, que se puede apreciar una vez que se expresa el error de fase en función de la secuencia de control $n(k)$.

A continuación se muestra un ejemplo de un PLL N-fraccionario con un CI de aplicación de Texas Instruments

La arquitectura N-Fraccional es muy similar a un N-entero, con la adición de un acumulador.

El acumulador es una máquina de estado simple que cambia el valor divisor principal (entre P y $P + 1$) durante una condición de bloqueado. El acumulador varía el número de división entre P y $P + 1$ dinámicamente de una manera tal como para proporcionar una relación de división promediada que es un número fraccionario entre P y $P + 1$. Esta función permite la generación de una división promedio que es un número fraccionario.

Por ejemplo, Si

$N = 2000$ y $f_{ref} = 0.48MHz$, la frecuencia de salida es

$$f_{out} = 2000 * 0.48 = 960MHz$$

Para mejorar las resolución a $30KHz$, (por ejemplo $f_{out} = 960.03MHz$), el acumulador debe cambiar dinámicamente entre $N=2000$ y $N=2001$ una vez cada 16 ciclos de referencia. Entonces, la división será de 2000 por 15 ciclos de f_{ref} y luego en 2001 en 1 ciclo de f_{ref} . Entonces, el valor de división será de $2000 + 1/16$.

$$[2000.(15) + 2001.(1)]/16 = 2000 + 1/16$$

$$\omega_{out} = \omega_{ref} \cdot (N + K/F) = \omega_{ref} \cdot (2000 + 1/16) \quad (\text{L es reemplazado por K en este caso})$$

Donde $F=16$ y $K=1$.

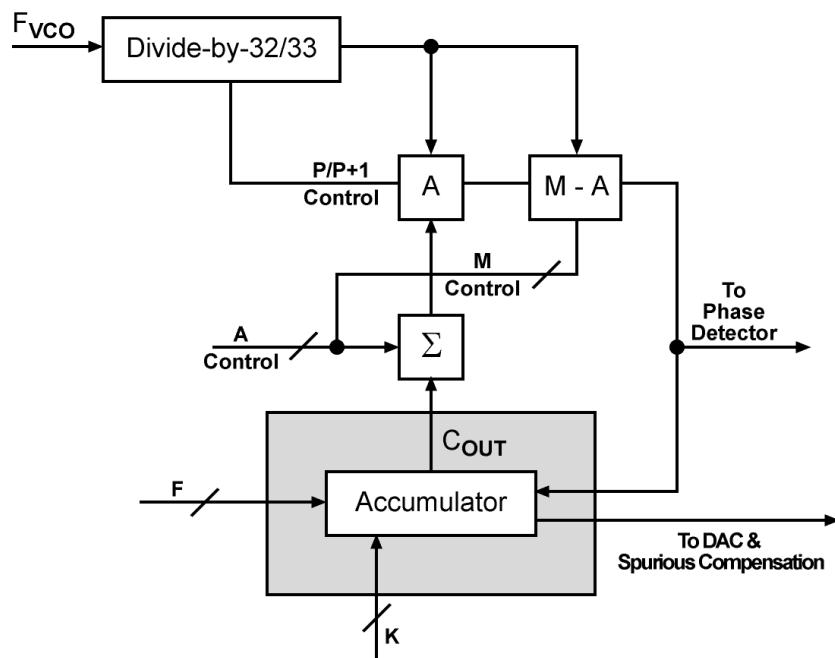


Fig. 5.54. PLL N-Fraccional [9]

Los elementos de N-Fraccional (módulo doble, contadores M, A) ya existen en PLL N-entero, pero en este caso funcionan de manera diferente. Los PLL N-Enteros, la división total se alcanza mediante el comando del módulo doble para dividir A veces por $P + 1$ y los tiempos de $N_p - A$ veces por P de manera que $N = A(P + 1) + (N_p - A)P$. Ahora bien, si de vez en cuando, K veces en los F ciclos, el valor de A se incrementa en 1, N también incrementa por 1 [en cuenta que $(A + 1)(P + 1) + P(N_p - A - 1) = N + 1$]. Todo lo que necesitamos hacer es agregar el mecanismo para cambiar dinámicamente el valor del contador A. El acumulador fraccional realiza esta función (Fig. 5.54).

El PLL N-Fraccional contiene un bloque de circuitos que se conoce como un acumulador fraccional. Este acumulador permite cambiar dinámicamente el valor divisor N durante el estado de bloqueo del PLL. El momento del acumulador está sincronizado por la señal VCO (después de la división por N). Cada vez que se desborde el acumulador, pasa de BAJO a ALTO y el contador N incrementa a $N + 1$.

Desde el punto de vista del sistema, K es el valor programable que es igual al número de veces que el dispositivo se divide por $N + 1$ en un ciclo de división fraccional completo y F es el valor que determina el número de ciclos de referencia que hay en cada fraccional completo del ciclo de división. F representa el tamaño del contador en

el acumulador (es decir, $F = 16$ significa que el contador es un contador de 4 bits que puede contar desde 0000 hasta 1111) y K es el valor que se añade a este contador al final de cada ciclo de referencia.

5.7.11. PLL fraccional Delta-Sigma

La técnica de modulación $\Delta\Sigma$ (delta sigma) es capaz de cambiar los componentes de ruido de cuantificación a altas frecuencias, de manera tal que el filtro de buque las pueda eliminar. La adopción del modulador como un controlador de la relación de división es utilizado para enfatizar la forma de pasa alto del espectro del spur, mediante el uso del acumulador de fase digital.

Un inconveniente de la técnica N-Fraccional es el potencial de generar bandas laterales o *spurs* (espolones) en la frecuencia del divisor que se está cambiando. Cuando el divisor alterna entre el 11 y el 12 cada período de referencia, por ejemplo, aparece un spur en el medio de la frecuencia de referencia. Estos spurs son indeseables en los sistemas digitales, ya que pueden causar interferencias no deseadas con otros circuitos en el chip.

También puede aparecer el aumento de la fluctuación de fase (Jitter) también puede surgir cuando la fracción deseada está cerca de 0 o 1 debido a que el ciclo de conmutación se hace muy largo. Esto mueve el ruido fraccional a las frecuencias bajas, que el PLL no puede filtrar con eficacia. Si la fracción deseada es 11.01, por ejemplo, el PLL podría dividir por 11 noventa y nueve veces y 12 una sola vez. El ruido fraccional sería entonces igual a 1/100 respecto a la frecuencia de referencia, que es un valor muy por debajo del ancho de banda de bucle y se mostraría directamente como la fluctuación de fase en la salida.

Con el fin de reducir los efectos de estos problemas, se puede utilizar un modulador $\Delta\Sigma$. El modulador delta-sigma desplaza el ruido a las frecuencias altas, que le permite al PLL filtrarlos fácilmente, ya que permite conmutar rápidamente entre múltiples valores de división con el valor promedio, valor de división que sigue siendo correcto. Cuando se utiliza un modulador sigma-delta con un cuantizador de 3 bits para generar 11.01, por ejemplo, la brecha de realimentación puede tomar cualquier valor de 8 a 14. Además, el divisor nunca se queda con el mismo ajuste durante más de unos pocos ciclos que mantiene el ciclo corto de conmutación y por lo tanto lleva el ruido a las altas frecuencias.

Otro beneficio se puede obtener mediante la adición de una pequeña cantidad de ruido pseudo-random al modulador. Esta se extiende y reduce los spurs fraccionarios impidiendo al divisor entrar en ciclos límite donde el mismo patrón se repite en un corto período de tiempo. Los tonos espurios se pueden hacer arbitrariamente pequeños con un modulador $\Delta\Sigma$ mediante el aumento de la longitud del patrón de ruido pseudo-aleatorio.

La estructura básica del PLL fraccional $\Delta\Sigma$ es la misma del PLL N entero; con el agregado de un modulador delta-sigma para generar el multiplicador fraccional. El número de bits fraccional puede variar entre 16 y 24 bits. Incrementando el número de bits se puede incrementar la precisión del valor fraccional. Por ejemplo, una fracción de 16 bits dará cinco lugares a la derecha del punto decimal y 24 bits dará ocho cifras decimales de precisión fraccionaria.

La adopción de un modulador $\Delta\Sigma$ en un PLL fraccional es para codificar más eficazmente la secuencia de factor de división, cortando el efecto de spurs, originado por el ruido de cuantificación.

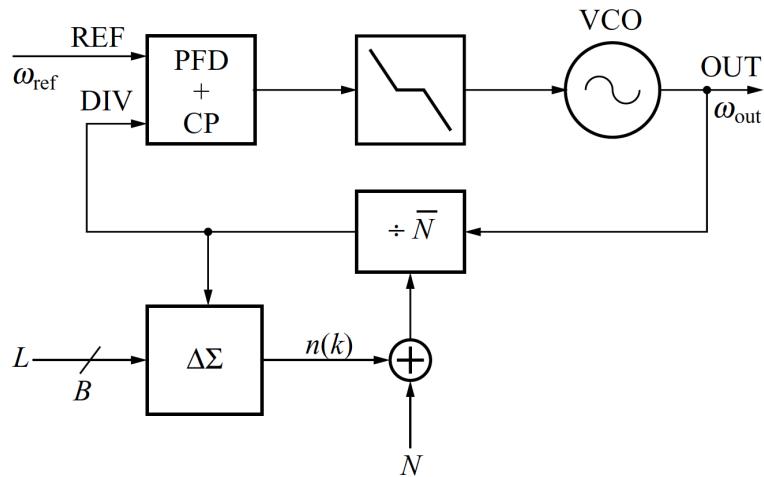


Fig. 5.55. PLL N-Fraccional con un modulador $\Delta\Sigma$ controlando el divisor

La Fig. 5.55 muestra un PLL N-Fraccional controlado por un modulador $\Delta\Sigma$. Notar que ahora el modulador $\Delta\Sigma$ es digital. La señal de entrada es una palabra de B bits dando la parte fraccional del factor de división. El modulador es un conjunto de acumuladores y retardos. El divisor controla la frecuencia, y por ende el ruido de cuantización es la frecuencia del ruido. El ruido de fase resultante que afecta a la salida de PLL de este modo, se obtiene mediante la integración de las fluctuaciones de frecuencia. Tal integración proporciona parte del ruido de cuantificación de la filtración; el resto se lleva a cabo por el filtro de bucle.

El reloj del modulador es la salida del divisor, que es casi igual a la frecuencia de referencia. La entrada del modulador es una señal digital de d.c., una palabra constante de B bits seteando la parte fraccional del factor de división. Si el valor de entrada es L, la frecuencia de salida PLL, está dada por:

$$\omega_{out} = \omega_{ref} \left(N + \frac{L}{2^B} \right) \quad (5.68)$$

Comparándola con la ec. 5.65, se tiene 2^B en lugar de F, y el mínimo salto de frecuencia del PLL es $\omega_{ref} / 2^B$.

El número B, como veremos, se determina por la longitud de los acumuladores, de modo que la resolución puede ser fácilmente muy alta. Para B = 16 y una entrada de referencia de 10 MHz, el paso mínimo está por debajo de 200 Hz. Este enfoque también hace posible ajustar la frecuencia con la precisión requerida por las normas tales como el GSM.

En muchos casos, la salida del modulador $\Delta\Sigma$ no es una palabra de un bit. Por ejemplo, se están utilizando moduladores $\Delta\Sigma$ de tercer orden (tres integradores) donde la salida del modulador tiene $2^3 = 8$ niveles y el factor de división puede ser comutado entre todos los integradores en el rango N-3 hasta N+4.

Los m bits del modulador se añaden a la palabra controlar el divisor programable.

El impacto del modulador $\Delta\Sigma$ sobre el espectro de salida del PLL puede ser evaluada en dos pasos: en primer lugar, el espectro de potencia de su ruido de cuantificación debe ser calculado y expresado como un ruido de fase. Entonces, el ruido puede ser transferido a la salida del PLL utilizando el modelo lineal.

En [12] se demuestra que el caso del acumulador digital es equivalente a un modulador $\Delta\Sigma$ de primer orden.

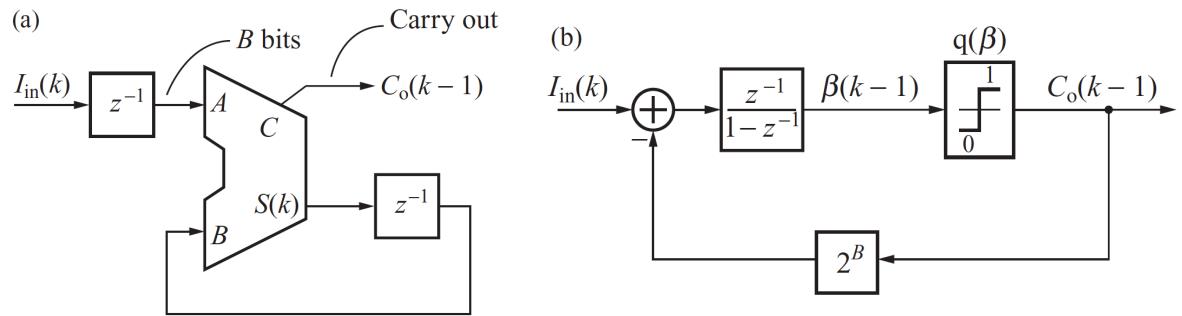


Fig. 5.56. PLL N-Fraccional equivalentes (a) Acumulador de fase digital DPA;
(b) Modulador $\Delta\Sigma$ de primer orden

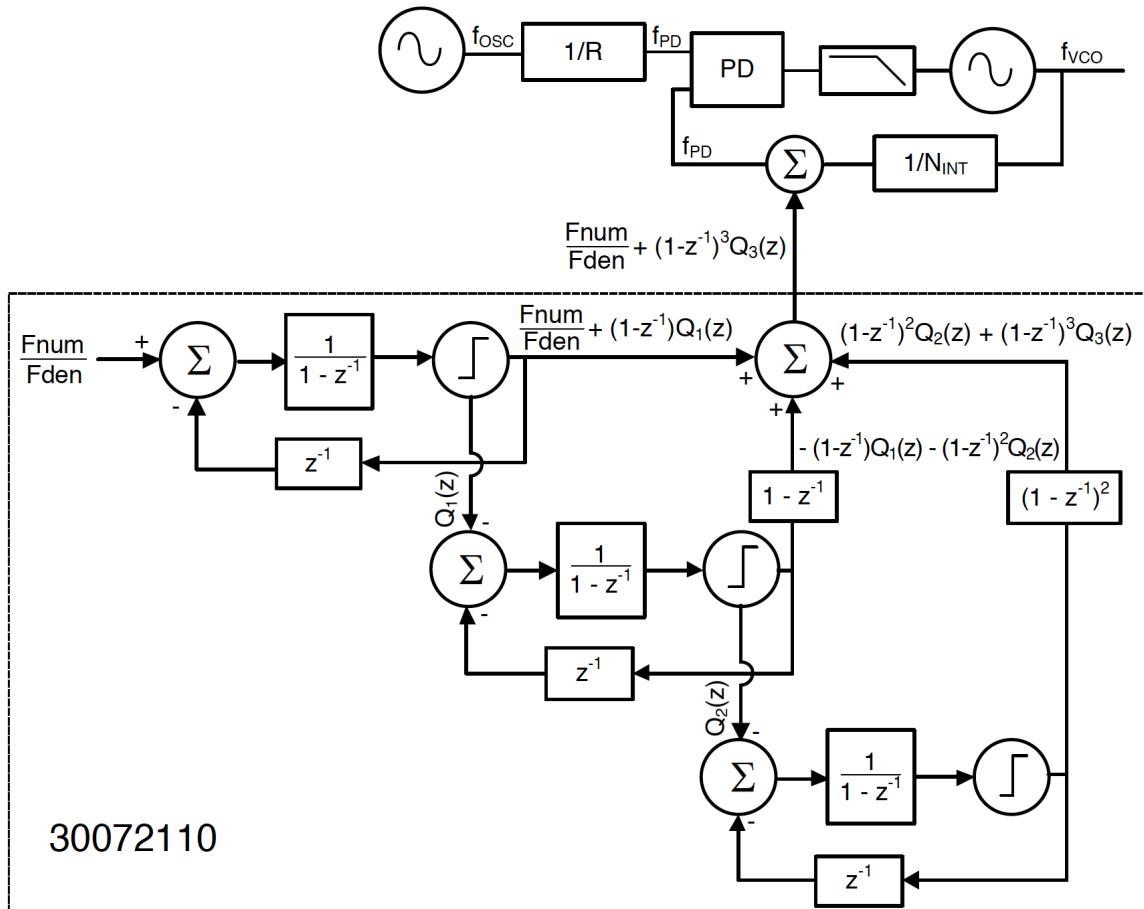


Fig. 5.57. PLL N-Fraccional con modulador $\Delta\Sigma$ de tercer orden

Un ejemplo de aplicación se puede ver en el circuito integrado LMX2485/85E de Texas Instruments.

5.8. Ruido de fase en el PLL

El espectro de salida de un sintetizador de frecuencia siempre está dañado por el ruido con varias dependencias de frecuencia y de tonos, llamados *spurs*, colocado en compensaciones específicas de la señal sintetizada. El ruido y los spurs tienen orígenes diferentes, pero ambos son pequeñas señales que afectan a la fase de la señal de salida.

Hay muchos contribuyentes al ruido de fase tales como el oscilador de referencia, VCO, las resistencias del filtro de bucle, los divisores, el detector de fase, y la bomba de carga.

El oscilador, VCO, y el ruido del resistor de filtro de bucle son de aplicación específica y su análisis es muy simple. A efectos de simplificación, el ruido de los divisores, del detector de fase, y la bomba de carga serán todos unificados en uno solo y se harán referencia como el ruido del PLL. Hay básicamente tres principales contribuyentes al ruido de fase del PLL. Para todos los PLLs, hay un ruido plano y $1/f$ (flicker) ruido producido por la bomba de carga. Además de esto, las partes fraccionarias se han añadido al ruido debido a su compensación fraccionaria. Despues se suman todas estas fuentes de ruido, que se forman por la atenuación del sistema PLL. Los spurs fraccionales son causados por los armónicos de la señal de corriente entregado por la bomba de carga, y se minimizan (casi anulan) en el modulador $\Delta\Sigma$.

5.9. Aplicaciones del PLL

A continuación se mencionan algunas de las aplicaciones mas importantes del PLL. Sobre los sintetizadores de frecuencia con división N-Entero, N-fraccional, N-fraccional Sigma-Delta, divisores y multiplicadores, ya fue mencionado en la sección 5.7.

5.9.1. Sintetizador en HF

En los receptores HF (0.1 a 30MHz) se usa una primera FI alta, por ejemplo 45MHz o mayor, fuera de la banda de recepción, y un OL por encima de la FI, resultando que varíe menos de una octava. Se usa una resolución de 100Hz o menor para clarificar señales de BLU apropiadamente.

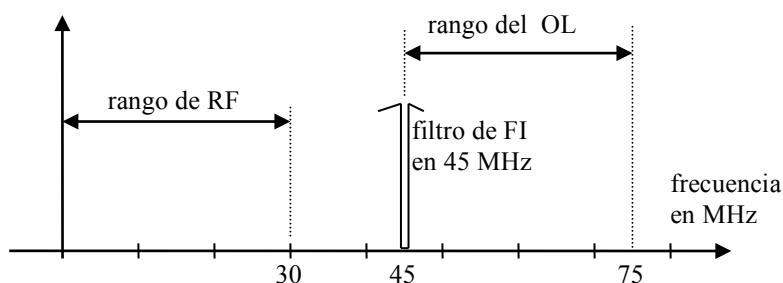


Fig. 5.58.a. PLL Para HF

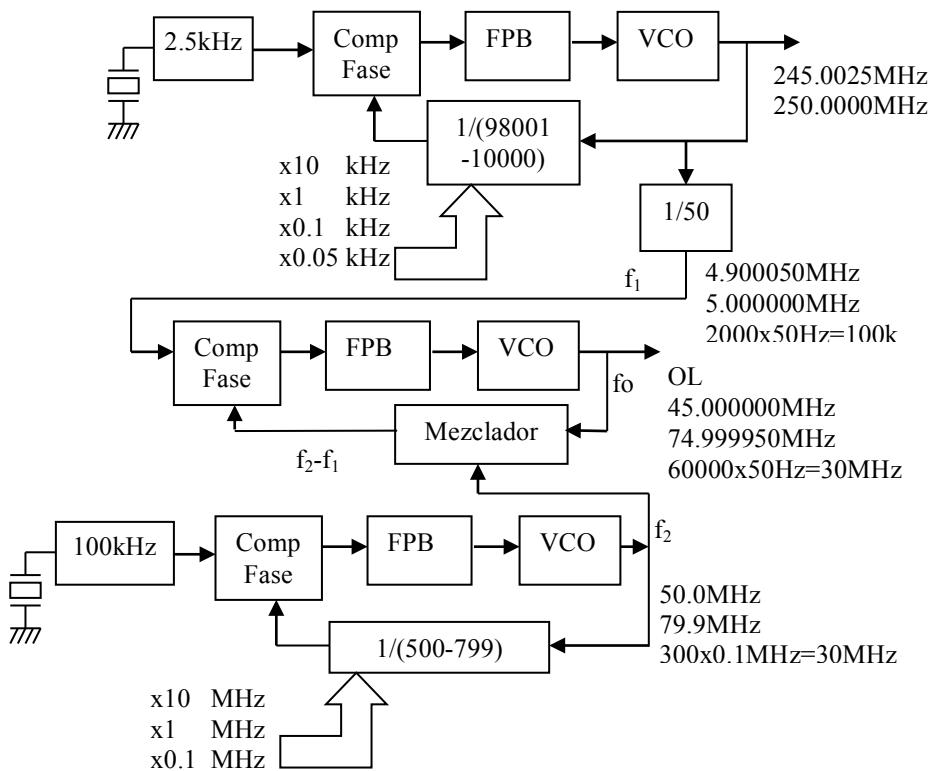


Fig. 5.58.b. PLL Para HF

En el ejemplo que se muestra, el sintetizador genera 60000 frecuencias separadas 50Hz, con solo dos osciladores a cristal. La salida es el OL de un receptor de HF. Consta de tres lazos, y dos divisores programables, que probablemente, por cuestión de costos, deban ser resueltos como divisores programables de doble módulo.

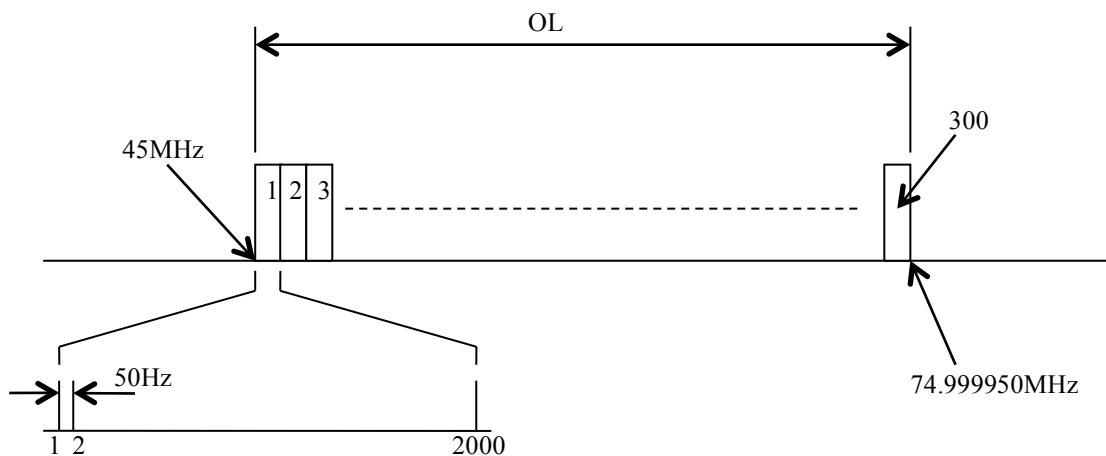


Fig. 5.58.c. PLL Para HF

Nótese que el divisor por 50 eleva la frecuencia de referencia del primer lazo de 50Hz a 2.5kHz para agilizar la respuesta del mismo.

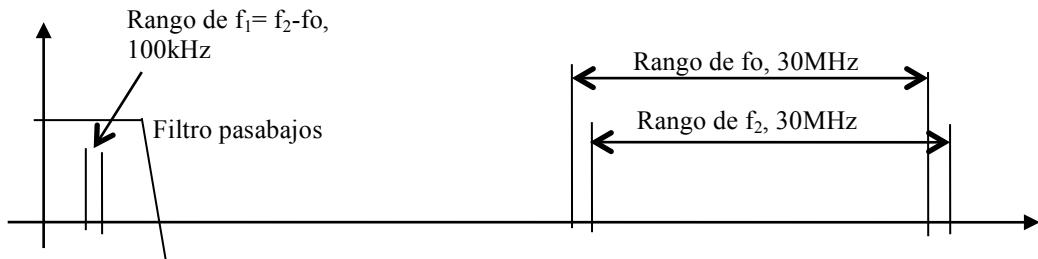


Fig. 5.58.d. PLL Para HF

El empleo del segundo PLL, en vez de un mezclador simple, facilita el filtrado mediante un sencillo filtro pasabajas. De emplearse un mezclador para obtener f_o a partir de f_2 y f_1 , debería seguir a este un complejo filtro pasabanda sintonizado a f_2-f_1 .

Ejemplo 5.3: Plantee una solución para el divisor programable de doble módulo del tercer lazo.

Solución:

Es necesario un prescaler para dividir la frecuencia del Vco a valores que pueda manejar el MC145159 (15 MHz)

Sea $N=16$, $f_{máx}=79.9\text{MHz}/16=4.99\text{MHz}$ es adecuada para un divisor de lógica convencional

Se verifica que $N(N-1)=240$ es menor que 500 que es el divisor mínimo

Cálculos auxiliares: $500/16=31.25$ y $799/16=49.93$

M	A	M*16+A
31	4..15	500...511
32	0..15	512...527
...
49	0..15	784...799

5.9.2. Receptor homodino o sincrodino

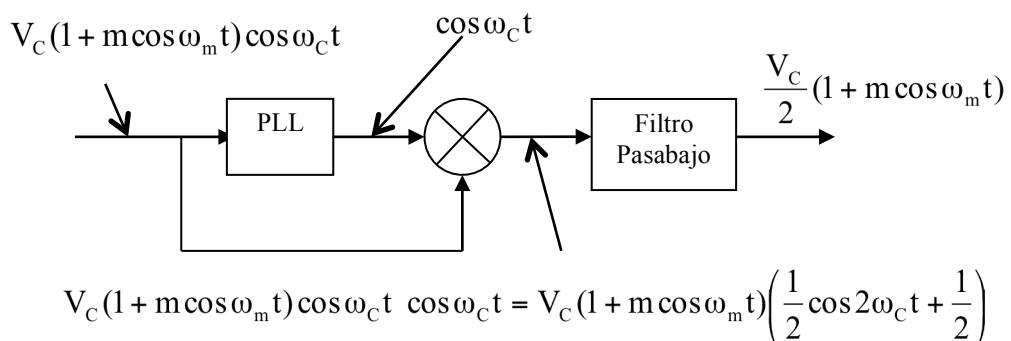


Fig. 5.59. PLL para receptor Homodino

Como se comentó al inicio, la primera aplicación documentada de un PLL data de 1932 y se refiere a la recepción sincrónica de señales de radio moduladas en AM.

Para demodular sincrónicamente una señal de AM hay que mezclarla con una portadora con la misma frecuencia y fase. Las señales de radio frecuentemente se desvanecen o son acompañadas por ruido. El PLL puede recuperar la portadora aún con altos niveles de ruido.

5.9.3. Recuperación de la portadora

En cada receptor coherente, la portadora tiene que ser recuperada de la señal de entrada ruidosa. Aquí, se supone que la portadora está presente todo el tiempo en el espectro recibido (no se examina la recuperación de una portadora suprimida).

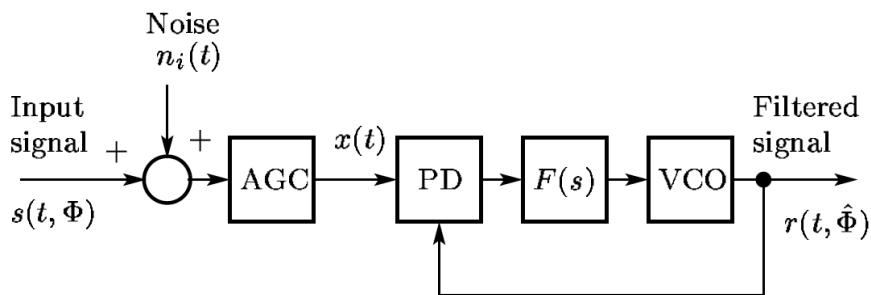


Fig. 5.60. PLL para recuperación de portadora

El objetivo de recuperación de la portadora en CW es de recuperar la portadora y suprimir todo el ruido, la modulación y la interferencia posible. El circuito de recuperación de portadora en CW es un filtro de paso de banda de seguimiento de banda estrecha implementado por un PLL como se muestra en la Fig. 5.60.

La recuperación sin ruido de la portadora en un entorno ruidoso requiere un PLL muy estrecho. Desafortunadamente, las propiedades de captación de PLL de banda estrecha son muy pobres. Este problema puede ser eliminado mediante el uso de dos bucles de diferentes anchos de banda: una amplia uno durante la adquisición y una estrecha en el estado de equilibrio, después de la condición de bloqueo de fase se ha logrado.

El efecto Doppler también debe ser considerado en muchos circuitos de recuperación de la portadora. El PLL de segundo orden ideal puede realizar un seguimiento de una rampa de frecuencia, pero la reducción de error de seguimiento requiere un ancho de banda de bucle de ancho.

Desafortunadamente, el rendimiento de rechazo al ruido de un PLL es inversamente proporcional al ancho de banda del bucle. Para baja SNR, esta contradicción puede resolverse mediante el uso de tercera o configuraciones de bucle de orden superior.

5.9.4. Sintetizador y modulador angular

El PLL se utiliza ampliamente en la síntesis de frecuencia para generar señales de espectralmente puras y, si es necesario, para operar como un sintetizador de frecuencia análogo o digital o modulador de fase. La multiplicación o división de frecuencia, la adición o sustracción de frecuencia se pueden realizar, utilizando un PLL en conjunción con divisores de frecuencia programables y mezcladores como se muestra en la Fig. 5.61. Como resultado, la frecuencia de salida f_o depende de la referencia f_R y OFFSET frecuencias f_S , por otra parte, sobre los factores de división de los divisores de frecuencia. En síntesis de frecuencia, la entrada PLL se llama

señal de referencia y su frecuencia se denota por f_R . En algunos casos se utiliza con frecuencia una configuración de circuito multiloop.

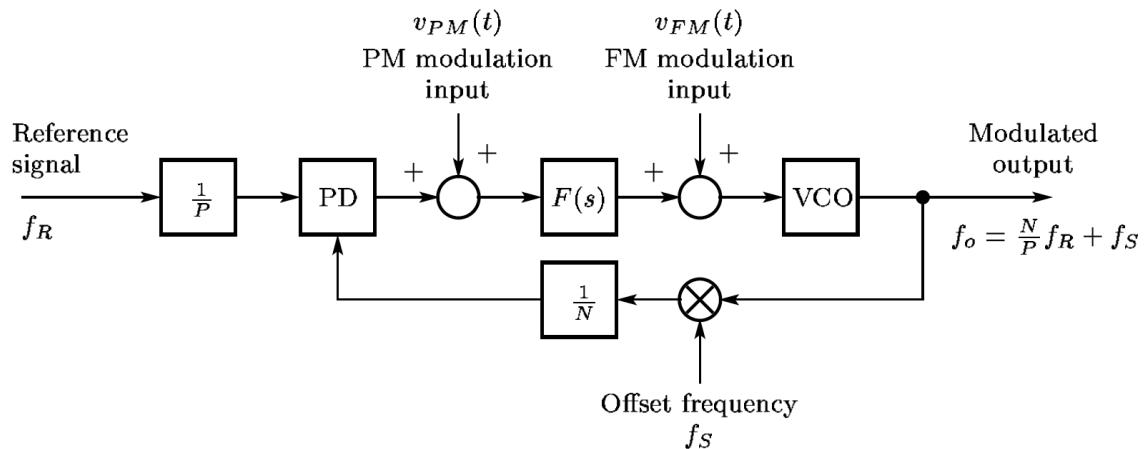


Fig. 5.61. PLL para modulación angular

5.9.4.1. Modulador de frecuencia

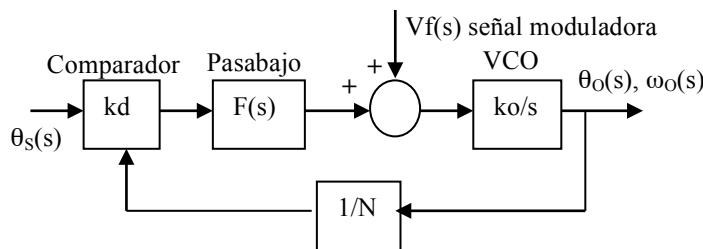


Fig. 5.62. PLL para modulación de frecuencia

La función de transferencia de lazo cerrado $H(s)$ de un PLL, es parecida a la de un filtro pasabajos (esto es exacto si $\xi < 1$). Si la frecuencia de la señal moduladora V_f es mucho mayor que la frecuencia de corte de $H(s)$, el lazo no reaccionará, la salida del filtro pasabajos no variará, por lo tanto se comportará como un modulador de frecuencia, esto es $\omega_O(s) = k_0 V_f(s)$.

Se demostrará esto suponiendo por simplicidad que $F(s)=F_A(s)$ (filtro RC)

$$\text{si } F(s)=F_A(s) \quad H(s)=\frac{N\omega_n^2}{s^2+2\xi\omega_n s+\omega_n^2} \quad \text{normalizando } H'(s)=\frac{\omega_n^2}{s^2+2\xi\omega_n s+\omega_n^2}$$

$$\text{pero } H'(s)=\frac{\frac{k_d k_o}{sN} F_A(s)}{1+\frac{k_d k_o}{sN} F_A(s)} \text{ por lo tanto } 1-H'(s)=\frac{s}{s+\frac{k_d k_o}{N} F_A(s)}$$

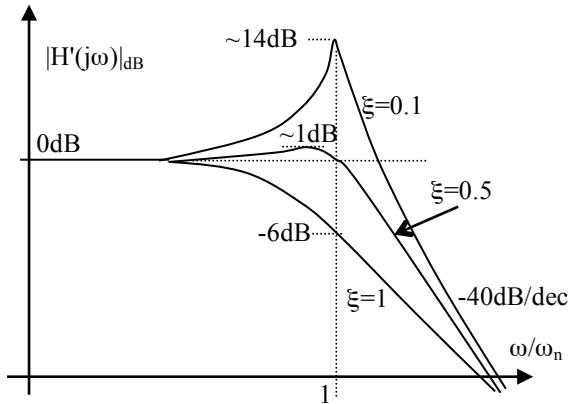


Fig. 5.63. Ancho de banda para distintos coeficientes de amortiguamiento

$$\frac{\theta_O(s)}{V_f(s)} = \frac{\frac{k_o}{s}}{1 + \frac{k_d k_o}{sN} F_A(s)} = \frac{k_o}{s + \frac{k_d k_o}{N} F_A(s)} = \frac{k_o}{s} [1 - H'(s)]$$

$$\text{como } \omega_O(s) = s\theta_O(s), \quad \frac{\omega_O(s)}{V_f(s)} = k_o [1 - H'(s)]$$

Si la frecuencia de modulación es mucho mayor que la frecuencia de corte del modulador, esto es $\omega_{\text{mod}} \gg \omega_1$, la ganancia del modulador vale $\frac{\omega_O}{V_f} = k_o$.

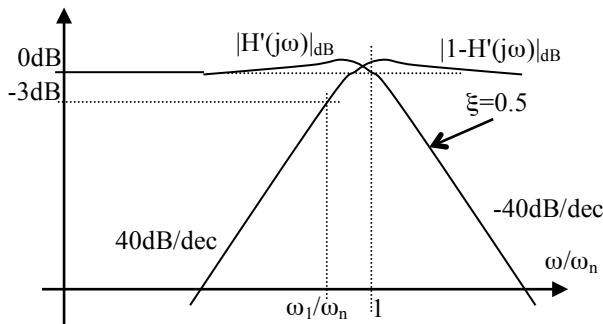


Fig. 5.64. Modulación en frecuencia. Ancho de banda

Para modulación de frecuencia sin distorsión, se debe cumplir que $\omega_{\text{mod}}(\text{mín}) > \omega_1$. Este último valor es del orden de la frecuencia natural del lazo ω_n .

5.9.4.2. Modulador de fase

Si la frecuencia de la señal moduladora es mucho menor que la frecuencia de corte del lazo $H(s)$, el lazo reacciona muy rápido manteniendo la frecuencia de salida, pero la fase se modifica para compensar el efecto de V_f . Se demostrará, partiendo de los resultados obtenidos del modulador de frecuencia.

$$\frac{\theta_o(s)}{V_f(s)} = \frac{k_0}{s} [1 - H'(s)] = \frac{k_0}{s} \left(1 - \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \right) = k_0 \frac{s + 2\xi\omega_n}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

$$\frac{\theta_o(s)}{V_f(s)} = \frac{k_0}{\omega_n^2} \frac{(s + 2\xi\omega_n)\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} = \frac{2\xi k_0}{\omega_n} H'(s) \left(1 + \frac{s}{2\xi\omega_n} \right)$$

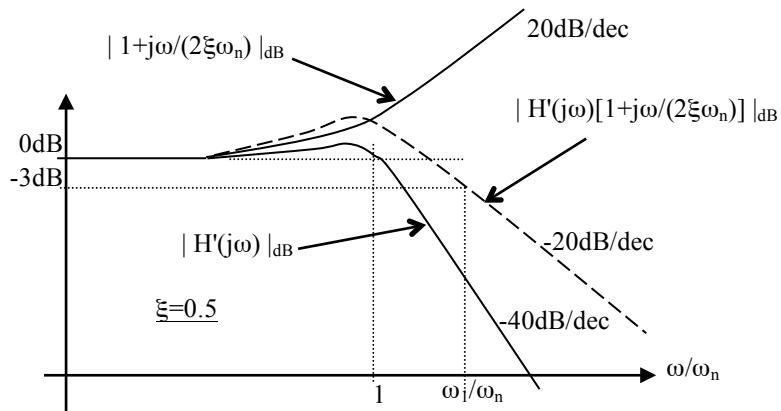


Fig. 5.65. Modulación en fase. Restricciones del ancho de banda

Para modulación de fase sin distorsión, se debe cumplir que $\omega_{mod}(máx) < \omega_1$. Este último valor es del orden de la frecuencia natural del lazo ω_n .

La ganancia del modulador de fase para frecuencias bajas de modulación es

$$\frac{\theta_o}{V_f} = \frac{2\xi k_0}{\omega_n} \quad \text{pero para } F(s) = F_A(s) \quad \xi = \frac{\omega_n}{2k_d k_0} \quad \text{por lo tanto } \frac{\theta_o}{V_f} = \frac{N}{k_d}$$

5.9.5. Demodulación coherente

Un circuito de aplicación para demodulación coherente de PM, FM, AM se muestra en la [Fig. 5.66](#).

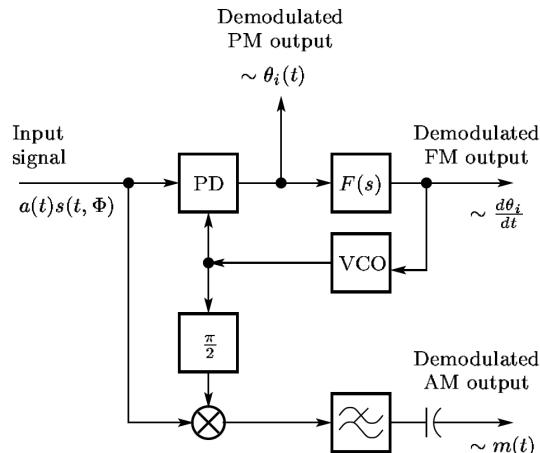


Fig. 5.66. Demodulación coherente con PLL

5.9.5.1. Demodulador PM

Se asume que la señal de entrada es $s(t, \Phi)$ es de fase modulada y $a(t) = A = const.$. La señal demodulada PM aparece a la salida del detector de fase

$$V_d(s) = [1 - H(s)] AK_d \Theta_i(s) \quad (5.69)$$

Donde $\Theta_i(s)$ es la entrada PM y AK_d es la ganancia del demodulador PM. LA señal PM se multiplica por la función de error del lazo cerrado que tiene una característica pasa alto. La distorsión es despreciada si el ancho de banda del lazo cerrado es menor que la frecuencia de modulación mas baja. La otra fuente de distorsión es la nolinealidad del PD.

5.9.5.2. Demodulador FM

Se asume que la señal de entrada aplicada al PLL es de frecuencia modulada. Debido a la condición del PLL, la frecuencia del VCO sigue a la frecuencia de entrada. Debido a la que la frecuencia instantánea del VCO es proporcional al voltaje de control del VCO, la modulación de FM puede ser recuperada del voltaje de control del VCO. Esto significa que la señal se obtiene de

$$V_c(s) = H(s) \frac{1}{K_v} s \Theta_i(s) \quad (5.70)$$

Donde $1 / K_v$ es la ganancia del demodulador FM. Esta ecuación muestra la salida del demodulador de FM es la tensión de control del VCO, y es proporcional a la entrada de FM, si el ancho de banda del lazo cerrado excede la mas alta modulación de frecuencia.

5.9.5.3. Demodulador AM

Se asume que la señal de entrada aplicada al PLL es de modulación de amplitud.

$$x(t) = [1 + m(t)] \sqrt{2} A \sin(\omega_i t + \theta_{i0}) \quad (5.71)$$

Donde $m(t)$ lleva la información, y A , ω_i y θ_{i0} son constantes. EL demodulador PLL contiene la recuperación de la portadora y un demodulador de AM (multiplicador analógico y filtro pasa bajos). Debido a que el PLL necesita una señal de entrada para ser rastreados continuamente, el espectro de la señal AM debe contener una componente de la portadora.

La portadora es recuperada por el PLL, su VCO de salida es

$$r(t, \hat{\Phi}) = \sqrt{2} V_o \cos(\omega_i t + \theta_{i0}) \quad (5.72)$$

Esta señal se multiplica por la señal de entrada AM. El filtro de paso bajo selecciona la salida de diferencia de frecuencia de multiplicador y el condensador de bloqueo de DC elimina su componente DC. La señal demodulada se obtiene de las ecuaciones anteriores

$$AV_o m(t) \quad (5.73)$$

Donde AV_o es la ganancia del demodulador de AM

5.9.6. Lazo cuadrático con PLL

En este caso, la operación no lineal se lleva a cabo por un dispositivo de ley cuadrática, es decir, un circuito doblador de frecuencia.

Como se muestra en la Fig. 5.67, la operación no lineal precede a la APLL de banda estrecha. De la ecuación (5.74) se obtiene la salida del circuito doblador de frecuencia

$$v_i(t) = m(t) \sin(\omega_i t + \theta_i) \quad (5.74)$$

$$v_x(t) = v_i^2(t) = \frac{1}{2} m^2(t) [1 - \cos(2\omega_i t + 2\theta_i)] \quad (5.75)$$

Debido a que $m(t) = \pm 1$, $m^2(t) = 1$ y

$$v_x(t) \approx \cos(2\omega_i t + 2\theta_i) \quad (5.76)$$

La ec. 5.76 muestra que, luego de doblar la frecuencia, se puede utilizar un PLL de banda ancha para recuperar la segunda armónica de la portadora. Finalmente, la salida del doblador de frecuencia es la frecuencia dividida en dos, de manera tal que se puede recuperar la portadora original.

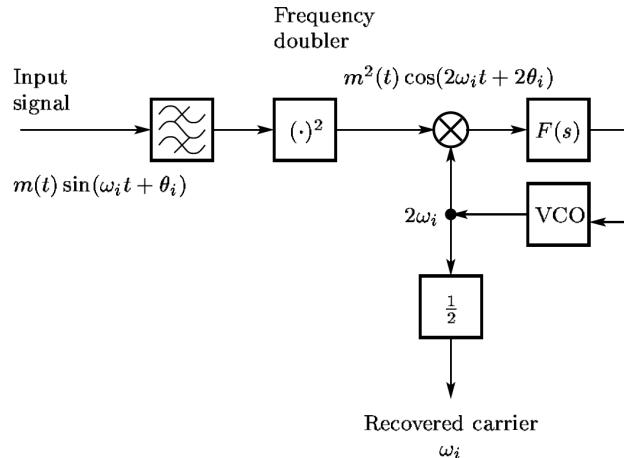


Fig. 5.67. Lazo cuadrático con PLL

5.9.7. Costas PLL

El Costas PLL es utilizado en aplicaciones de comunicaciones analógicas y digitales, y se muestra en la Fig. 5.68.

La diferencia con el PLL convencional es que el VCO consiste de dos unidades en cuadratura.

El Costas PLL puede ser utilizado como demodulador para DSB/SC (Double Sideband Supressed Carrier) en comunicaciones analógicas o BPSK (Binary Phase Shift Keyed) en comunicaciones digitales.

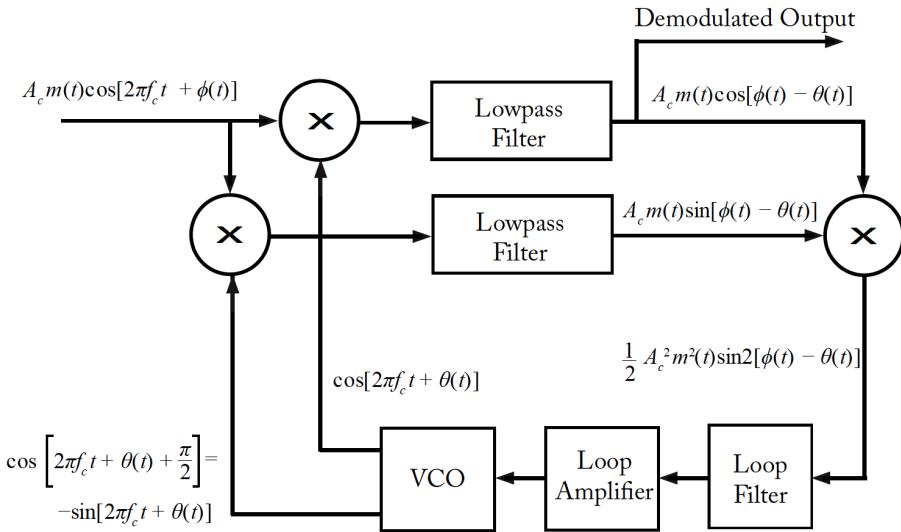


Fig. 5.68. Costas PLL

5.9.8. Demodulación de señal BPSK por Costas loop

En el bucle de elevación al cuadrado se realiza la operación no lineal en la banda de RF. El Costas PLL ofrece una solución alternativa, donde se elimina la modulación BPSK en la banda base. El diagrama de bloques de bucle de Costas se muestra en la Fig. 5.69. El circuito contiene los canales en fase (brazo-I) y en cuadratura (brazo-Q) y un multiplicador analógico, es decir, un detector de fase que precede al filtro de bucle. Los brazos I y Q consisten en un multiplicador analógico y un filtro de paso bajo. Para entender el funcionamiento del bucle de Costas, se supone que la condición de bloqueo de fase se ha logrado y que la salida del VCO es

$$2 \cos(\omega_i t + \theta_o) \quad (5.77)$$

La salida de los filtros pasa bajos en los brazos Q e I son $m(t)\sin(\omega_i t + \theta_o)$ y $m(t)\cos(\omega_i t + \theta_o)$ respectivamente. Teniendo en cuenta que $m^2(t) = 1$, la salida del multiplicador de banda base es

$$\frac{1}{2} m^2 \sin[2(\theta_i - \theta_o)] = \frac{1}{2} \sin(2\theta_e) \quad (5.78)$$

La ec. 5.78 muestra que, a excepción del multiplicador constante, la salida del multiplicador de banda base en el lazo Costas, es igual a la salida del PD de un PLL convencional, con el caso libre de ruido. Consecuentemente, el Costas PLL es un APLL.

Además de recuperar la portadora, el lazo Costas demodula la señal BPSK entrante. Si el error de fase es chico, entonces la salida del filtro pasabajos en el brazo I es:

$$m(t)\cos(\theta_i - \theta_o) \approx m(t) \quad (5.79)$$

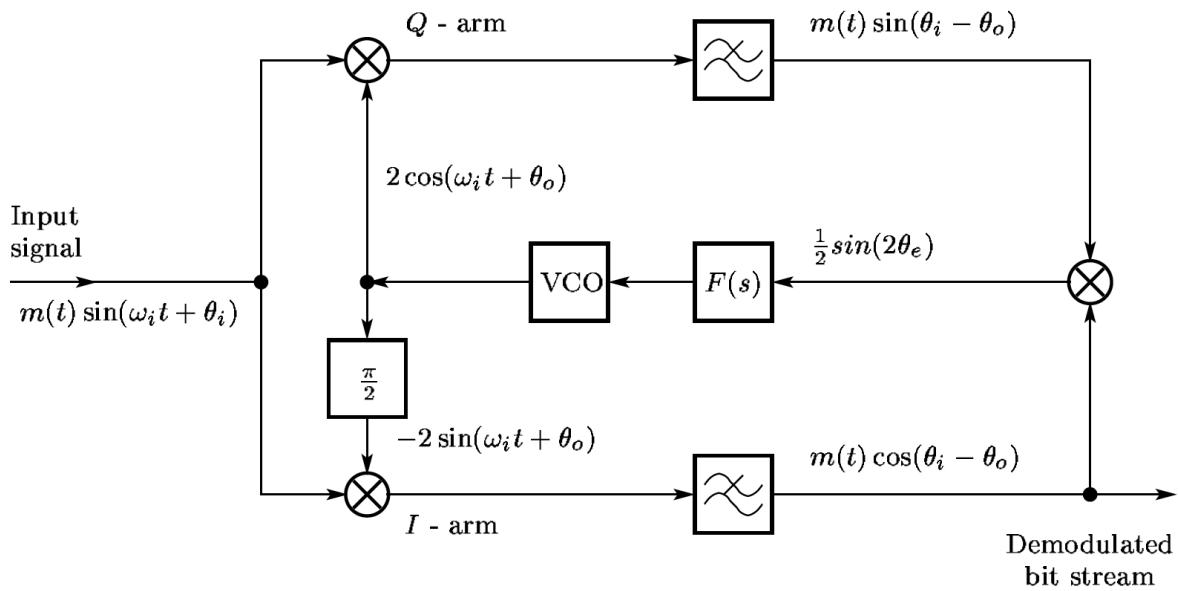


Fig. 5.69. Demodulación de la señal BPSK por Costas PLL

5.9.9. Circuito de recuperación de ciclos de reloj

La información de temporización, es decir, la señal de reloj, también tiene que ser recuperada en un sistema de telecomunicación digital. Hay dos clases básicas de circuitos de recuperación de reloj, pero un PLL pueden ser reconocidos dentro de ambas soluciones.

El componente de frecuencia de reloj se regenera a partir de la señal entrante a través de una operación no lineal en la primera clase de circuitos de recuperación de reloj. Estos enfoques ofrecen la solución más simple, pero su rendimiento no es muy bueno. Estas soluciones son análogos al bucle de elevación al cuadrado utilizado en la recuperación de portadora suprimida.

Ejemplos de estos circuitos son el sincronizador cruz-símbolo y el símbolo sincronizador de bucle cuadratura.

La otra clase de circuito de recuperación de reloj se basa en la técnica de máximo de estimación a posteriori (maximum a posteriori estimation, MAP). Actualmente se utilizan algunas variantes de esta técnica; estas difieren principalmente en el detector de fase (también llamado detector de error del reloj). Se mostrará un ejemplo de funcionamiento del circuito de recuperación de reloj de compuerta temprano-tardío.

El diagrama de bloques del circuito de recuperación de reloj de compuerta temprano-tardío se muestra en la Fig. 5.70.

El circuito contiene un par de integradores de compuerta llamados tempranos y tardíos, cada uno realizando su integración durante un intervalo de tiempo de $T / 2$. El flujo de bits de entrada es:

$$\sum_n a_n p(t - nT) \quad (5.80)$$

donde T es la duración del símbolo y $p(t)$ denota una duración de anchura de pulso rectangular T . La integración por las puertas tempranas y tardías se llevan a cabo en los intervalos de tiempo $T / 2$, justo antes y después, respectivamente, la ubicación estimada de la transición de datos. Los intervalos de las compuertas contiguos entre sí, pero no se superpuestos.

Las formas de onda que ayudan a comprender el funcionamiento del circuito de recuperación de reloj se muestran en la Fig. 5.71. Si el error de temporización es igual a cero, entonces la transición de datos cae justo en el límite entre la operación de los primeros 9 y finales de puertas. En este caso, las transiciones de datos estimados y entrantes coinciden entre sí, y la salida de los dos integradores, almacenada en los condensadores de retención C_H , son iguales. Como resultado, la v_d voltaje de error (t) se convierte en cero.

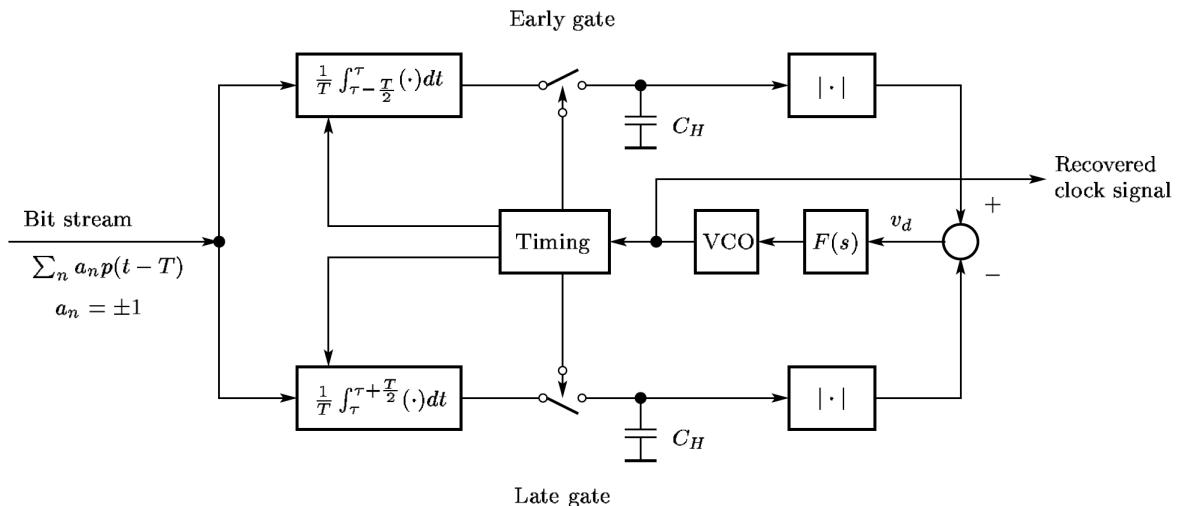


Fig. 5.70. Recuperación de clock por PLL

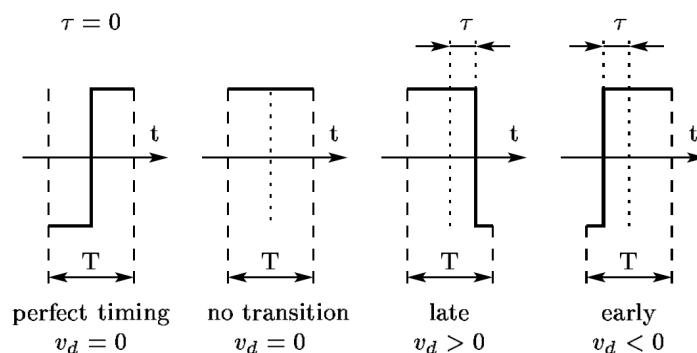


Fig. 5.71. Formas de onda típicas en el circuito de recuperación de clock early-late gate

Debido a que el voltaje de error se produce a partir de los valores absolutos de las salidas del integrador, también es cero si los datos de transición faltan.

Si una transición de datos de entrada no coincide con el instante de tiempo estimado de una transición, entonces un error de temporización denota por τ en la Fig. 5.71 aparece. En este caso, los datos de transición no cae en el límite de funcionamiento de las puertas temprano y tardío, pero se produce dentro del intervalo de funcionamiento de una de las puertas como se muestra en la Fig. 5.71. Puesto que la señal de entrada cambia su polaridad durante la operación de la puerta, la integración asociado alcanza una magnitud menor que la de la otra puerta, donde no se produce una transición. La comparación de las magnitudes de los dos integradores da la v_d voltaje de error (t) que se utiliza después del filtrado de paso bajo para controlar la frecuencia del VCO [13].

5.10. Ejemplos varios

Ejemplo 5.4: Diseño de PLL para una banda de 450-475MHz con las siguientes especificaciones:

Rango de frecuencia: 450-475MHz

Espaciamiento del canal: 25kHz

Modulación: FM de 300 a 3kHz

Desviación de la modulación: +/-5kHz

Tipo de lazo: Tipo 2

Orden del lazo: Segundo orden

Ganancia del VCO: $K_o = 1.25\text{MHz/V} = 7.854 \text{ Mradians/sec./V}$

Detector de fase tipo: PFD ($\beta = 2\pi$)

Ganancia del detector de fase: $K_d = 0.796 \text{ V/radian}$

Notas sobre el espaciamiento del canal:

Regla de Carson → BW de una señal FM es $\approx 2[\Delta f_c + f_m(\max)] = 2(\pm 5\text{kHz} + 3\text{kHz}) = 16\text{kHz}$

Si asumimos una guarda de banda de 9 kHz, entonces

Espaciamiento del canal = 9 kHz + 16 kHz = 25 kHz

Solución:

La solución será con un PLL con prescaler de doble módulo o el PLL N-fraccional. No obstante en este ejemplo no se tendrá en cuenta las limitaciones del divisor de frecuencia.

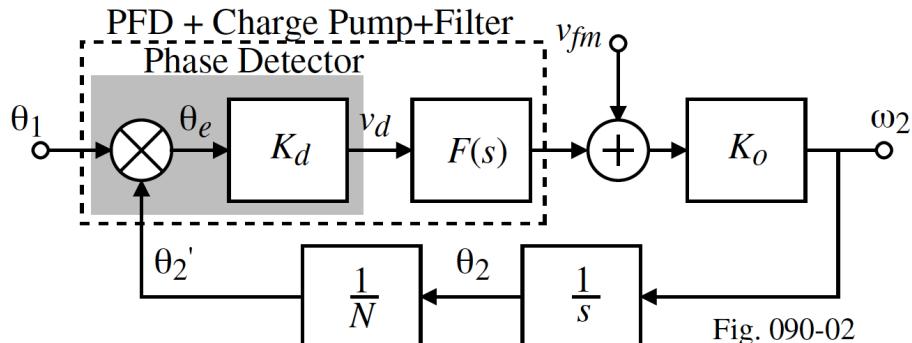


Fig. 5.72. PLL utilizado en el ejemplo 5.4

La función de transferencia salida/entrada al modulador es $\frac{\omega_2(s)}{V_{fm}(s)}$ y se calcula:

$$\omega_2(s) = K_0 \left[V_{fm}(s) + F(s)K_d \left(\theta_1 - \frac{\omega_2(s)}{sN} \right) \right] = K_0 \left[V_{fm}(s) + F(s)K_d \theta_1 - \frac{F(s)K_d}{sN} \omega_2(s) \right] \quad (5.81)$$

Si hacemos $\theta_1 = 0$ entonces

$$\frac{\omega_2(s)}{V_{fm}(s)} = \frac{K_0}{1 + \frac{F(s)K_dK_0}{sN}} \quad (5.82)$$

La función de transferencia de la bomba de carga + filtro es:

$$F(s) = \frac{1 + \tau_2 s}{\tau_1 s} \quad (5.83)$$

La función de transferencia final queda entonces:

$$\frac{\omega_2(s)}{V_{fm}(s)} = \frac{K_0}{1 + \frac{(1 + \tau_2 s)K_dK_0}{s^2 N \tau_1}} = \frac{s^2 K_0}{s^2 + \frac{K_d K_0 \tau_2}{N \tau_1} s + \frac{K_d K_0}{N \tau_1}} = \frac{s^2 K_0}{s^2 + 2\xi \omega_n s + \omega_n^2} \quad (5.84)$$

$$\text{Donde } \omega_n = \sqrt{\frac{K_d K_0}{N \tau_1}} \text{ y } \xi = \frac{\tau_2}{2} \sqrt{\frac{K_d K_0}{N \tau_1}}$$

Los parámetros del lazo son:

1) Relación de división:

$$N_{\min} = \frac{450 \text{ MHz}}{25 \text{ kHz}} = 18.000 \text{ y } N_{\max} = \frac{475 \text{ MHz}}{25 \text{ kHz}} = 19.000$$

2) Ancho de banda del lazo:

Para pasar el límite de frecuencia 300Hz inferior, es necesario que la frecuencia máxima de -3 dB es 300Hz.

Por lo tanto, $B_L = 300\text{Hz}$.

3) Constante de amortiguamiento

Se selecciona $\xi = 0.707$. Se verifica si es consistente con el diseño

$$\xi = \frac{\tau_2}{2} \sqrt{\frac{K_d K_0}{N \tau_1}} \rightarrow \xi = \frac{k}{\sqrt{N}},$$

$$\xi_{\max} = \frac{k}{\sqrt{N_{\min}}} \text{ y } \xi_{\min} = \frac{k}{\sqrt{N_{\max}}} \text{ por lo tanto, } \xi_{\max} = \xi_{\min} \frac{\sqrt{N_{\max}}}{\sqrt{N_{\min}}} = 1.0274 \xi_{\min}$$

$$\text{También } \xi = \sqrt{\xi_{\max} \xi_{\min}} = 0.707 \text{ que da}$$

$$\xi_{\min}^2 (1.0274) = 0.5 \rightarrow \xi_{\min} = 0.6976 \text{ y } \rightarrow \xi_{\max} = 1.0274 * 0.6976 = 0.7167$$

4) Frecuencia natural, ω_n

$$\omega_{-3dB} = \omega_n \sqrt{2\xi^2 + 1 + \sqrt{(2\xi^2 + 1)^2 + 1}} \text{ por lo que } \omega_n = \frac{\omega_{-3dB}}{\sqrt{2\xi^2 + 1 + \sqrt{(2\xi^2 + 1)^2 + 1}}}$$

El máximo valor de ω_n ocurre con los mínimos valores de N y ξ

$$\omega_{n_max} = \frac{\omega_{-3dB}}{\sqrt{2\xi_{\min}^2 + 1 + \sqrt{(2\xi_{\min}^2 + 1)^2 + 1}}} = \frac{2\pi 300}{\sqrt{2(0.6976)^2 + 1 + \sqrt{(2(0.6976)^2 + 1)^2 + 1}}} = 980 \text{ rad/s}$$

$$\omega_{n_min} = \frac{\omega_{-3dB}}{\sqrt{2\xi_{max}^2 + 1 + \sqrt{(2\xi_{max}^2 + 1)^2 + 1}}} = 910 \text{ rad/s}$$

$$\omega_n = \sqrt{\omega_n(\max)\omega_n(\min)} = 944 \text{ rad/s}$$

Resumen:

Frequency (MHz)	N	ω_n (rads./sec.)	ζ	Bandwidth (Hz)
450.00	18,000	910	0.7167	300
475.00	19,000	980	0.6976	300

Diseño del filtro de lazo

El filtro de lazo seleccionado es del tipo activo PI con salida única como se muestra en el Fig.

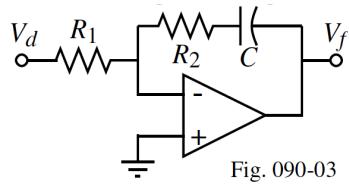


Fig. 090-03

Fig. 5.73. PLL utilizado en el ejemplo 5.4

La función de transferencia es:

$$F(s) = \frac{sR_2C + 1}{sR_1C} = \frac{s\tau_2 + 1}{s\tau_1} \rightarrow \tau_1 = R_1C \text{ y } \tau_2 = R_2C$$

Para el cálculo de las constantes de tiempo del filtro, usamos el dato $N=18000$

$$\tau_1 = \frac{K_d K_0}{N \omega_n^2} = \frac{0.796 * 7.854 \cdot 10^6}{18000 (910)^2} = 0.419 \text{ ms}$$

$$\tau_2 = \frac{2\xi}{\omega_n} = \frac{2 * 0.7167}{910} = 1.575 \text{ ms}$$

Selección de los componentes:

Se asume $R_1 = 2.4 \text{ k}\Omega$

$$C = \frac{\tau_1}{R_1} = \frac{0.419 \cdot 10^{-3}}{2.4 \cdot 10^3} = 0.175 \mu\text{F} \text{ y } R_2 = \frac{\tau_2}{C} = \frac{1.575 \cdot 10^{-3}}{0.175 \cdot 10^{-6}} = 9.0 \text{ k}\Omega$$

La versión diferencial del filtro de lazo es:

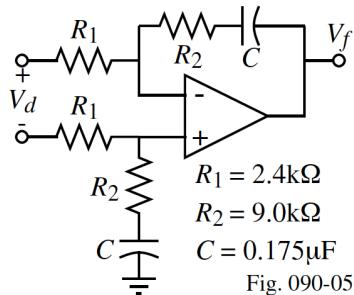


Fig. 090-05

Estabilidad del lazo:

La ganancia de lazo para N=18000 está dada por:

$$LG(s) = \frac{K_d K_0 F(s)}{Ns} = \frac{K(1 + \tau_2 s)}{\tau_1 N s^2} = \frac{7.854 \times 10^6 * 0.796 * (1 + 1.575 \times 10^{-3} s)}{0.419 \times 10^{-3} * 18000 s^2}$$

$$LG(s) = \frac{828.83 \times 10^3 (1 + 1.575 \times 10^{-3} s)}{s^2}$$

El plot de Bode es:

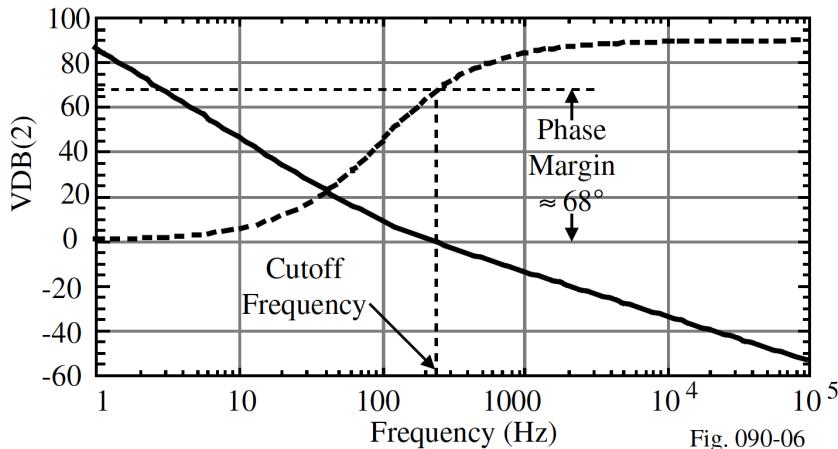


Fig. 090-06

Fig. 5.74. Bode de la función del lazo

El plot de la función de transferencia del lazo cerrado de $\frac{\omega_2(j\omega)}{V_{fm}(j\omega)}$ es:

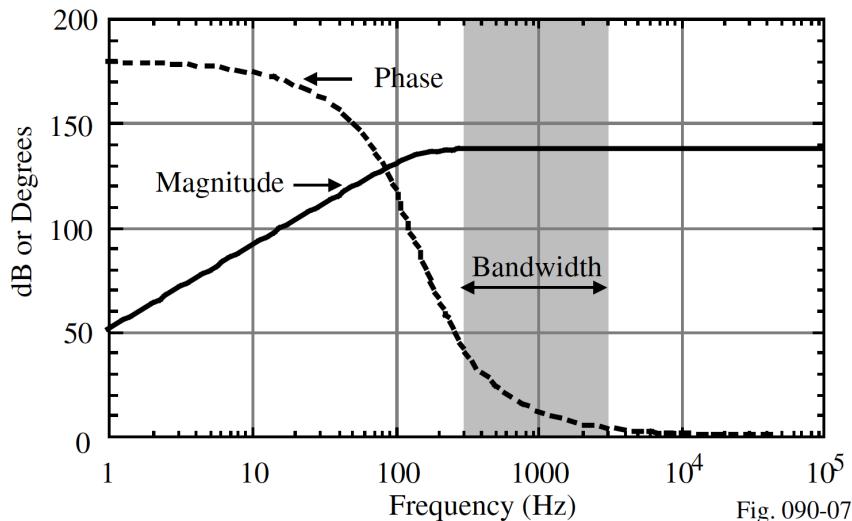
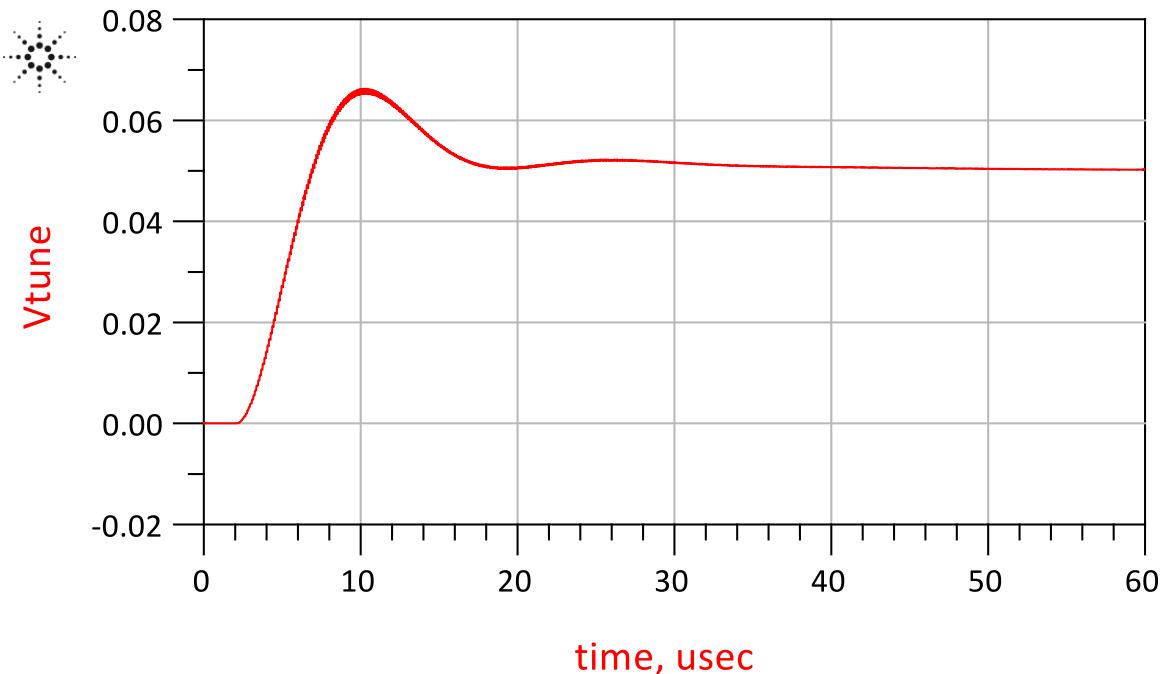
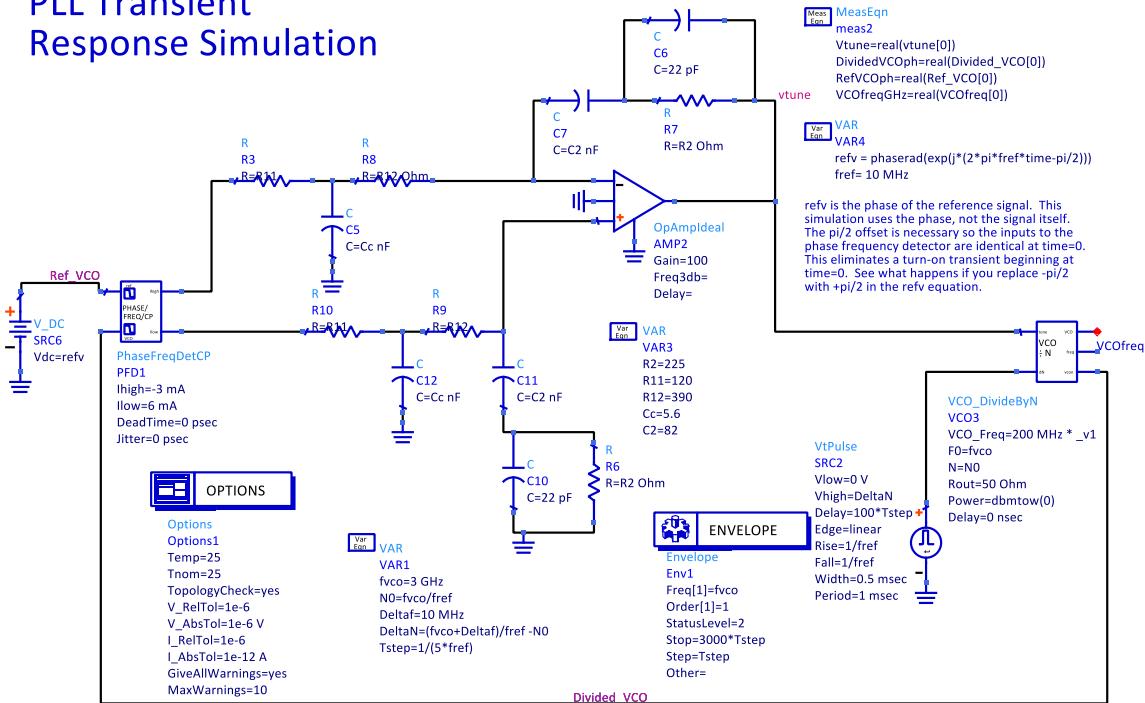


Fig. 090-07

Fig. 5.75. Bode de la función del lazo cerrado respecto al modulador

Ejemplo 5.5: Simulación con ADS de un PLL con filtro activo. Se analiza el comportamiento desde 3.0GHz hasta 3.010GHz. El archivo de simulación es pll_testR1_wrk

PLL Transient Response Simulation



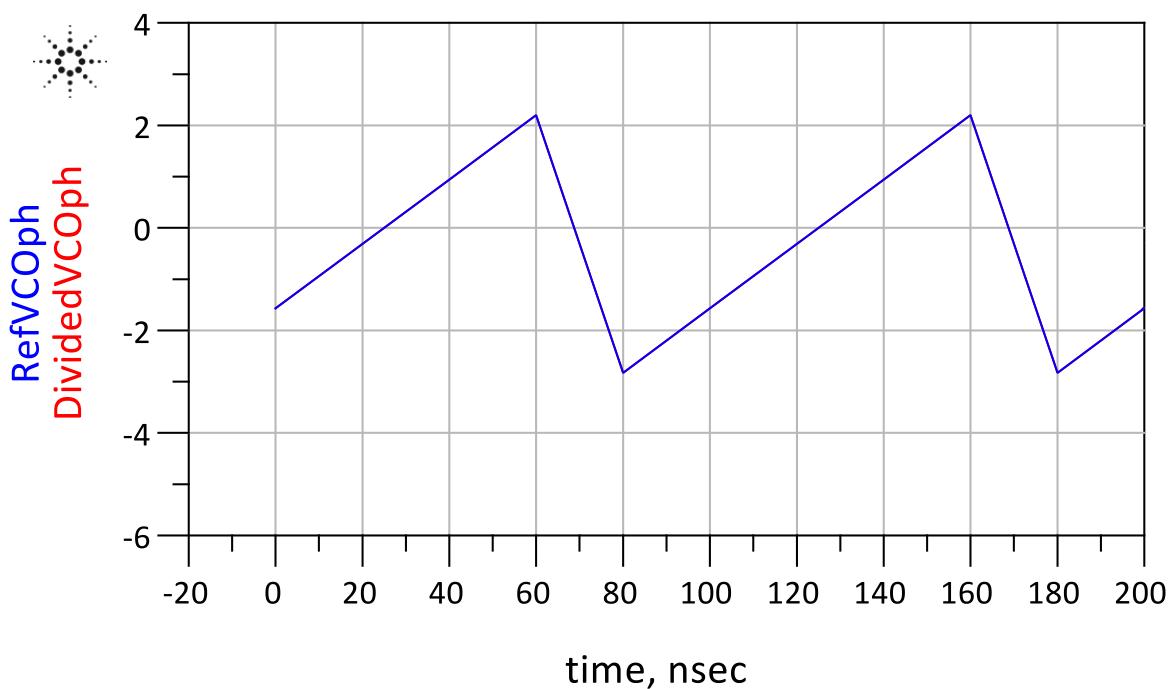
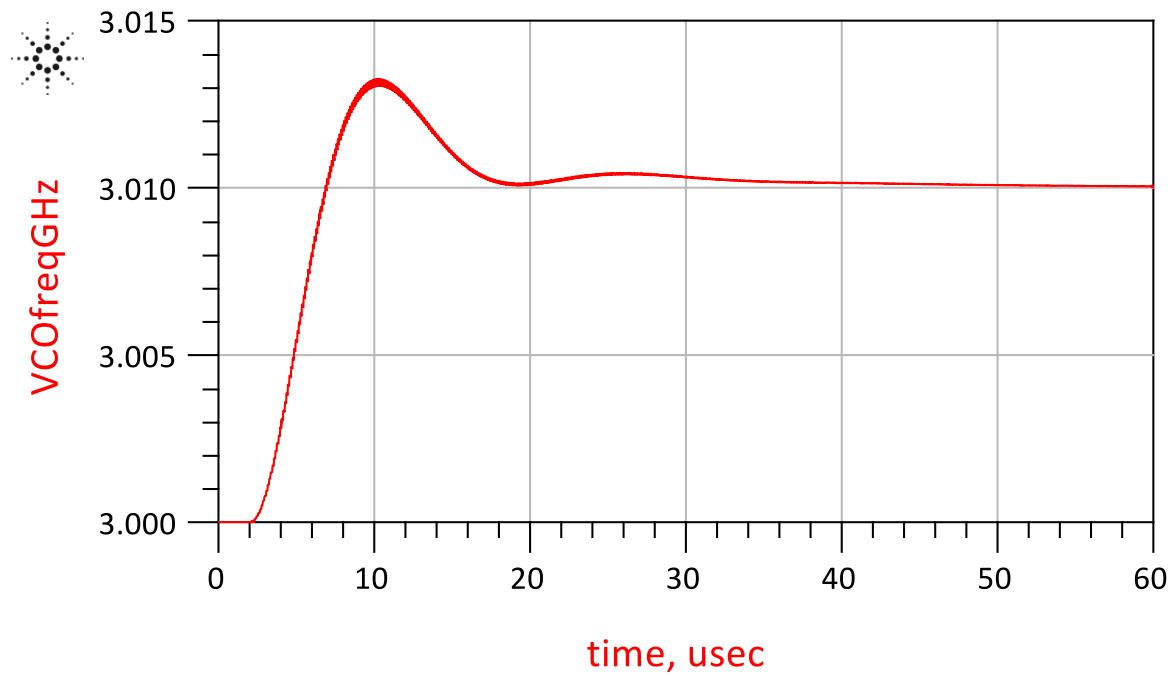
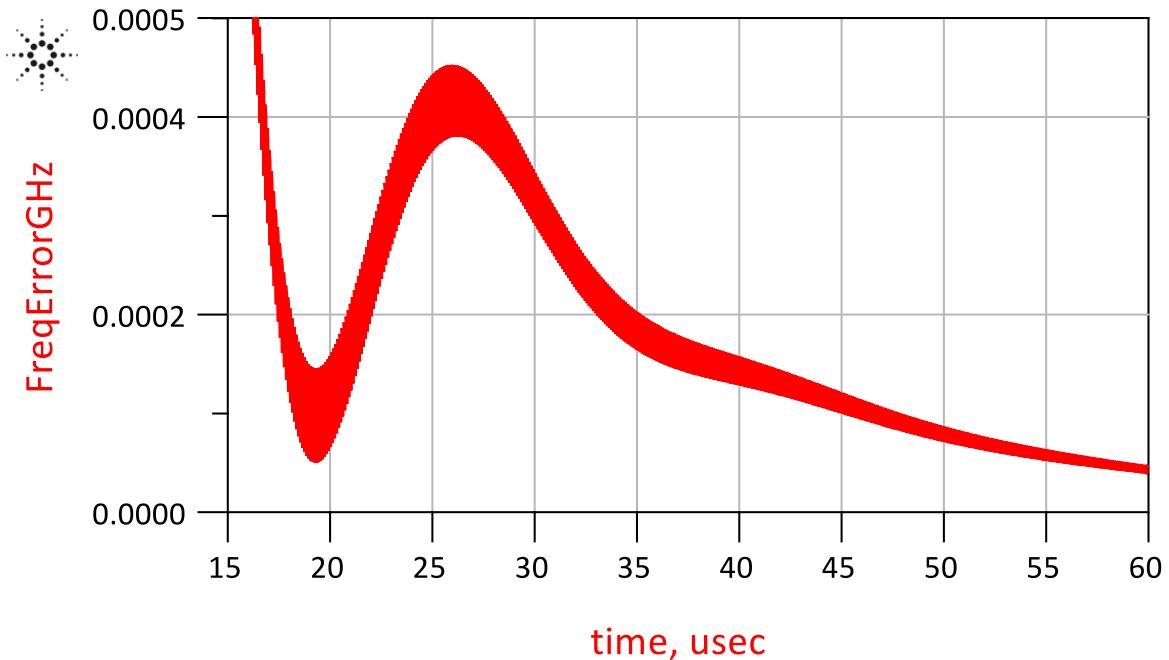
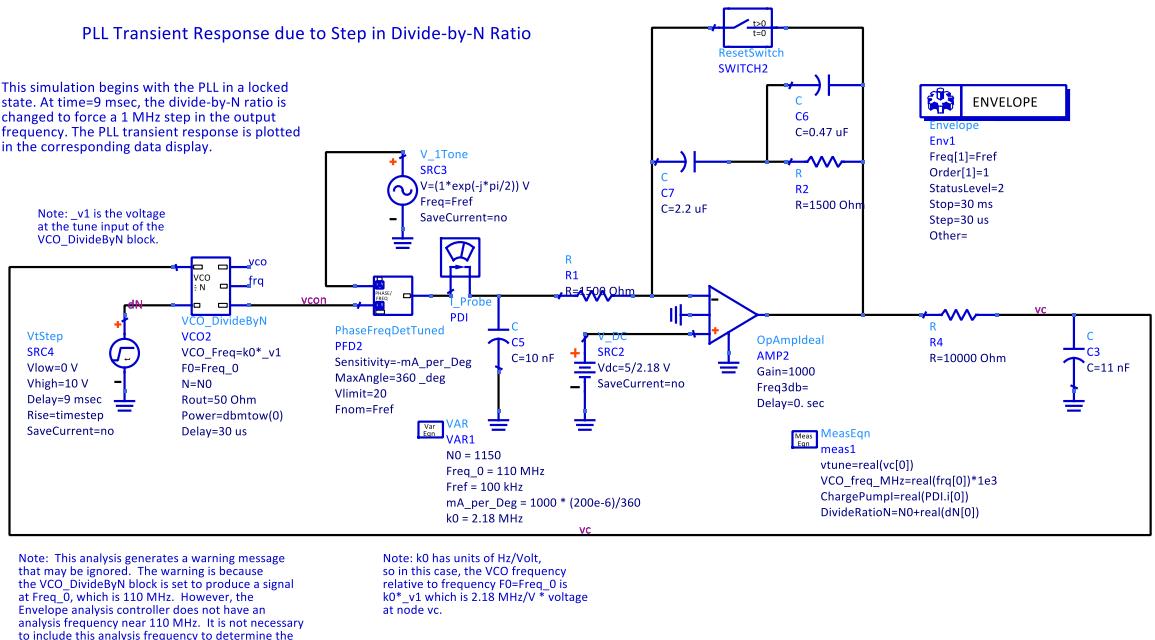


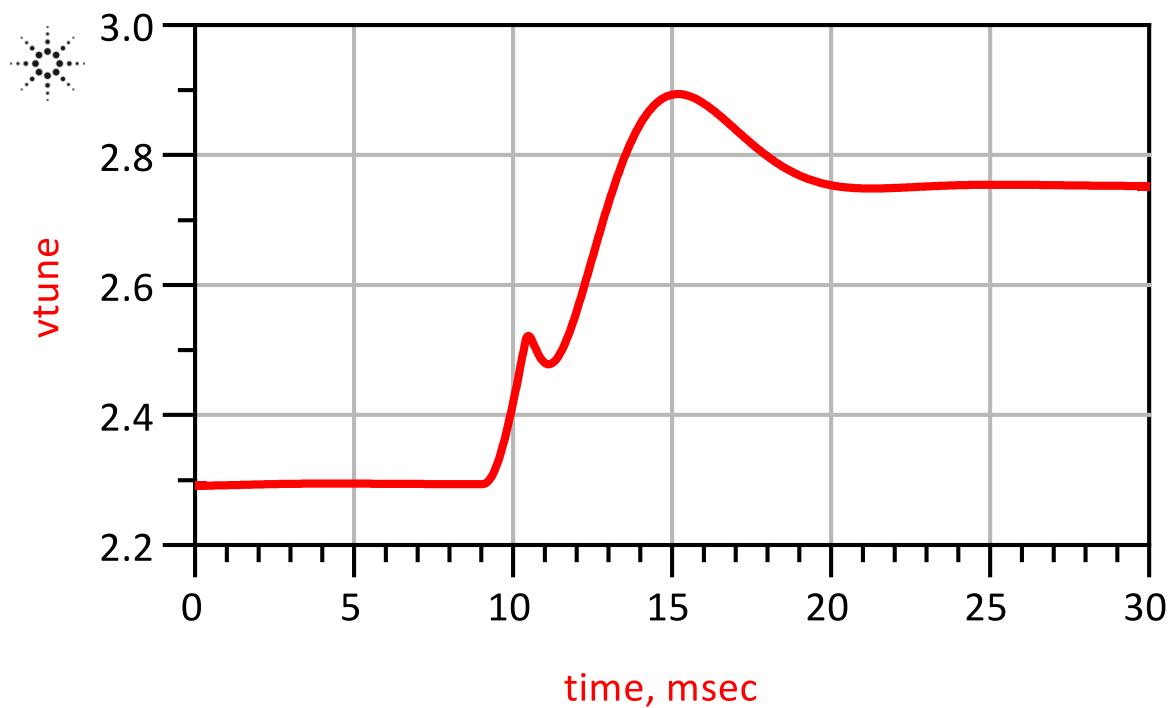
Fig. 5.76. PLL del ejemplo 5.5



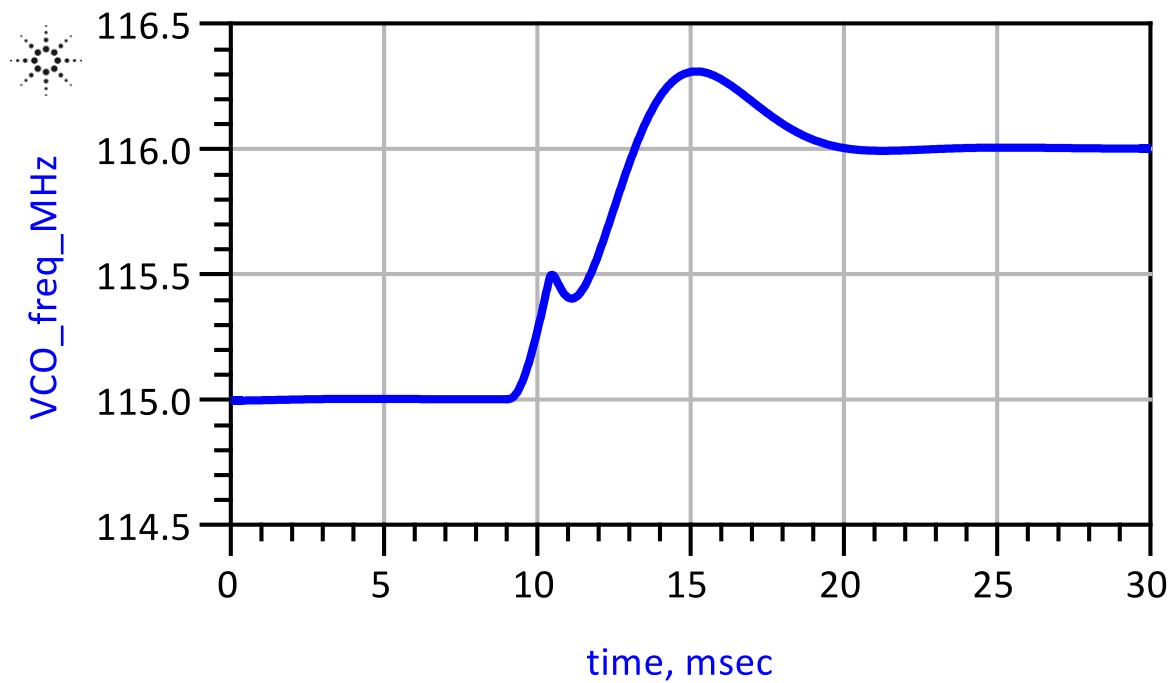
Ejemplo 5.6: Simulación con ADS de un PLL con filtro pasivo. Se analiza el comportamiento desde 115.0MHz hasta 116.0MHz. El archivo de simulación es PLL_5th_Order_wrk



VCO Tune Voltage versus Time



VCO Frequency versus Time



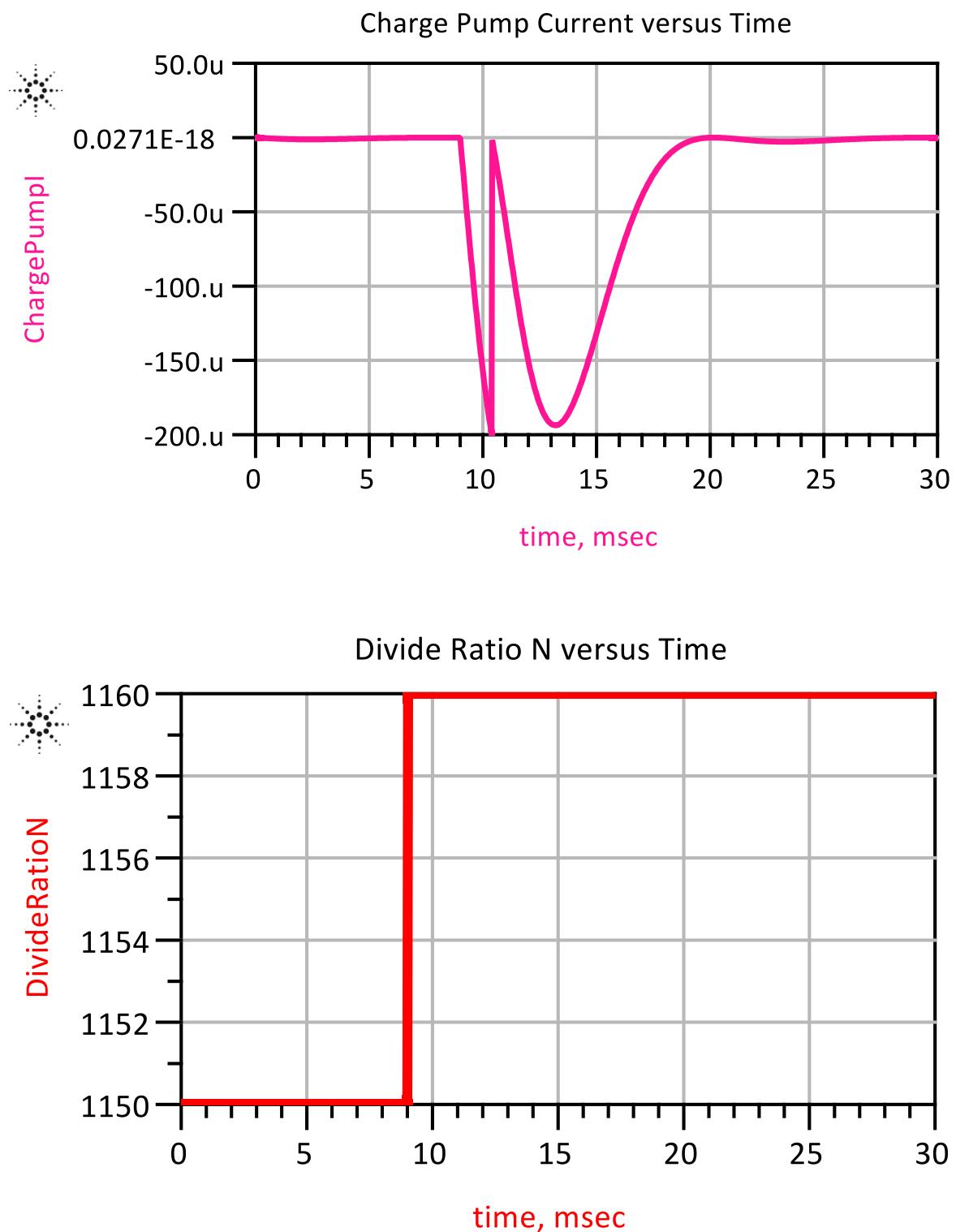


Fig. 5.77. PLL del ejemplo 5.6

5.11. Mediciones

Ganancia del VCO, K_0

Se varía el VCO aplicando la tensión de entrada en todo el rango y se aplica la siguiente ecuación:

$$K_0 = \frac{\Delta\omega}{\Delta v_f} = \frac{1}{V.s} \quad (5.85)$$

Medición de ξ , ω_n y el rango de enganche $\Delta\omega_L$

Se utiliza una señal de entrada bitonal (generada por un VCO previo), cuyas frecuencias deben estar dentro del rango de captura.

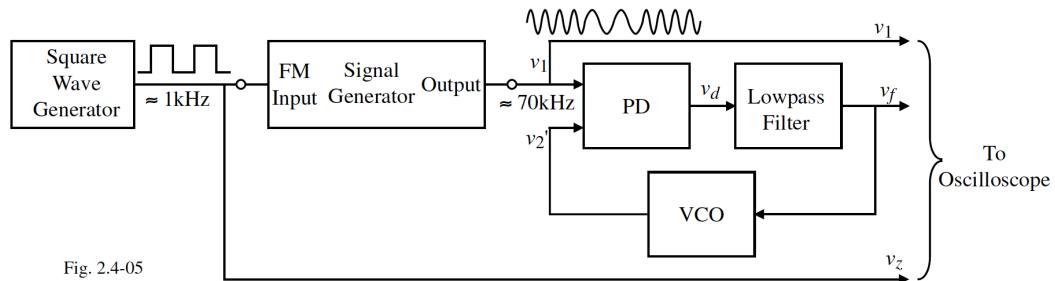


Fig. 5.77. Medición de la dinámica del PLL

Ejemplos de mediciones:

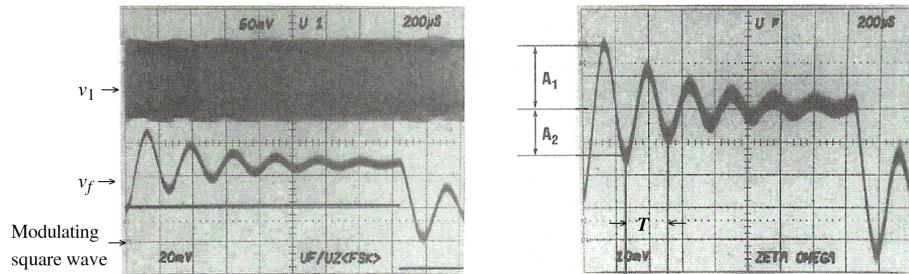


Fig. 5.78. Medición de la dinámica del PLL

$$\xi = \frac{\ln(A_1 / A_2)}{\sqrt{\pi^2 + [\ln(A_1 / A_2)]^2}} = 0.8 \quad (5.86)$$

$$\omega_n = \frac{2\pi}{T\sqrt{1-\xi^2}} \rightarrow f_n = 4.1 kHz \quad (5.87)$$

Medición de $\Delta\omega_L$

a) Se ajusta la señal del generador a las frecuencias ω_{high} y ω_{low} de manera tal que

$$\omega_{high} > \omega_0 + \Delta\omega_p \quad (5.88)$$

b) Se setea $\omega = \omega_{high}$ (la amplitud del generador de onda cuadrada es cero)

c) Se decrece ω_{low}

d) Cuando $\omega_{low} \approx \omega_0 + \Delta\omega_L$ el PLL esta enganchado

$$\Delta\omega_L \approx \omega_{low} - \omega_0 \quad (5.89)$$

3.1 Bibliografía

- [1] William F. Egan; *Phase-Lock basics* – 2nd ed, IEEE &John Wiley & Sons, 2008
- [2] W. Tranter, R. Thamvichai, T. Bose, *Basic Simulation Models of Phase Tracking Devices Using MATLAB*; Morgan & Claypool, 2010
- [3] V.F. Kroupa, *Phase Lock Loops and Frequency Synthesis*, John Wiley & Sons, 2003
- [4] Gruen, W. J.; “Theory of AFC Synchronization”, IRE, Pros., pp 1043 – 1048; August 1953
- [5] Roland E. Best, *Phase Locked Loops-Design, Simulation and Applications*, Mc Graw Hill, 2003
- [6] A. Lacaita, S. Levantino, C. Samori, *Integrated Frequency Synthesizers for Wireless Systems*, Cambridge University Press, 2007
- [7] Floyd M. Gardner, *PhaseLock Techniques*, Third Edition, John Wiley & Sons, 2005
- [8] AN-1879 “Fractional N Frequency Synthesis”; Texas Instruments; SNAA062A–Dec. 2008–Revised April 2013
- [9] SWRA029 “Fractional N/Integer N PLL Basics”; Texas Instruments; Aug. 1999
- [10] William F. Egan; *Advanced Frequency Synthesis by Phase Lock*; IEEE &John Wiley & Sons, 2011
- [11] I. Galton, “Delta-Sigma Data Conversion in Wireless Transceiver”, IEEE T. Microw. Theory, 50, Jan. 2002
- [12] B. Miller and R. J. Conley, “A multiple modulator fractional divider”, IEEE T. Instrum. Meas., 40, June. 1991, 578–83.
- [13] M. K. Simon, “Nonlinear analysis of an absolute value type of early-late-gate bit synchronizer”, IEEE Trans. Comm. , COM-18:589–596, Oct. 1970.