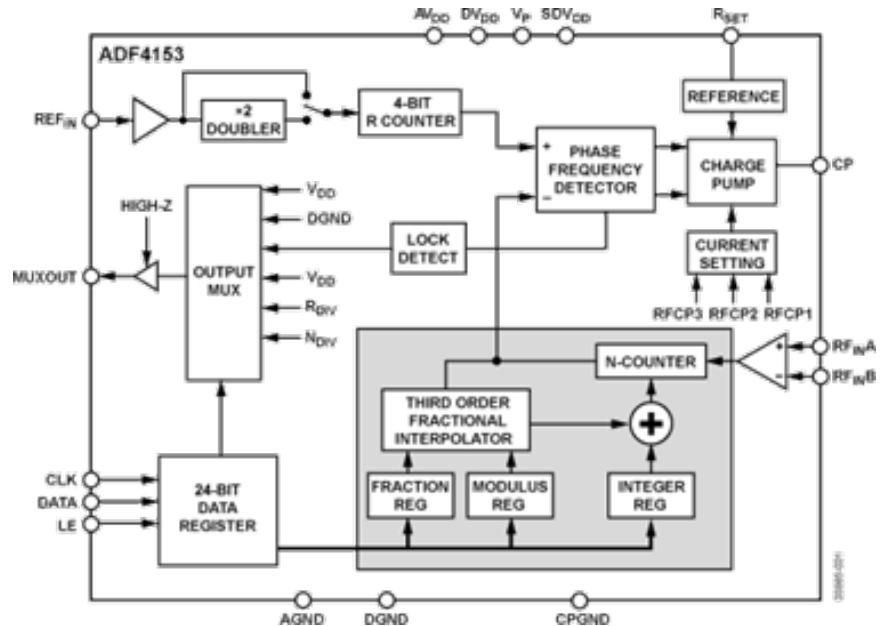


Phase Locked Loop Parte 1



Universidad Tecnológica Nacional de Argentina - F. R. Córdoba
Departamento de Electrónica - Electrónica Aplicada III
Daniel Rabinovich drabinovich@electronica.frc.utn.edu.ar
Ramón Oros roros@electronica.frc.utn.edu.ar
Claudio Paz cpaz@frc.utn.edu.ar
Año 2015

Referencias

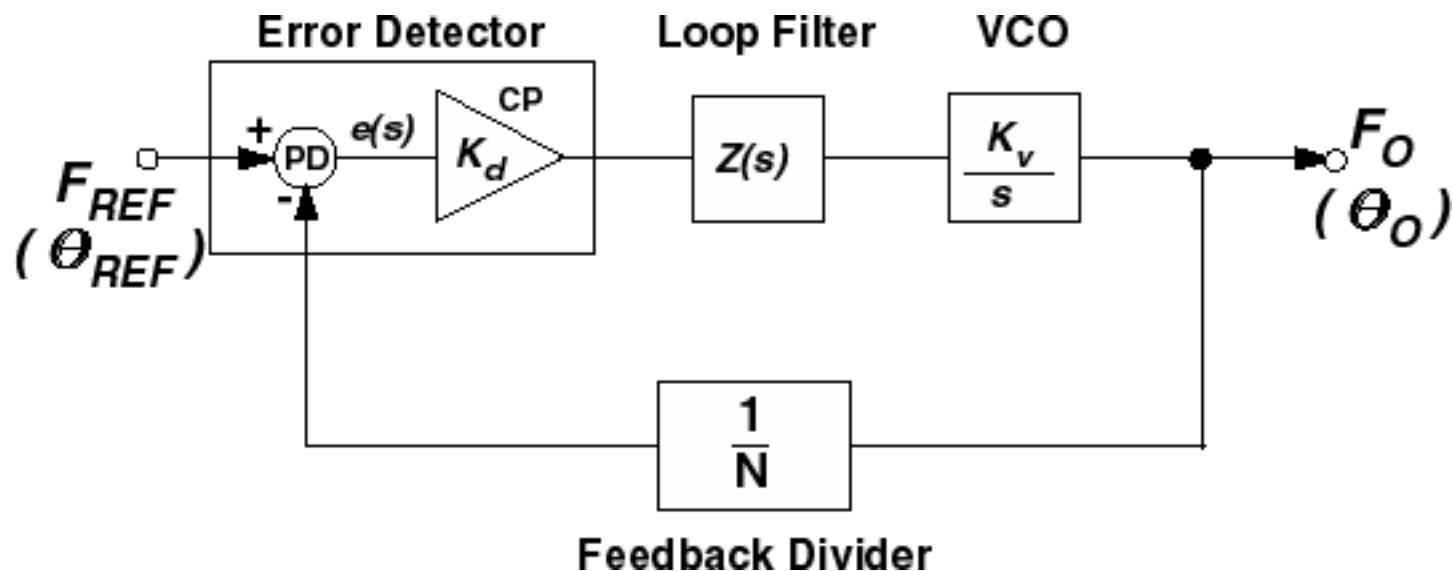
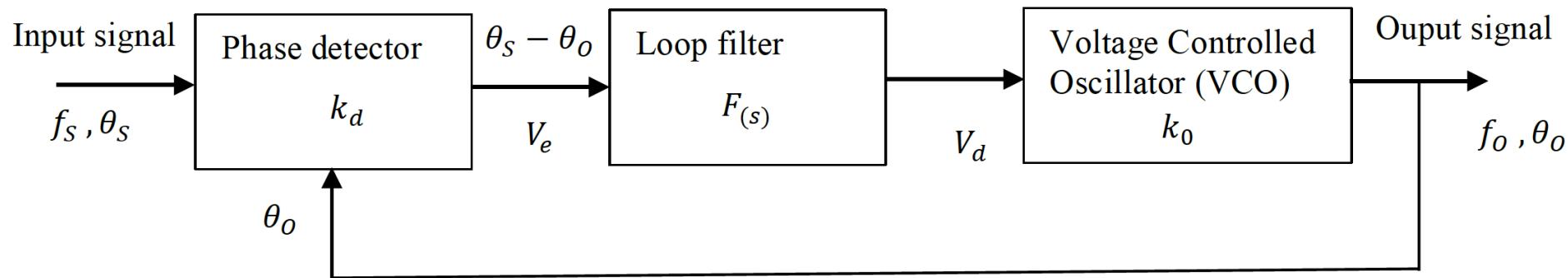
- William F. Egan; Phase-Lock basics – 2nd ed, IEEE &John Wiley & Sons, 2008
- A. Lacaita, S. Levantino, C. Samori, Integrated Frequency Synthesizers for Wireless Systems, Cambridge University Press, 2007
- V.F. Kroupa, Phase Lock Loops and Frequency Synthesis, John Wiley & Sons, 2003.
- Floyd M. Gardner, PhaseLock Techniques, Third Edition, John Wiley &Sons, 2005
- William F. Egan; Advanced Frequency Synthesis by Phase Lock; IEEE &John Wiley & Sons, 2011

Phase Locked Loop

Un PLL es un circuito que sincroniza la frecuencia y la fase de un oscilador con una segunda señal, llamada referencia.

El primer PLL fue implementado en 1932 por Bellescize, un ingeniero francés, considerado el inventor de la “comunicación coherente”.

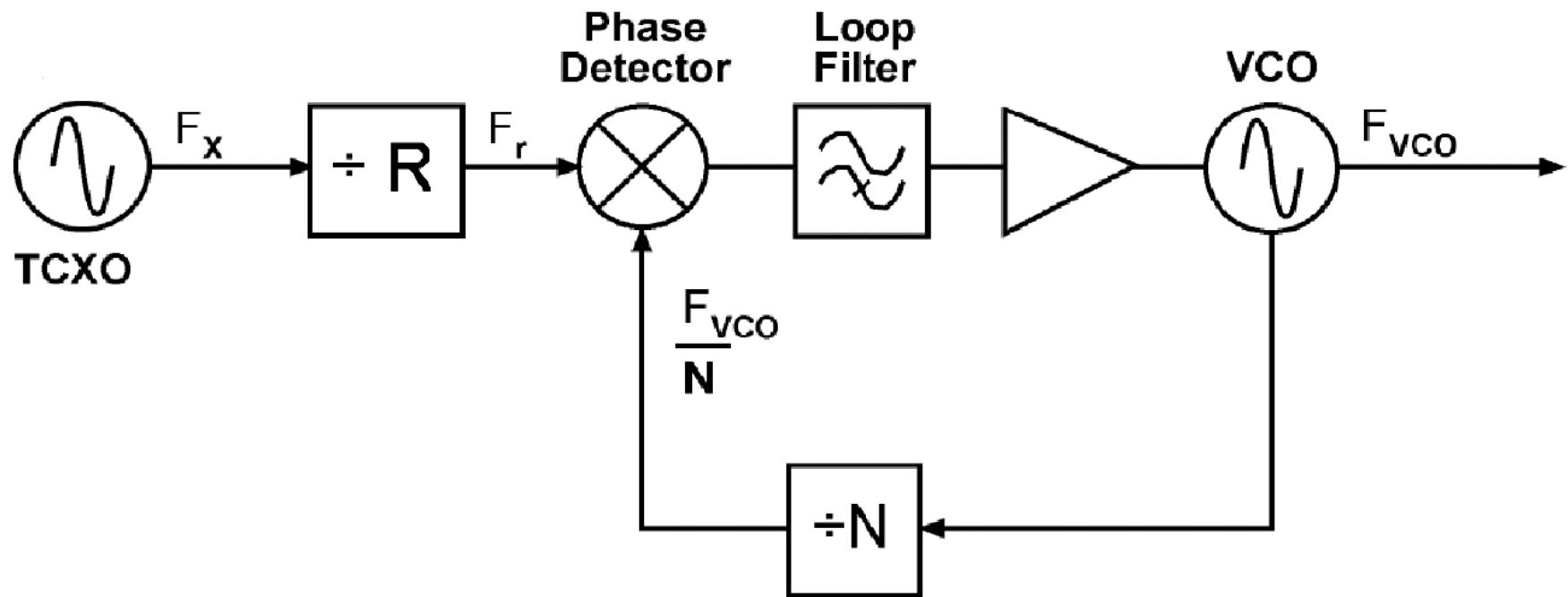
Phase Locked Loop



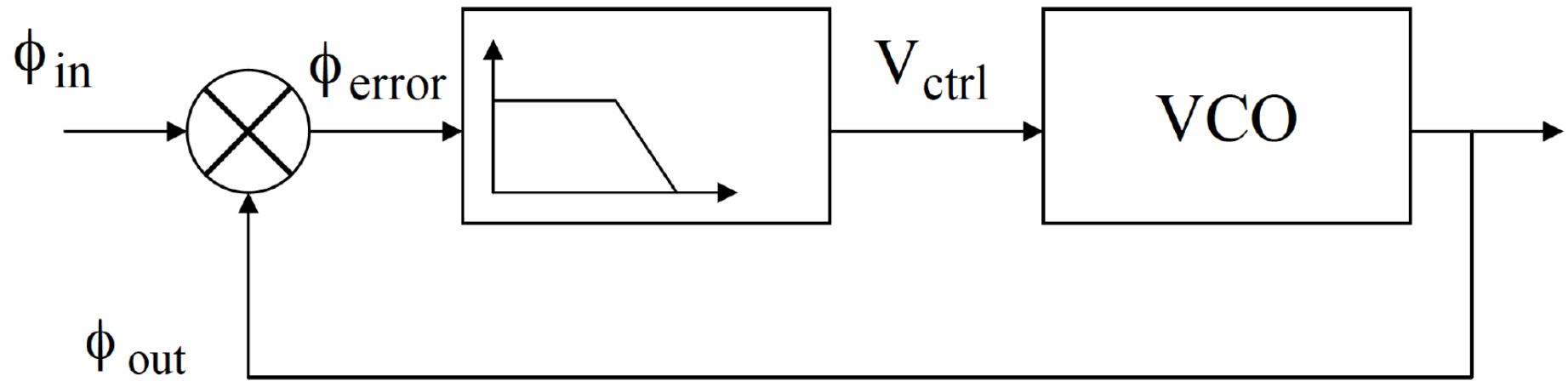
Phase Locked Loop

1. Detector de fase
2. Filtro de bucle
3. Oscilador controlado por tensión (VCO)
4. Oscilador de referencia, generalmente de cuarzo
5. Divisor de frecuencia por N

Phase Locked Loop



Phase Locked Loop



Este tipo de PLL se *engancha* cuando la diferencia de fase es constante.

Phase Locked Loop

El VCO (Voltage Controlled Oscillator) oscila libremente a una frecuencia llamada frecuencia de corrida libre f_f (free frequency). Esta frecuencia es comparada con la frecuencia f_S de una señal de referencia en el detector de fase. Los productos de alta frecuencia son eliminados por el filtro pasabajos $F(s)$.

Phase Locked Loop

El PLL puede operar en modos.

Adquisición.

Seguimiento.

Aplicaciones

- Sintetizadores de frecuencia;
- Generación y recuperación de portadoras en emisión
- Generación de osciladores locales en recepción;
- Desmodulación de las señales analógicas o digitales moduladas en frecuencia;
- Recuperación de impulsos de reloj en transmisión digital;
- Circuitos de sincronismo para barrido horizontal y vertical en receptores de televisión;
- Recepción de señales satelitales de satélites no geoestacionarios;
- Divisores y multiplicadores de frecuencia.

Clasificación de los PLLs

PLL lineal (LPLL)

Es un PLL con dispositivos analógicos, con un multiplicador analógico usado como comparador de fase, un filtro con elementos pasivos o activos, y con un VCO para generar la salida del PLL.

Clasificación de los PLLs

$$\phi_{in} - \phi_{out} = constante$$

$$d \frac{(\phi_{in} - \phi_{out})}{dt} = 0 \rightarrow f_0 = f_s (\text{promedio})$$

Clasificación de los PLLs

El primer PLL industrial realizado con ICs apareció alrededor de 1965 y se realizó con dispositivos analógicos.

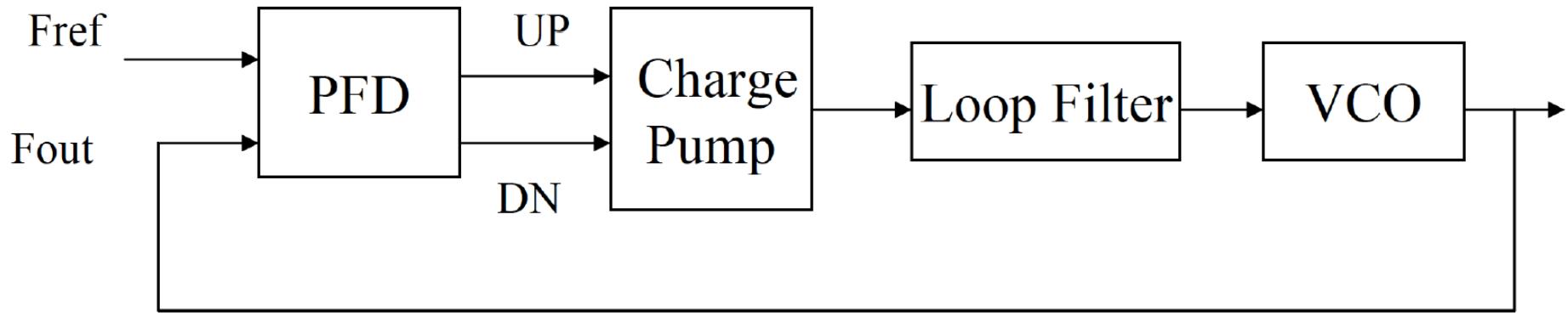
Clasificación de los PLLs

PLL digital híbrido (**DPLL**)

Es un PLL con dispositivos digitales y analógicos. También se conocen como “mixed-signal PLL”.

El primer PLL digital apareció en 1970 y fue en realidad un circuito híbrido. Sólo el detector de fase era un componente digital (compuerta EXOR, o flipflop-JK) , pero el resto de los dispositivos eran analógicos.

PLL digital híbrido (DPLL)



PFD+CP introducen otro polo en el sistema convirtiéndolo en Tipo II, pudiéndose de esta manera desacoplar ancho de banda BW y ganancia.

$\phi_e = 0$ para un escalón de frecuencia.

Clasificación de los PLLs

PLL completamente digital (**ADPLL**, All Digital PLL)

Es un PLL con dispositivos digitales, y no contiene dispositivos analógicos.

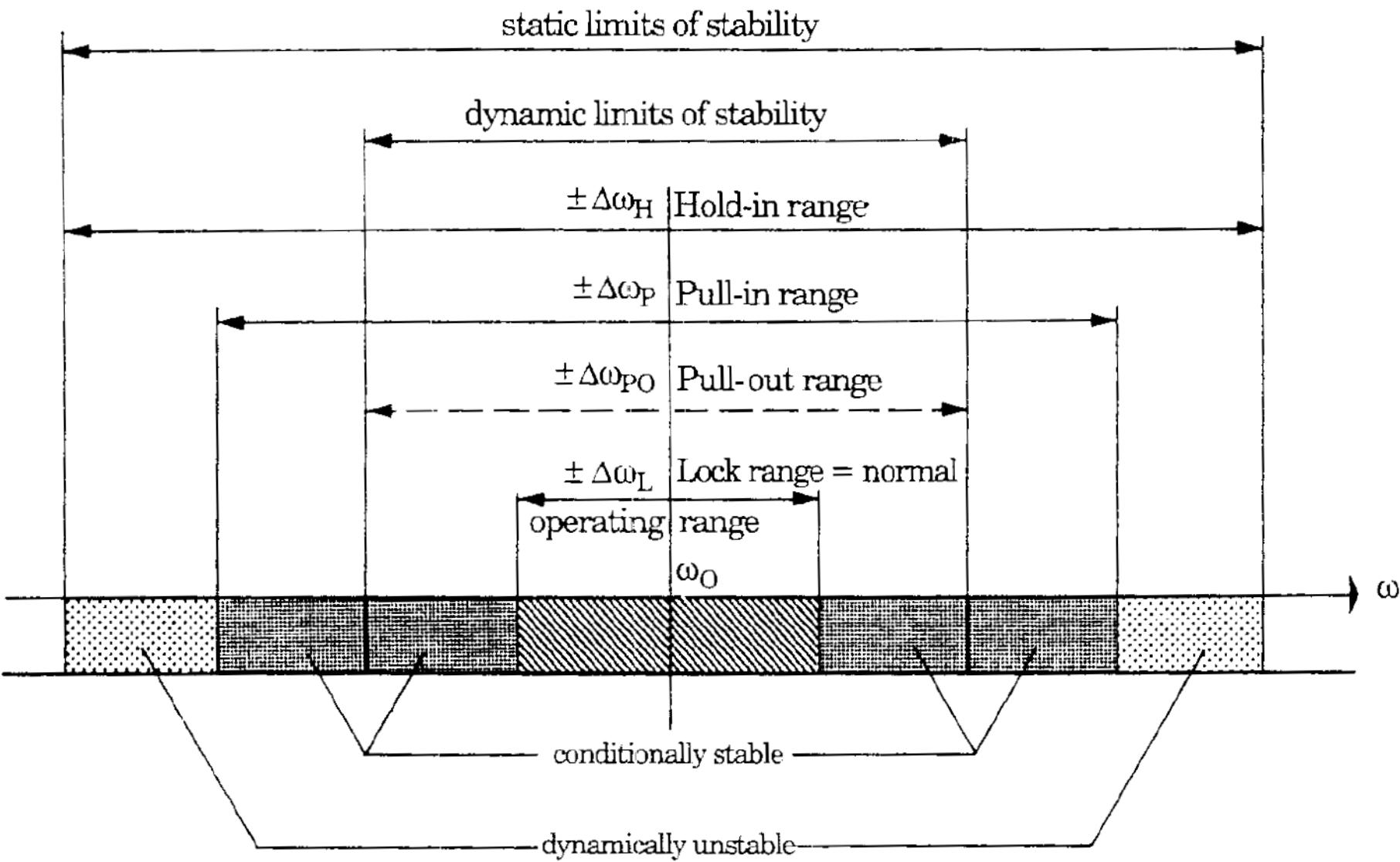
Clasificación de los PLLs

PLL implementado por software (**SPLL**)

Es un PLL cuya función es realizada por software, sin hardware dedicado a esta función y corren sobre un DSP.

Este método apareció al final de 1980.

Rangos de funcionamiento del PLL



Rangos de funcionamiento del PLL

Hold range

Rango de bloqueo.

Describe el PLL en estado del estático o enganchado, y es el rango el cual el PLL puede mantener el “tracking” o seguimiento de fase.

El PLL está enganchado con la señal de referencia si se reduce o incrementa lentamente la frecuencia de la referencia.

Rangos de funcionamiento del PLL

Pull-out range

Es el margen de frecuencias para las que ante un salto brusco de la frecuencia de entrada el PLL no se desengancha.

Si el PLL pierde el seguimiento en este rango, el PLL normalmente se enganchará, pero el proceso puede ser lento.

Rangos de funcionamiento del PLL

Pull-in range

Rango de captura.

Es el margen de frecuencia para las que el PLL, con un tiempo mayor al periodo de la salida, se engancha en cualquier condición.

Rangos de funcionamiento del PLL

Lock range

Se parte del PLL desenganchado. Es el margen de frecuencias en el que el PLL puede engancharse dentro de un periodo de la frecuencia de la señal de salida.

Normalmente el rango de operación del PLL se restringe a este rango.

Phase Locked Loop

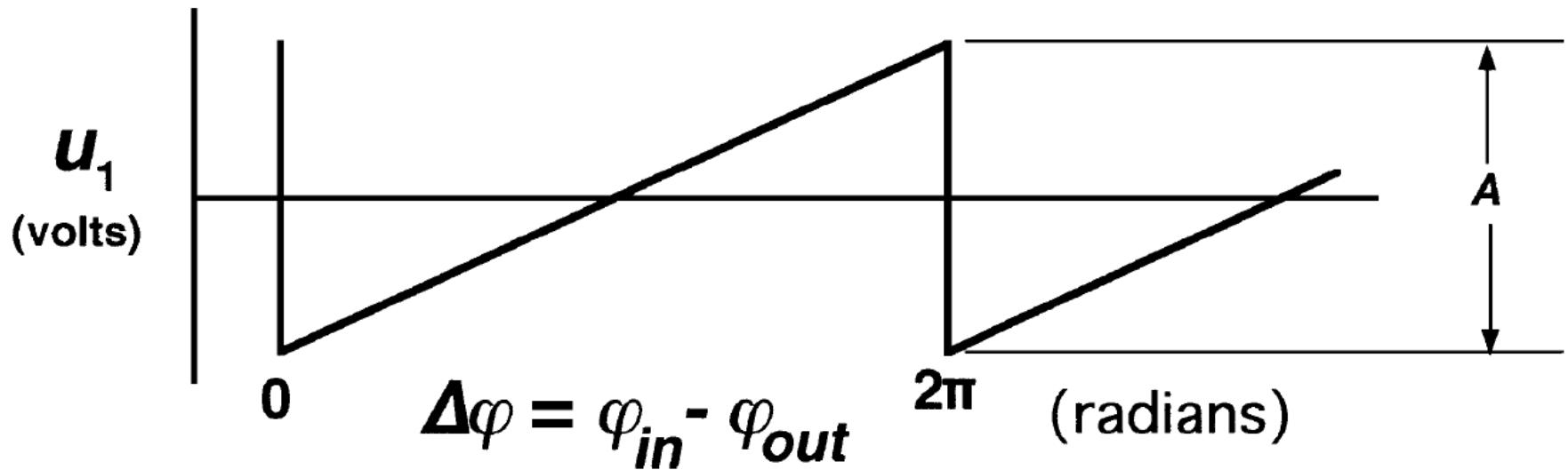
Como el estado ideal:

El bloqueo es sin ningún ciclo de deslizamiento, sin ninguna pérdida de enganche después del encendido del PLL.

Este estado entre las frecuencias de la entrada y salida de los PLLs se describe como el rango o intervalo de **lock-in**.

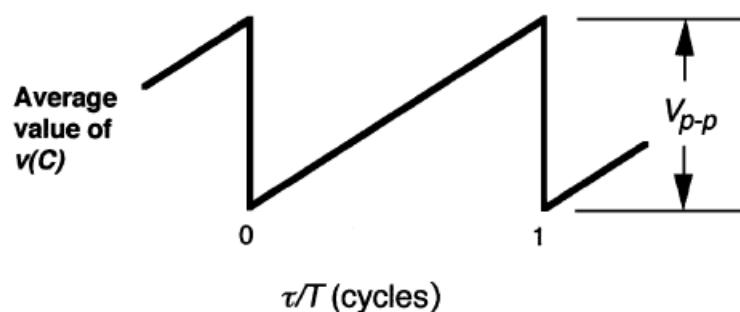
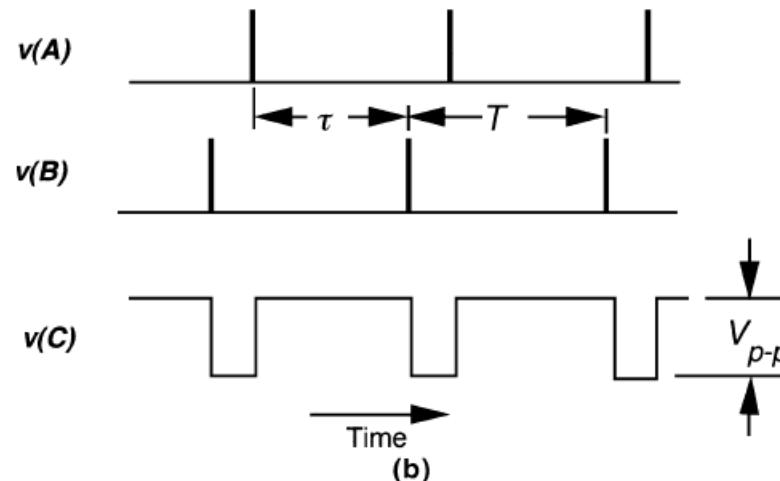
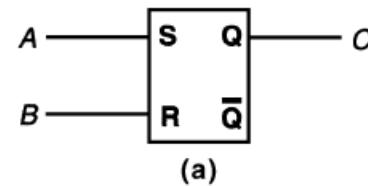
Análisis de los bloques del PLL

Detector de Fase



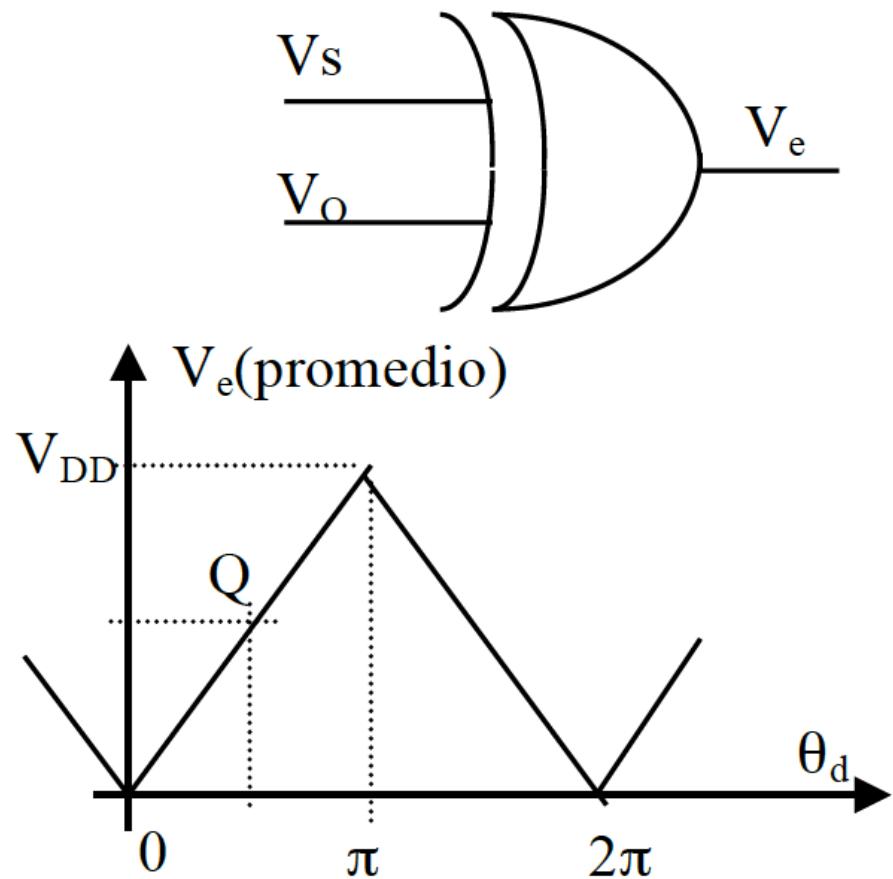
Detector de Fase

Detector de fase por Flip-Flop



Detector de Fase

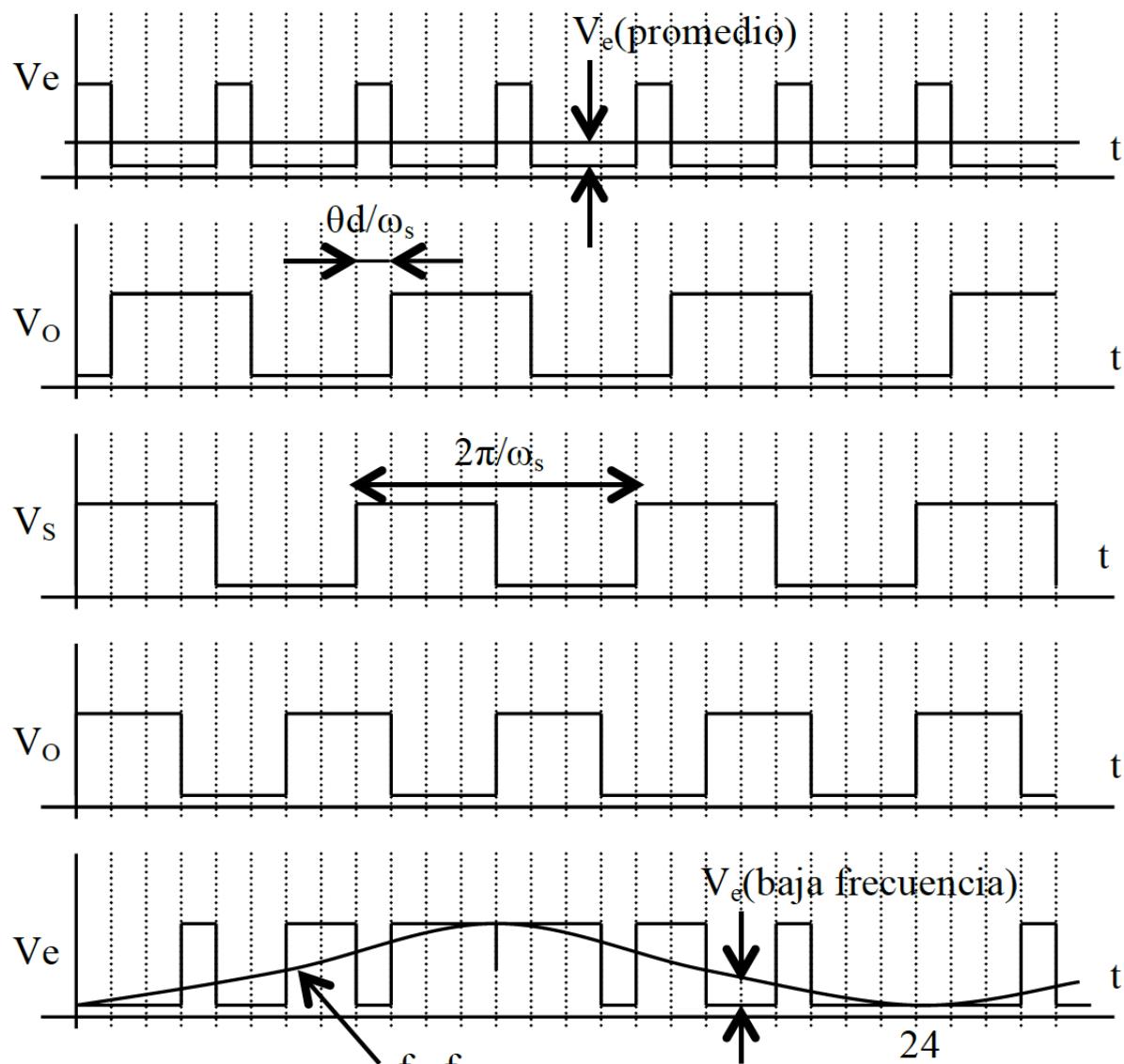
Detector de fase por EXOR



$$V_e = k_d \theta_d$$

$$\theta_d = \theta_s - \theta_0$$

$$k_d = \frac{V_{DD}}{\pi}$$

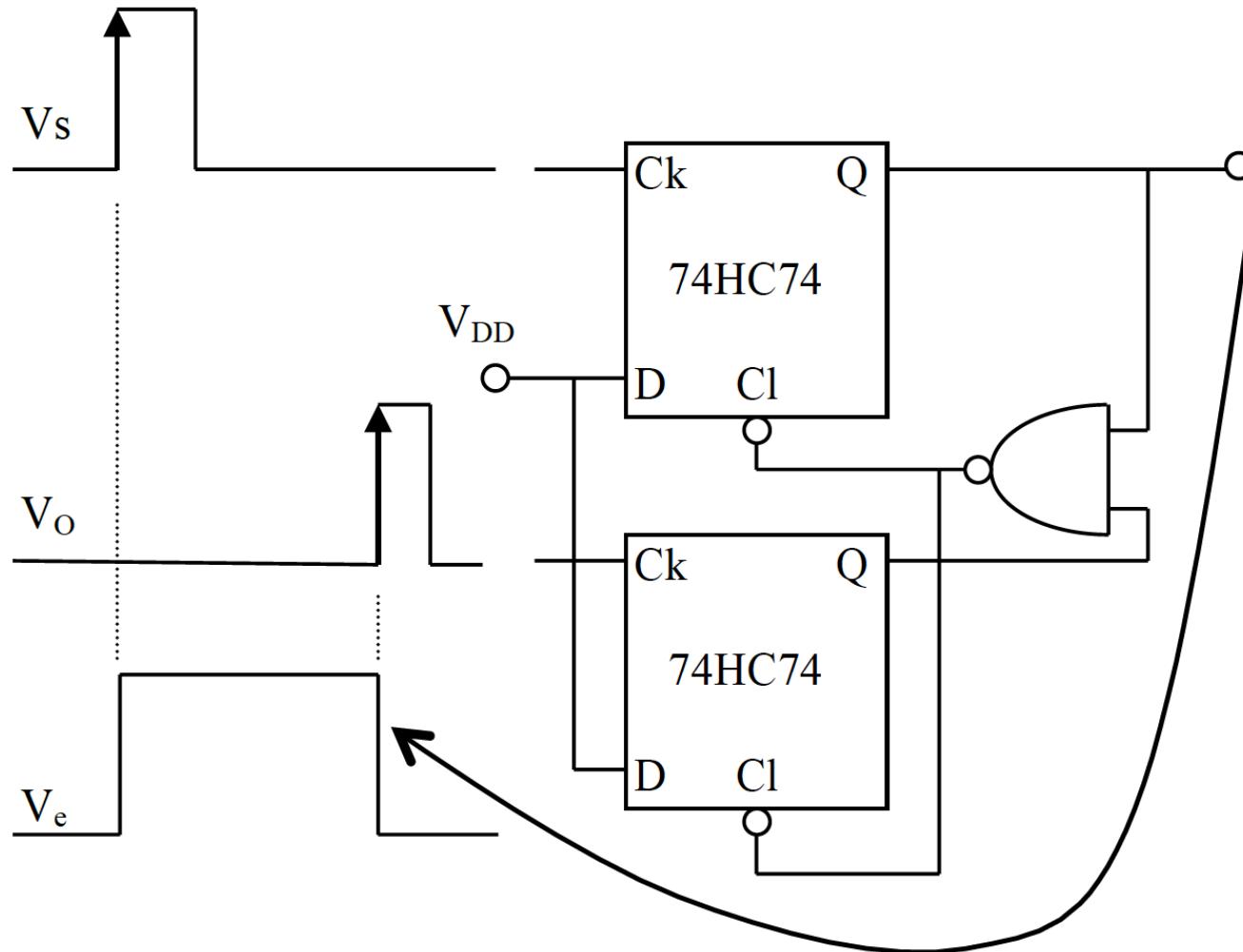


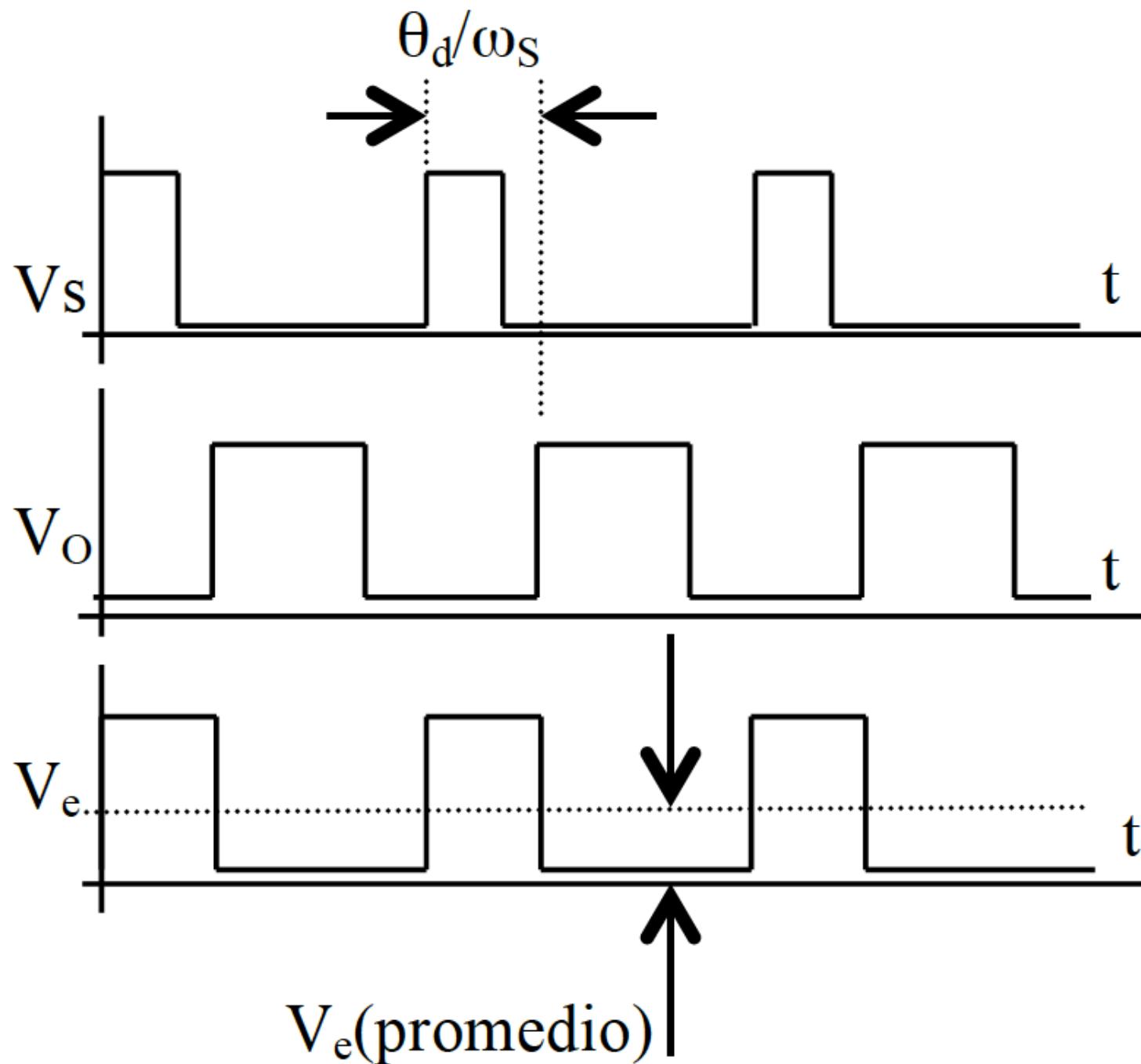
$$f_s = \frac{1}{8} \quad f_o = \frac{1}{6}$$

$$f_o - f_s = \frac{1}{6} - \frac{1}{8} = \frac{1}{24}$$

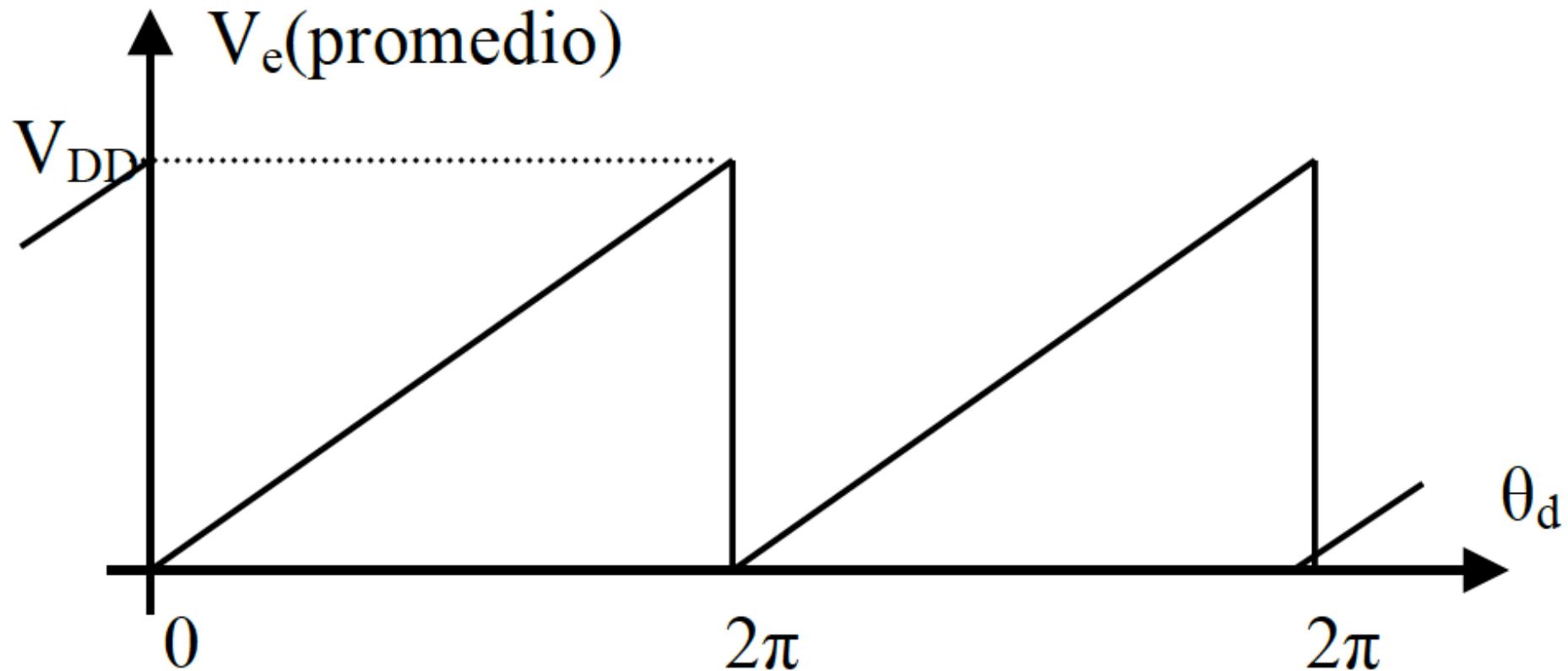
Detector de Fase

Detector de fase controlado por flancos





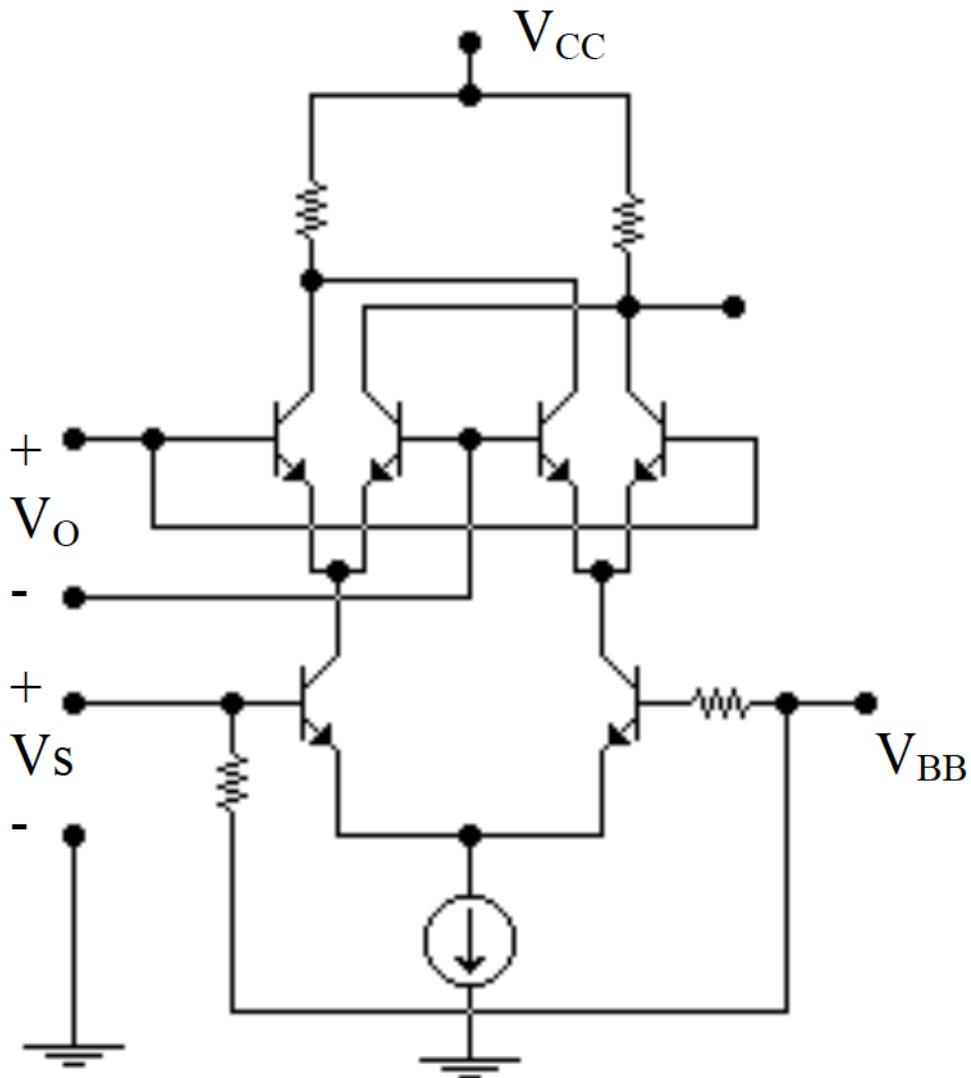
Detector de Fase



Tiene el doble de rango lineal que la puerta XOR, por lo tanto el PLL tiene mejor captura y seguimiento.

Detector de Fase

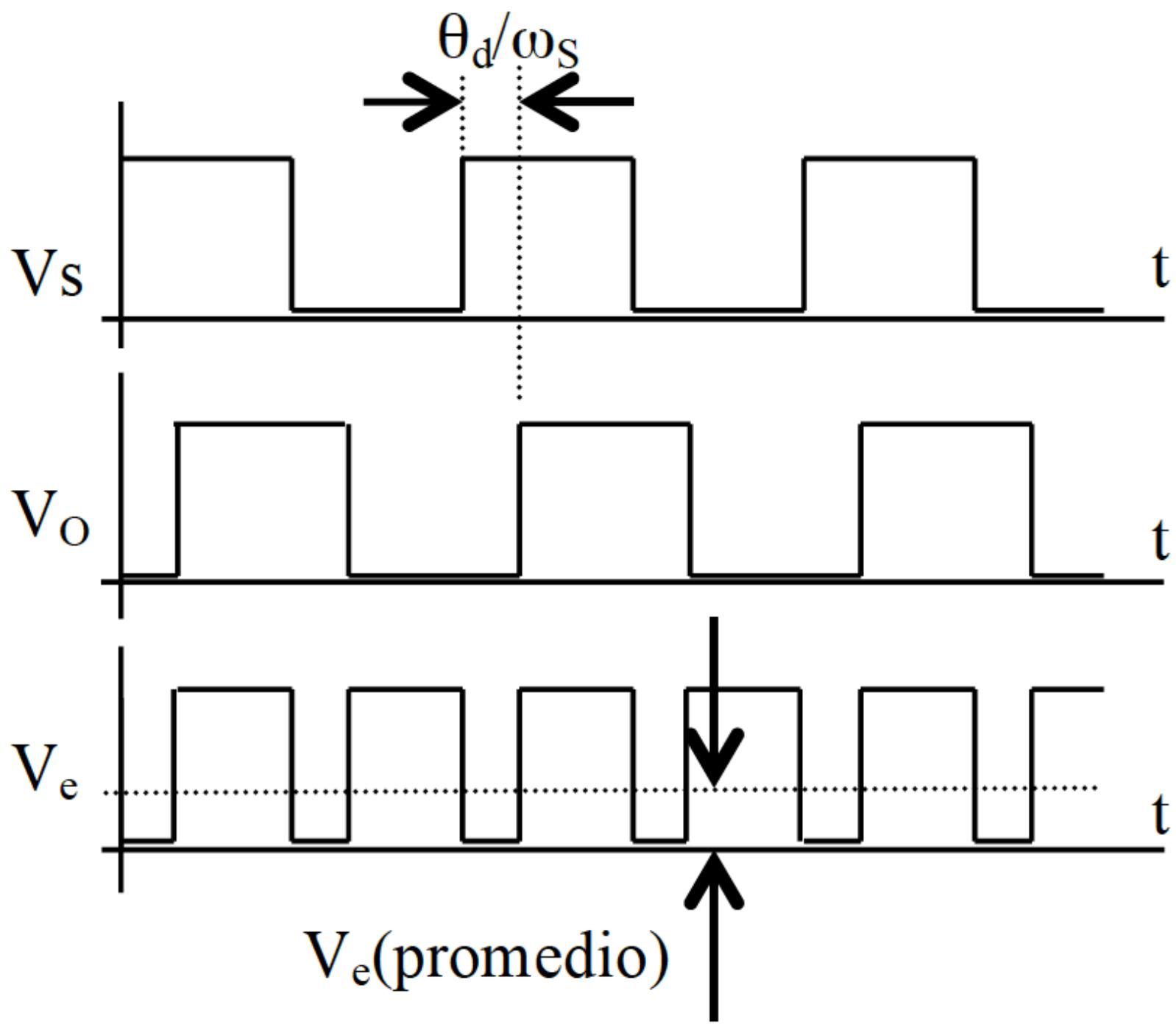
Detector de fase por multiplicador (MC1496)



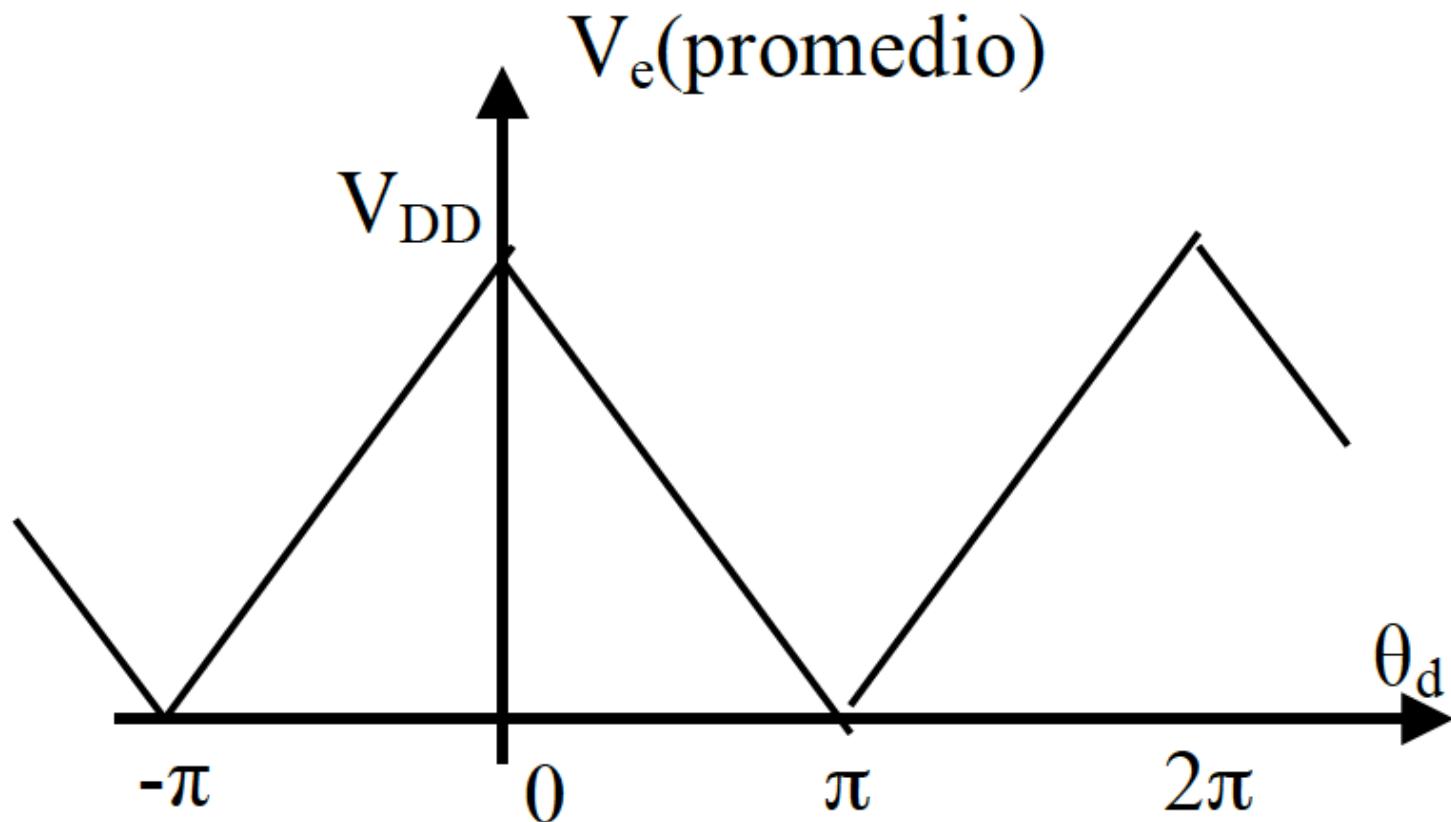
V_s	V_o	V_e	
-	-	+	
-	+	-	
+	-	+	
+	+	-	

} Ley del producto

ver
MC1357
MC3357
MC3359
MC1496



Detector de Fase

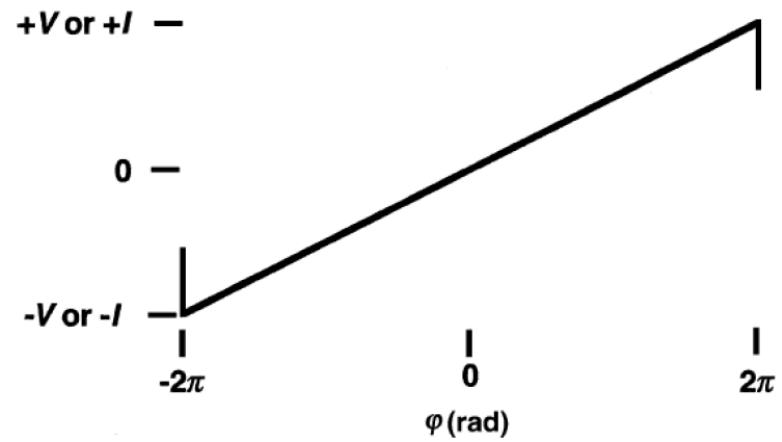
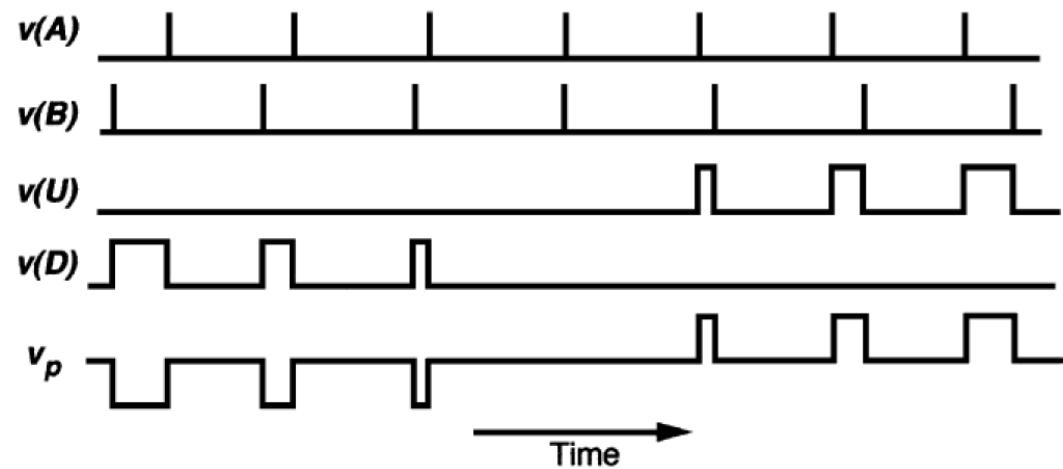
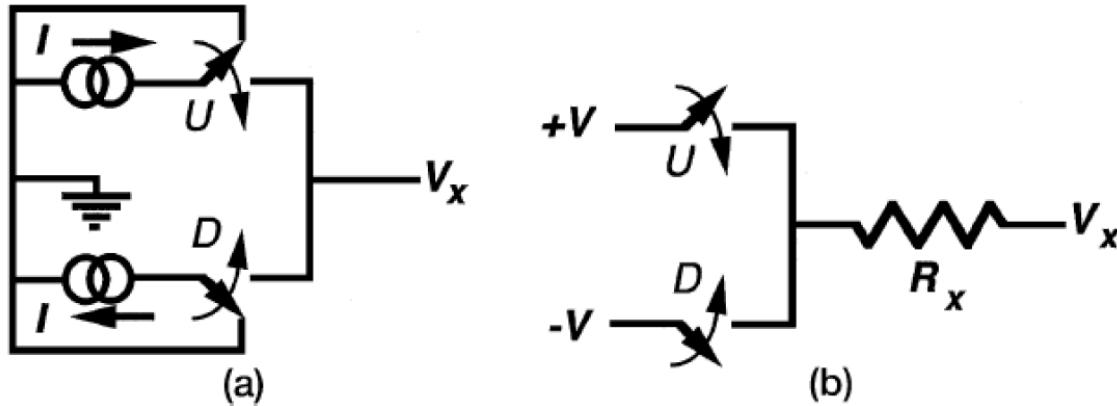


$$k_d = V_{DD}/\pi$$

Detector de Fase

Detector de fase con bomba de carga, *Charge Pump*

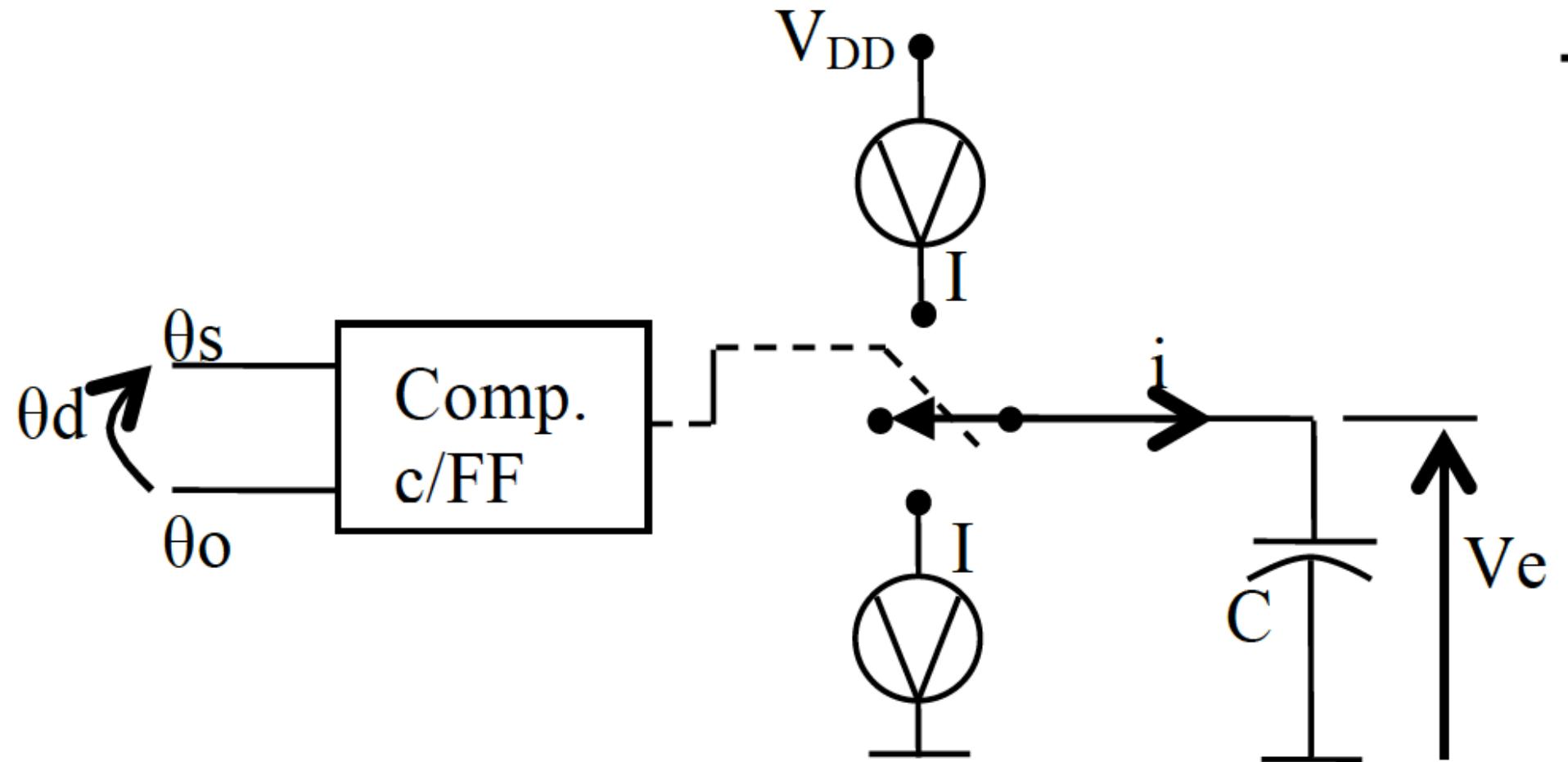
Charge Pump



Detector de Fase

En el comparador de fase CP se generan dos salidas de impulsos diferentes, una cuando la transición de $v(B)$ queda en atraso de $v(A)$, y otra cuando se adelanta.

Charge Pump



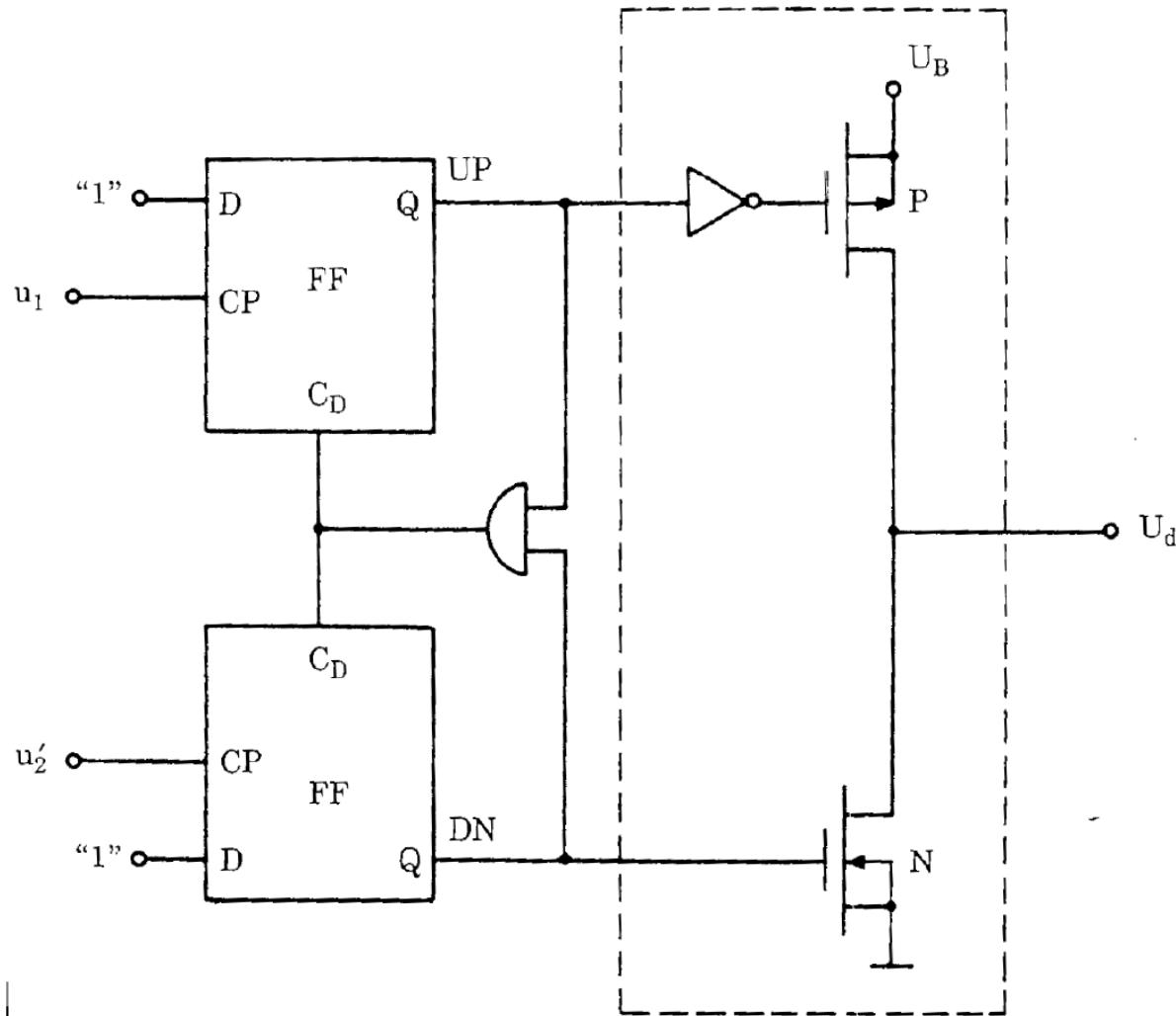
Phase Locked Loop

$$F(s) = \frac{V_e(s)}{\theta_d(s)} = \frac{I}{2\pi \cdot C} \frac{1}{s}$$

$$F(s) = \frac{k}{s}$$

Detector de fase

PFD (Phase-frequency Detector)



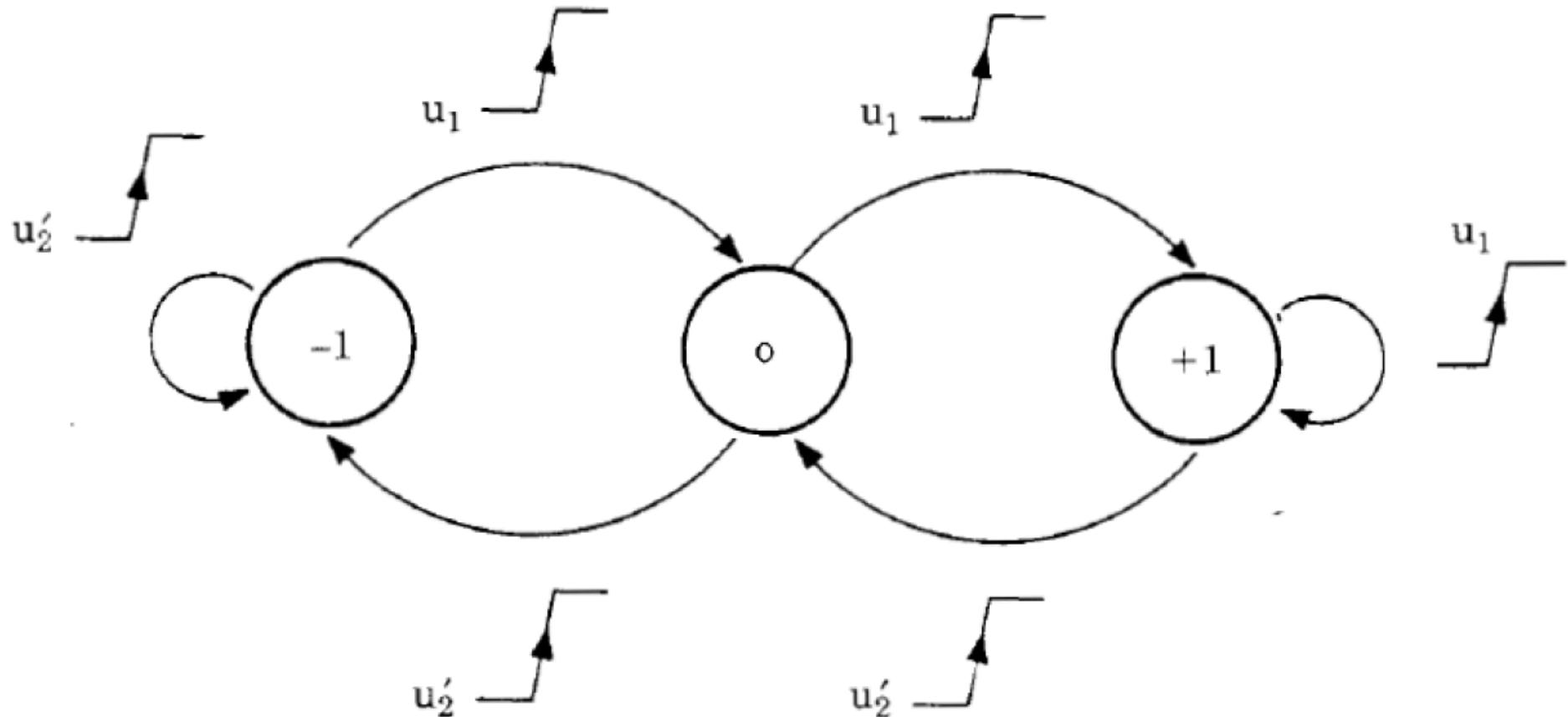
UP=0, DN=0
UP=1, DN=0
UP=0, DN=1
UP=1, DN=1

PFD (Phase-frequency Detector)

La salida no solo depende del error de fase θe , sino también de la diferencia entre las frecuencias de entrada, cuando el PLL no está enganchado.

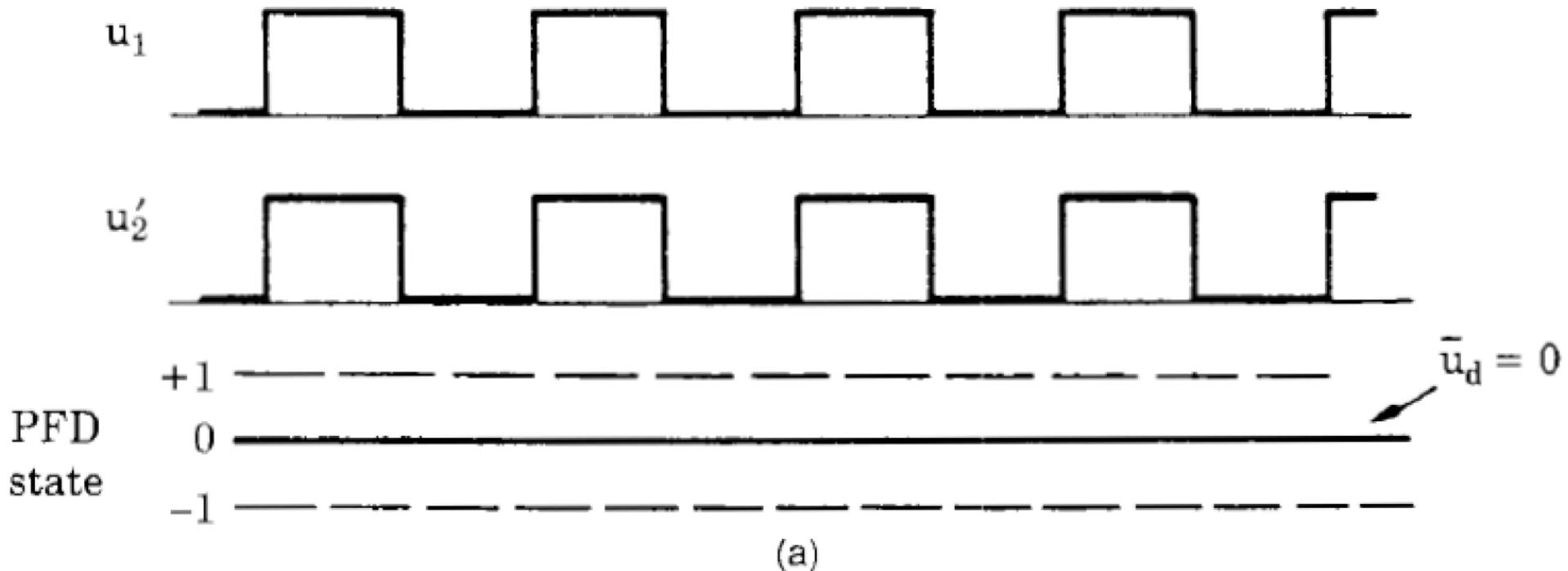
$DN=1, UP=0$		$state = -1$
$DN=0, UP=0$		$state = 0$
$DN=0, UP=1$		$state = 1$

PFD (Phase-frequency Detector)



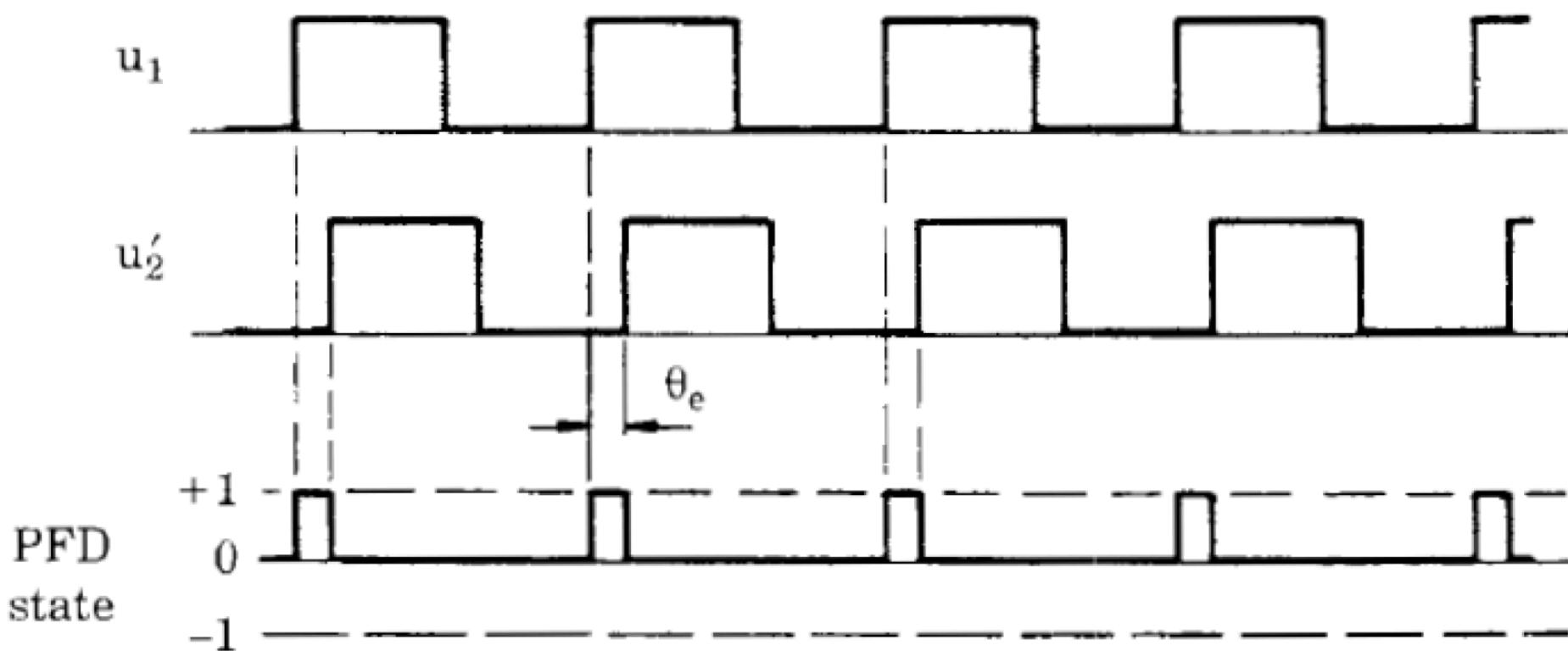
PFD

$$\theta_e = 0$$



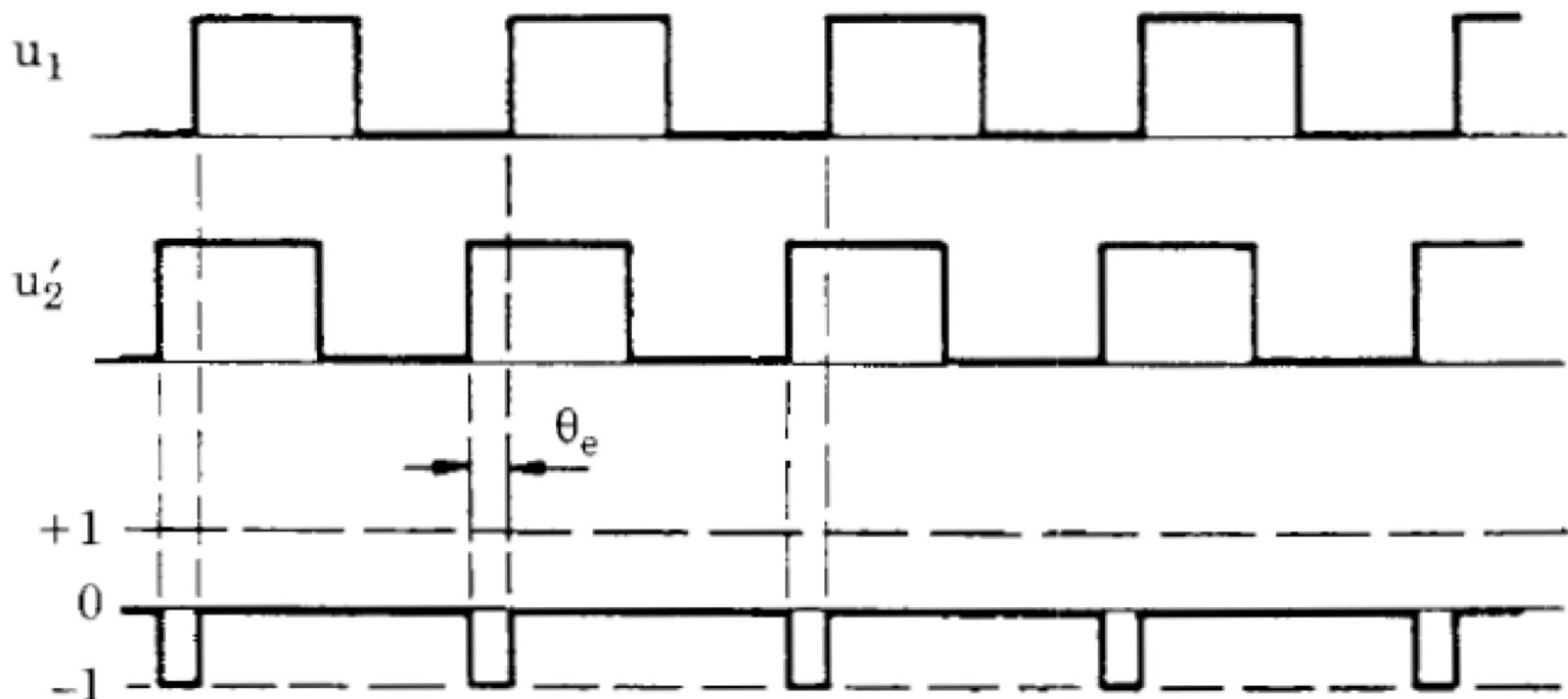
PFD

$$\theta_e > 0$$



PFD

$$\theta_e < 0$$



PFD

Si $\omega_1 > \omega_2'$, la señal de salida ω_1 genera más transiciones positivas por unidad de tiempo que la señal ω_2' .

Los estados posibles son 0 y 1, pero nunca sería -1.

Si $\omega_1 \gg \omega_2'$, la señal de salida estará en el estado 1 la mayor parte de tiempo.

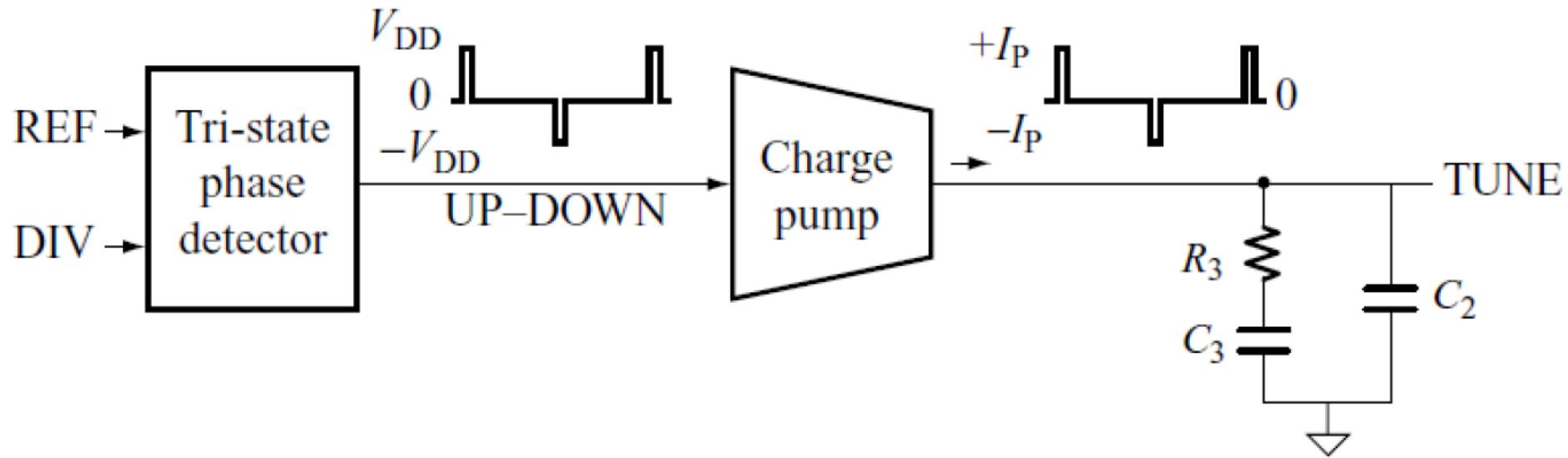
PFD

Si $\omega_1 < \omega_2'$, los estados posibles son -1 y 0

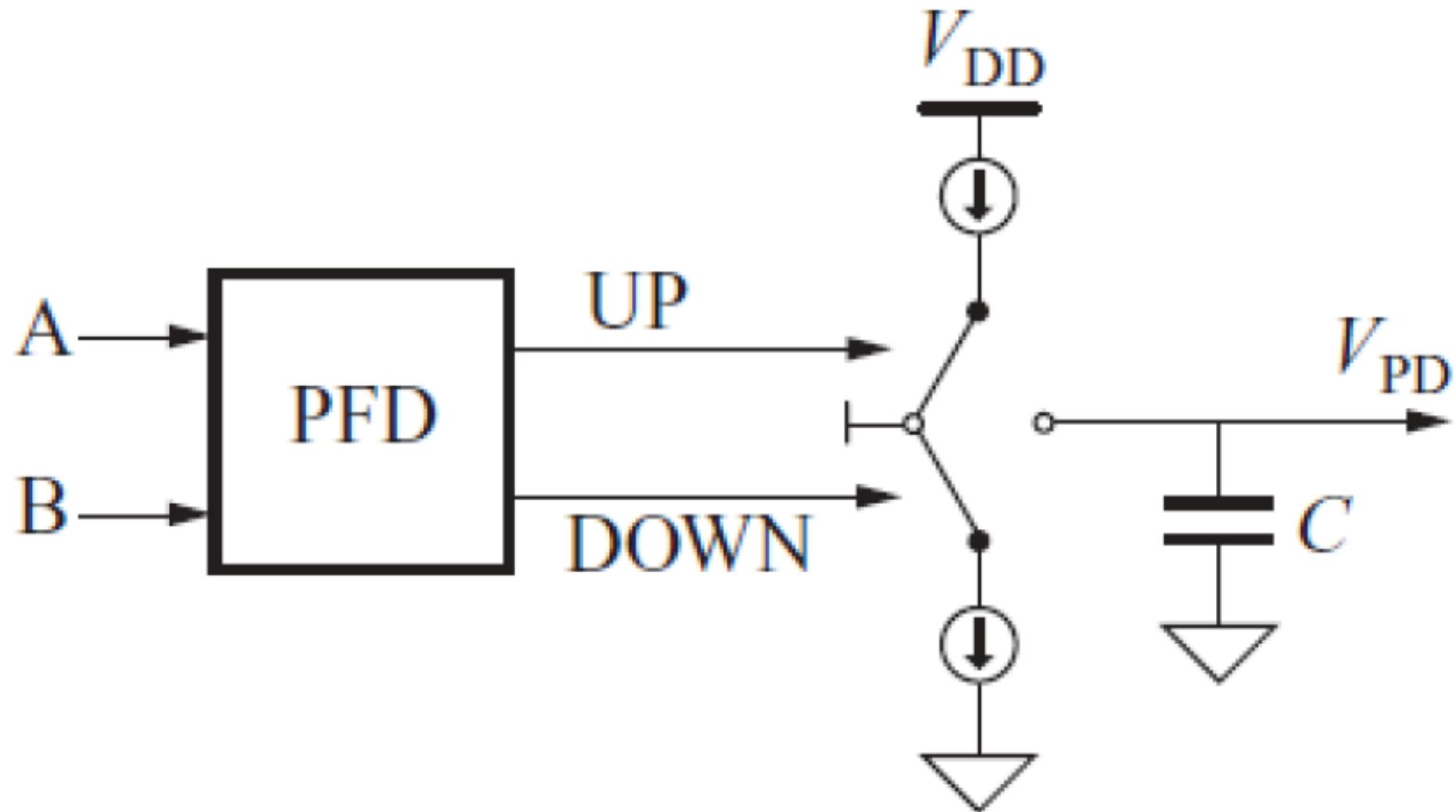
Si $\omega_1 \ll \omega_2'$, la señal de salida estará en el estado -1 la mayor parte de tiempo.

Detector de Fase

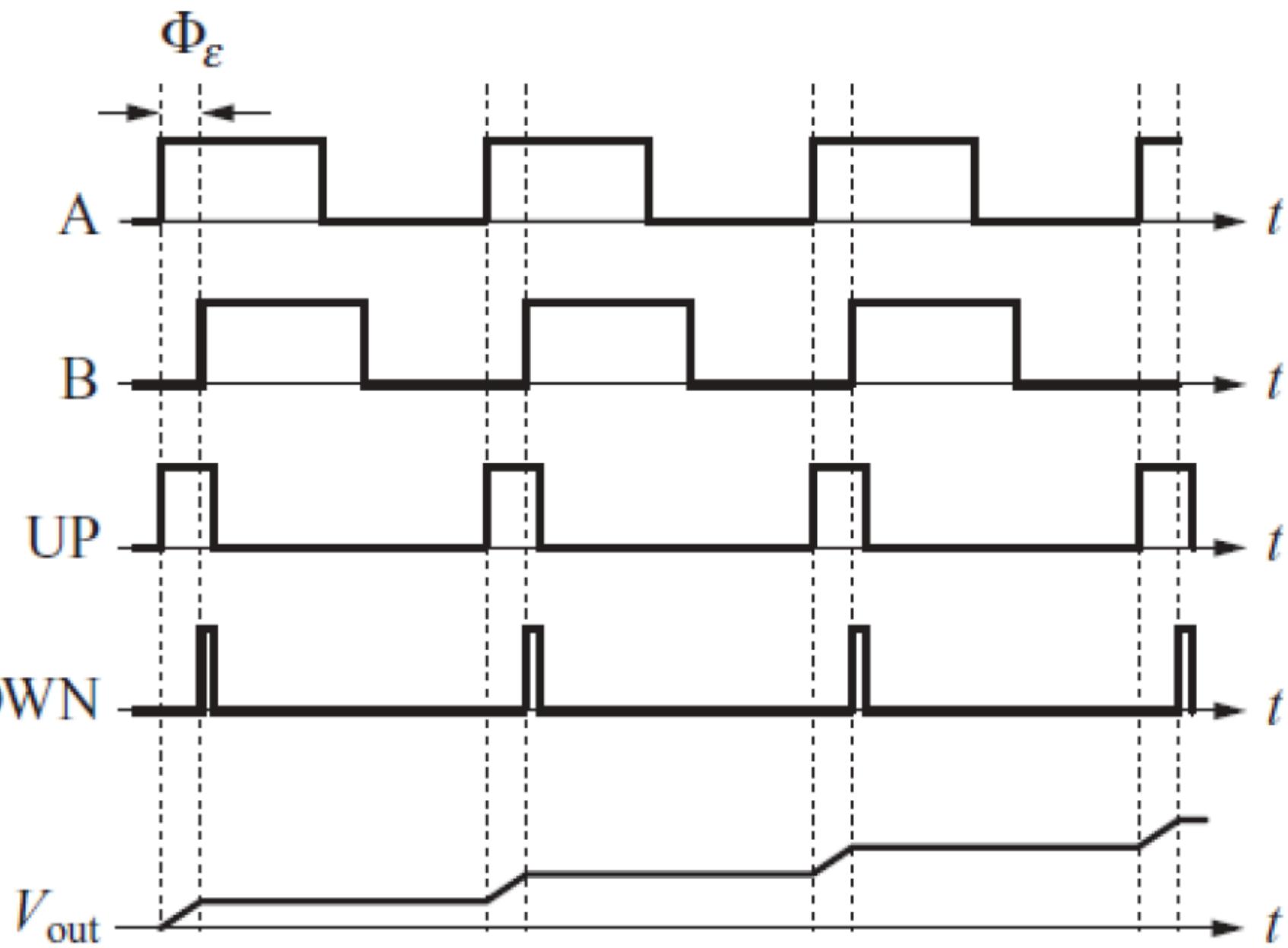
Detector de fase a frecuencia (PFD) y
bomba de carga (CP)



PFD + CP



(b)



PFD + CP

Las salidas de UP/DOWN alimentan los interruptores activando/desactivando las fuentes de corriente.

Esta fuente de corriente alimenta el capacitor integrador

Cuando el lazo del PLL está cerrado, el error es cero, y ambas fuentes de corriente están en tercer estado, y la entrada del integrador recibe señal cero.

PFD + CP

La ventaja de este circuito es la *capacidad de auto rastreo*.

Si la diferencia de frecuencia $\Delta\omega = \omega_1 - \omega_2$ es muy grande, la tensión se satura positivamente o negativamente, dependiendo de la diferencia hasta llegar a igualar las frecuencias.

Si $\omega_1 = \omega_2$, entonces la tensión de salida es proporcional a la diferencia de fase.

Error de fase alcanza a CERO

PFD + CP

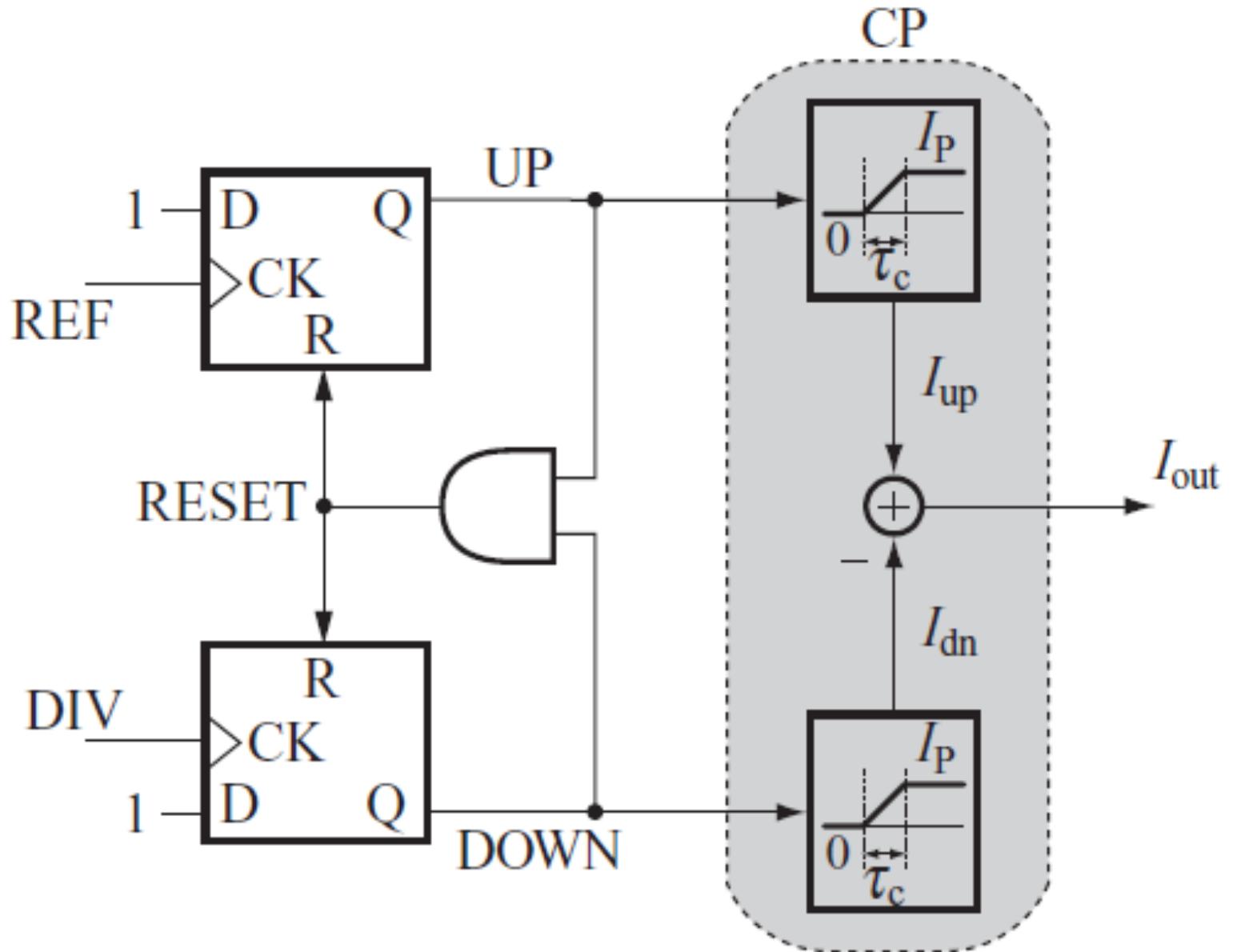
En los circuitos prácticos, la fuente de corriente de la bomba de carga tiene una pendiente acotada, llegando a su valor en un cierto tiempo τ_C .

En el estado de enganchado, la corriente promedio de salida es cero. Esto obliga a estar alineados los flancos de las entradas REF y DIV, y no se inyecta carga en el filtro, porque las fuentes de corriente no están conectadas.

PFD + CP

Cuando existe un error de tiempo inferior a τ_c entre REF y DIV, el correspondiente UP o DOWN produce la señal, pero la corriente de la bomba de carga no tiene suficiente tiempo para alcanzar su valor final.

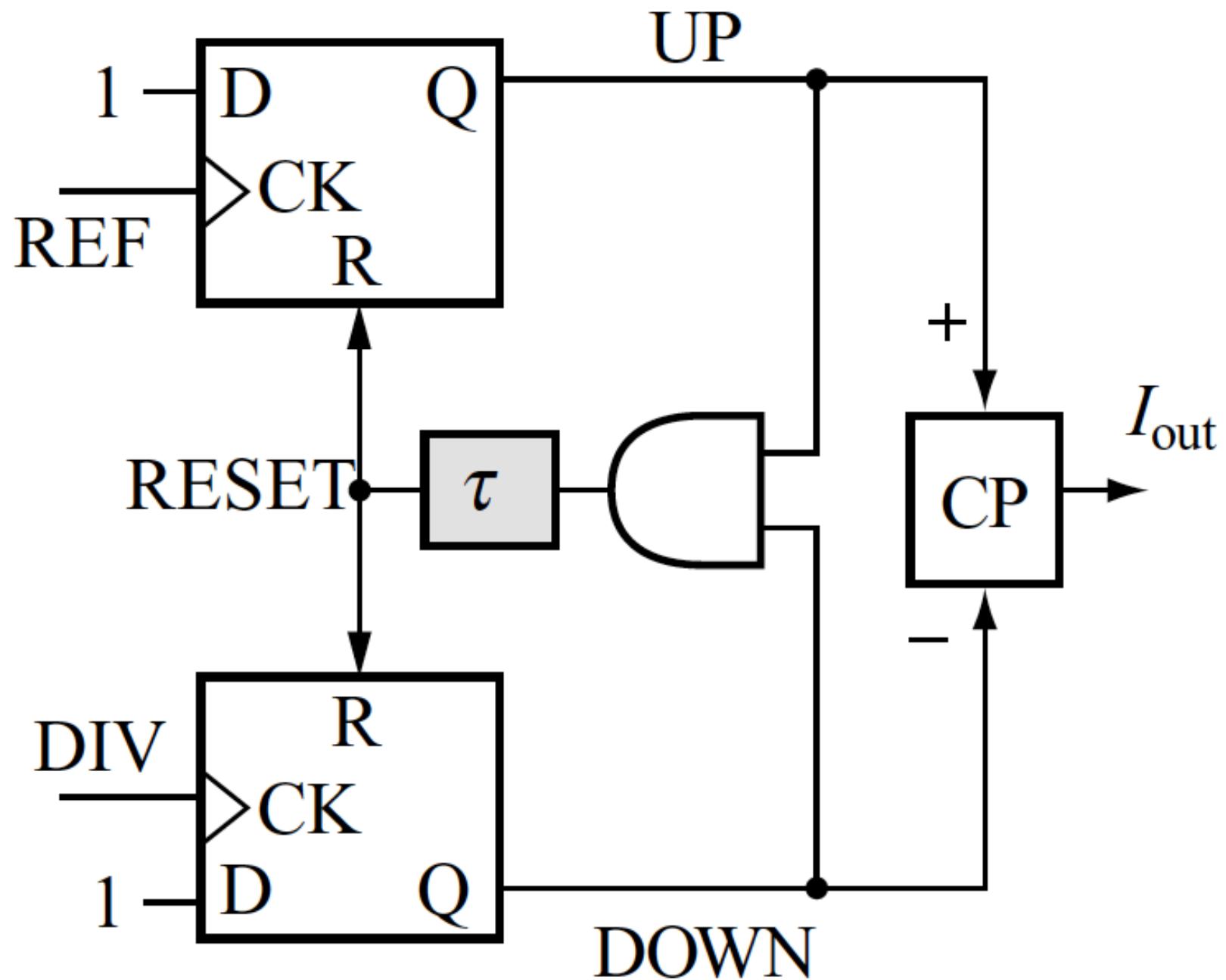
PFD+CP



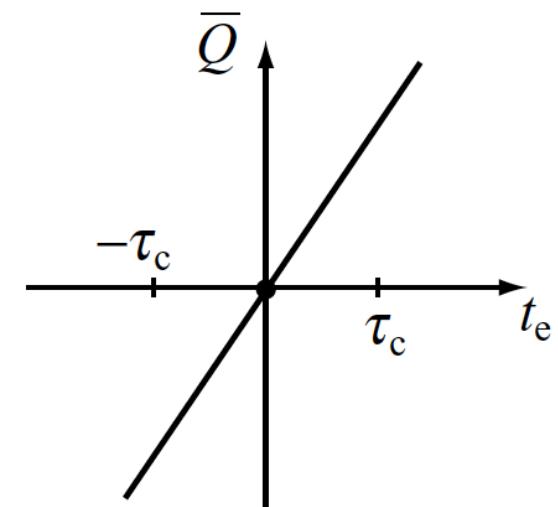
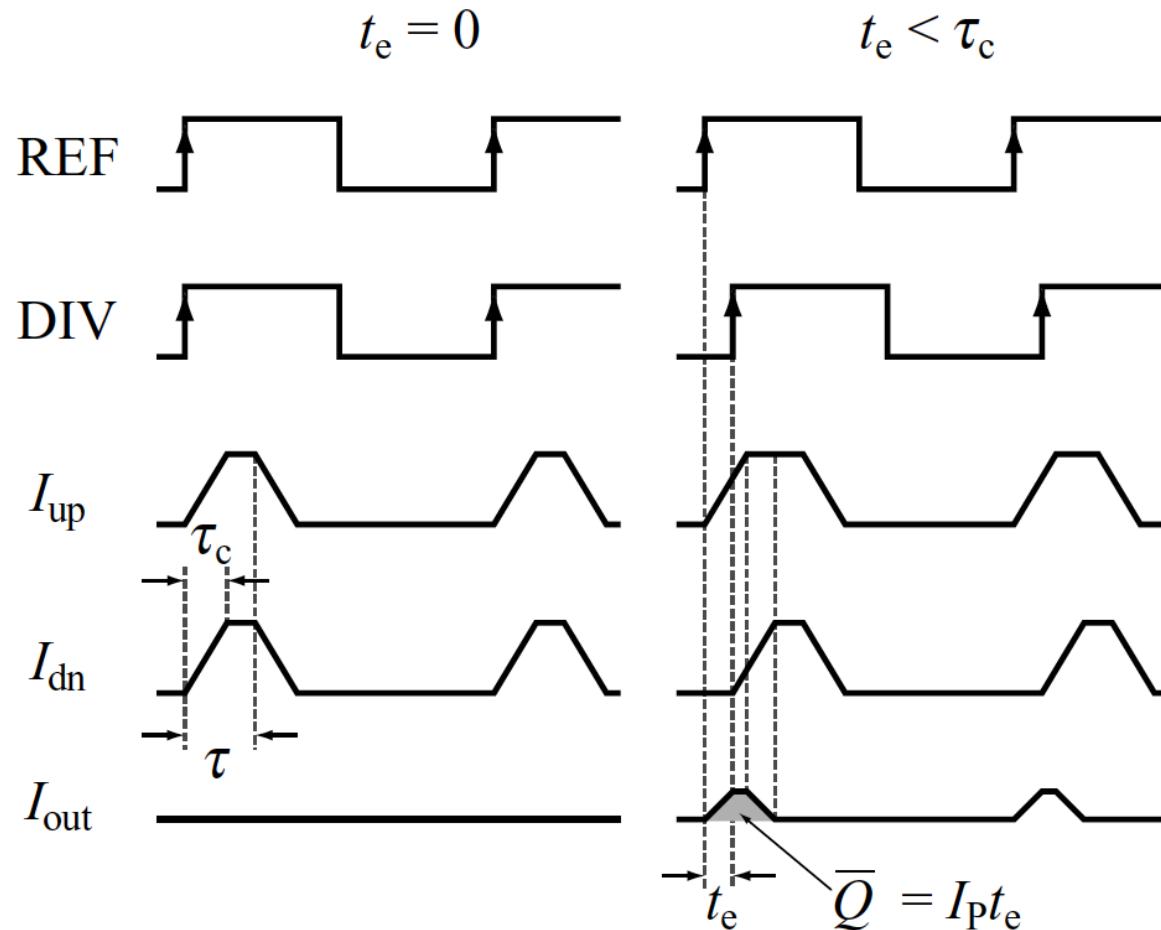
PFD+CP

Para eliminar la distorsión de cruce, se agrega un retardo τ mayor que τ_c en la compuerta que realiza el reset de los flip-flops.

Esta modificación en el PFD puede referirse como la superposición en el PFD de tres estados.



PFD+CP



Phase Locked Loop

Filtro de bucle

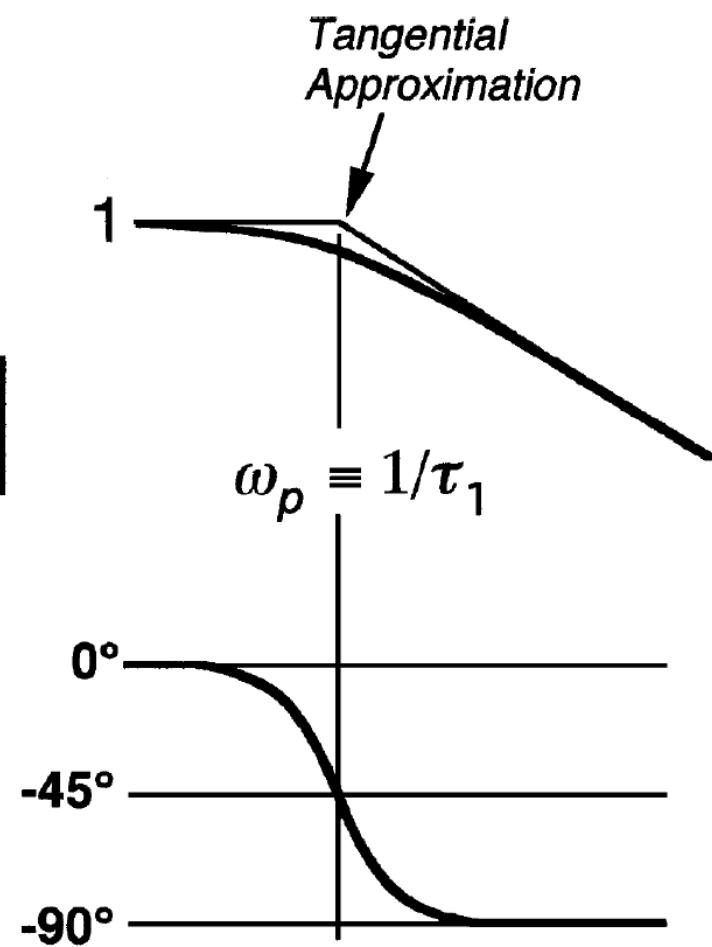
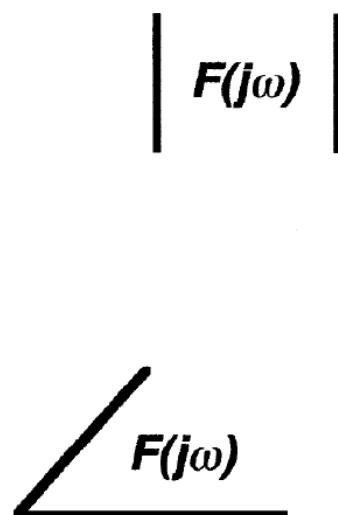
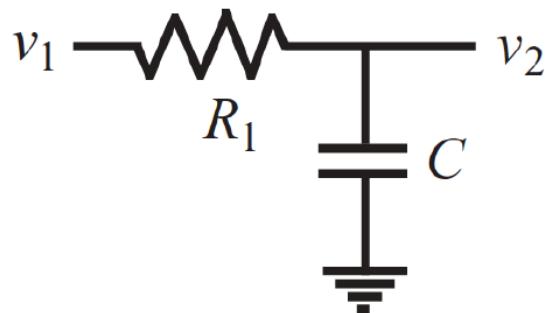
El filtro de bucle tiene dos importantes funciones.

Primero, FPB.

Segundo, características dinámicas del lazo, rango de captura, respuesta en frecuencia y respuesta transitoria. El orden del filtro de bucle determina el orden y estabilidad del lazo del PLL.

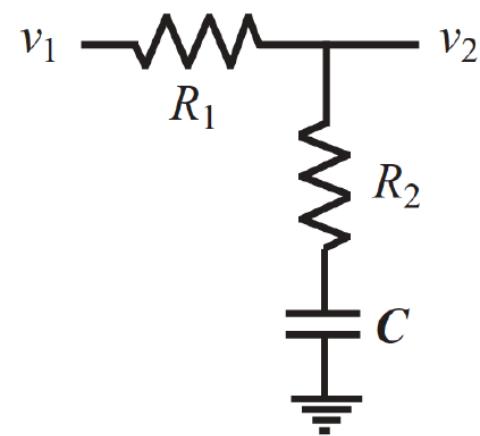
Filtro de bucle

$$F(s) = \frac{R}{R + 1/sC} = \frac{1}{1 + sRC} = \frac{1}{1 + s\tau_1}$$

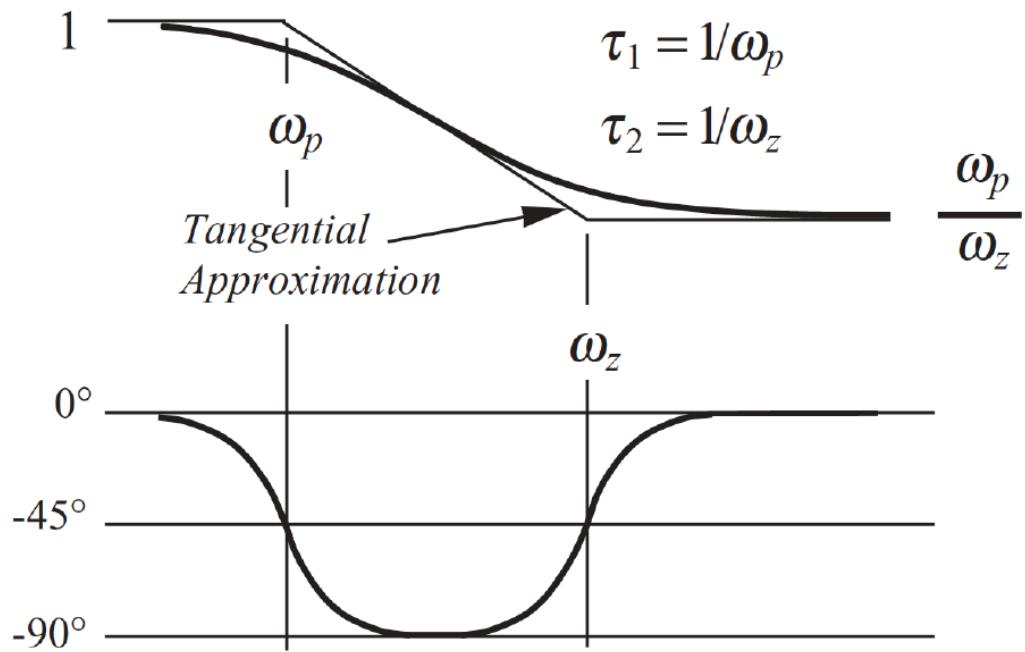


Filtro de bucle

$$F(s) = \frac{1 + s R_2 C}{1 + s(R_1 + R_2)C} = \frac{1 + s\tau_2}{1 + s\tau_1}$$



$$\begin{array}{c} |F(j\omega)| \\ \angle F(j\omega) \end{array}$$

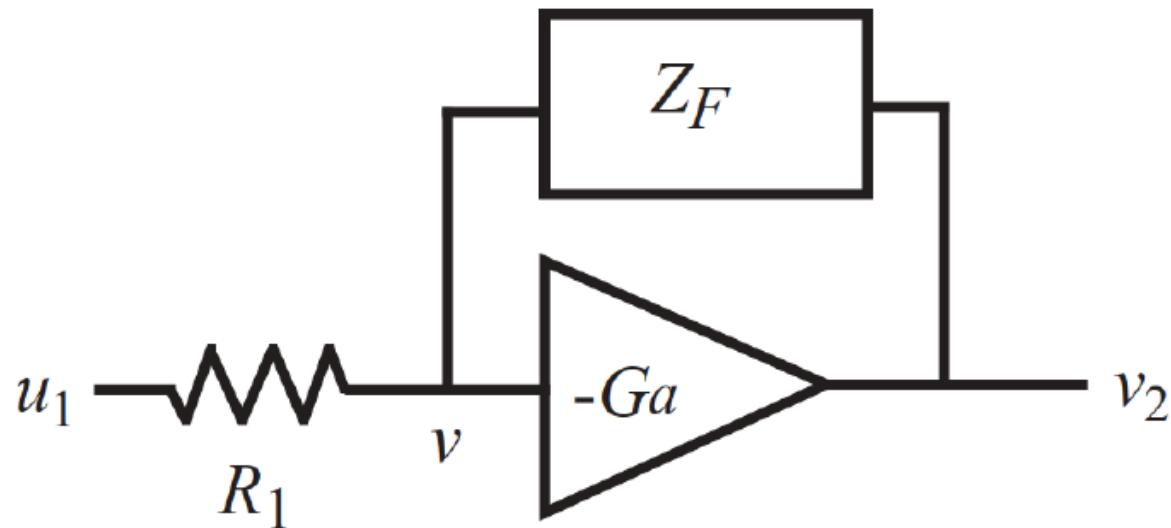


Filtro de bucle

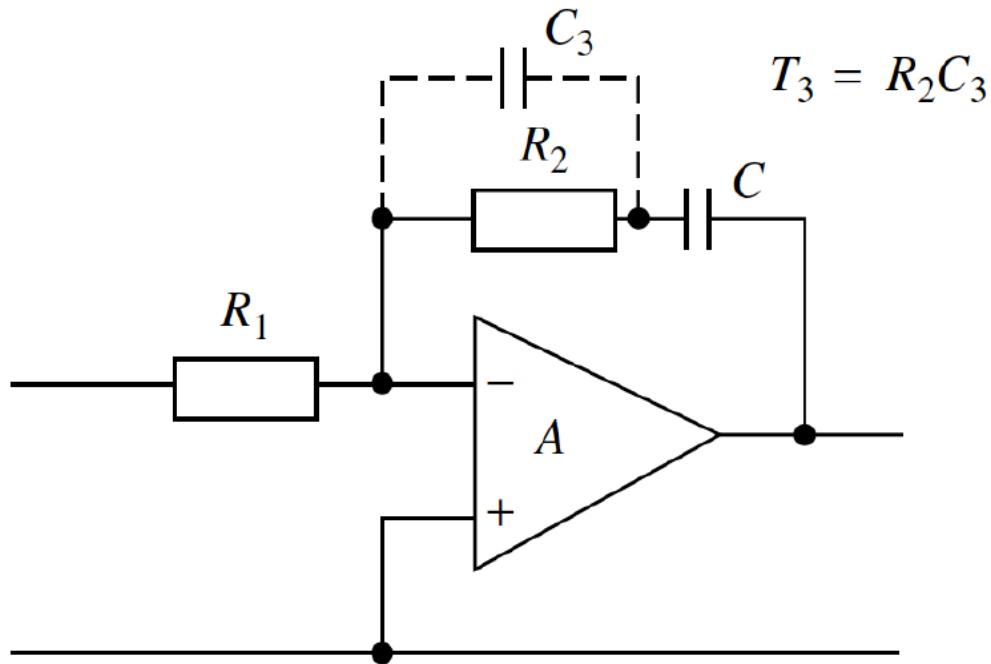
Los filtros pasivos son lineales, de relativo bajo ruido y rango de frecuencia ilimitado.

La desventaja es que no son prácticos de implementar cuando $C > 100 \text{ pF}$ y $R > 100\text{k}\Omega$, son difíciles de ubicar un polo en el origen para incrementar el Tipo del sistema.

Filtro de bucle

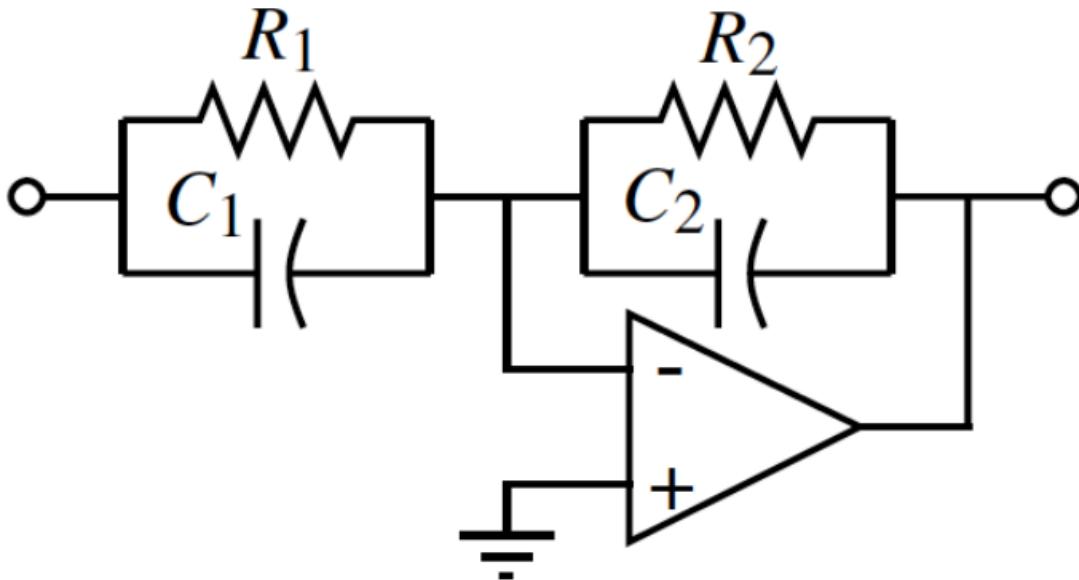


Filtro de bucle



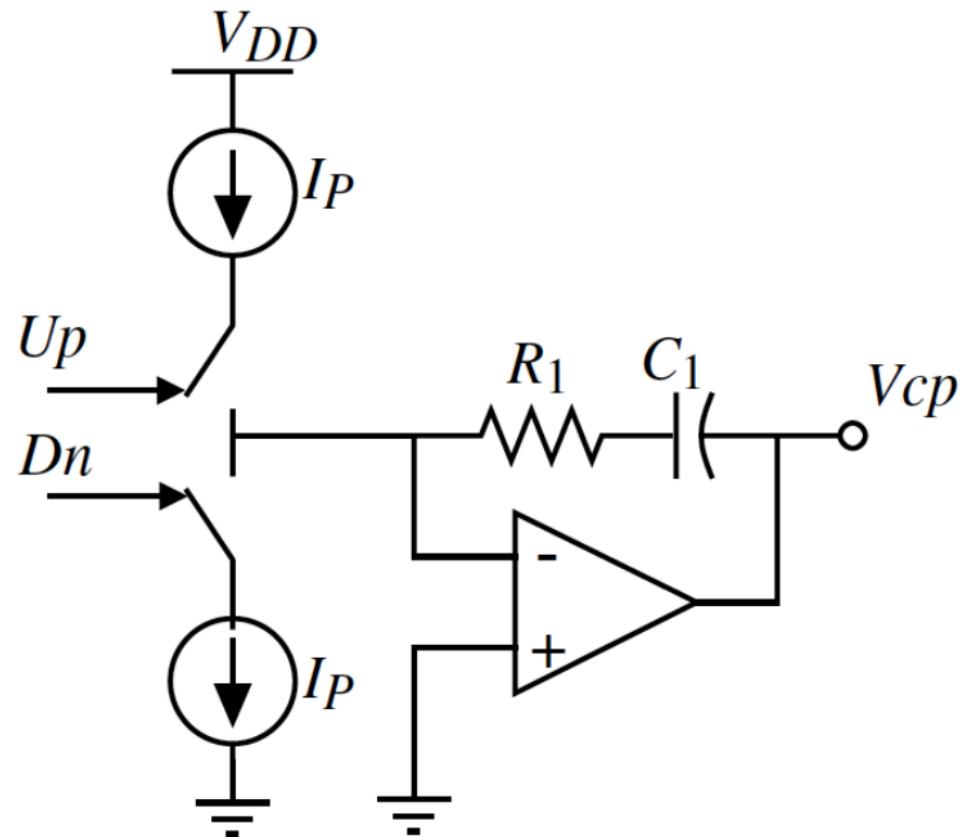
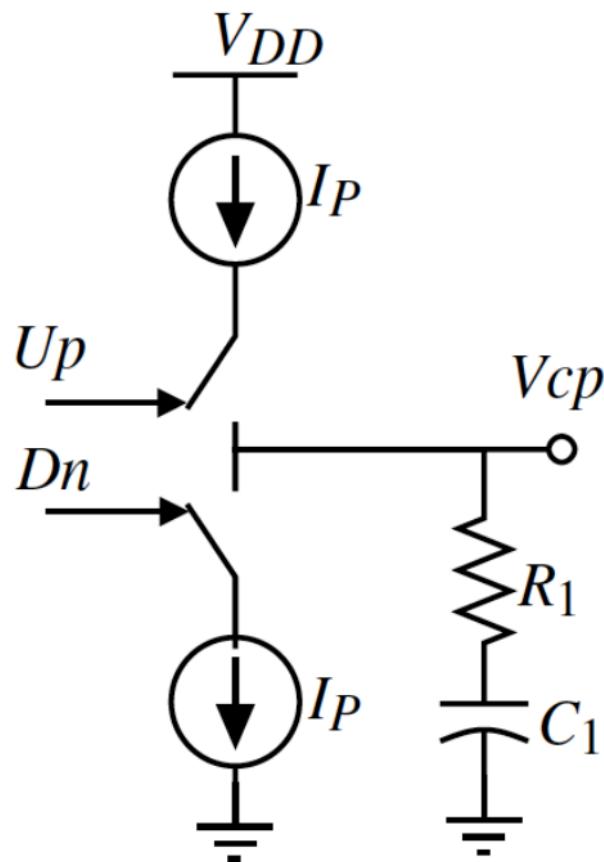
$$F(s) = \frac{1 + sCR_2}{sSCR_1 + 1/A} = \frac{1 + s\tau_2}{s\tau_1 + 1/A}$$

Filtro de bucle



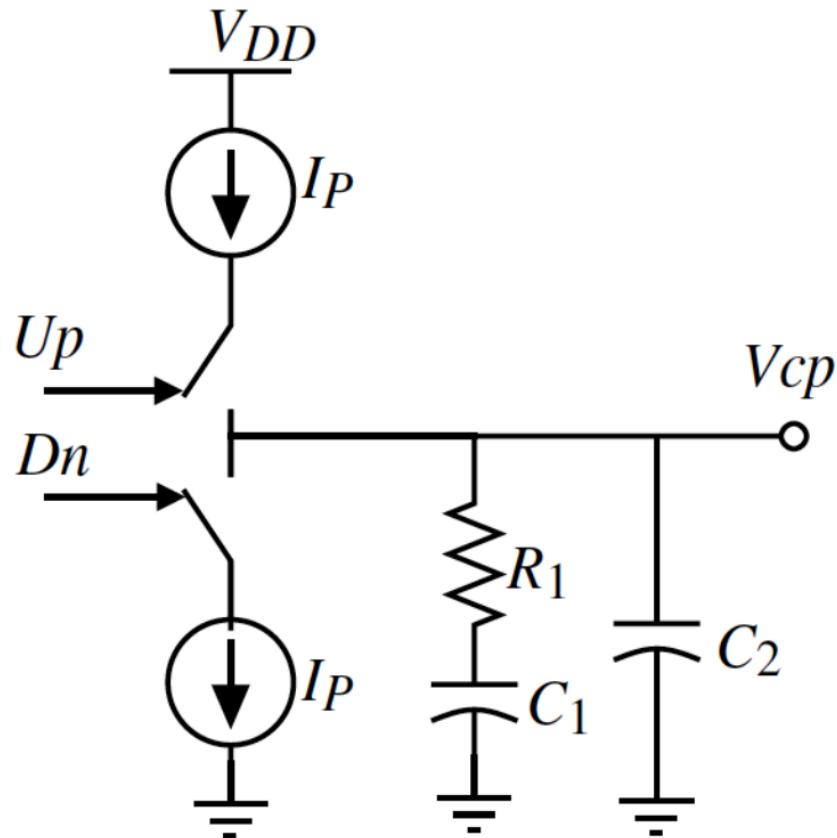
$$F(s) = -\frac{\frac{R_2}{sC_2}}{\frac{1}{R_1} + \frac{1}{sC_1}} = -\left(\frac{R_2}{R_1}\right) \frac{sR_1C_1 + 1}{sR_2C_2 + 1} = -\left(\frac{R_2}{R_1}\right) \frac{1 + s\tau_1}{1 + s\tau_2}$$

Filtro de bucle



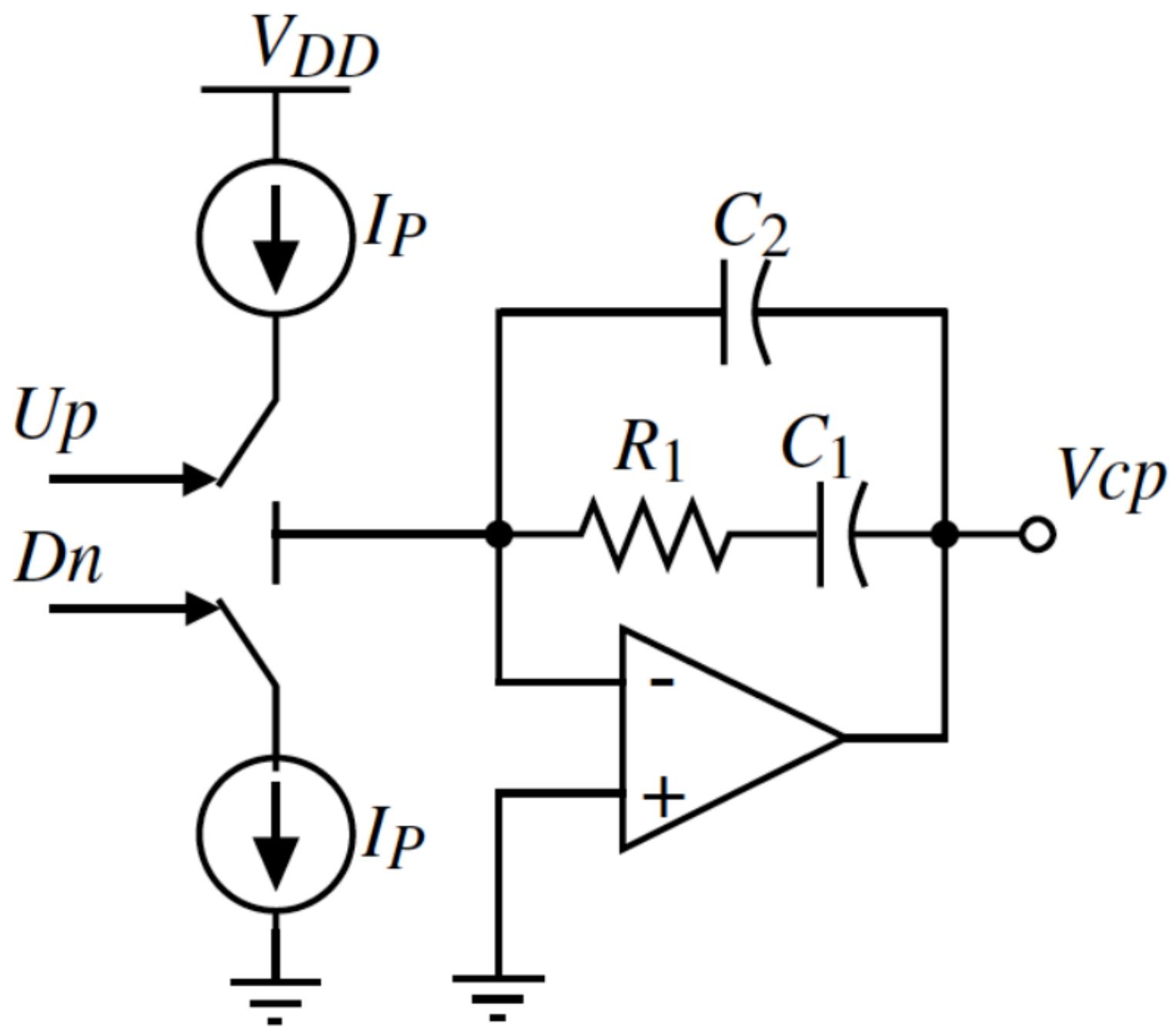
Filtro para bomba de carga para PLL de segundo orden
(a) Pasivo, (b) Filtro activo

Filtro de bucle

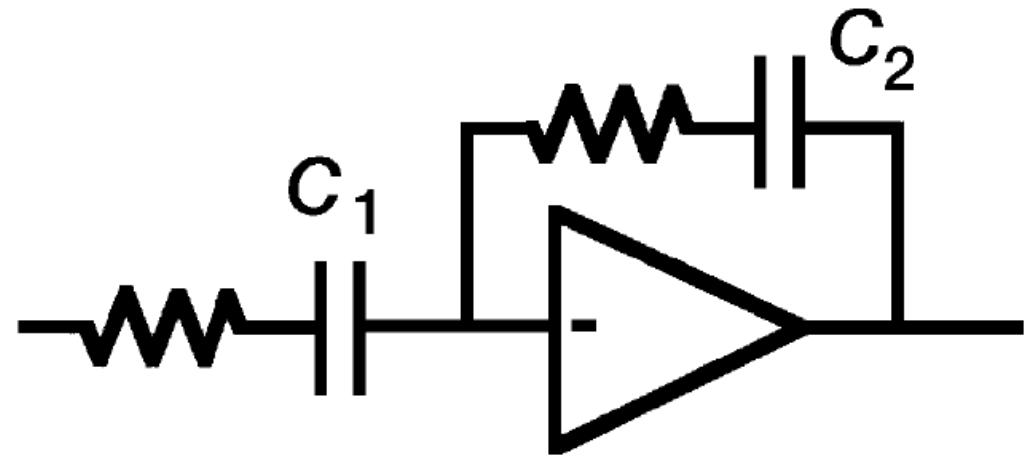
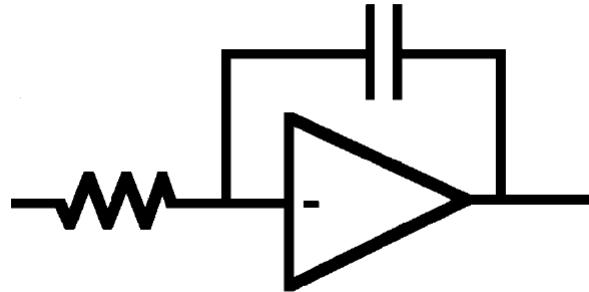


$$F(s) = \left(\frac{b}{b+1} \right) \frac{1 + s\tau}{s^2 C_1 \left(\frac{s\tau}{b+1} + 1 \right)}$$

$$\tau = R_1 C_1 \quad b = \frac{C_1}{C_2}$$



Filtro de bucle



Filtros activos que deben evitarse

Phase Locked Loop

VCO

El VCO (Voltage-controlled oscillator) es un oscilador cuya frecuencia es controlada por una tensión. Las variables de sintonización pueden ser capacitores variables (varactores), corriente, tensión o la fuente de alimentación.

VCO

Hay muchos tipos de VCO, pero los más comunes son los astables o de relajación y el oscilador senoidal LC sintonizado por diodo varicap.

También pueden ser osciladores de relajación, osciladores de anillo, y de síntesis digital directa (Direct digital synthesis, DDS).

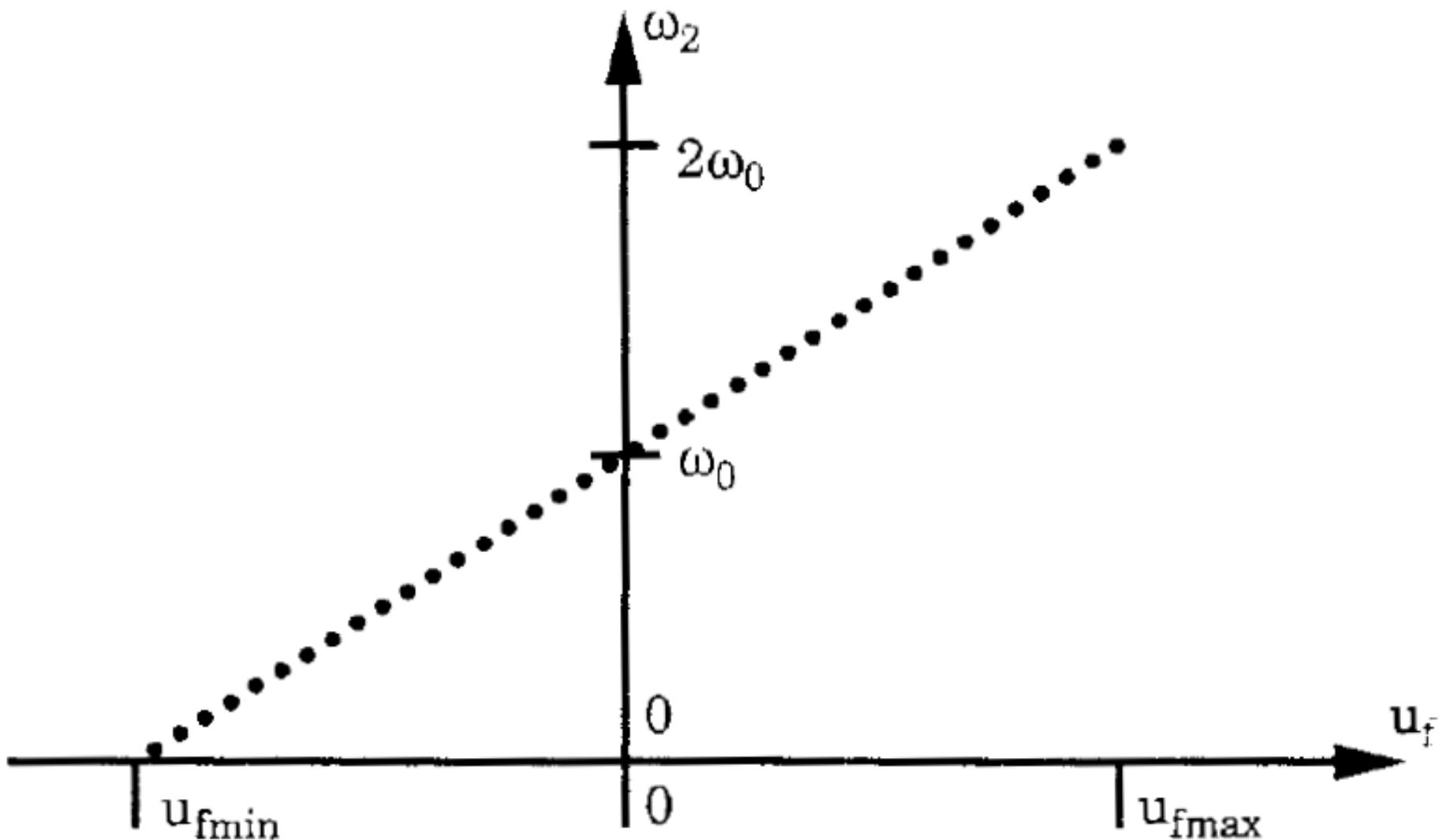
VCO

$$V_o(t) = V_0 \cos(\omega_o t + \phi_o)$$

$$\omega_o = \omega_c + K_{VCO} V_{tune}$$

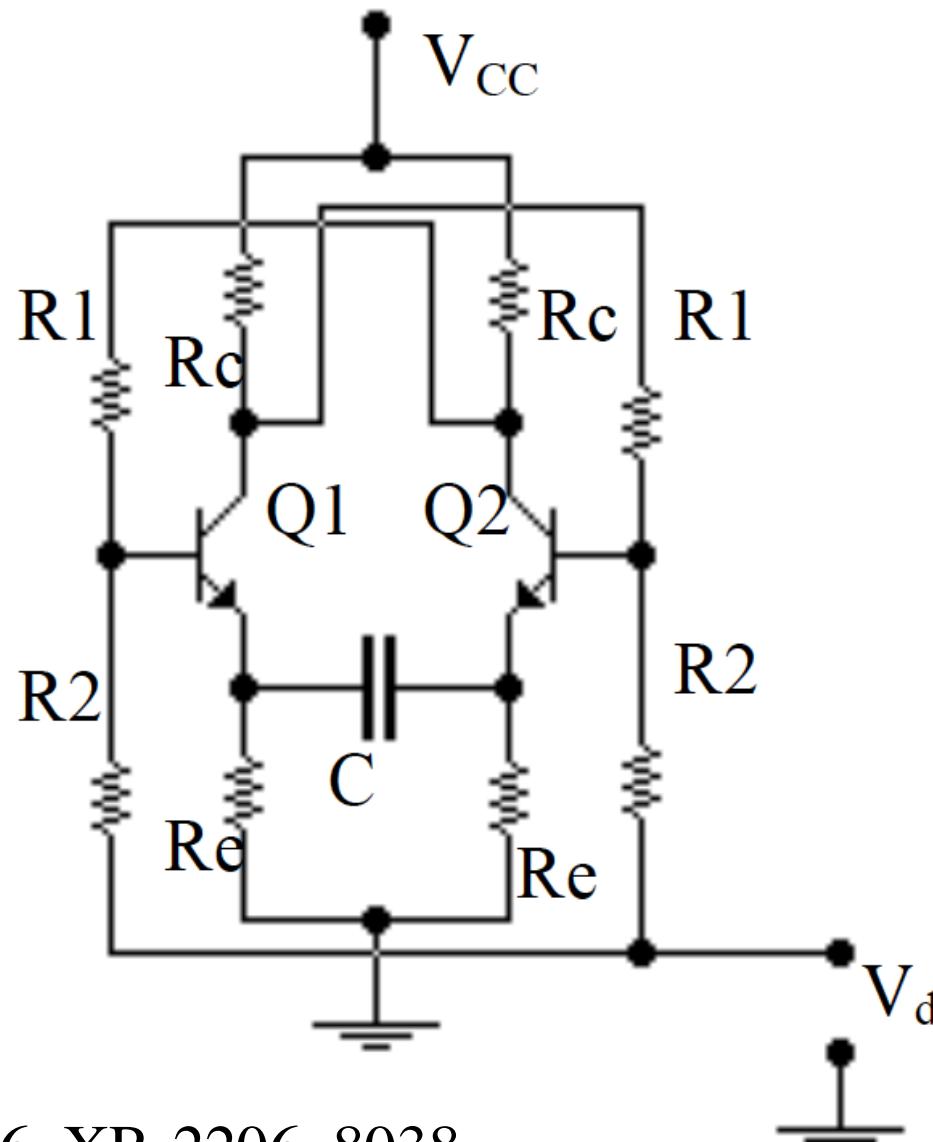
En casos prácticos, el valor de V_{tune} es el valor de tensión que corresponde al medio del rango dinámico. w_c es la frecuencia de corrida libre.

VCO



Característica ideal de un VCO

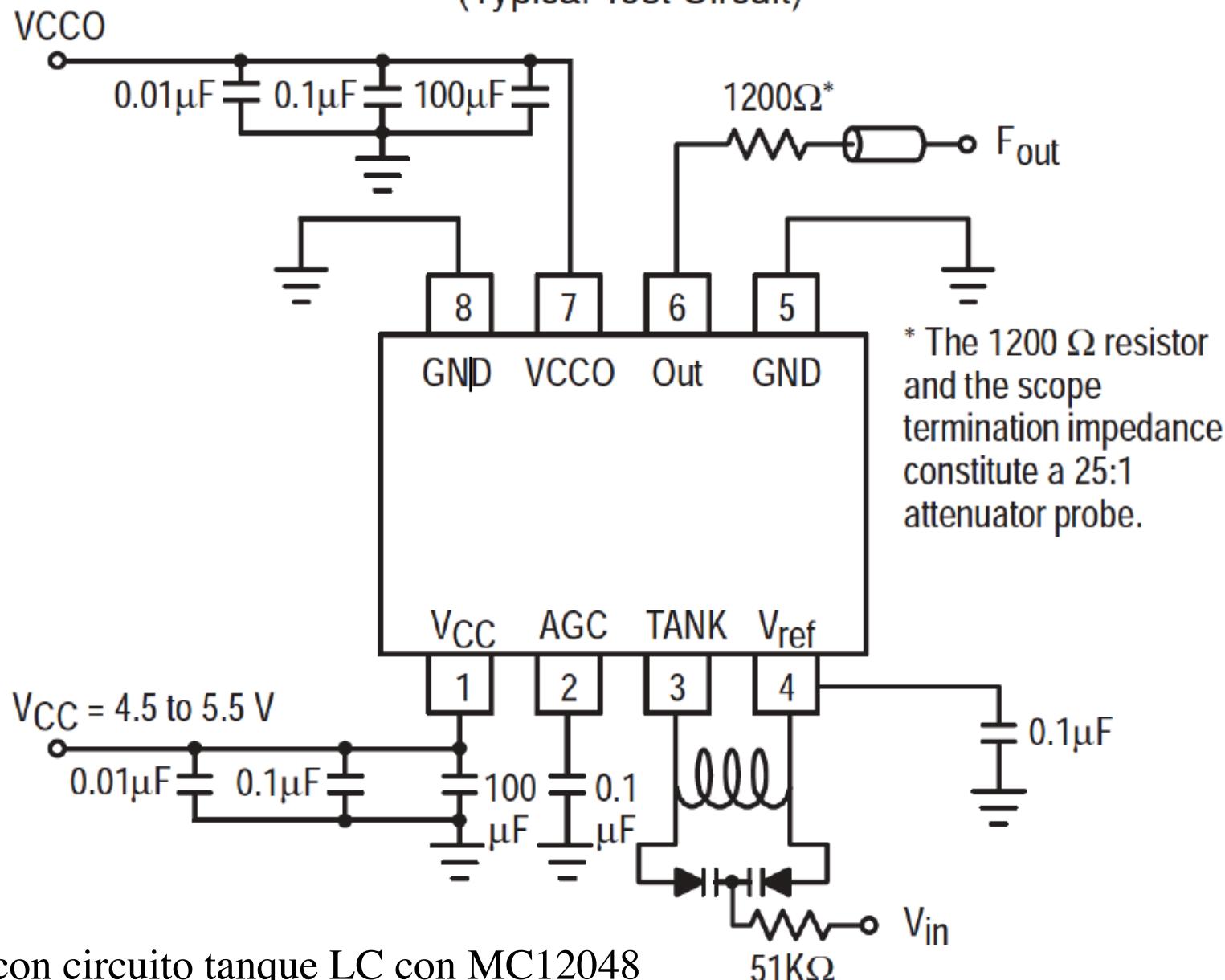
VCO – Oscilador astable



MC4324, LM566, XR-2206, 8038

BLOCK DIAGRAM

(Typical Test Circuit)



VCO

Diferentes tipos de VCOs

Tipo de Circuito	Círculo Resonante	Rango de sintonía	Ruido de fase
Oscilador RC	Resistor y capacitor	Amplio	Pobre
VCO común LC	Inductor y Capacitor	Amplio	Justo
Stripline VCO	Microstrip	Amplio	Justo
SAW (Surface acoustic wave)	Filtro SAW	Angosto	Excelente
VXCO	Cristal	Muy angosto	El mejor
CRO (ceramic resonator osc)	Cerámico	Amplio	Excelente
DRO (dielectric resonator osc)	Dielectric	Amplio	Excelente
VCO YIG	Esfera YIG	Muy amplio	Justo
VCO silicio	Se usa con cables espirados	Muy amplio	Justo

Phase Locked Loop

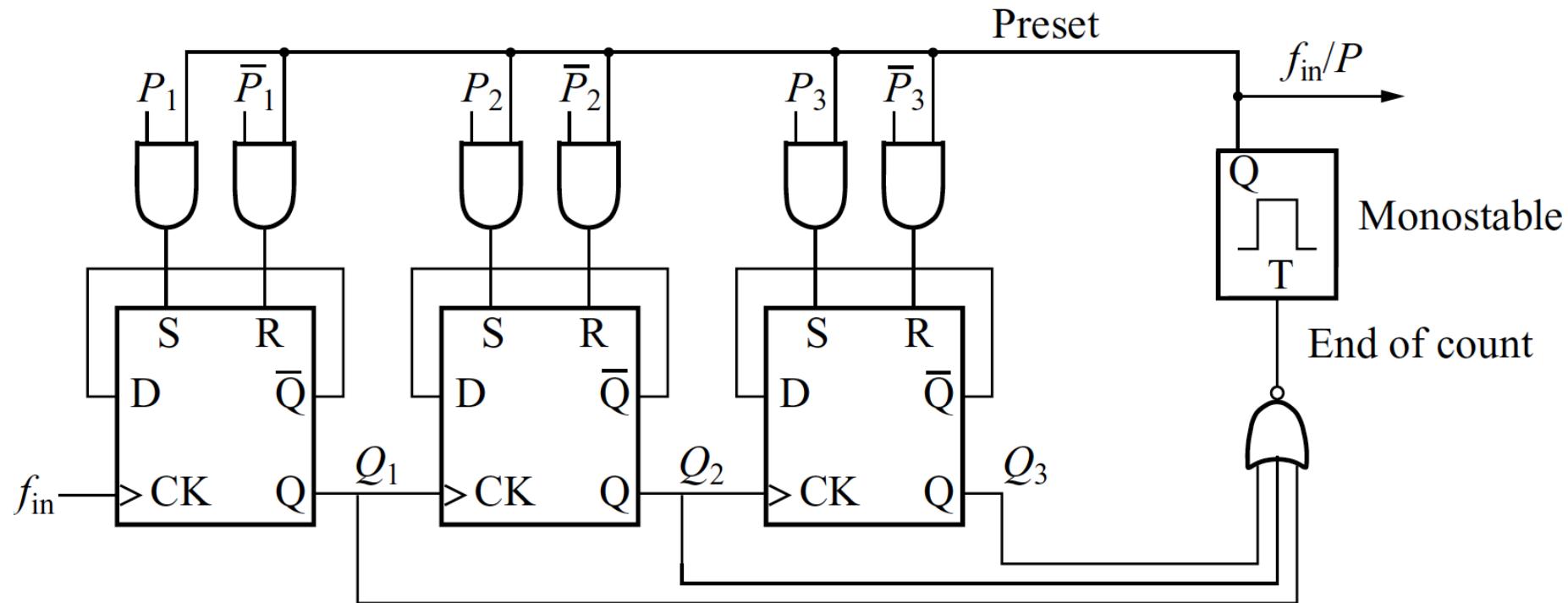
Divisor de frecuencia programable

El divisor de frecuencias programable es un divisor de frecuencias variable que permite la comparación con la frecuencia de referencia.

Los dos ítems importantes en la selección del divisor son la alta frecuencia de entrada y la programabilidad del factor de división.

Un gran valor de división se contrapone con los requerimientos de alta frecuencia de entrada.

Divisor programable



Contador síncrono de módulo P, preseteable

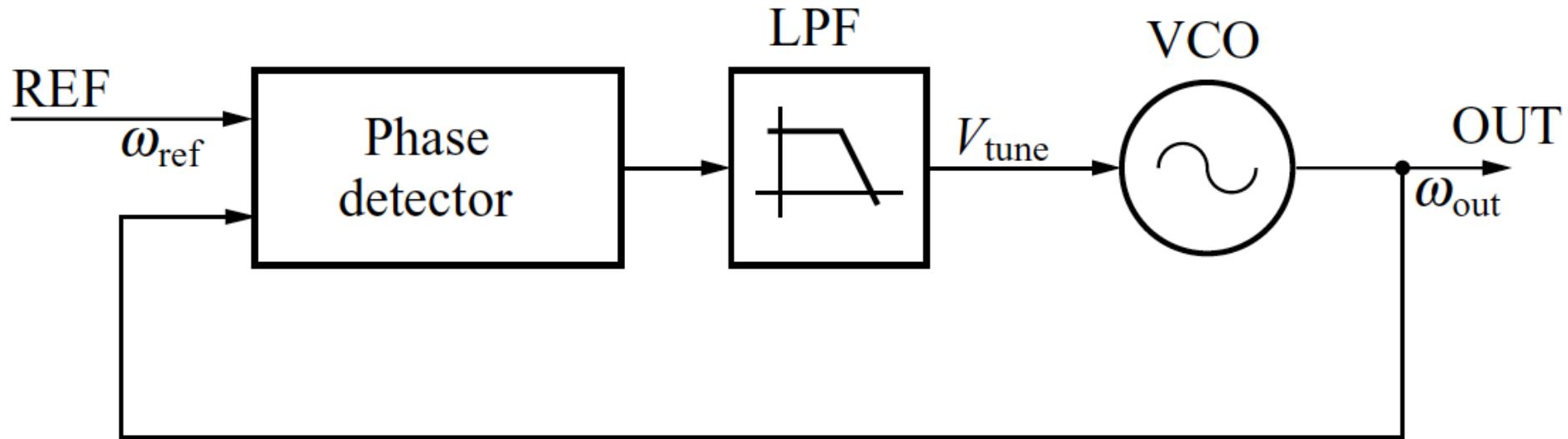
Divisor programable

El contador de módulo-8 es un ejemplo muy simple de programación de un contador desde Q3Q2Q1 =111 to 000.

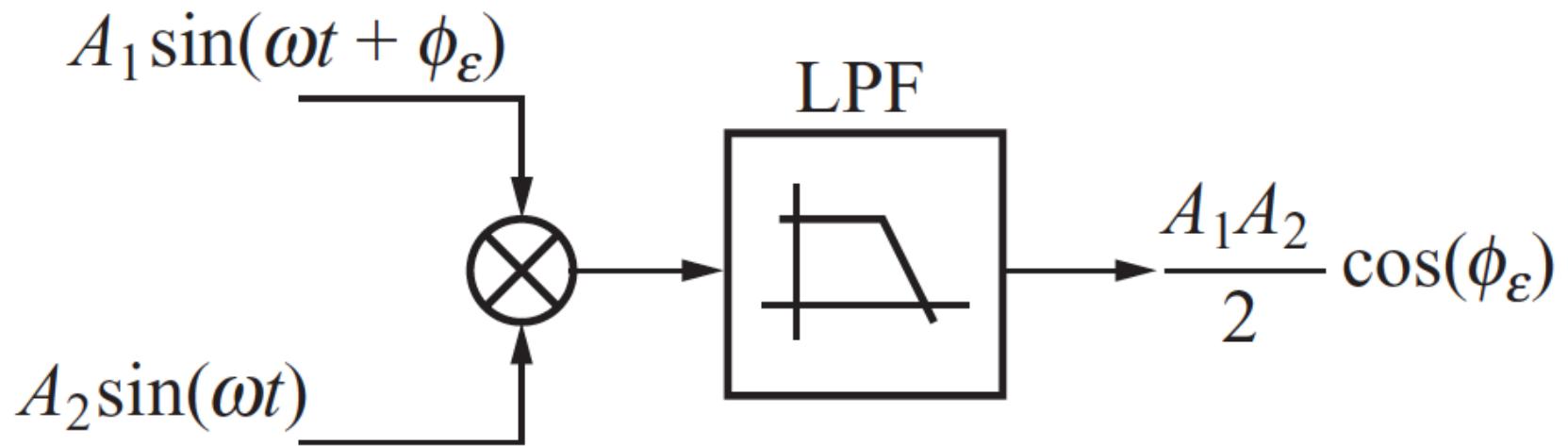
El contador comienza por el estado predefinido por el número preseteado P3P2P1 y este se desborda cuando alcanza el estado 000.

Función de transferencia del PLL

Modelo dinámico del PLL, simple lazo

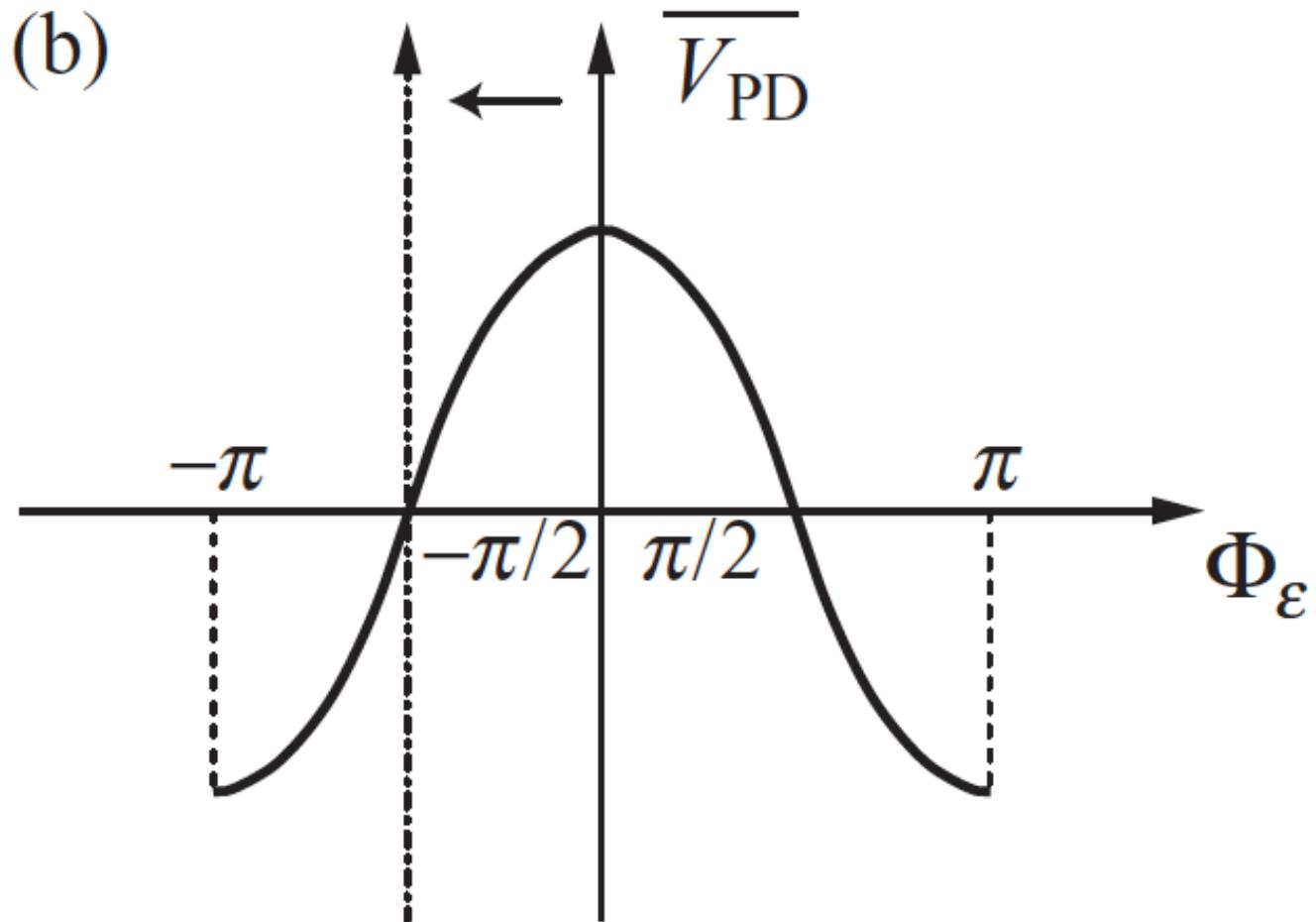


Modelo dinámico del PLL



Detector de fase mezclador. (a) circuito esquemático

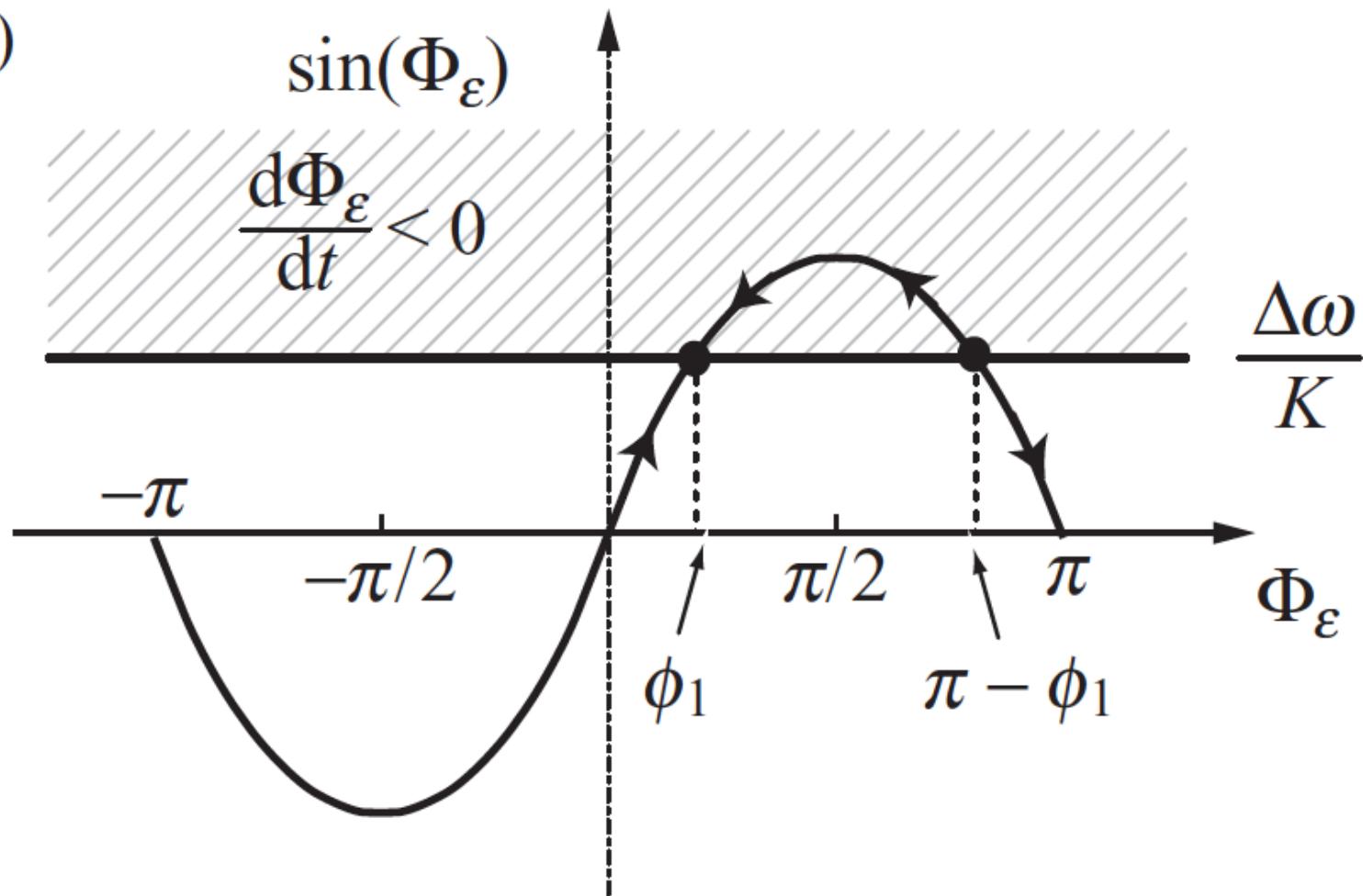
Modelo dinámico del PLL



Detector de fase mezclador. (b) característica estática

Modelo dinámico del PLL

(c)



Detector de fase mezclador. (c) representación gráfica de la solución de estado estacionario

Modelo dinámico del PLL

Si se asume un detector mezclador, las señales de entrada y salida en el caso de PLL enganchado, son tensiones harmónicas con una modulación de fase adicional, se puede expresar:

$$v_i(t) = A_1 \sin[\omega t + \phi_\varepsilon]$$

donde ϕ varía lentamente

$$v_o(t) = A_2 \sin(\omega t)$$

$$A_1 \sin[\omega t + \phi_\varepsilon] \cdot A_2 \sin(\omega t) = \frac{A_1 A_2}{2} \cos[2\omega t + \phi_\varepsilon] + \frac{A_1 A_2}{2} \cos[\phi_\varepsilon]$$

Modelo dinámico del PLL

Si el filtro pasabajos corta las frecuencias altas, la salida depende de la diferencia de fase

$$v_{ref}(t) = A_{ref} \sin[\Phi_{ref}(t)] = A_{ref} \sin[\omega_{ref} t + \phi_{ref}]$$

$$v_{out}(t) = A_{out} \cos[\Phi_{out}(t)] = A_{out} \cos[\omega_{out} t + \phi_{out}]$$

Modelo dinámico del PLL

También como puede observarse, la salida del mezclador depende de las dos amplitudes. Asumiendo amplitudes unitarias, la salida del filtro es

$$V_{tune}(t) = K_{PD} \sin(\Phi_{ref} - \Phi_{out}) = K_{PD} \sin(\Phi_e)$$

Modelo dinámico del PLL

La derivada de Φ_{out} es la frecuencia instantánea de la salida del VCO, y puede ser escrita en términos de la frecuencia de corrida libre ω_c y el valor de sintonía de entrada V_{tune} .

$$\frac{d\Phi_{out}}{dt} = \omega_c + K_{VCO}V_{tune}(t)$$

Frecuencia
instantánea de la
salida del VCO

$$\frac{d\Phi_e}{dt} = \frac{d\Phi_{ref}}{dt} - \frac{d\Phi_{out}}{dt} = \omega_{ref} - \omega_c - K_{VCO}V_{tune}(t)$$

$$\frac{d\Phi_e}{dt} = \Delta\omega - K \cdot \sin[\Phi_\varepsilon(t)]$$

$$\begin{aligned}\Delta\omega &= \omega_{ref} - \omega_c \\ K &= K_{VCO}K_{PD}\end{aligned}$$

Modelo dinámico del PLL

Si el sistema entra en estado estacionario,

$$\frac{d\Phi_e}{dt} = \Delta\omega - K \cdot \sin[\Phi_\varepsilon(t)] \quad d\Phi_e / dt = 0$$

el error de fase está dado por:

$$\sin(\Phi_\varepsilon) = (\Delta\omega / K)$$

Esta condición es representada gráficamente en la Fig.
El lazo puede engancharse sólo si

$$|\Delta\omega / K| < 1$$

En estado estacionario, cuando $t \rightarrow \infty$ $\omega_{out} = \omega_{ref}$

Modelo dinámico del PLL

el exceso del error de fase $\Phi_\varepsilon = \sin^{-1}(\Delta\omega / K)$

dos soluciones, ϕ_1 y $\pi - \phi_1$ en el rango $[-\pi, \pi]$.

Si $K > 0$ y $[\sin(\Phi_\varepsilon)] > (\Delta\omega / K)$ entonces:

$$\frac{d\Phi_e}{dt} = \Delta\omega - K \cdot \sin[\Phi_\varepsilon(t)] < 0$$

Entonces, en la región de la Fig. c, el error de fase decrece. La única condición estable es en ϕ_1

Modelo dinámico del PLL

Si $K < 0$ entonces la única región estable es para un error de fase de $\pi - \phi_1$

De ahora en mas, se asume $K > 0$.

El límite de frecuencia, o rango de sostén (hold-in range)
 $\Delta\omega = \pm K$ setea el PLL en el rango de enganche

Si $\text{MOD}(\Delta\omega / K) > 1$ el PLL nunca logra engancharse.

Si $\text{MOD}(\Delta\omega / K) < 1$ el PLL logra engancharse.

Modelo dinámico del PLL

Si aproximamos la ec. 5.32 haciendo $\sin[\Phi_\varepsilon(t)] \approx \Phi_\varepsilon(t)$, entonces

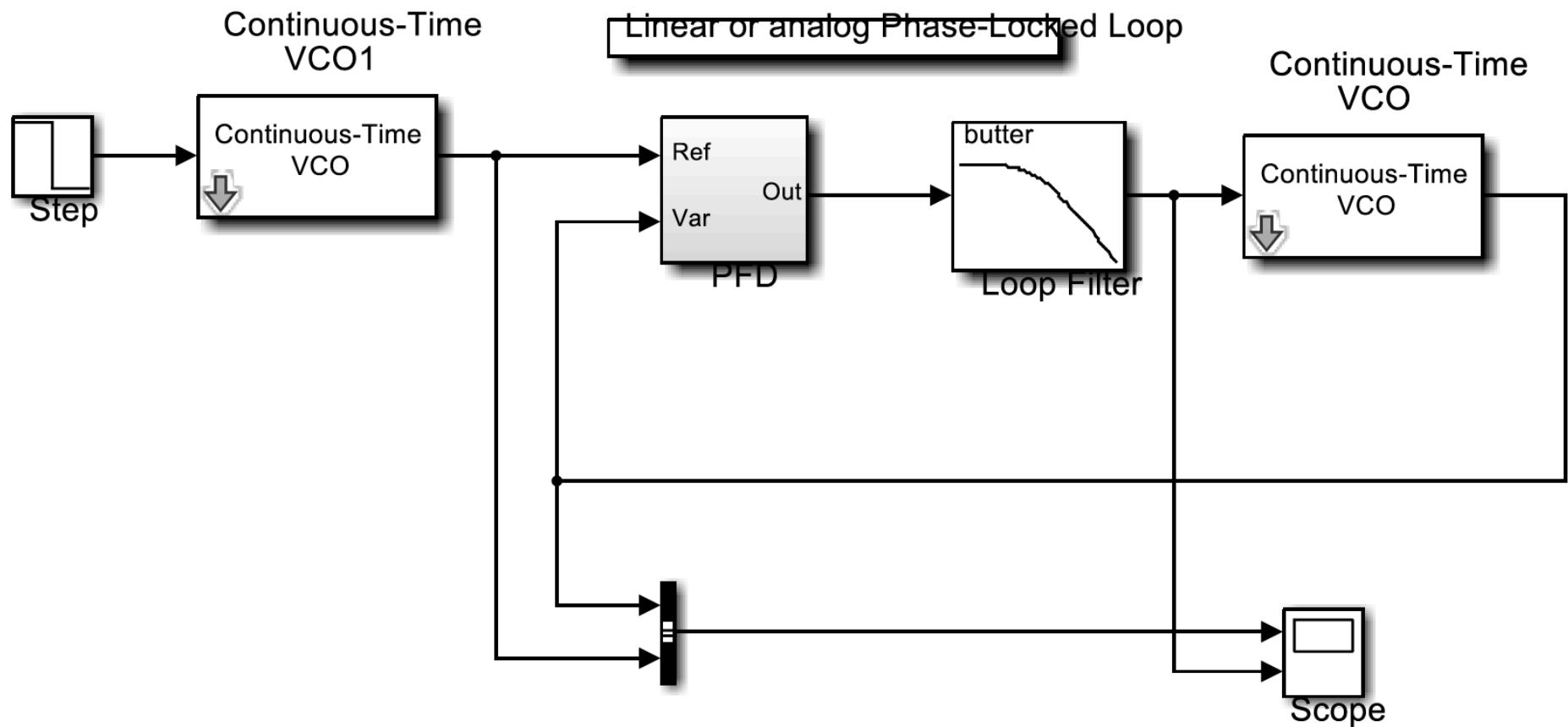
$$\frac{d\Phi_e}{dt} = \Delta\omega - K \cdot \Phi_\varepsilon(t)$$

Cuya solución es:

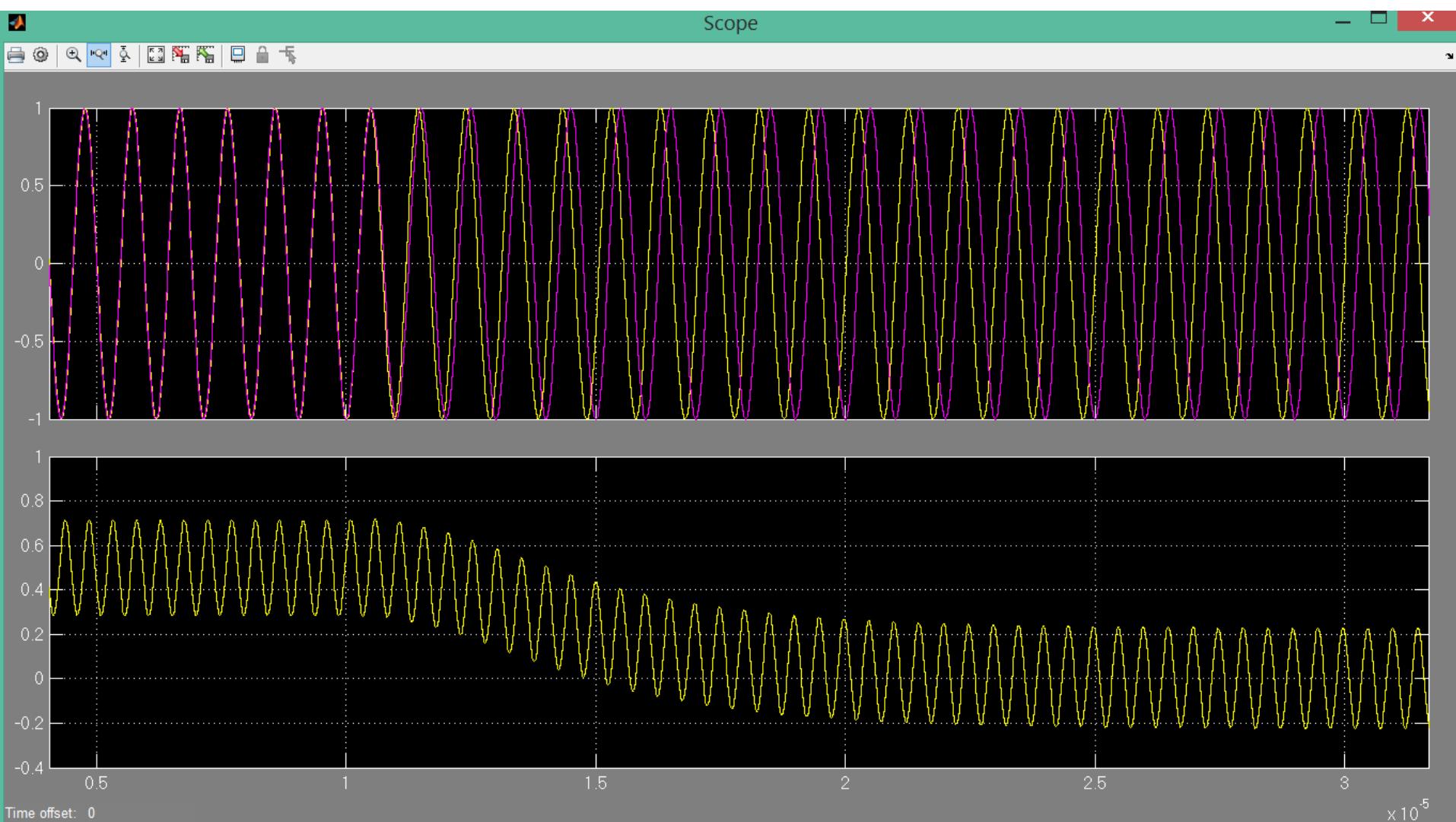
$$\Phi_\varepsilon(t) = e^{-K \cdot t} \left[\Phi_{e0} - \frac{\Delta\omega}{K} \right] + \frac{\Delta\omega}{K}$$

Esto significa que el error comienza con Φ_{e0} y va aproximándose a $\Delta\omega / K$. La constante de transición es seteado por K.

Phase Locked Loop

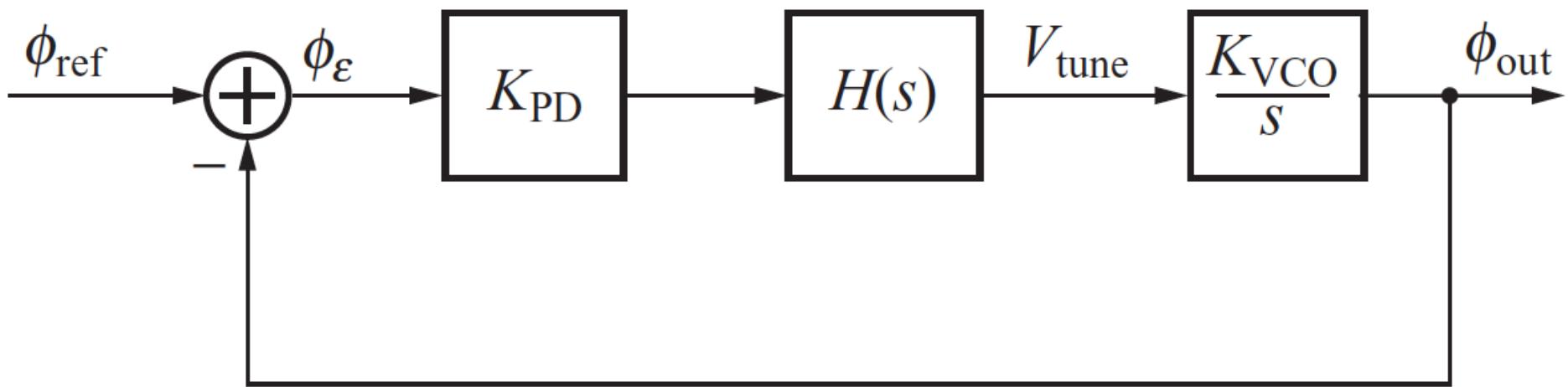


Phase Locked Loop



Phase Locked Loop

Función de transferencia del PLL simple

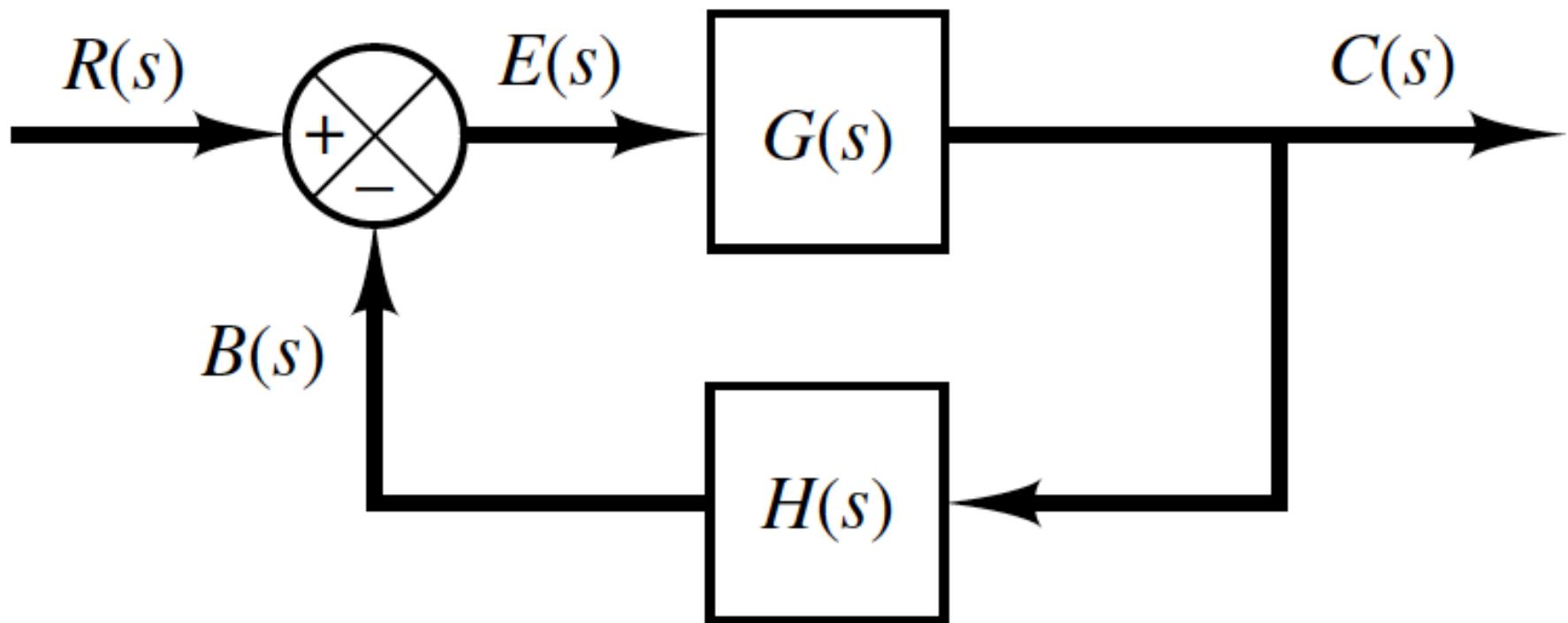


$$G_{\text{loop}}(s) = -K_d F(s) K_O / s$$

Phase Locked Loop

Repaso de *Sistemas de Control*

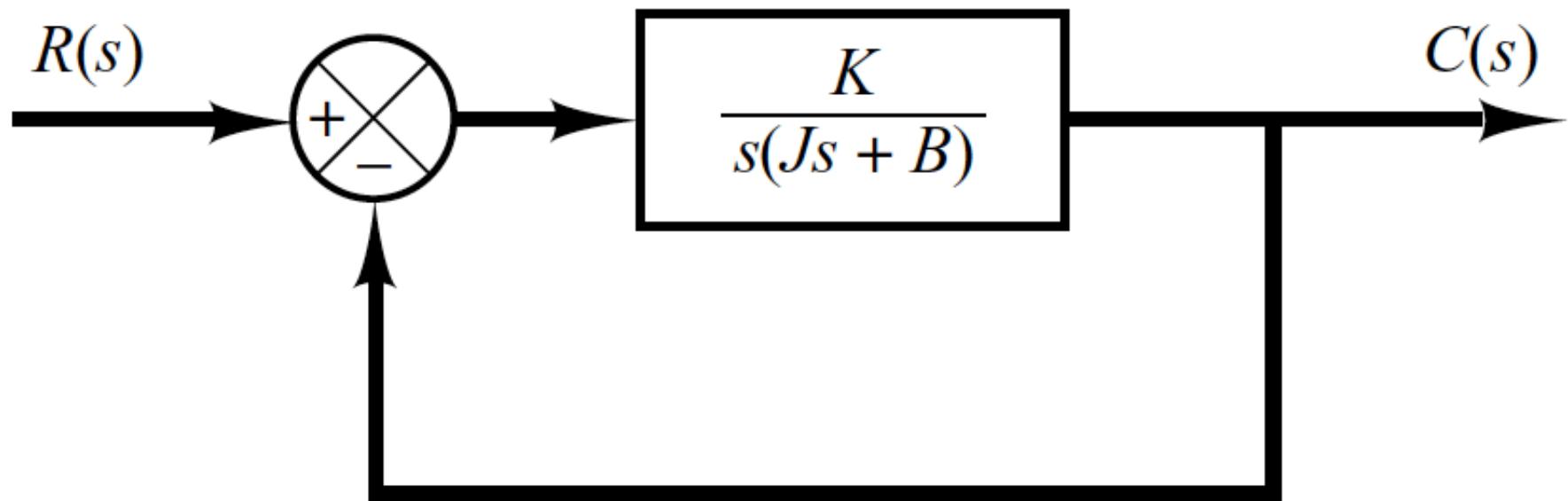
En el caso de un sistema de control:



Phase Locked Loop

$$\frac{C(s)}{R(s)} = \frac{G(s)}{1 + G(s)H(s)}$$

Phase Locked Loop



Phase Locked Loop

$$\frac{C(s)}{R(s)} = \frac{K}{Js^2 + Bs + K}$$

$$\frac{C(s)}{R(s)} = \frac{\frac{K}{J}}{\left[s + \frac{B}{2J} + \sqrt{\left(\frac{B}{2J}\right)^2 - \frac{K}{J}} \right] \left[s + \frac{B}{2J} - \sqrt{\left(\frac{B}{2J}\right)^2 - \frac{K}{J}} \right]}$$

Phase Locked Loop

$$\frac{C(s)}{R(s)} = \frac{\frac{K}{J}}{\left[s + \frac{B}{2J} + \sqrt{\left(\frac{B}{2J}\right)^2 - \frac{K}{J}} \right] \left[s + \frac{B}{2J} - \sqrt{\left(\frac{B}{2J}\right)^2 - \frac{K}{J}} \right]}$$

$$\frac{K}{J} = \omega_n^2, \quad \frac{B}{J} = 2\zeta\omega_n = 2\sigma$$

Phase Locked Loop

$$\frac{C(s)}{R(s)} = \frac{\frac{K}{J}}{\left[s + \frac{B}{2J} + \sqrt{\left(\frac{B}{2J}\right)^2 - \frac{K}{J}} \right] \left[s + \frac{B}{2J} - \sqrt{\left(\frac{B}{2J}\right)^2 - \frac{K}{J}} \right]}$$

Los polos del lazo cerrado

son complejos conjugados si $B^2 - 4JK = 0$

y son reales si

$$B^2 - 4JK \geq 0$$

En el análisis de la respuesta transitoria se escribe:

Phase Locked Loop

$$\frac{K}{J} = \omega_n^2$$

$$\frac{B}{J} = 2\zeta\omega_n = 2\sigma$$

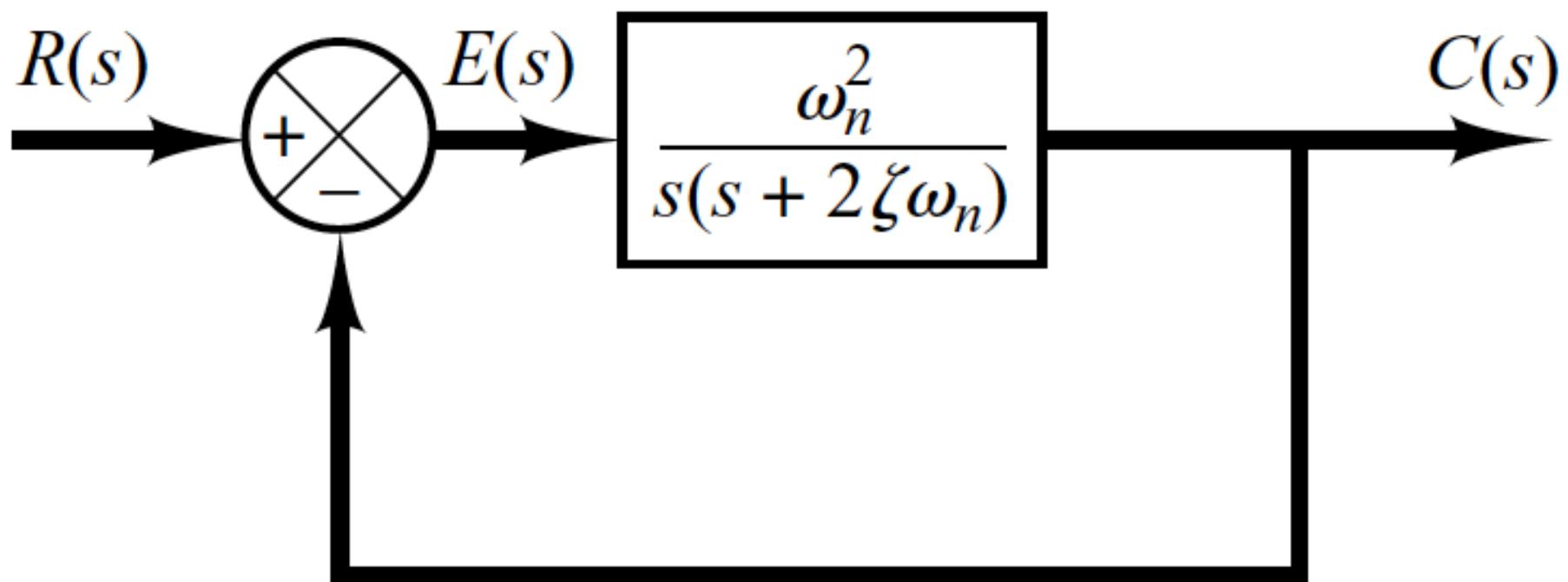
Donde σ es la atenuación

ω_n es la frecuencia natural no amortiguada

ζ es la relación de amortiguamiento del sistema

$$\zeta = \frac{B}{2J\omega_n}$$

Phase Locked Loop



Phase Locked Loop

$$\frac{C(s)}{R(s)} = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2}$$

El comportamiento dinámico de 1 sistema de segundo orden puede ser descripto en términos de los parámetros zita y wn

Si $0 < \zeta < 1$, el lazo cerrado son polos complejos conjugados y se encuentran en la mitad izq del plano s

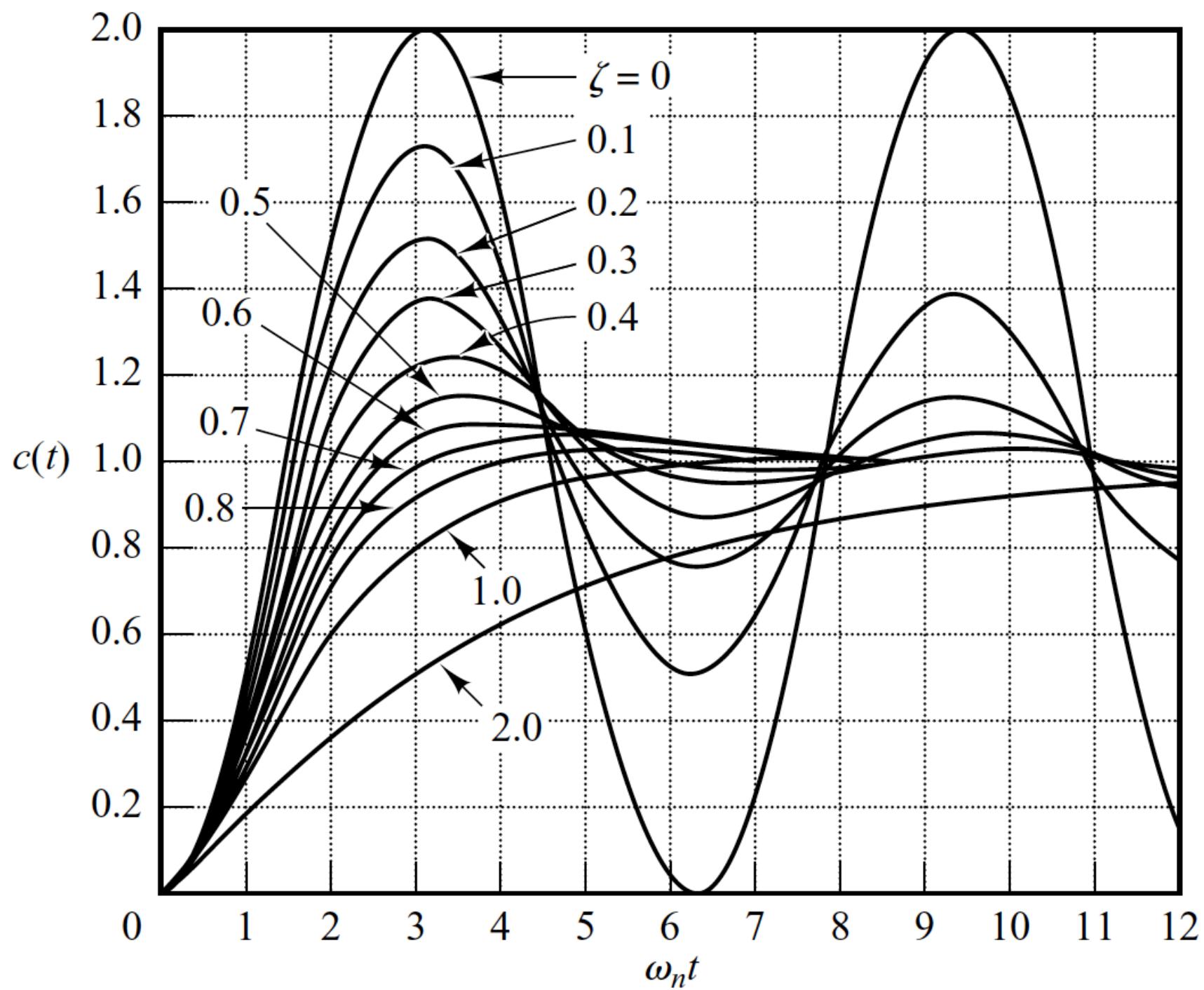
El sistema es subamortiguado y la respuesta transitoria es osculatoria

Phase Locked Loop

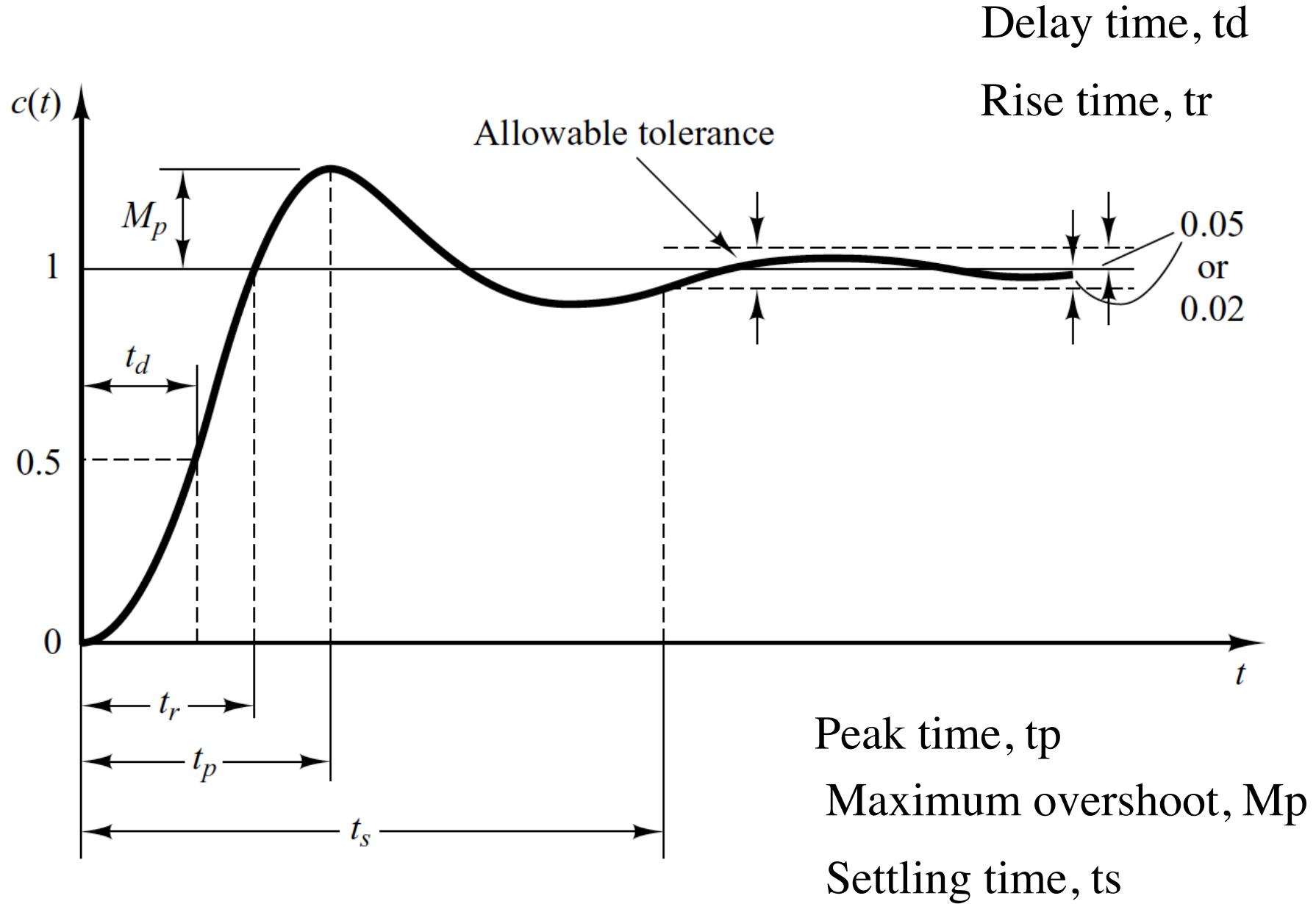
$$\frac{C(s)}{R(s)} = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2}$$

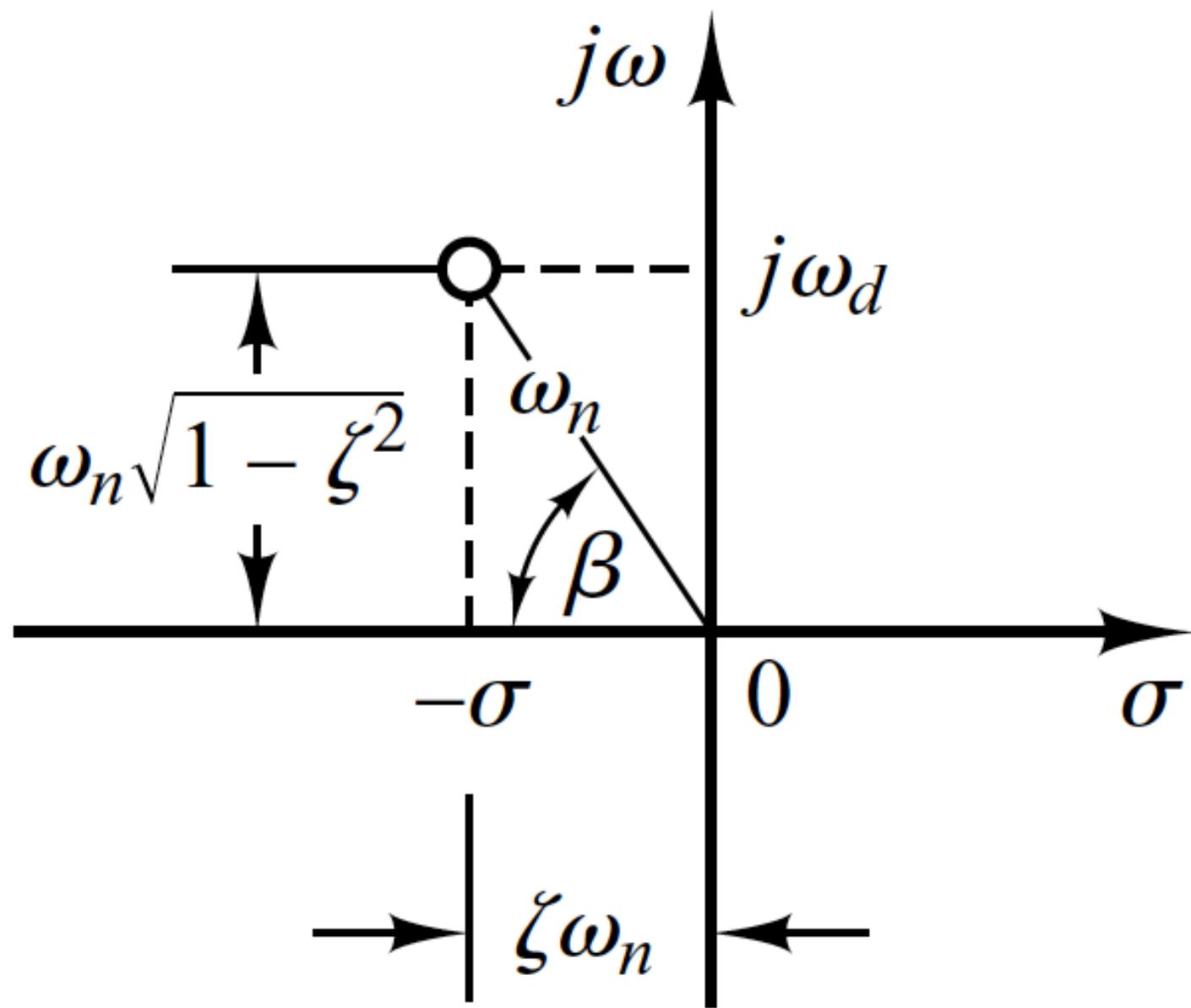
Si zita=0, no se alcanza el estado estacionario

Si zita>1 el sistema es sobreamortiguado



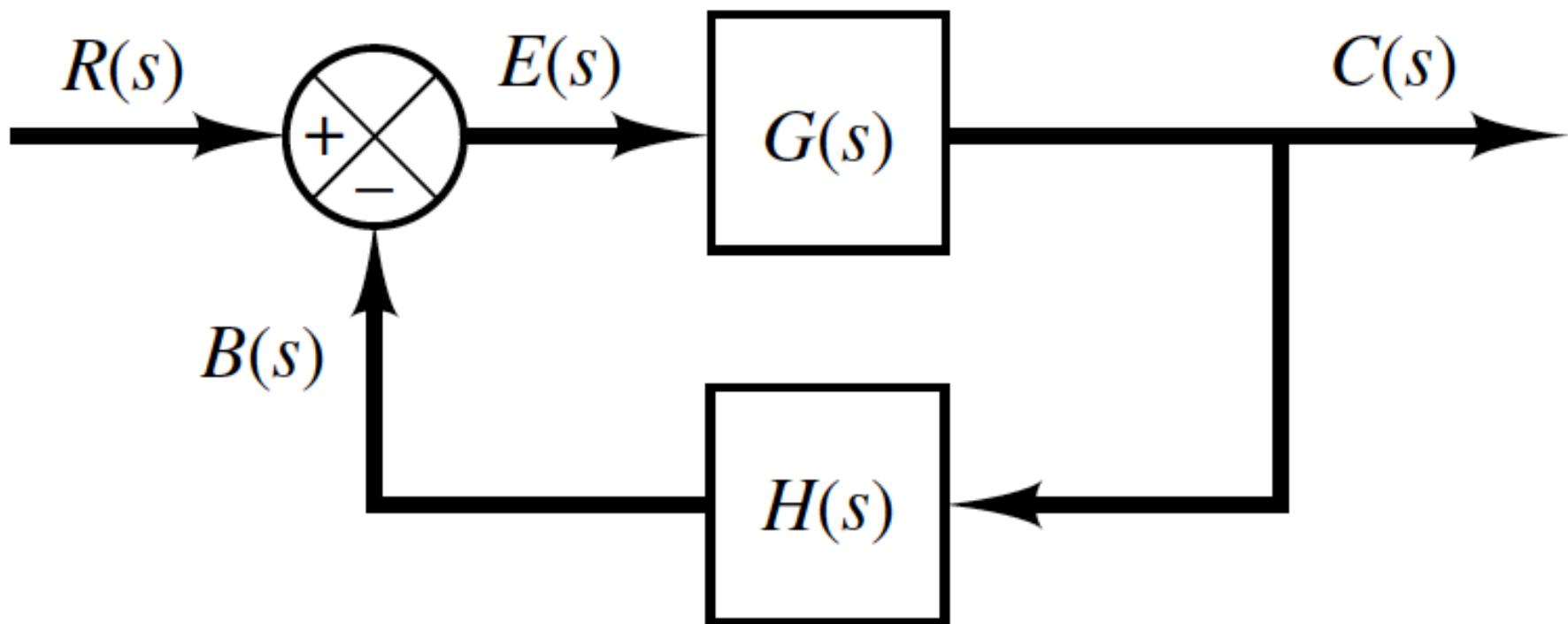
Phase Locked Loop



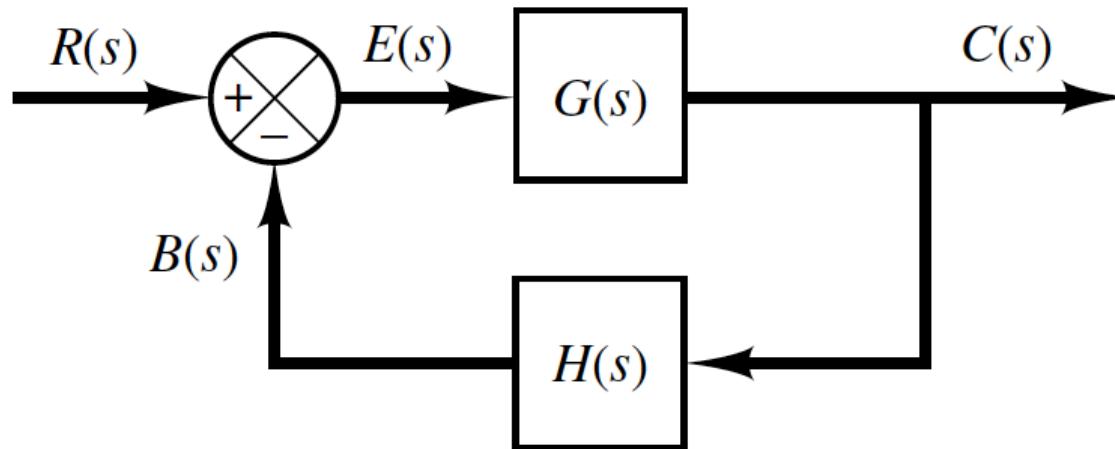


Phase Locked Loop

Error en estado estacionario



Phase Locked Loop



$$\frac{\theta_{(0)s}}{\theta_{(s)s}} = N \frac{\frac{K_0 K_d}{N\tau}}{s^2 + s \frac{1}{\tau} + \frac{K_0 K_d}{N\tau}} = N \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

Phase Locked Loop

$$G_{(S)} H_{(S)} = \frac{\frac{K_0 K_d}{N}}{s(s\tau + 1)}$$

Sistema Tipo 1

$$1 + G_{(S)} H_{(S)} = 0$$

$$1 + \frac{\frac{K_0 K_d}{N}}{s(s\tau + 1)} = 0$$

$$s(s\tau + 1) + \frac{K_0 K_d}{N} = 0$$

Phase Locked Loop

$$s(s\tau + 1) + \frac{K_0 K_d}{N} = 0$$

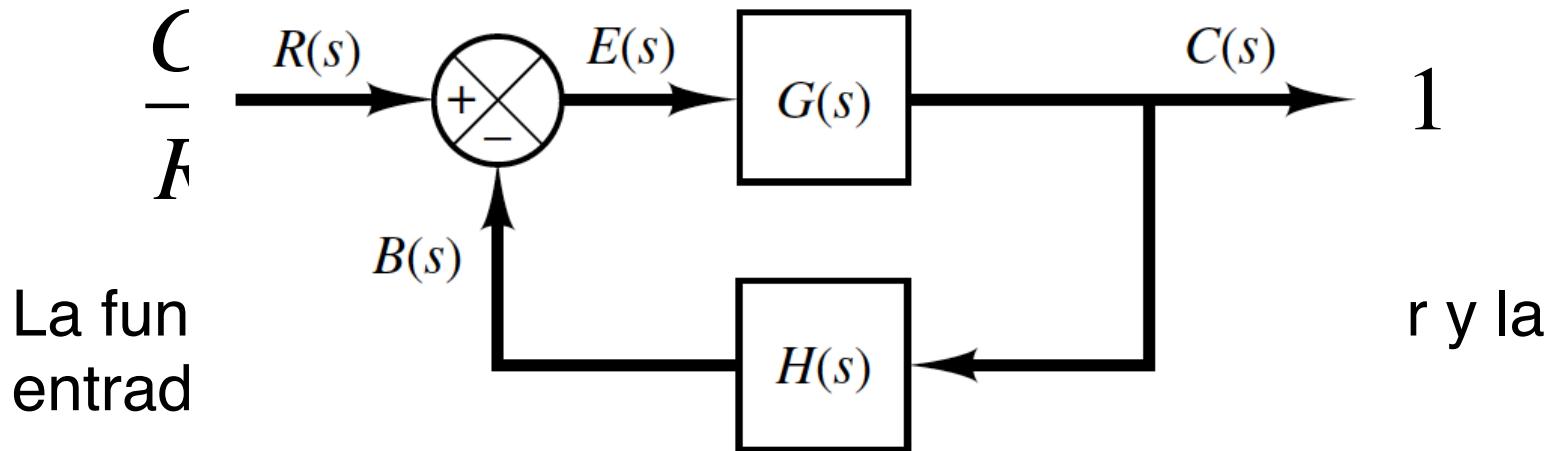
$$s^2\tau + s + \frac{K_0 K_d}{N} = 0$$

$$s^2 + \frac{s}{\tau} + \frac{K_0 K_d}{N\tau} = 0$$

Sistema de segundo orden

Phase Locked Loop

Error en estado estacionario, e_{ss}



$$\frac{E(s)}{R(s)} = 1 - \frac{C(s)}{R(s)} = \frac{1}{1 + G(s)}$$

Error en estado estacionario

Aplicando el teorema del valor final, siendo $E(s)$

$$E(s) = \frac{1}{1 + G(s)} R(s)$$

$$e_{ss} = \lim_{t \rightarrow \infty} e(t) = \lim_{s \rightarrow 0} sE(s) = \lim_{s \rightarrow 0} \frac{s}{1 + G(s)} R(s)$$

Error en estado estacionario

El error en estado estacionario del sistema para una entrada escalón es:

$$e_{ss} = \lim_{s \rightarrow 0} \frac{s}{1 + G(s)} - \frac{1}{s}$$
$$= \frac{1}{1 + G(0)} \quad = \frac{1}{1 + K_p}$$

La constante de error de posición estática K_p está definida por

$$K_p = \lim_{s \rightarrow 0} G(s) = G(0)$$

Error en estado estacionario

El error en estado estacionario del sistema para una entrada rampa es:

$$\begin{aligned} e_{ss} &= \lim_{s \rightarrow 0} \frac{s}{1 + G(s)} \cdot \frac{1}{s^2} \\ &= \lim_{s \rightarrow 0} \frac{1}{s G(s)} = \frac{1}{K_v} \end{aligned}$$

La constante de error de velocidad K_v está definida por

$$K_v = \lim_{s \rightarrow 0} s G(s)$$

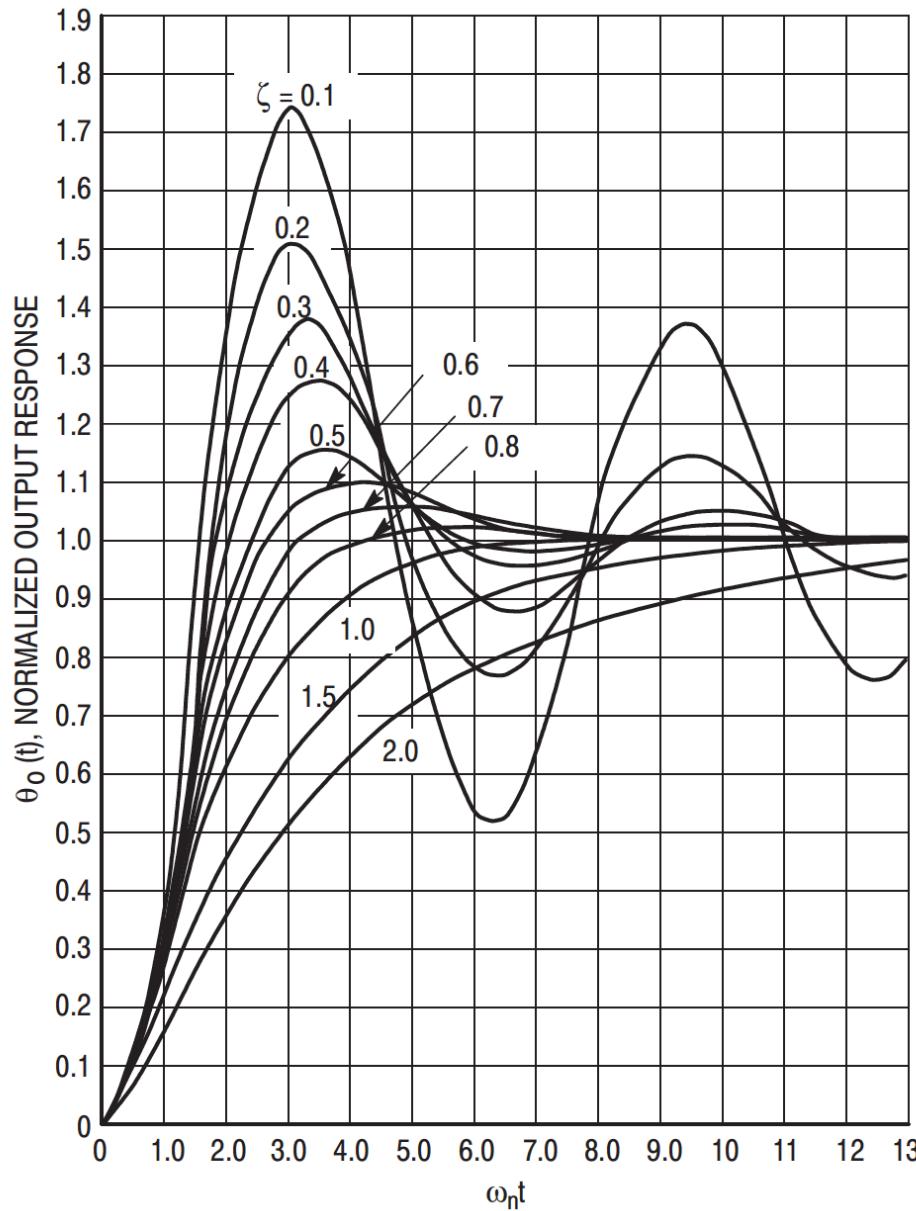
Error en estado estacionario

Table 5–1 Steady-State Error in Terms of Gain K

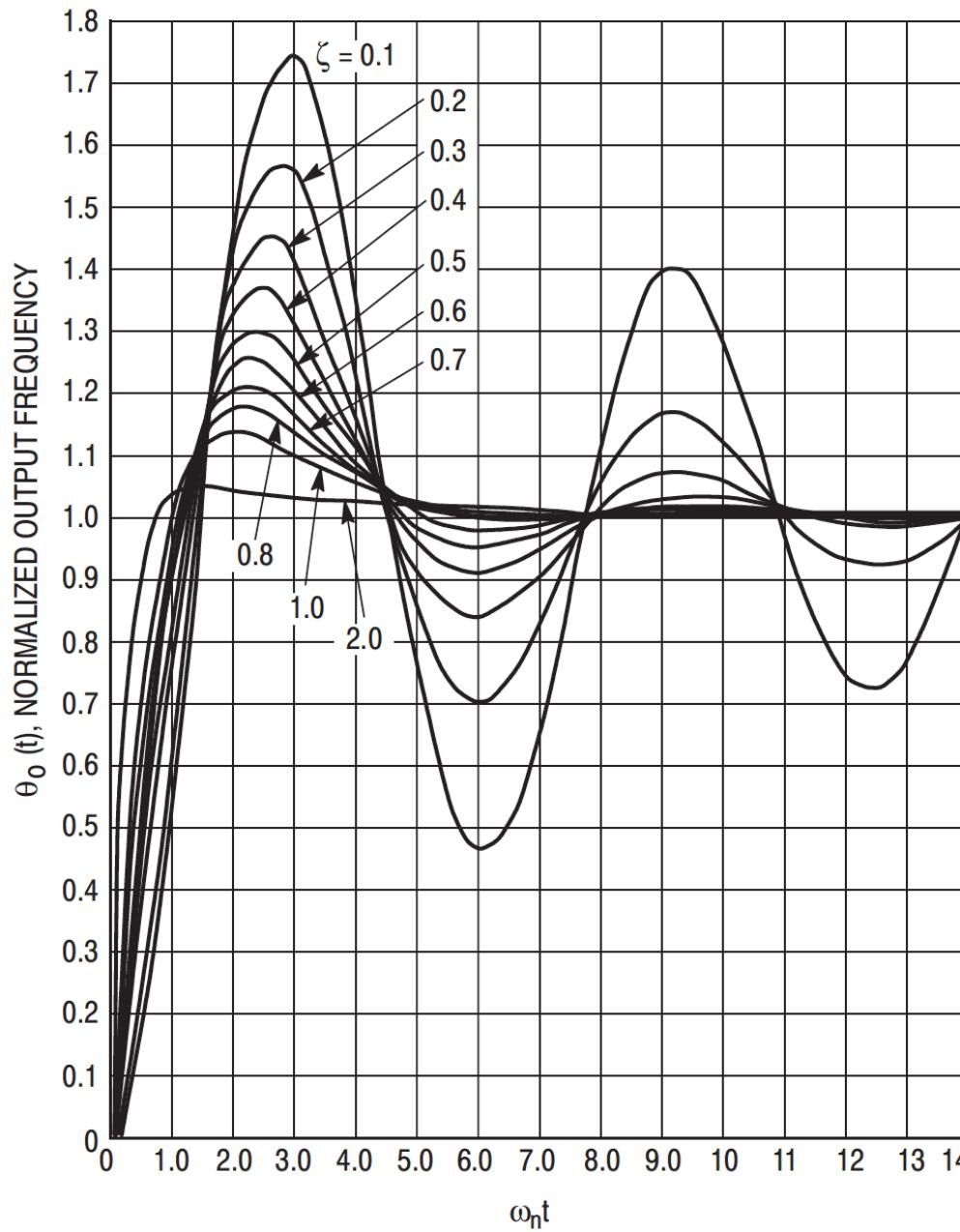
	Step Input $r(t) = 1$	Ramp Input $r(t) = t$	Acceleration Input $r(t) = \frac{1}{2}t^2$
Type 0 system	$\frac{1}{1 + K}$	∞	∞
Type 1 system	0	$\frac{1}{K}$	∞
Type 2 system	0	0	$\frac{1}{K}$

Sistema Tipo 1

Sistema Tipo 1



Sistema Tipo 2



Modelo dinámico del PLL

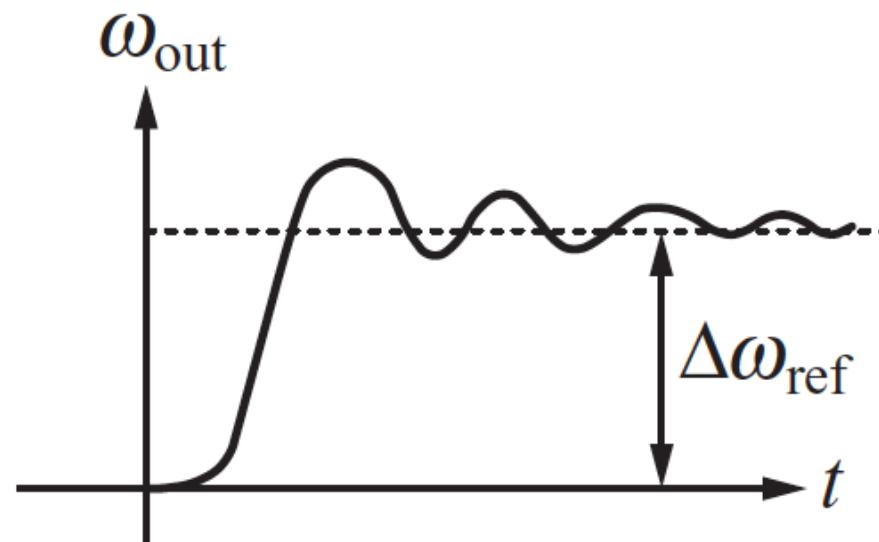
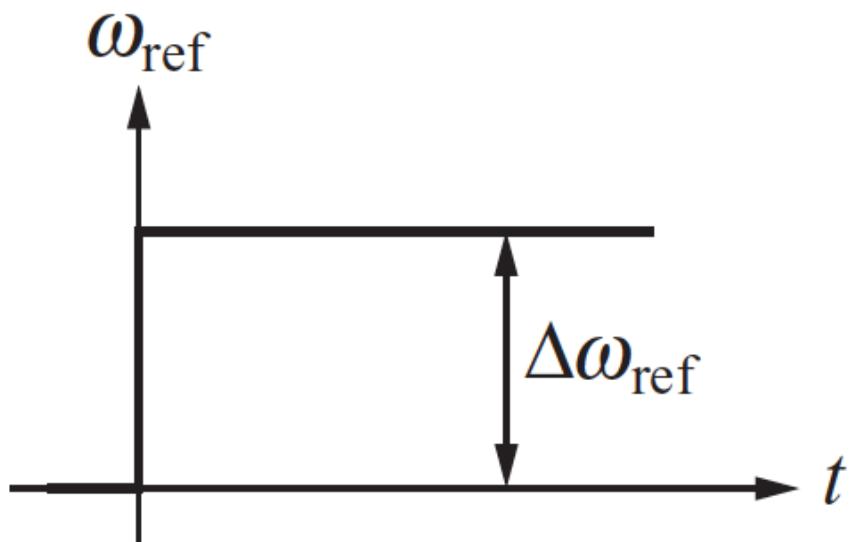
$$F(s) = \frac{1}{1 + s\tau}$$

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{K_d \frac{1}{1 + s\tau} \frac{K_O}{s}}{1 + K_d \frac{1}{1 + s\tau} \frac{K_O}{s}}$$

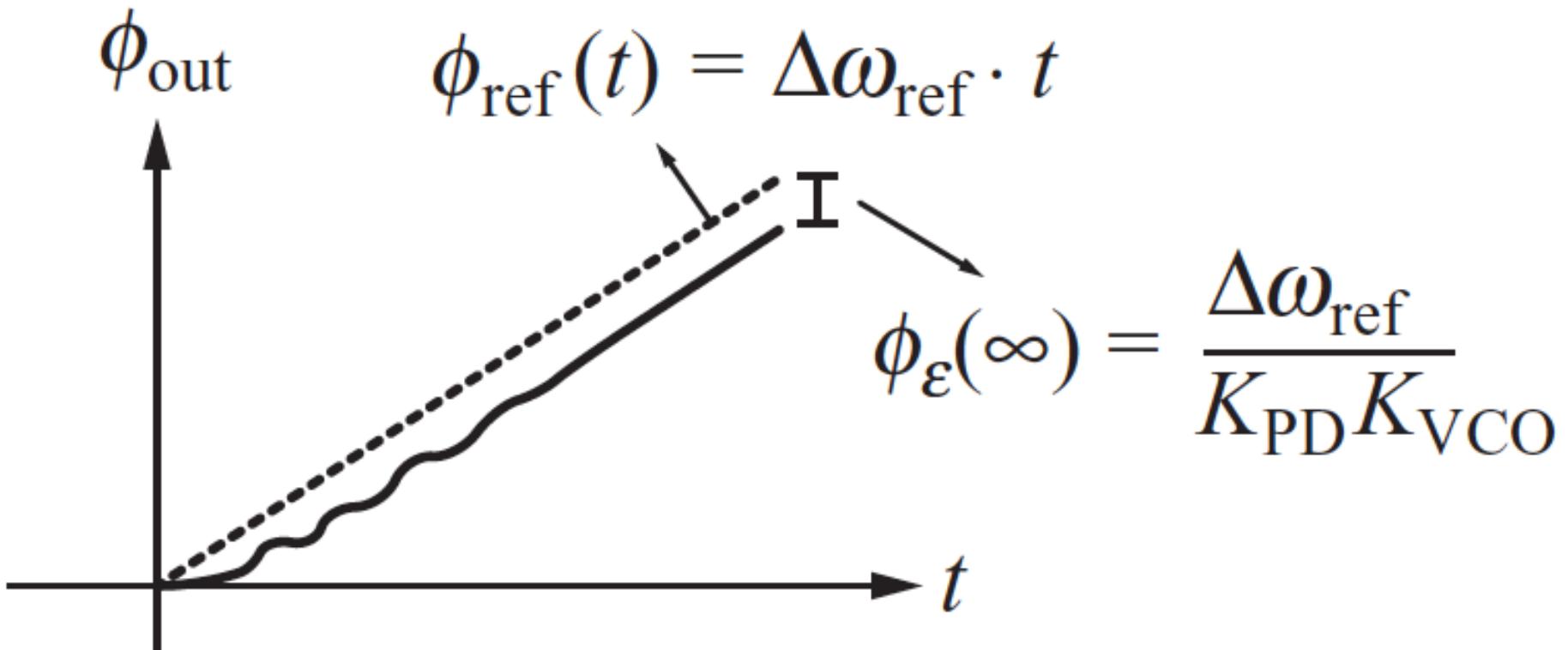
$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{K_d K_O / \tau}{s^2 + s / \tau + K_d K_O / \tau} = \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

Phase Locked Loop

$$\omega_n = \sqrt{K / \tau} \text{ y } \xi = \frac{1}{2\sqrt{K \tau}}, \text{ donde } K = K_d K_o$$



Phase Locked Loop



Phase Locked Loop

Si la frecuencia de referencia es un escalón de frecuencia, con una variación de

$$\Delta\omega_{ref}(s) = \omega_{ref}(s) / s$$

El transitorio de salida $\omega_{out}(t)$ sigue la respuesta al escalón de un sistema de segundo orden, alcanzando el valor final en $\omega_{out}(t \rightarrow \infty) = \Delta\omega_{ref}$

El error de fase es $\phi\varepsilon = \phi_{ref} - \phi_{out}$, por lo tanto

Phase Locked Loop

$$\frac{\phi_{\varepsilon}}{\phi_{ref}}(s) = \frac{1}{1 - G_{loop}} = \frac{2\xi}{\omega_n} \frac{s\omega_n^2 \left(\frac{s}{2\xi\omega_n} + 1 \right)}{s^2 + 2\xi\omega_n s + 1}$$

Para evitar sobrepasamiento en el dominio del tiempo grande, el factor de amortiguamiento se ajusta en $\xi = 1/\sqrt{2}$

Esto corresponde a setear $K = 1/(2\tau)$ y además para tener un ancho de banda de bucle cerrado, dado por $\omega_n = \sqrt{2}K$.

Phase Locked Loop

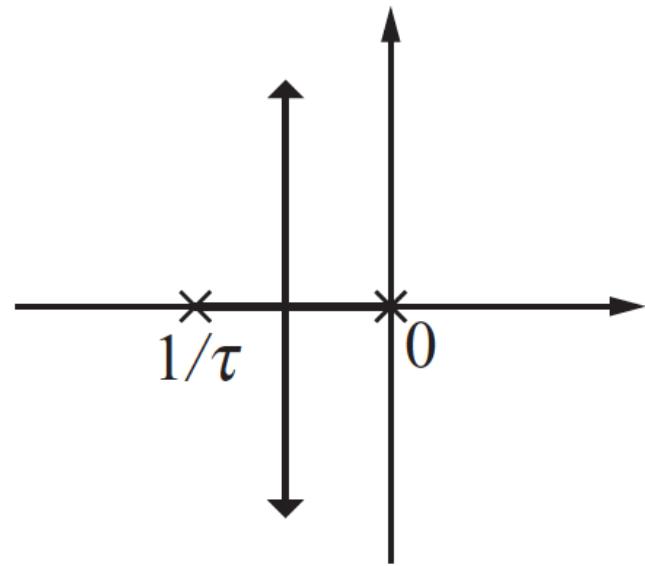
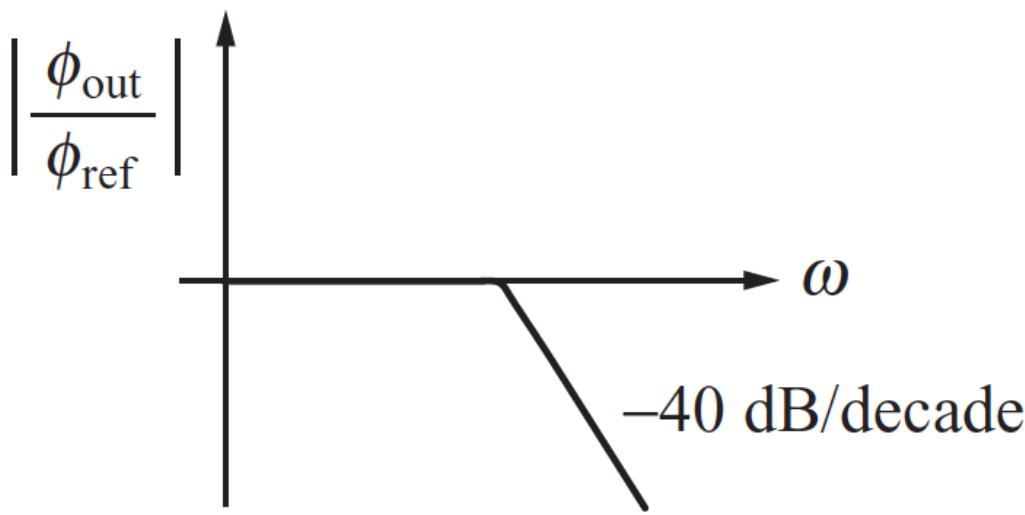
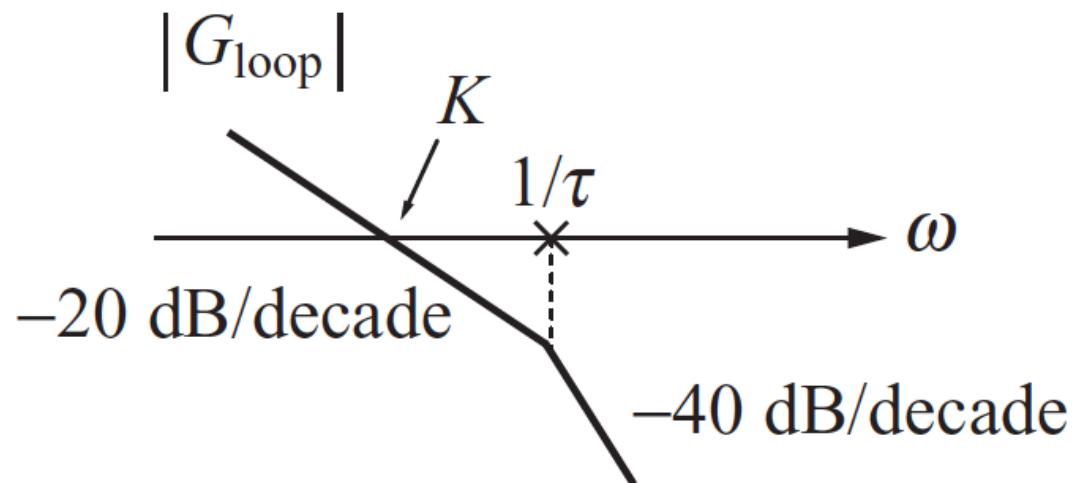
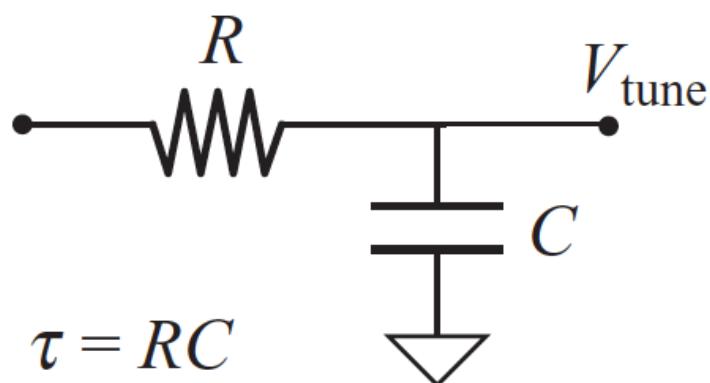
Notar que la condición (ζ) setea todos los parámetros del lazo.

Este sistema de este tipo tiene muy *pocos* grados de libertad para acomodar otros requisitos de forma independiente.

Para filtrar las perturbaciones de entrada, el ancho de banda de bucle cerrado debe ser estrecho, lo que conduce a un valor bajo para el producto K y, a su vez, a uno estrecho rango de frecuencias de bloqueo del PLL

Si $K \gg 1/2\tau$, el factor de amortiguamiento puede llegar a ser muy chico

Caso del filtro RC



Caso del filtro RRC

$$F(s) = \frac{1 + s\tau_2}{1 + s\tau_1} \quad G(s) = \frac{K_d K_O (1 + s\tau_2)}{s(1 + s\tau_1)}$$

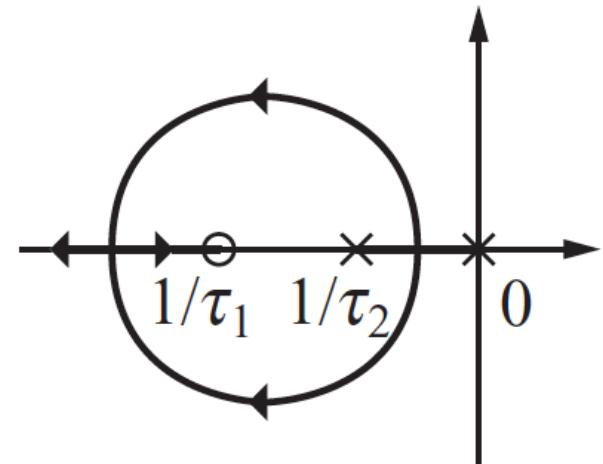
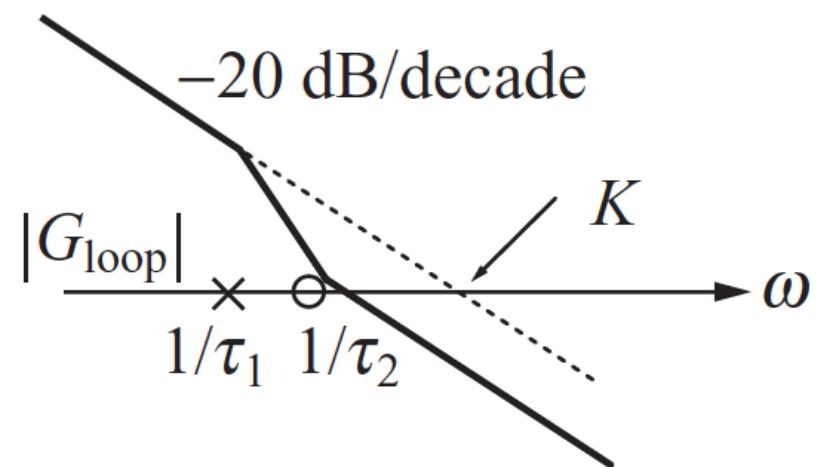
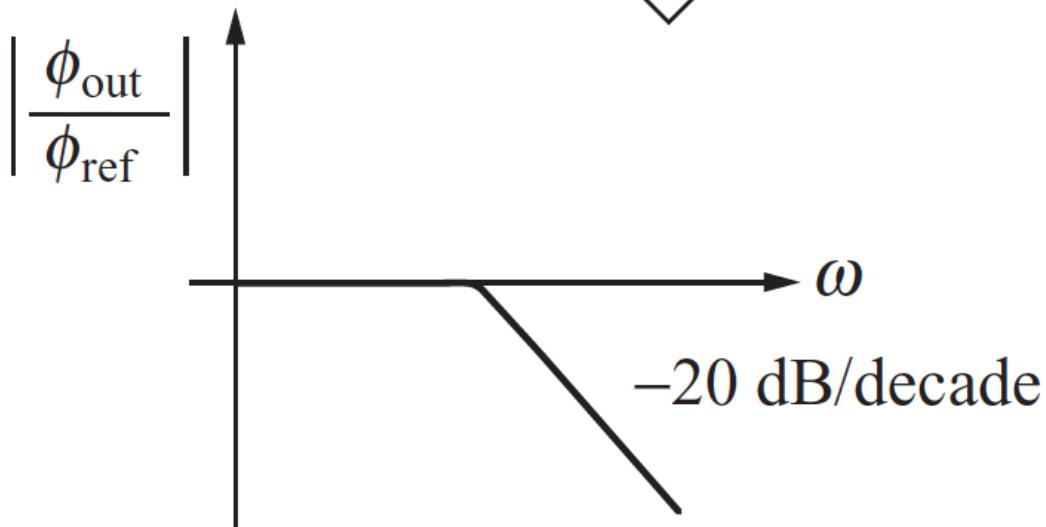
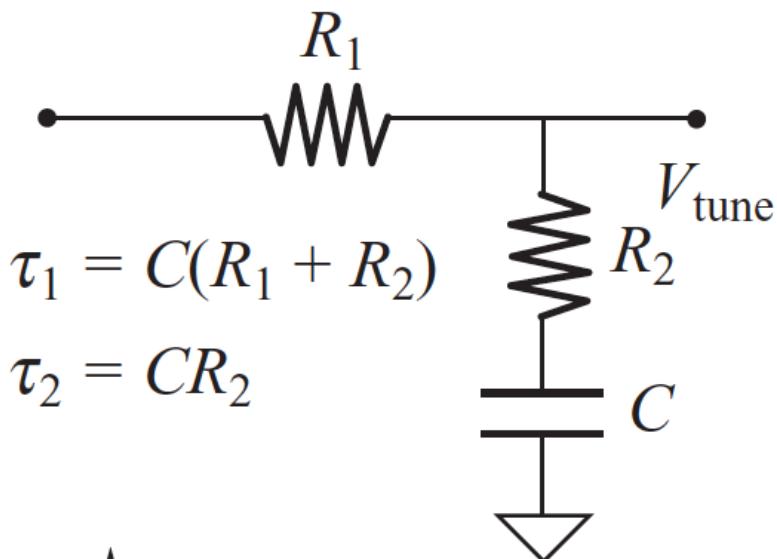
$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{(K / \tau_1)(1 + s\tau_2)}{s^2 + s(1 + K\tau_2) / \tau_1 + K / \tau_1}$$

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{s\omega_n(2\xi - \omega_n / K) + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad \omega_n = \sqrt{K / \tau_1}$$
$$\xi = \frac{\omega_n}{2} \left(\tau_2 + \frac{1}{K} \right)$$

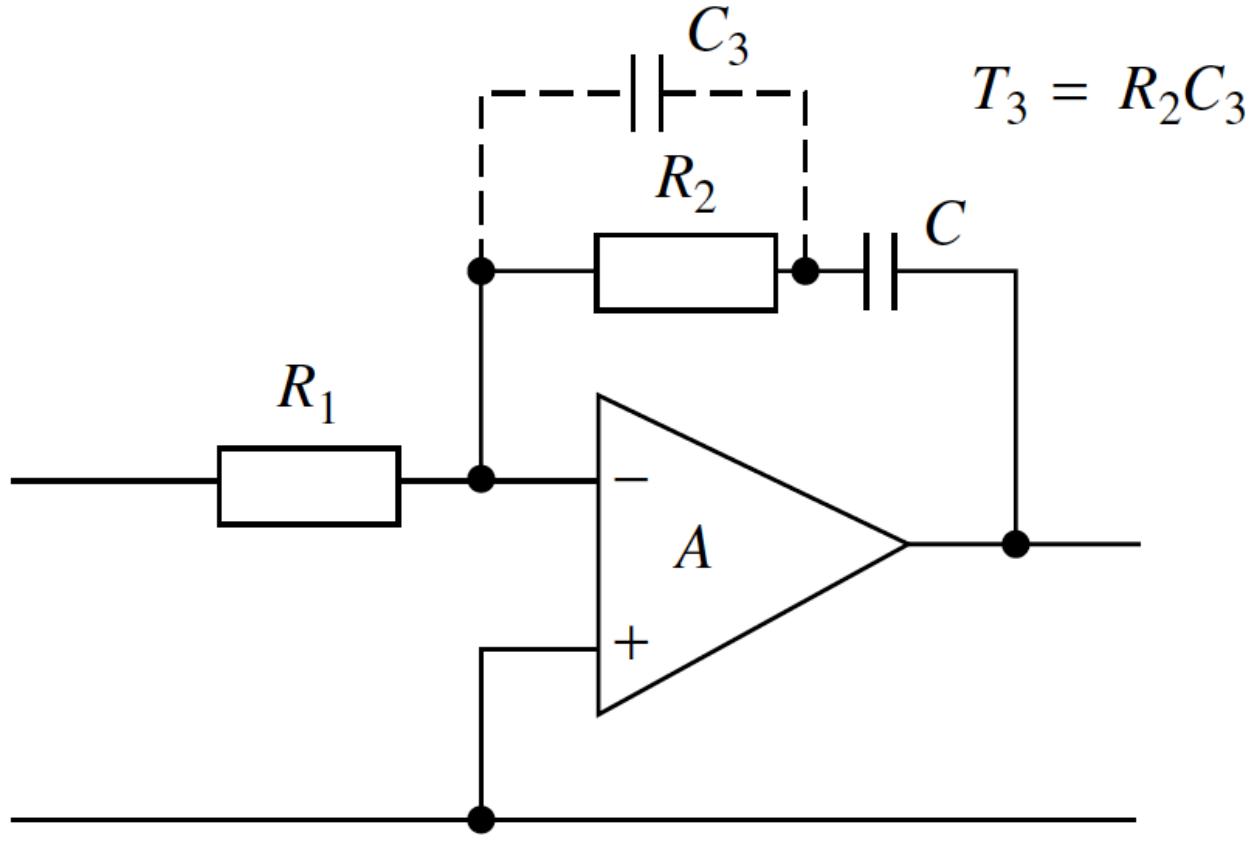
Los parámetros pueden ser seteados de manera independiente

$$K = K_d K_O$$

Phase Locked Loop



Caso del filtro activo



$$T_3 = R_2 C_3$$

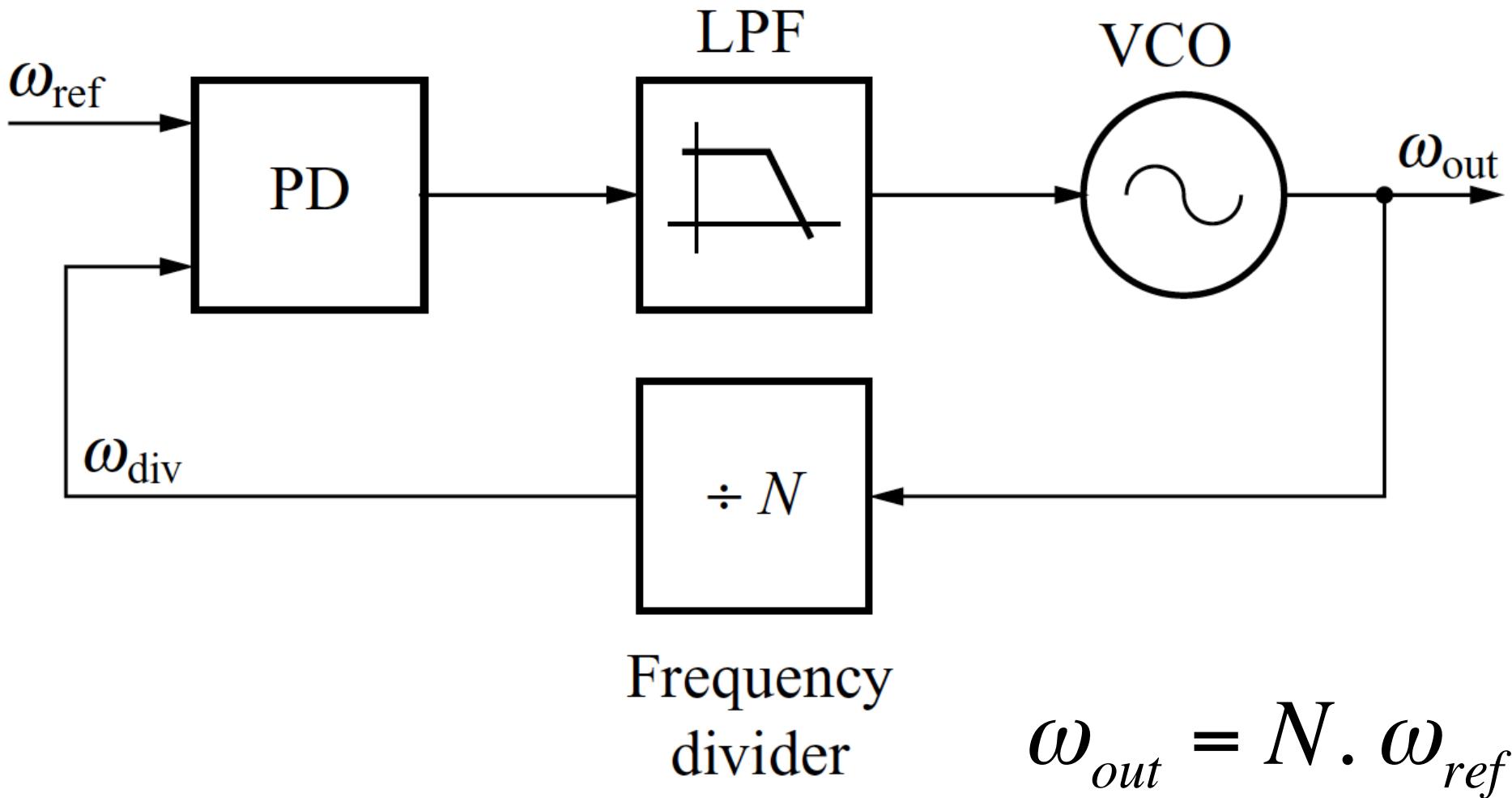
$$\omega_n = \sqrt{K / \tau_1}$$

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{K(1 + s\tau_2)}{s^2\tau_1 + s(K\tau_2 + 1/A)/\tau_1 + K}$$

$$2\xi\omega_n = \frac{K\tau_2 + 1/A}{\tau_1}$$

$$\xi = \omega_n \frac{\tau_2}{2}$$

PLL como sintetizador de frecuencia



Phase Locked Loop

$$G_{loop}(s) = -K_d F(s) K_o / s.$$

$$F(s) = \frac{1}{1 + s\tau} \quad F(s) = \frac{1 + s\tau_2}{1 + s\tau_1}$$

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{K_d F(s) \frac{K_o}{s}}{1 + K_d F(s) \frac{K_o}{s} \frac{1}{N}}$$

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{K_d F(s) K_o}{s + \frac{K_d F(s) K_o}{N}}$$

Caso filtro RC

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{\frac{K_d K_O}{s(1+s\tau)}}{s + \frac{1}{N} \frac{K_d K_O}{s(1+s\tau)}} = \frac{\frac{K_d K_O}{s(1+s\tau)}}{\frac{Ns(1+s\tau) + K_d K_O}{Ns(1+s\tau)}} \frac{N\tau}{N\tau} = N \frac{\frac{K_d K_O}{N\tau}}{\frac{N\tau s^2 + Ns + K_d K_O}{N\tau}}$$

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{K_d K_O / N\tau}{s^2 + s/\tau + K_d K_O / N\tau} = \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

$$\omega_n = \sqrt{K / N\tau} \quad \xi = \frac{1}{2} \sqrt{\frac{N}{K\tau}} \quad K = K_d K_O$$

Phase Locked Loop

El valor de la ganancia de baja frecuencia del PLL es N .

Cualquier perturbación de la fase de entrada que sea suficientemente lenta como para entrar dentro del ancho de banda del PLL se transfiere a la salida amplificada por N , independientemente del filtro de bucle.

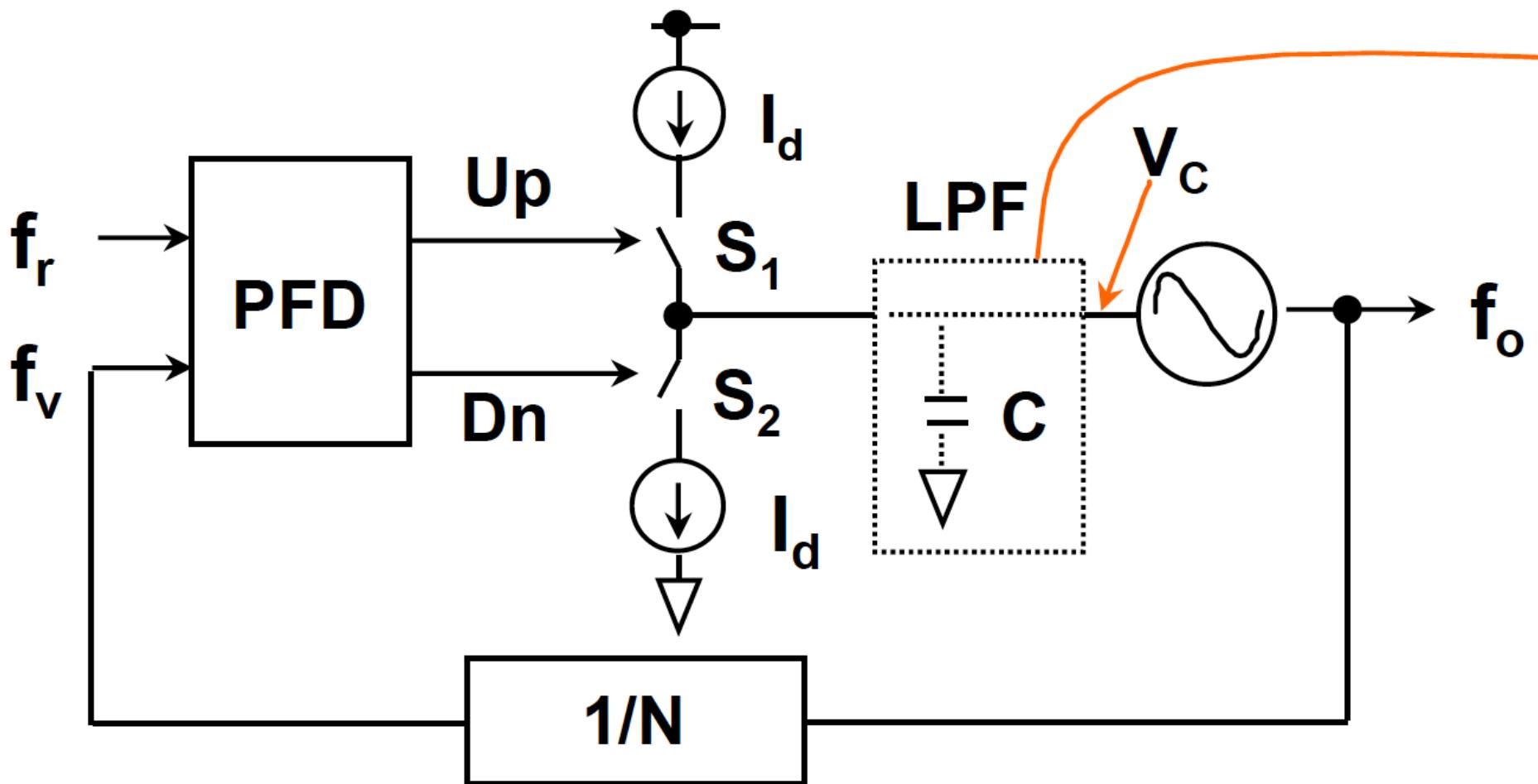
Filtro RRC

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{(K / \tau_1)(1 + \tau_2 s)}{s^2 + s(1 + K\tau_2 / N) / \tau_1 + K / N\tau_1}$$

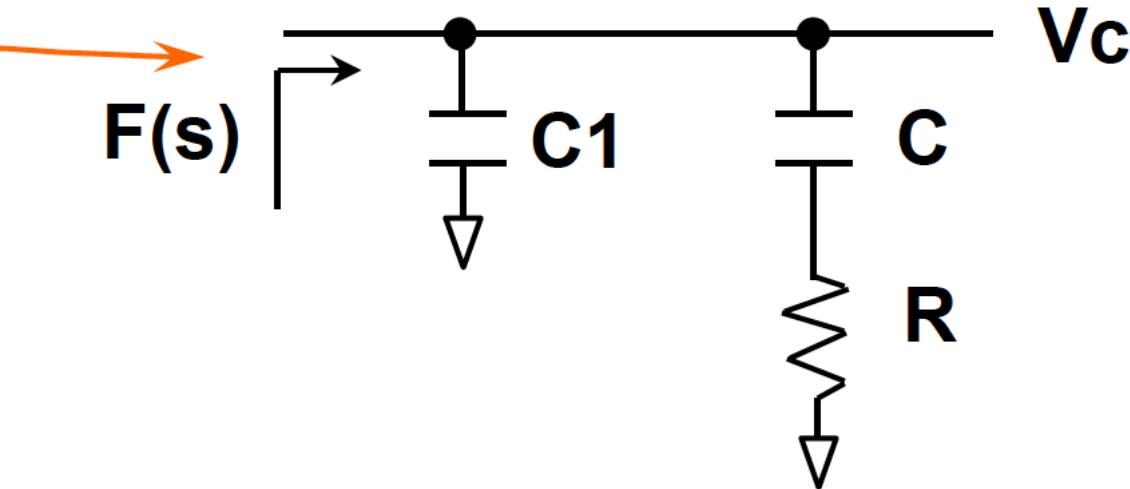
$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{s\omega_n(2\xi - \omega_n / K) + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

$$\omega_n = \sqrt{K / N\tau_1} \quad \xi = \frac{\omega_n}{2} \left(\tau_2 + \frac{N}{K} \right) \quad K = K_d K_O$$

Filtro PFD + CP. PLL Tipo II



Phase Locked Loop



$$F(s) = \frac{1 + s\tau_2}{s(C + C_1)(1 + s\tau_1)}$$

$$\tau_1 = \frac{CC_1}{C + C_1}R$$

$$\tau_2 = RC$$

Phase Locked Loop

$$G(s)H(s) = \frac{K_d K_O}{N(C + C_1)} \frac{(1 + s\tau_2)}{s^2(1 + s\tau_1)}$$

$$\frac{\phi_{out}(s)}{\phi_{ref}} = \frac{\frac{K}{(C + C_1)}(1 + s\tau_2)}{s^3 + \frac{1}{\tau_1}s^2 + \frac{K\tau_2}{N(C + C_1)}s + \frac{K}{N(C + C_1)\tau_1}}$$

Phase Locked Loop

Ejemplo 5.1: En un PLL con FPB RRC, determine τ_1 y τ_2 , para $\xi = 0.5$ y un tiempo de respuesta $t=10\text{ms}$ ($\pm 10\%$). Usar ec. 5.50.

Solución:

La gráfica muestra la respuesta normalizada a un escalón de un sistema tipo 1 de 2^{do} orden para $\xi=0.5$. En base a la curva característica de la Fig. 5.42,

$$\omega_n t = 4.5$$

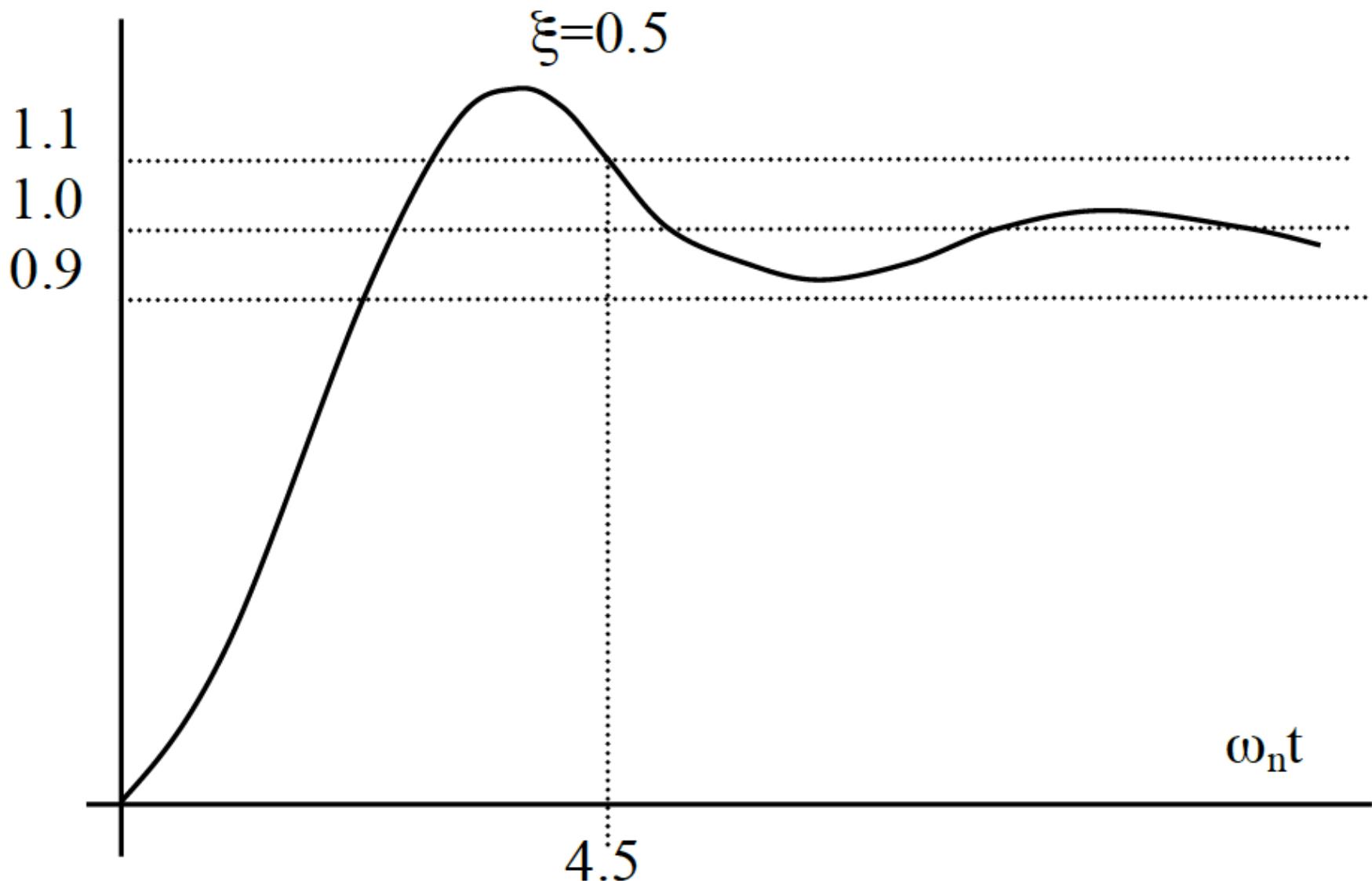
$$\omega_n = \frac{4.5}{10\text{ms}} = 450 \frac{\text{rad}}{\text{seg}}$$

Phase Locked Loop

τ_1 y τ_2 se despejan de $\omega_n = \sqrt{\frac{K_d K_o}{N \tau_1}}$

$$\boxed{\tau_1 = \frac{K_d K_o}{\omega_n^2 N}}$$

Phase Locked Loop



Phase Locked Loop

y de $\xi = \frac{\omega_n}{2} \left(\tau_2 + \frac{N}{k_d k_o} \right)$ se despeja

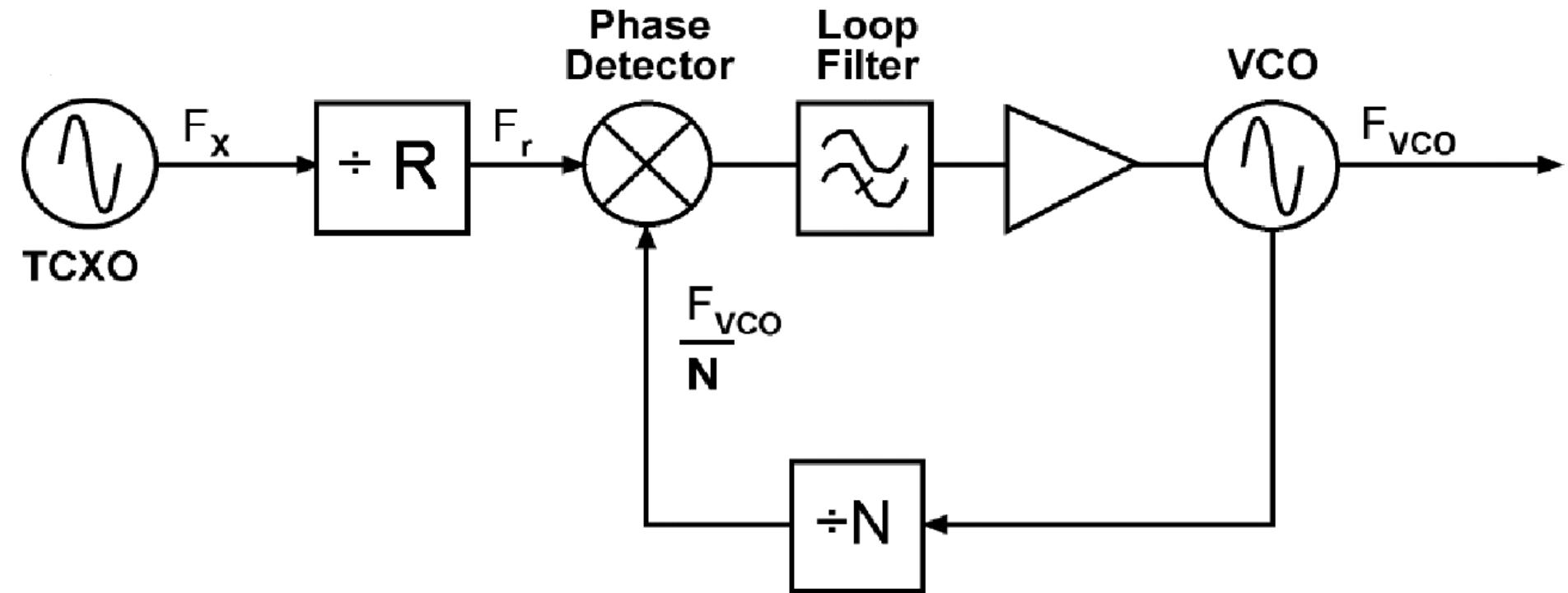
$$\boxed{\tau_2 = \frac{2\xi}{\omega_n} - \frac{N}{k_d k_o}}$$

Nótese que de haberse utilizado un filtro del tipo RC donde $\tau_2 = 0$, no es posible la elección independiente de ξ y ω_n . Si $\tau_2 = 0$:

$$\xi = \frac{\omega_n}{2} \frac{N}{K_d K_o}$$

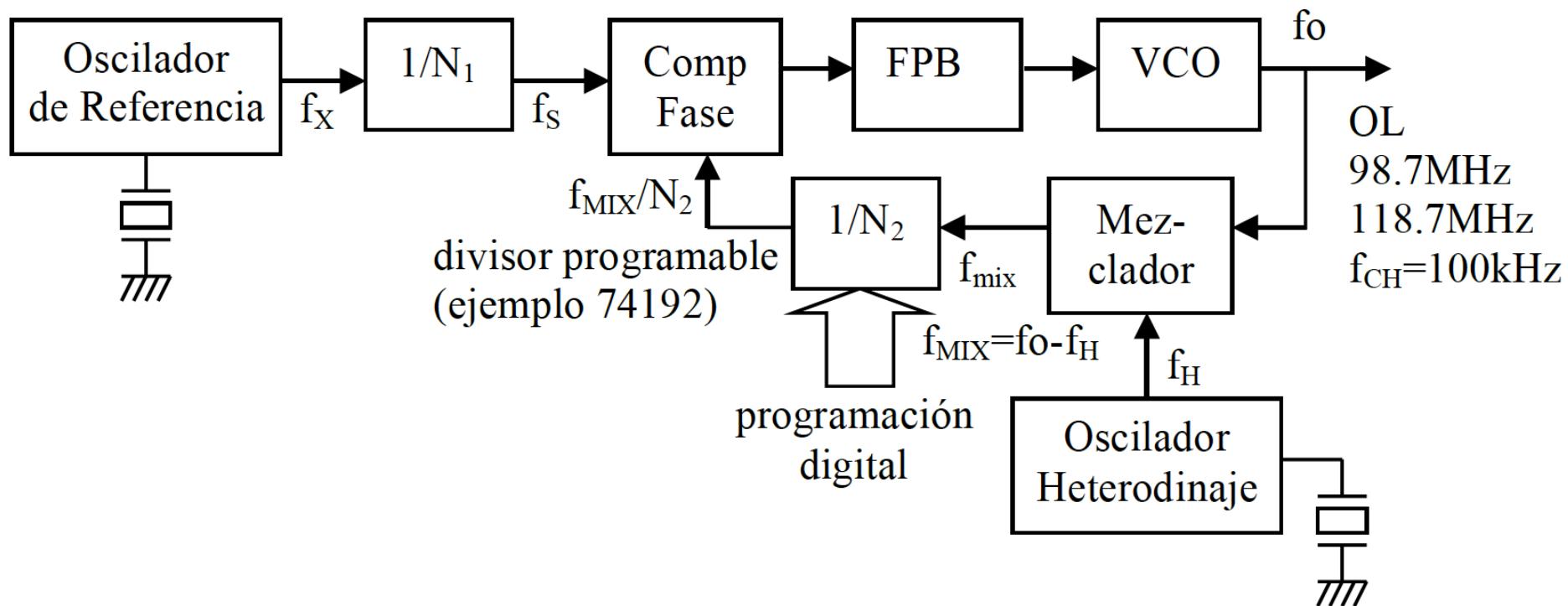
Normalmente N y K_d y a veces K_o no son valores que el diseñador pueda cambiar a voluntad.

Ejemplos de sintetizadores



Sintetizador tipo "down converter"

Sintetizador para el oscilador local de un receptor de FM de 200 canales separados cada 100kHz, desde 88 a 108MHz, se usa una frecuencia intermedia FI=10.7MHz.



Phase Locked Loop

Parece aceptable exigir al circuito que cuando N_2 cambie en una unidad f_O cambie en un canal f_{CH} .

$$f_s = \frac{f_O - f_H}{N_2} , \text{ si se incrementa el OL para el canal siguiente } f_s = \frac{f_O + f_{CH} - f_H}{N_2 + 1}$$

Despejando de la primera $f_O = N_2 f_s + f_H$ y reemplazando en la segunda

$$(N_2 + 1)f_s = N_2 f_s + f_H + f_{CH} - f_H \text{ simplificando queda } f_s = f_{CH}$$

Para el caso numérico $f_s = f_{CH} = 100\text{kHz}$

Si se elije a $f_X = 1\text{MHz}$, $N_1 = \frac{f_X}{f_s} = 10$. Se elije $f_H = 98\text{MHz}$, la f_H máxima es 98.6MHz

Es conveniente que f_H sea lo más grande posible para que f_{MIX} sea posible dividirla con un divisor programable convencional (CMOS o TTL), para este caso f_{MIX} va de 0.7 a 20.7MHz

Ancho de banda

Caso de filtro RC

Si en la función de transferencia del PLL realizado con el filtro pasabajos tipo RC es:

$$\frac{\theta_o}{\theta_s} = N \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

La respuesta en frecuencia se encuentra reemplazando s por $j\omega$

Phase Locked Loop

$$\frac{\theta_o}{\theta_s} = N \frac{\omega_n^2}{-\omega^2 + j2\xi\omega_n\omega + \omega_n^2}$$

$$\left| \frac{\theta_o}{\theta_s} \right| = \frac{N\omega_n^2}{|\omega_n^2 - \omega^2 + j2\xi\omega_n\omega|}$$

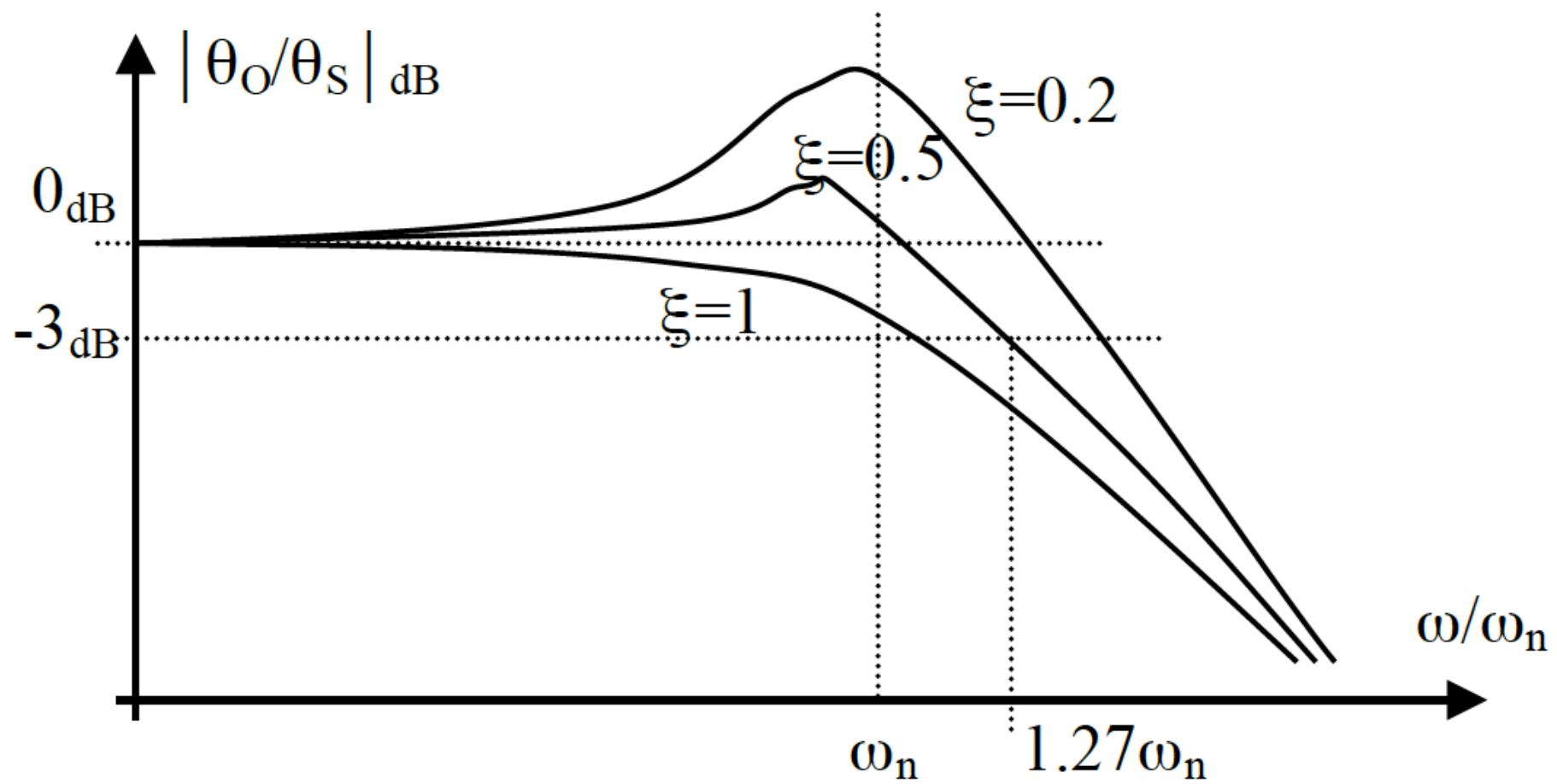
Consideraremos al ancho de banda, como la frecuencia correspondiente a -3dB por debajo del valor de la función para $\omega = 0$ que llamaremos ω_{3dB} , entonces:

Phase Locked Loop

$$\left| \frac{\theta_o}{\theta_s} \right|_{\omega=0} = N \quad \left| \frac{\theta_o}{\theta_s} \right|_{\omega=\omega_{3dB}} = \frac{N}{\sqrt{2}}$$

$$\omega_{3dB} = \omega_n \sqrt{1 - 2\xi^2 \pm \sqrt{(1 - 2\xi^2)^2 + 1}}$$

Phase Locked Loop



para $\xi=0.5$ $\omega_{3dB}=1.27\omega_n$

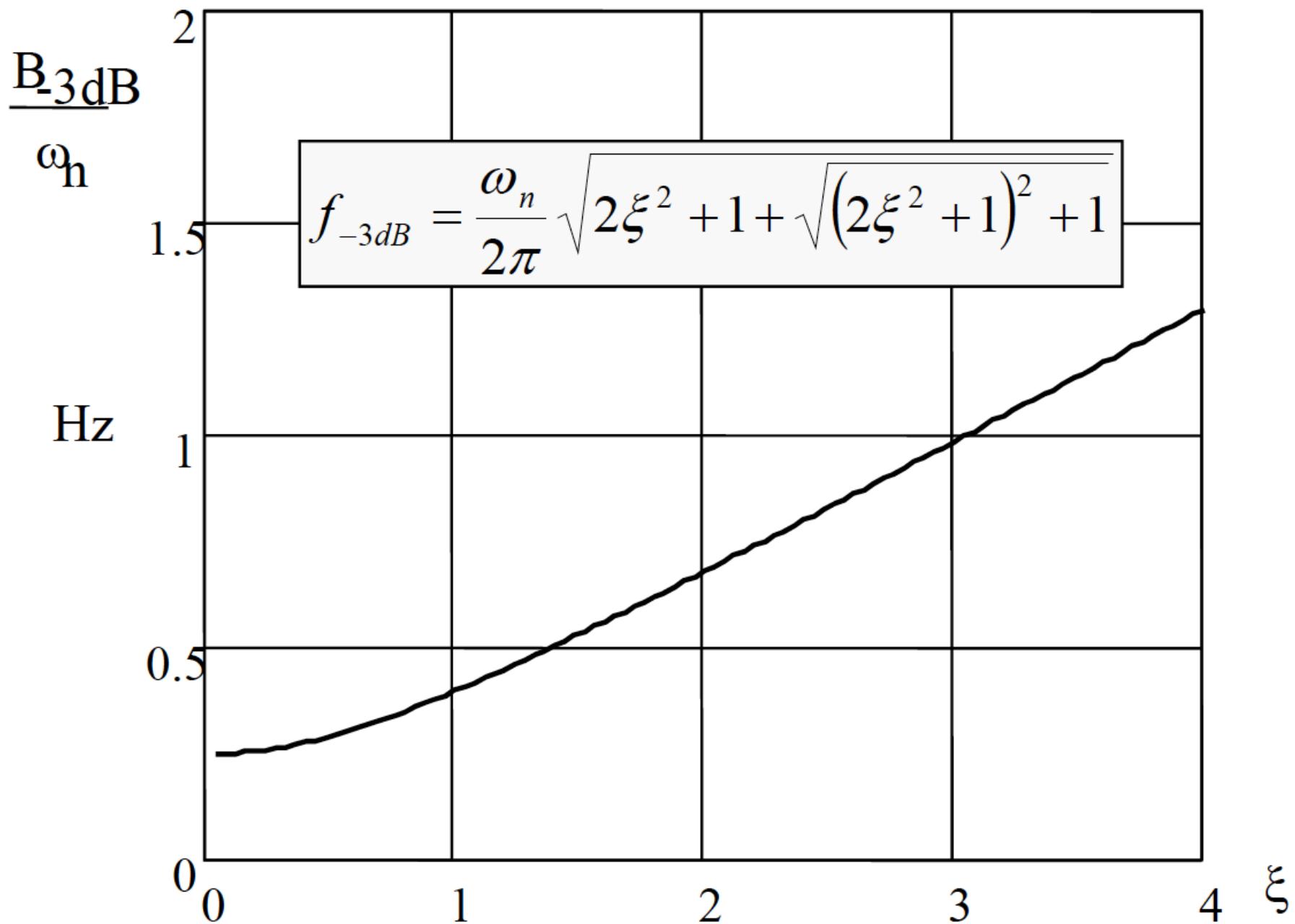
Caso de filtro RRC

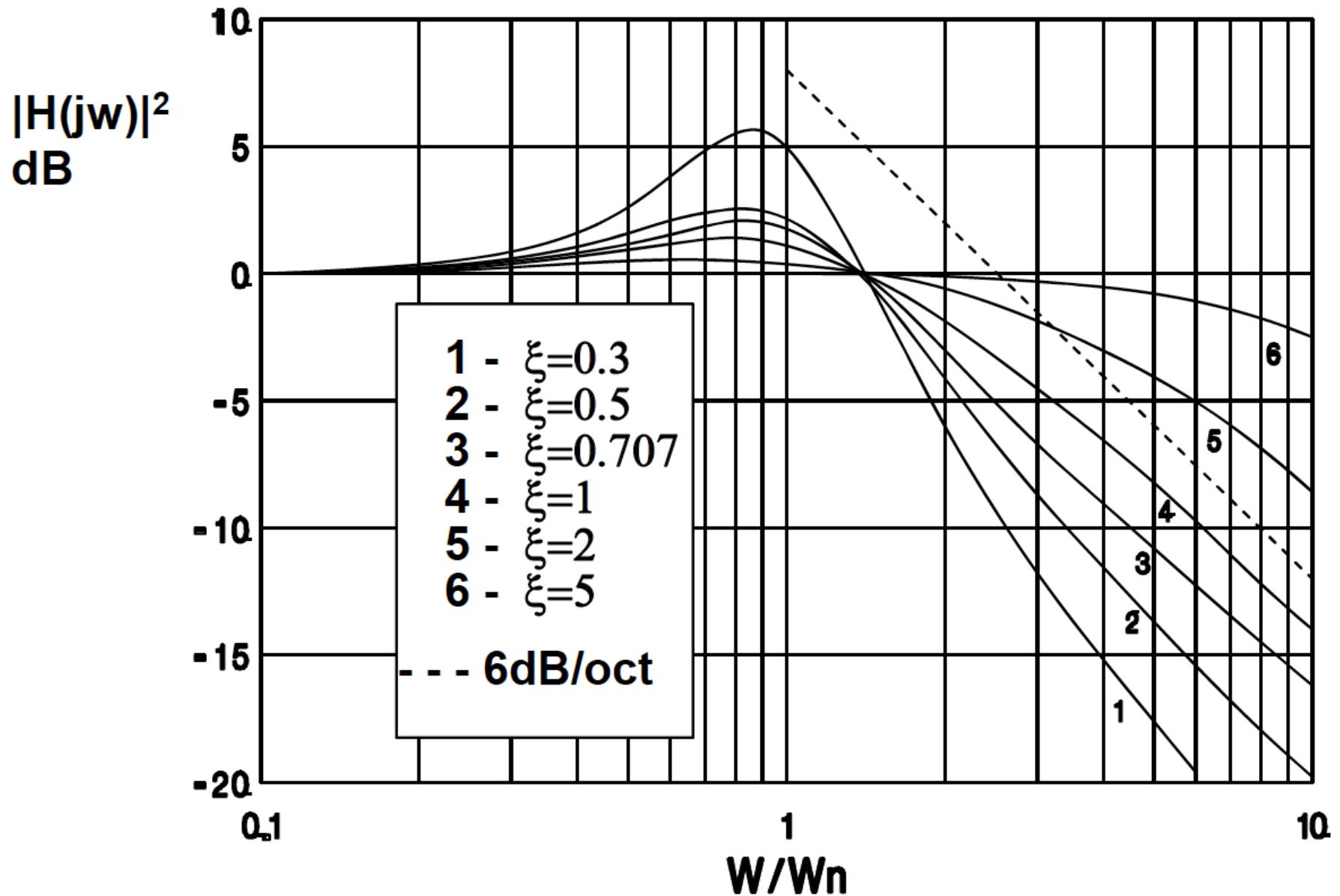
$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{s2\xi\omega_n + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} = \frac{1}{1 + \frac{s^2}{2\xi\omega_n s + \omega_n^2}} = \frac{1}{1 + LoopGain}$$

$$\omega_C = \omega_n \sqrt{2\xi^2 + \sqrt{4\xi^4 + 1}}$$

$$\omega_{-3dB} = \omega_n \sqrt{b + \sqrt{b^2 + 1}}$$

$$b = 2\xi^2 + 1 - \frac{\omega_n}{K} \left(4\xi - \frac{\omega_n}{K} \right)$$





Respuesta del sistema al escalón de fase

Tomando el caso del sistema de segundo orden con filtro RRC:

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{s\omega_n(2\xi - \omega_n/K) + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

Si $K \gg \omega_n$ entonces, la función de arriba se simplifica en:

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{s2\xi\omega_n + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

Respuesta del sistema al escalón de fase RRC

$$\frac{\phi_{out}}{\phi_{ref}}(s) = \frac{s^2 + 2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

$$H_e(s) = 1 - H(s) = \frac{s^2}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

Asumiendo que $\theta_1(t) = \Delta\Phi \cdot u(t)$ el escalón es $\rightarrow \theta_1(s) = \frac{\Delta\Phi}{s}$

El error de fase es $\theta_e(s) = H_e(s) \frac{\Delta\Phi}{s} = \frac{\Delta\Phi \cdot s^2}{s(s^2 + 2\xi\omega_n s + \omega_n^2)}$

Respuesta del sistema al escalón de fase RRC

$$\theta_e(s) = H_e(s) \frac{\Delta\Phi}{s} = \frac{\Delta\Phi \cdot s^2}{s(s^2 + 2\xi\omega_n s + \omega_n^2)}$$

$$\theta_e(t) = L^{-1}[\theta_e(s)] = \Delta\Phi \left(\cos \sqrt{1-\xi^2} \omega_n t - \frac{\xi}{\sqrt{1-\xi^2}} \sin \sqrt{1-\xi^2} \omega_n t \right) e^{-\xi\omega_n t}, \xi < 1$$

$$= \Delta\Phi (1 - \omega_n t) e^{-\xi\omega_n t}, \xi = 1$$

$$= \Delta\Phi \left(\cosh \sqrt{\xi^2 - 1} \omega_n t - \frac{\xi}{\sqrt{\xi^2 - 1}} \sinh \sqrt{\xi^2 - 1} \omega_n t \right) e^{-\xi\omega_n t}, \xi > 1$$

El error en estado estacionario es:

$$\theta_e(\infty) = \lim_{s \rightarrow 0} s \theta_e(s) = 0$$

Respuesta del sistema al escalón de frecuencia

Asumiendo que $\omega_1(t) = \omega_0 + \Delta\omega \cdot u(t)$ $\rightarrow \theta_1(t) = \Delta\omega \cdot t$

entonces el escalón es $\rightarrow \theta_1(s) = \frac{\Delta\omega}{s^2}$

El error de fase es:

$$\theta_e(s) = H_e(s) \frac{\Delta\omega}{s^2} = \frac{\Delta\omega \cdot s^2}{s^2 (s^2 + 2\xi\omega_n s + \omega_n^2)} = \frac{\Delta\omega}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

Respuesta del sistema al escalón de frecuencia

$$\theta_e(s) = H_e(s) \frac{\Delta\omega}{s^2} = \frac{\Delta\omega \cdot s^2}{s^2(s^2 + 2\xi\omega_n s + \omega_n^2)} = \frac{\Delta\omega}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

$$\theta_e(t) = L^{-1}[\theta_e(s)] = \frac{\Delta\omega}{\omega_n} \left(\frac{1}{\sqrt{1-\xi^2}} \sin \sqrt{1-\xi^2} \omega_n t \right) e^{-\xi\omega_n t}, \xi < 1$$

$$= \frac{\Delta\omega}{\omega_n} (\omega_n t) e^{-\xi\omega_n t}, \xi = 1$$

$$= \frac{\Delta\omega}{\omega_n} \left(\frac{1}{\sqrt{\xi^2 - 1}} \sinh \sqrt{\xi^2 - 1} \omega_n t \right) e^{-\xi\omega_n t}, \xi > 1$$

Respuesta del sistema al escalón de frecuencia

El error en estado estacionario es para lazos de alta ganancia

$$\theta_e(\infty) = \lim_{s \rightarrow 0} s \theta_e(s) = 0$$

$$\theta_e(\infty) = \frac{\Delta\omega}{K F(0)}$$

Respuesta del sistema a la rampa de frecuencia

Asumiendo que $\omega_1(t) = \omega_0 + \Delta\dot{\omega} \cdot t$

$$\rightarrow \theta_1(t) = \frac{\Delta\dot{\omega} \cdot t^2}{2}$$

entonces el escalón es $\rightarrow \theta_1(s) = \frac{\Delta\dot{\omega}}{s^3}$

El error de fase es:

$$\theta_e(s) = H_e(s) \frac{\Delta\dot{\omega}}{s^3} = \frac{\Delta\dot{\omega} \cdot s^2}{s^3 (s^2 + 2\xi\omega_n s + \omega_n^2)} = \frac{\Delta\dot{\omega}}{s (s^2 + 2\xi\omega_n s + \omega_n^2)}$$

Respuesta del sistema a la rampa de frecuencia

$$\theta_e(s) = H_e(s) \frac{\Delta \dot{\omega}}{s^3} = \frac{\Delta \dot{\omega} \cdot s^2}{s^3 (s^2 + 2\xi\omega_n s + \omega_n^2)} = \frac{\Delta \dot{\omega}}{s (s^2 + 2\xi\omega_n s + \omega_n^2)}$$

$$\theta_e(t) = L^{-1}[\theta_e(s)] = \frac{\Delta \dot{\omega}}{\omega_n^2} - \frac{\Delta \dot{\omega}}{\omega_n^2} \left(\cos \sqrt{1-\xi^2} \omega_n t + \frac{\xi}{\sqrt{1+\xi^2}} \sin \sqrt{1-\xi^2} \omega_n t \right) e^{-\xi \omega_n t}, \xi < 1$$

$$= \frac{\Delta \dot{\omega}}{\omega_n^2} - \frac{\Delta \dot{\omega}}{\omega_n^2} (1 + \omega_n t) e^{-\xi \omega_n t}, \xi = 1$$

$$= \frac{\Delta \dot{\omega}}{\omega_n^2} - \frac{\Delta \dot{\omega}}{\omega_n^2} \left(\cosh \sqrt{\xi^2 - 1} \omega_n t + \frac{\xi}{\sqrt{\xi^2 - 1}} \sinh \sqrt{\xi^2 - 1} \omega_n t \right) e^{-\xi \omega_n t}, \xi > 1$$

Phase Locked Loop

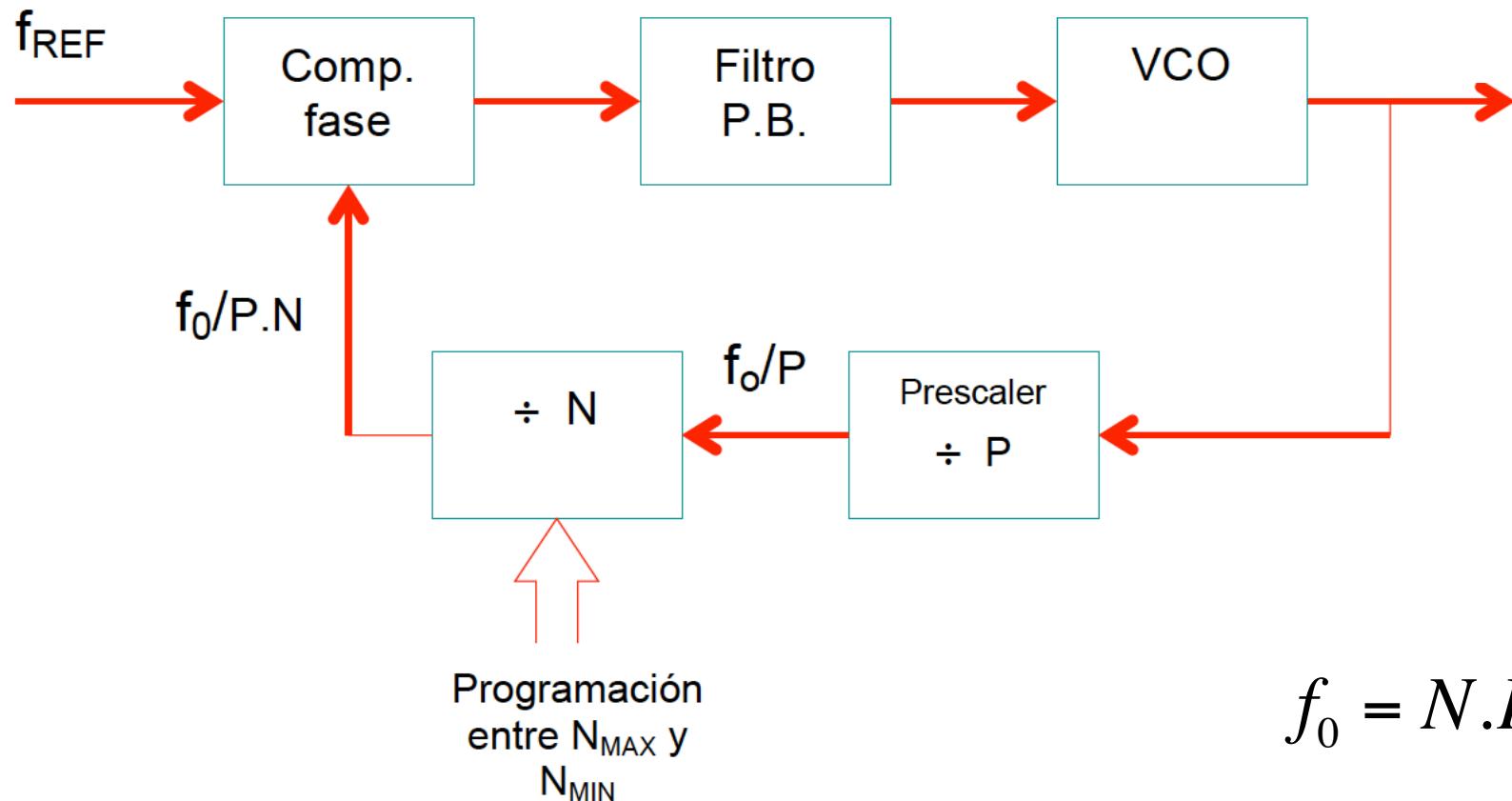
PLL con preescaler

Antecedentes

Los divisores programables de valor N-Entero tienen una limitación en el ancho de banda (típicamente hasta los 100MHz). Por encima de VHF es necesario buscar otra solución práctica.

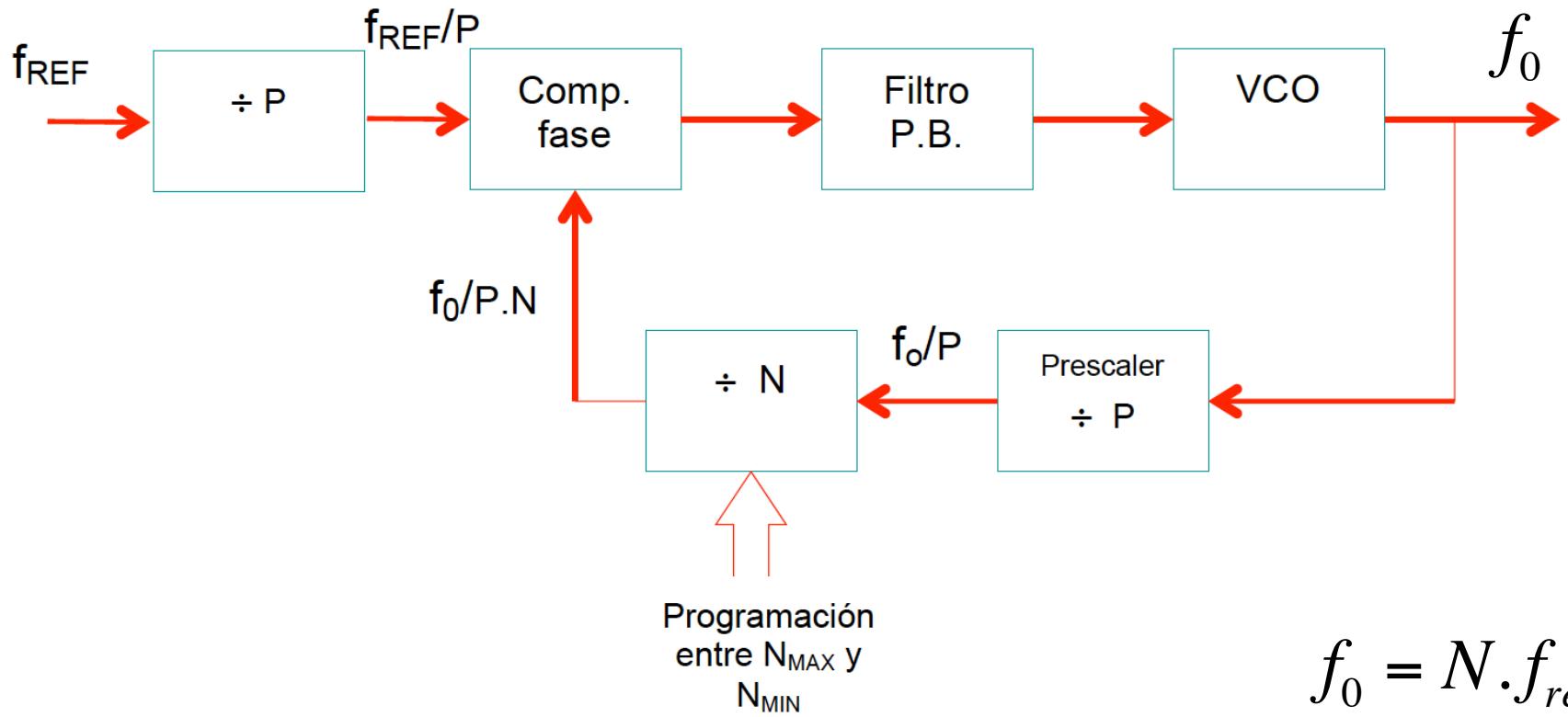
Phase Locked Loop

Para ampliar el ancho de banda del divisor programable, se podría utilizar por ejemplo, la técnica de un prescaler fijo P .



Phase Locked Loop

Si se usa un prescaler de módulo fijo, el diagrama es:



Phase Locked Loop

Se requiere dividir por 947.

Consideremos un prescaler que divide por $P=10$.

Si la división principal N , y $N=94$, $N_T=940$.

El prescaler pasa por su ciclo de 94 veces y el divisor principal pasa por su ciclo una vez, por cada pulso de salida.

Si por el prescaler se cambia a dividir por 11 para 7 de sus ciclos para cada ciclo de todo el sistema divisor, la relación general de división es ahora $[(7 \times 11) + (87 \times 10)] = 947$.

Phase Locked Loop

Principio de operación:

Un preescaler de doble módulo es un contador cuya división puede ser conmutada entre un valor y otro por una señal externa.

Con un prescaler más elaborado y la adición de un contador programable para controlar el más lento, el prescaler no multiplica paso del PLL y evita todos los problemas de prescaler fijo.

Phase Locked Loop

Condiciones de operación:

Dos contadores N_p y A . Ambos contadores programables son dos contadores decrecientes (downcounters)

La señal de salida de ambos contadores es alta si no han alcanzado a 0

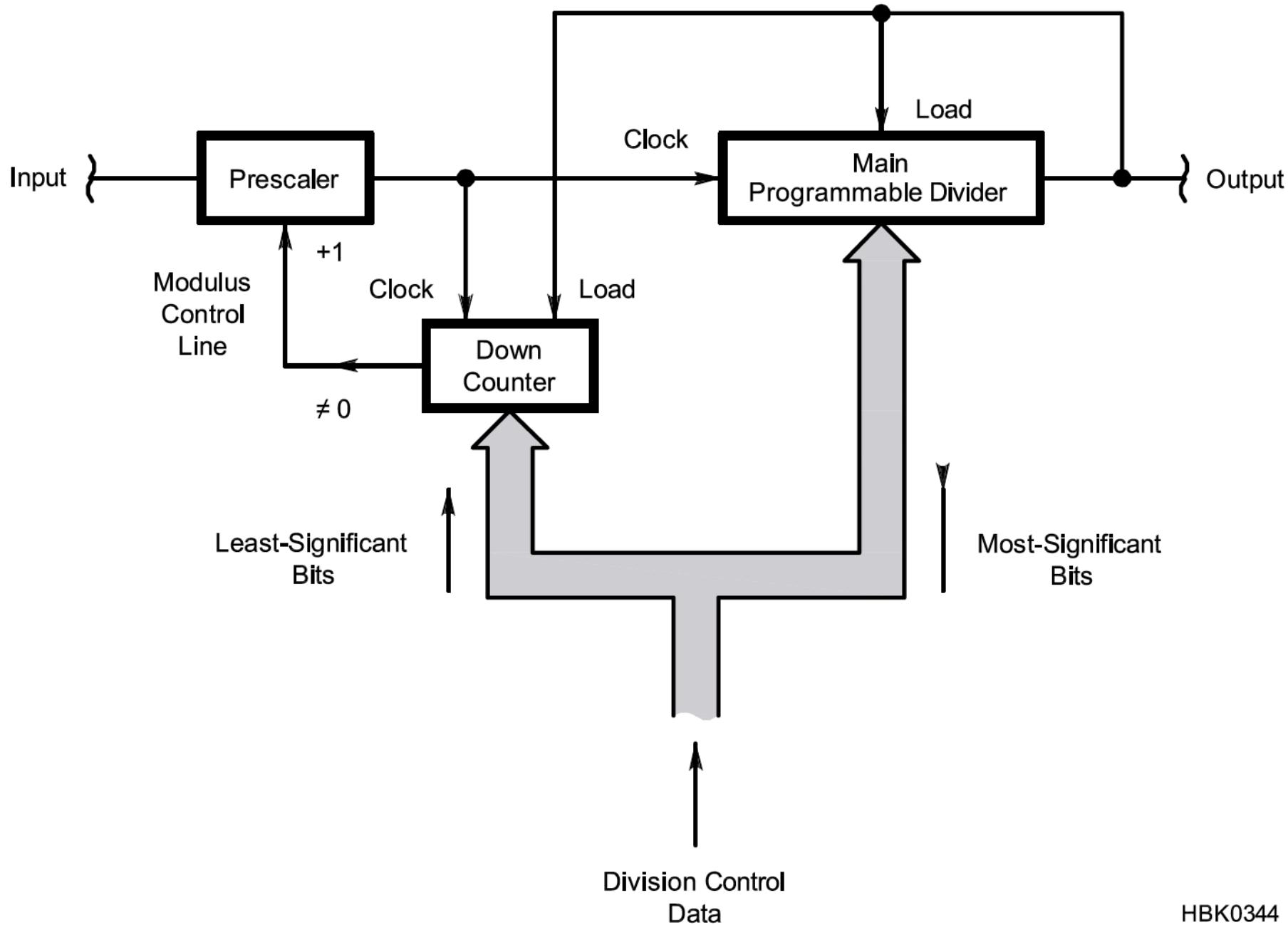
Cuando N_p ha alcanzado a cero, su salida se hace baja y carga ambos contadores con su valor presente de N_p y A respectivamente

Phase Locked Loop

Condiciones de operación:

N_p es siempre mayor o igual que A

$A < P$



El contador *downcounter* controla el módulo del prescaler. El ejemplo numérico generalmente utiliza aritmética decimal para la facilidad de comprensión, pero la lógica utiliza sistema binario.

Cada ciclo del sistema comienza con el último impulso de salida después de haber cargado la palabra de control de frecuencia, que se muestra como "Division Control Data" en la figura, tanto en el divisor principal como en el controlador pre-escalero.

Si los bits menos significativos de los datos de control de la división cargados en el controlador prescaler no son cero, entonces prescaler está ajustado a dividir por $P+1$.

Cada ciclo del prescaler clocks el down counter. Eventualmente, si llega a cero y suceden dos cosas:

El contador está diseñado para HOLD (parar el contador) a cero (y este permanecerá retenido hasta la próxima recarga) y el prescaler es conmutado al retorno de su relación normal hasta la próxima recarga.

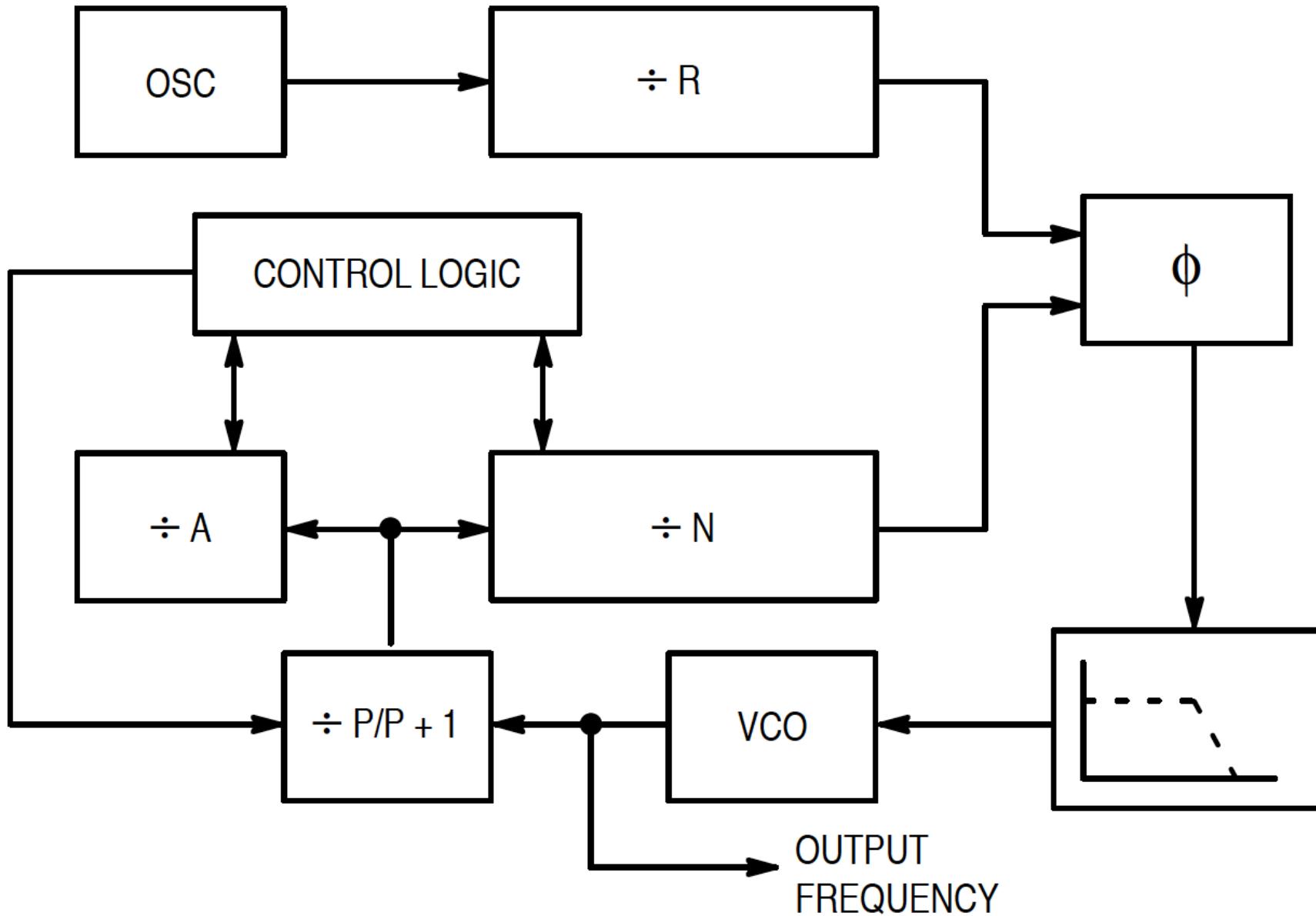
Una forma de visualizar esto es pensar en el prescaler como simplemente un divisor de su relación normal, pero con la capacidad de "tomar" una serie de pulsos de entrada controladas por los datos cargados en su compañero contador descendente.

Tenga en cuenta que un sistema de prescaler de doble módulo tiene una relación de división mínima necesaria para asegurar que hay suficientes ciclos del prescaler para permitir suficientes pulsos de entrada a ser tomados.

Debido a que la técnica es muy utilizada, ICs prescaler de doble módulo son ampliamente utilizados y ampliamente disponible. Dispositivos para uso a unos pocos cientos de megahertz son baratos, y los dispositivos de la región de 2,5 GHz están comúnmente disponibles.

Prescalers en los IC son: 8-9, 10-11, 16-17, 32-33, 64-65 y así sucesivamente. Muchos circuitos integrados que contienen divisores programables están disponibles en versiones con y sin controladores precontador incorporadas.

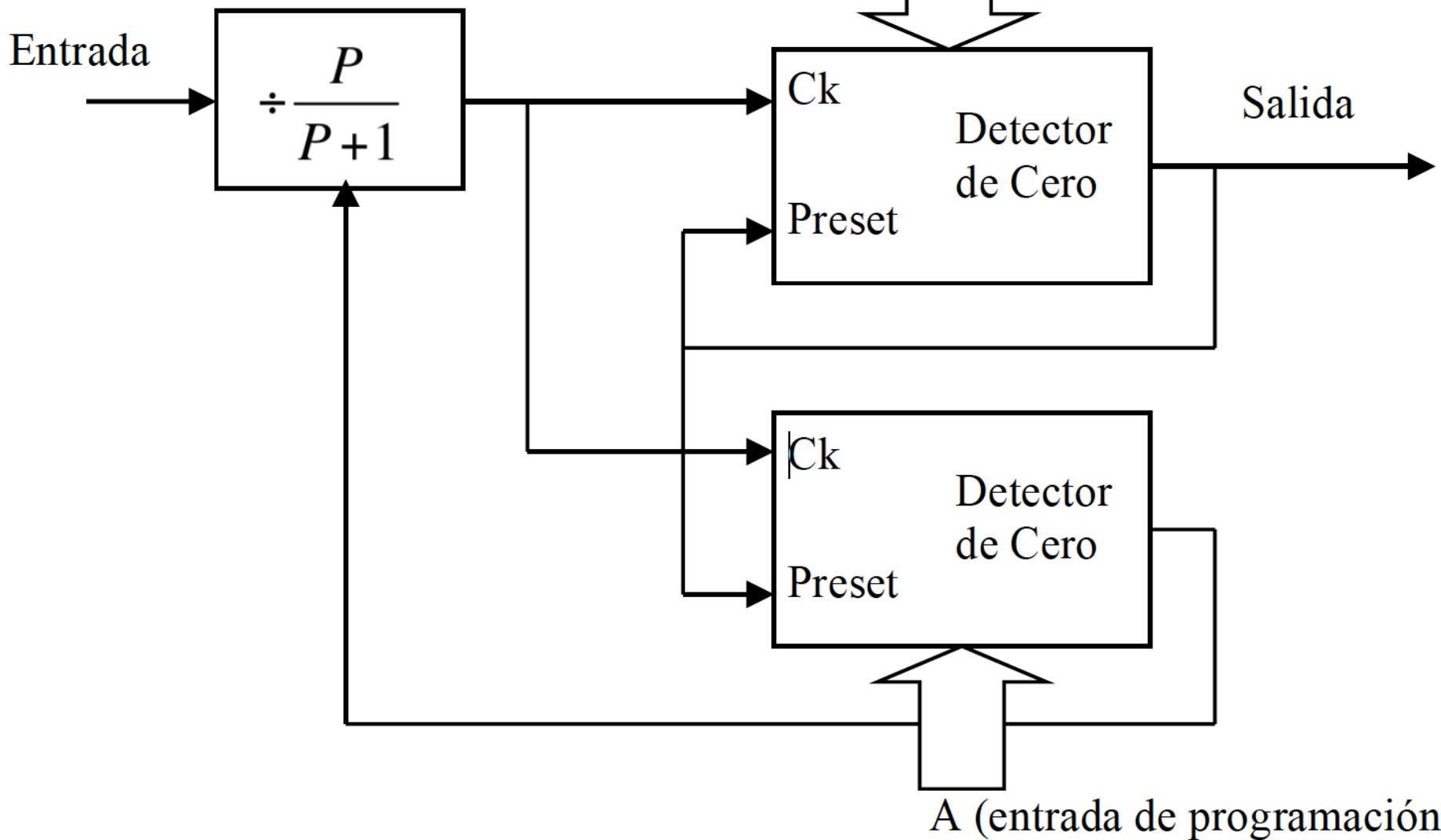
Phase Locked Loop



Phase Locked Loop

Np (entrada de programación)

Prescaler de doble módulo



Si asumimos que el contador N_p ha llegado hasta cero, entonces ambos contadores cargan a sus valores presentes N_p y A respectivamente.

Se debe encontrar el número de ciclos que el VCO debe producir hasta que se alcance de nuevo el mismo estado lógico.

Este número es el factor de escala N general de la disposición mostrada en la Fig.

Mientras el contador A aún no ha llegado a 0, el prescaler está dividiendo por $P + 1$.

En consecuencia, N_p y A decrecerán en uno cuando el VCO ha generado $P+1$ pulsos. Por tanto, el contador A llegará a 0 cuando el VCO ha generado $A(P + 1)$ pulsos. En ese momento el contador N_p ha bajado por el recuento de A ; es decir, su contenido es $N_p - A$.

El factor de escala del prescaler de doble módulo es ahora comutado a P .

El VCO generará pulsos adicionales $(N_p - A)P$ pulsos hasta que el contador N_p llegue a cero.

Cuando el contador N_p llega a cero, ambos contadores N_p y A son recargados a su valor presente y el ciclo se repite.

Phase Locked Loop

$$N = \left(N_p + A / P \right) P$$

$$= \left(N_p P + A + AP - AP \right)$$

$$= A(P+1) + \left(N_p - A \right) P$$

$$N = N_p P + A$$

Phase Locked Loop

Donde $N_p \geq A$. De no ser así, el contador N_p podría llegar a cero antes que el contador A , y ambos contadores se recargarían a sus valores presentes.

El contador prescaler de doble módulo nunca debe conmutarse de $P+1$ a P .

Si $P=10$, entonces

$$N = N_p \cdot 10 + A$$

Phase Locked Loop

En esta expresión A representa las unidades y Np las decenas de la relación de división global N_{tot} . Entonces A debe estar en el rango de 0 a 9, y Np puede asumir cualquier valor mayor que o igual a 9. Es decir, $Np_{min} = 9$.

Por consiguiente, la relación de división realizable más pequeña es

$$N_{min} = Np_{min} \cdot P = 90$$

El sintetizador de la Fig es capaz de generar todos los valores enteros múltiples de la frecuencia de referencia fref, comenzando por $N = 90$.

Phase Locked Loop

Si P=16, el prescaler divide por 16/17. En ese caso el valor de división total es:

$$N = N_p \cdot 16 + A$$

Ahora A podría valer entre 0-15 y el mínimo valor de $N_p=15$. En este caso el mínimo valor alcanzado es

$$N = 240$$

Phase Locked Loop

Ejemplo: Se desea realizar un PLL con prescaler de doble módulo con las siguientes características:

$f_{out} = 98.7 \text{ to } 118.7 \text{ MHz}$

$f_{CH} = f_{ref} = 100 \text{ kHz}$

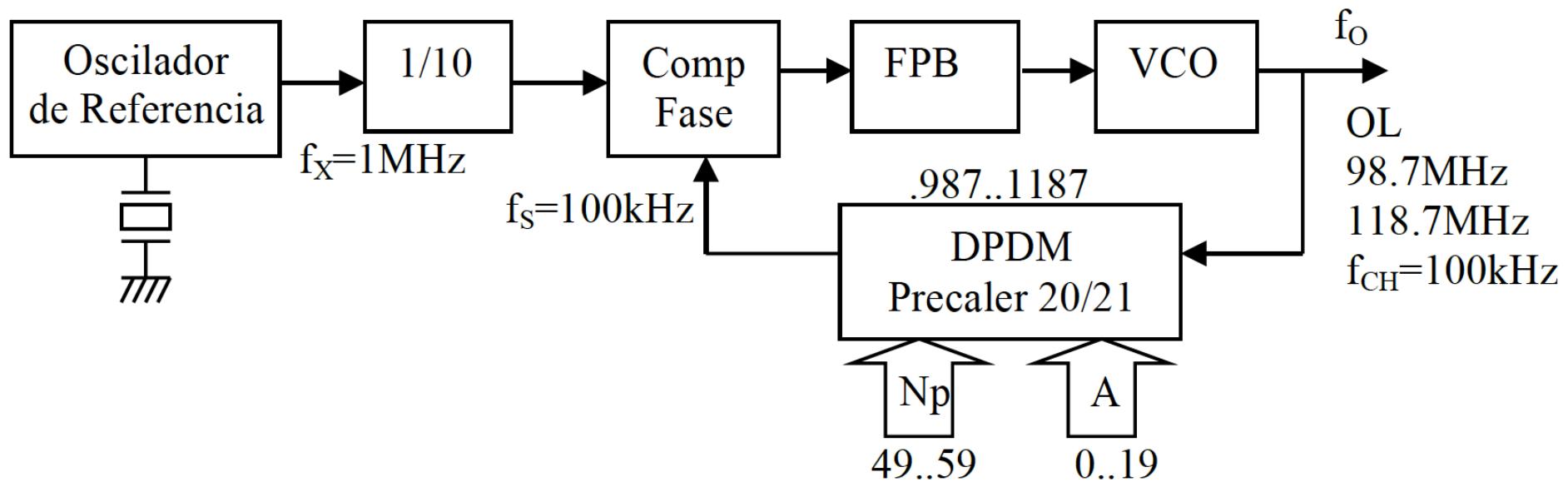
Prescaler doble modulo de $P=20/21$

Solución:

Se ha optado por un prescaler de doble módulo 20/21. Resulta de esta elección, que la máxima frecuencia de entrada de los contadores descendentes es

$$\frac{f_{out_max}}{P} = \frac{98.7 \text{ MHz}}{20} = 5.9 \text{ MHz}$$

Phase Locked Loop



Phase Locked Loop

También se podría haber utilizado un prescaler de 10/11, dando una freq de entrada de 11.87MHz.

A- Con la frecuencia de salida máxima f_{MAX} :

$$N = \frac{f_{max}}{f_{(step)}} = \frac{118.7 \text{ MHz}}{100 \text{ kHz}} = 1187$$

Phase Locked Loop

Para llegar a este valor, se deberá cumplir que

$$N = N_p P + A \quad \text{con } P=20, \text{ y } A=0:$$

$$1187 = N_p (20) + 0$$

$N_p = 59.35$ Se utilizará el valor entero, que es $N=59$

Ahora se determinará el valor de A

$$A = N - N_p P = 1187 - 59 * 20 = 7$$

Phase Locked Loop

B- Con la frecuencia de salida mínima f_{min} :

$$N = \frac{f_{min}}{f_{(step)}} = \frac{98.7 \text{ MHz}}{100 \text{ kHz}} = 987$$

Para llegar a este valor, se deberá cumplir que

$$N = N_p P + A \text{ con } P=20, \text{ y } A=0:$$

$$987 = N_p (20) + 0$$

Phase Locked Loop

$N = 49.35 \rightarrow$ entero $N=49$

Como no dio un número entero, es necesario re-calcular el valor de A

$$A = N - N_p P = 987 - 49 * 20 = 7$$

Phase Locked Loop

Np	A	Np*20+A
49	7..19	987...999
50	0..19	1000...1019
...
58	0..19	1160...1179
59	0..7	1180...1187

Phase Locked Loop

Ejemplo: Se desea realizar un PLL con prescaler de doble módulo con las siguientes características:

$$f_{out} = 118.000 \text{ to } 135.975 \text{ MHz}$$

Solución:

Es necesario un prescaler para dividir la frecuencia del Vco a valores que pueda manejar el MC145159 (15 MHz freq. máx. a VDD =5V). El valor mínimo del prescaler deberá ser 10.

Phase Locked Loop

Sin embargo, si se utilizara un prescaler de simple módulo, la frecuencia de referencia deberá ser ajustada en $f_{REF} = 2,5 \text{ kHz}$ para mantener el salto de 25 kHz.

Prescaler:

MC12016, 40/41 -> ancho de banda 225 MHz.

$F_{ref}=25 \text{ kHz}$, los contadores N_p y A deberán ser cargados con los valores propios para poder obtenerse el rango de 118,000 a 135,975 MHz en la salida.

Phase Locked Loop

También se podría haber utilizado un prescaler de 10/11

A- Con la frecuencia de salida máxima f_{MAX} :

$$N = \frac{f_{max}}{f_{(step)}} = \frac{135,975 MHz}{25 kHz} = 5439$$

Phase Locked Loop

Para llegar a este valor, se deberá cumplir que

$$N = N_p P + A \text{ con } P=40, \text{ y } A=0:$$

$$5439 = N_p (40) + 0$$

$$N_p = 135,975 \text{ Se utilizará el valor entero, que es } N_p=135$$

$$A=N-N_p P = 5439-(135*40)=39$$

Phase Locked Loop

B- Con la frecuencia de salida mínima f_{min} :

$$N = \frac{f_{min}}{f_{(step)}} = \frac{118 \text{ MHz}}{25 \text{ kHz}} = 4720$$

Para llegar a este valor, se deberá cumplir que

$$N = N_p P + A \text{ con } P = 40, \text{ y } A = 0:$$

$$4720 = N_p (40) + 0$$

$$N_p = 118 \rightarrow \text{entero}$$

Phase Locked Loop

Frec. salida MHz	N_{tot}	N	A
118,000	4720	118	0
118,025	4721	118	1
118,050	4722	118	2
...

Phase Locked Loop

Frec. salida MHz	N _{tot}	N	A
118,975	4759	118	39*
119,000	4760	119	0
119,025	4761	119	1
...
139,950	5438	135	38
139,975	5439	135	39

Phase Locked Loop

Notar que, debido a que $P=40$, el valor máx. posible de $A=39$

$$A < P$$

Phase Locked Loop