

TP N°4: Phase Locked Loop.**Desarrollo:**

1. Diseñar e implementar una red PLL que multiplique por 10 con las siguientes especificaciones:
 - $f_{in} = 15\text{KHz}$ a 25KHz
 - $\zeta = 0,4$
 - $V_{DD} = 12V$
 - Filtro de lazo RC
2. Realizar las siguientes mediciones:
 - a- Rango de sosten y de captura.
 - b- Ganancia de lazo.
 - c- Sobrepasamiento y constantes de tiempo. Gráficos.

Materiales necesarios:

- Utilizar CD4046, 54HC4046 o 74HC4046 como PLL y el CD4017 como divisor por 10.
- Para el punto 2c utilizar como entrada de referencia un generador de funciones con capacidad de modulación de FM.

Evaluación:

1. Presentación del informe en formato digital (pdf).
2. Coloquio grupal.

Bibliografía

- [1] W. Alan Davis, Krishna Agarwal. *Radio Frequency Circuit Design*. John Wiley & Sons, Inc. 2001.
- [2] D. Stephens *Phase-Locked Loops for Wireless Communications*. Kluwer Academic Publishers. 2002.