

Phase Locked Loop

Suelto Enrique
62508

Sosa Javier
65337

Ponce Nicolás
64725

Schamun Lucas
62378

Universidad Tecnológica Nacional- Facultad Regional Córdoba

I. INTRODUCCIÓN

Un PLL (también llamado circuito de fase cerrada, o circuito de fase fija) es un circuito que permite que una señal de referencia externa controle la frecuencia y la fase de un oscilador. El PLL es un sistema de control de realimentación en donde la señal de realimentación es una frecuencia en lugar de una tensión. Este consiste de los siguientes bloques fundamentales que se pueden apreciar en la figura 1:

- un oscilador controlado por tensión (VCO, voltage controlled oscillator).
- un divisor de frecuencias.
- un comparador de fase.
- un filtro pasa bajos, y un amplificador de baja ganancia.

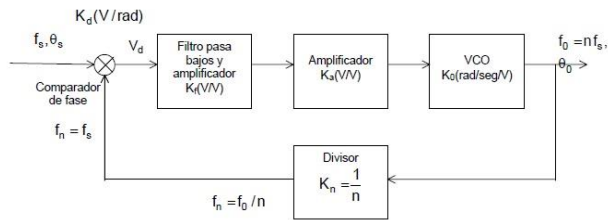


FIG. 1. DIAGRAMA EN BLOQUES DEL PLL

II. OBJETIVO

Diseñar e implementar una red PLL que multiplique por 10 con las siguientes especificaciones:

- $f_{in} = 15\text{KHz}$ a 25KHz
- $\zeta = 0,4$
- $V_{DD} = 12\text{V}$
- Filtro de lazo RC

Realizar las siguientes mediciones:

- Rango de sostén y de captura.
- Ganancia de lazo.
- Sobrepasamiento y constantes de tiempo.

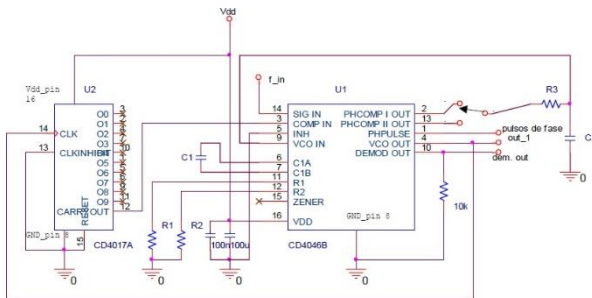


FIG. 2. ESQUEMÁTICO DEL PLL

III. DESARROLLO

Se empleó el esquemático de la figura 2 para el diseño del PLL.

Los circuitos integrados utilizados son:

- CD4046
- CD4017

A. Cálculo de $R1$, $R2$ y $C1$

Se fijó el valor de $100\text{K}\Omega$ para $R2$, con la cual se logra calcular el valor del capacitor $C1$ en 100pF mediante la curva de la figura 3.

Para obtener el valor de la resistencia $R1$, se observa la gráfica de la relación entre frecuencias vs relación entre resistencias. A partir de la misma, ubicando f_{max}/f_{min} en 1.66, $R1$ es igual a $166.6\text{K}\Omega$.

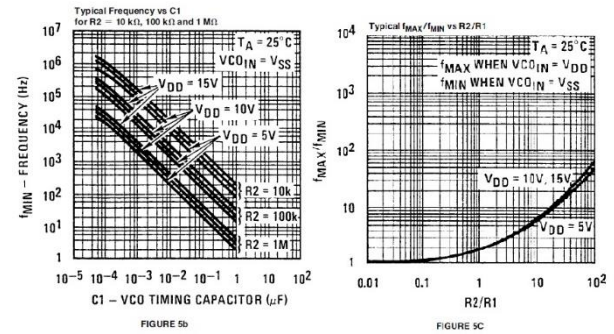


FIG. 3. CURVAS DEL CD4046

B. Cálculo de $R3$ y $C2$.

La elección de éstos valores depende de la característica de respuesta transitoria, o de frecuencia que se desee en el sistema. En éste caso, está dada por la especificación del coeficiente de amortiguamiento, que es de 0.4.

Considerando:

$$\zeta = \frac{1}{2T} \sqrt{\frac{nT}{K_o K_d}} \quad (1)$$

Se sabe que $T = R_3 C_2$ por lo cual, se despeja T de la ecuación anterior.

$$T = \frac{n}{4\zeta^2 K_o K_d} \quad (2)$$

Se calcula K_o y K_d :

$$K_d = \frac{\Delta V}{\Delta \theta} = \frac{V_{DD}}{\pi} = \frac{12}{\pi} = 3.81 \frac{V}{\text{rad}}$$

$$K_o = \frac{\Delta \omega}{\Delta V} = \frac{2\pi(f_{max} - f_{min})}{V_{DD}} = 52359 \frac{\text{rad}}{\text{sV}}$$

Reemplazando en la ecuación 2

$$T = \frac{10}{4 \times (0.4)^2 \times 3.81 \times 52359} = 78.33 \mu s$$

Se estableció un valor de $C_2 = 10nF$, por lo tanto $R_3 = 8.2K\Omega$

IV. MEDICIONES

Se efectúan las mediciones de los siguientes parámetros:

A. Rango de sostén y de captura:

La medición del rango de captura se realiza llevando la frecuencia a un valor en el cual el PLL no está sintonizado. Desde este punto se buscan los valores en los cuales se sincroniza.

- Rango de captura: 14.71KHz -25.2KHz

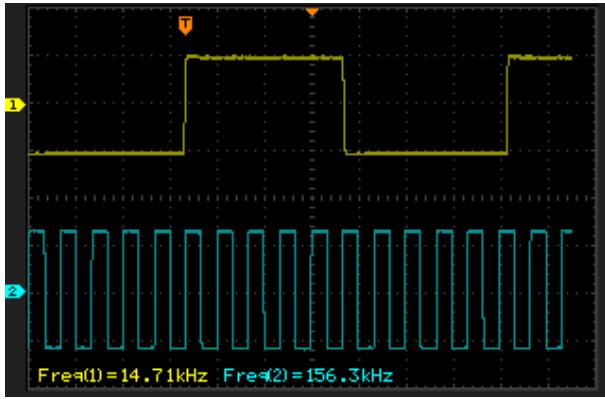


FIG. 4. FRECUENCIA DE CAPTURA INFERIOR

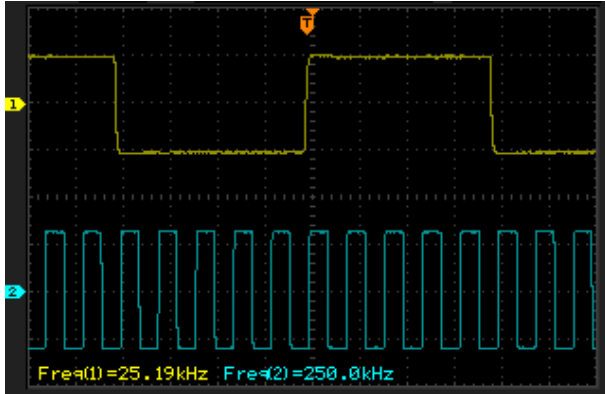


FIG. 5. FRECUENCIA DE CAPTURA SUPERIOR

Para medir el rango de sostén, el PLL debe estar sintonizado. Luego, se debe variar la frecuencia hasta lograr que se desenganche.

- Rango de sostén: 12.2KHz- 27.9KHz

B. Ganancia de lazo:

Para su obtención deben medirse los desfases entre la señal de referencia y la salida del divisor al ingresar una señal cuadrada que va desde 0v a V_{DD} . Se miden dos frecuencias distintas:

- $f_1 = 21KHz$
 $\tau_1 = 15.5\mu s$
 $T_1 = 50\mu s$
 $\theta_1 = \frac{\tau_1}{T_1} 2\pi = 1.94 \text{ rad}$
- $f_2 = 20KHz$
 $\tau_2 = 12.2\mu s$
 $T_2 = 50\mu s$
 $\theta_2 = \frac{\tau_2}{T_2} 2\pi = 1.53 \text{ rad}$

La ganancia de lazo responde a la siguiente ecuación:

$$G_{lazo} = \frac{K_o K_d}{n} = \frac{\Delta\omega_s}{\Delta\theta} = \frac{2\pi(f_1 - f_2)}{\theta_1 - \theta_2} = 15317.07$$

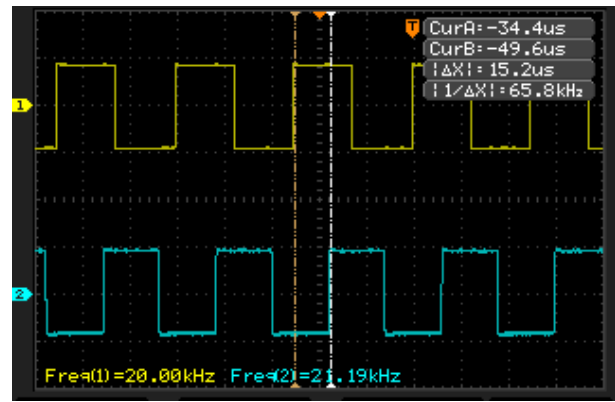


FIG. 5. DESFASAJE ENTRE SEÑALES

B. Sobreapamientos y constantes de tiempo:

Para realizar esta medición es necesario inyectar una señal modulada en frecuencia que se encuentre dentro del rango de captura del PLL. El diseño exige un $\zeta=0.4$ lo que implica un sobreapamiento del 25%.

$$M_P = \frac{68 \text{ mV}}{270 \text{ mV}} = 0.25$$

Se midió el tiempo de establecimiento, es decir el tiempo necesario para llegar a un valor menor al 2 o 5% del valor régimen:

$$t_s = 280 \mu s$$

V. CONCLUSIÓN.

Al finalizar el práctico, se logró comprobar el correcto funcionamiento de las redes PLL y conocer sus características más relevantes.

En una primera instancia, se diseñó el circuito a partir de las especificaciones planteadas en los enunciados. No obstante, para lograr el correcto funcionamiento, se emplearon resistencias y capacitores variables para poner el PLL en el rango deseado.