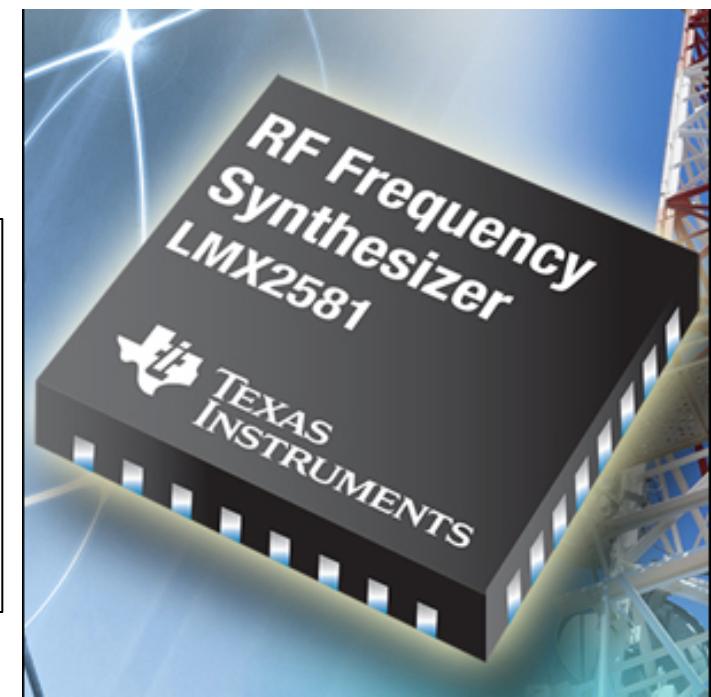
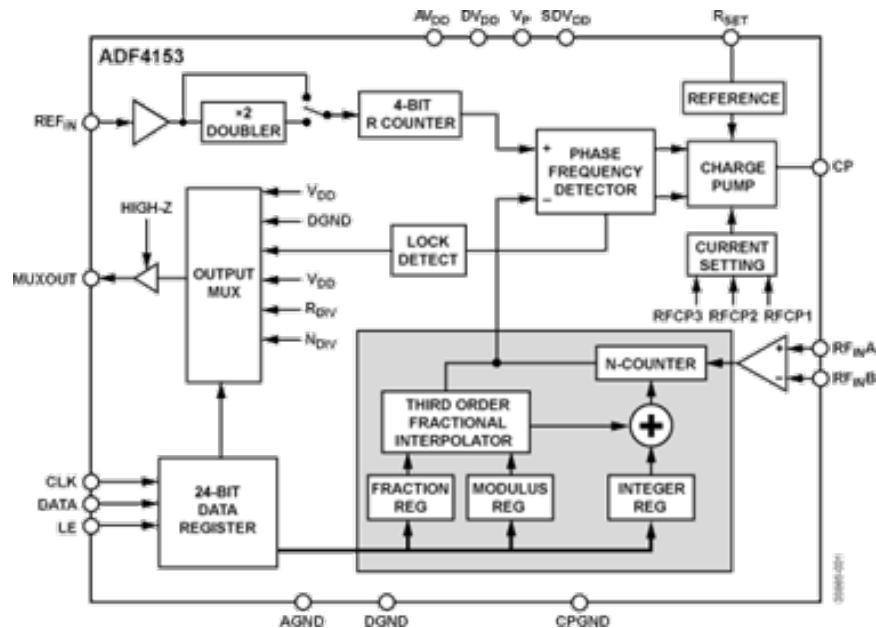


Phase Locked Loop Parte 2



Universidad Tecnológica Nacional de Argentina - F. R. Córdoba
Departamento de Electrónica - Electrónica Aplicada III
Daniel Rabinovich drabinovich@electronica.frc.utn.edu.ar
Ramón Oros roros@electronica.frc.utn.edu.ar
Claudio Paz cpaz@frc.utn.edu.ar
Año 2015

Phase Locked Loop

PLL N-fraccional

Los saltos de un PLL de división N, son múltiplos de ω_{ref} para el caso de PLL N-Entero.

Caso GSM. El espaciamiento de canal es 200KHz y el espectro del GSM se ubica cerca de 1GHz.

Un PLL con división programable por N convencional con el espaciamiento de canal de 200KHz, el factor de división N => $1\text{GHz} / 200\text{kHz} \approx 5000$.

PLL N-fraccional

Esto hace imposible usar esta arquitectura en la mayoría de las aplicaciones de radio standard debido a las siguientes desventajas:

a. Amplificación del ruido de entrada.

Cualquier ruido de entrada superpuesto a la señal de referencia es amplificada por N^2 .

Tomando $N = 5000$, el factor N^2 corresponde a un incremento de 74dB del piso de ruido dentro del ancho de banda del PLL.

Esto explica porqué los valores altos de N no son usualmente compatibles con los requerimientos de ruido en banda.

PLL N-fraccional

b. *Ancho de banda angosto.*

Debido al límite de Gardner para PLL N-Entero [Channel spacing = $F_{vco} / N = F_r$], la baja ω_{ref} impone un ancho de banda de lazo estrecho.

Para esta solución se han propuesto varias alternativas → N fraccional, donde la frecuencia de salida cambia con una fracción de ω_{ref} .

PLL N-fraccional

Ahora es posible conseguir una resolución de frecuencia que es una parte fraccional de la frecuencia de detector de fase.

Esto se logra mediante la adición de una circuitería interna que permite que el valor de N pueda cambiar dinámicamente durante el estado de enganchado.

Si el valor del divisor se "conecta" entre N y $N + 1$ en la proporción correcta, una relación media de división puede ser $N+ L / F$.

Esto permite que los detectores de fase puedan funcionar a una frecuencia que es mayor que la separación entre canales de sintetizador.

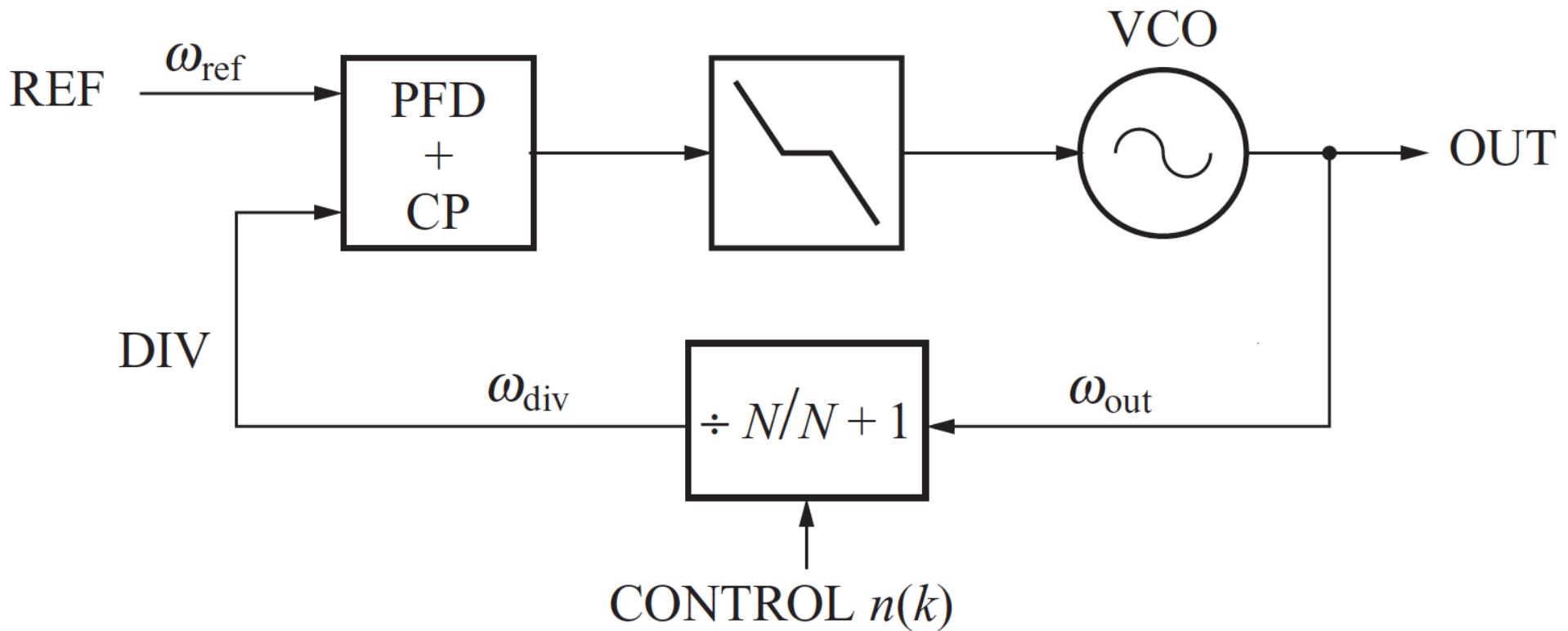
PLL N-fraccional

Concepto N-Fraccional:

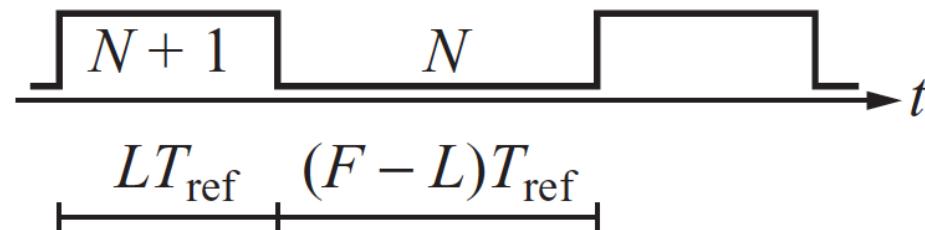
Cuando el PLL está enganchado, el factor de división se modula entre dos valores enteros, digamos N y $N + 1$, para obtener una relación de "promedio"

$(N + x)$, con $0 < x < 1$.

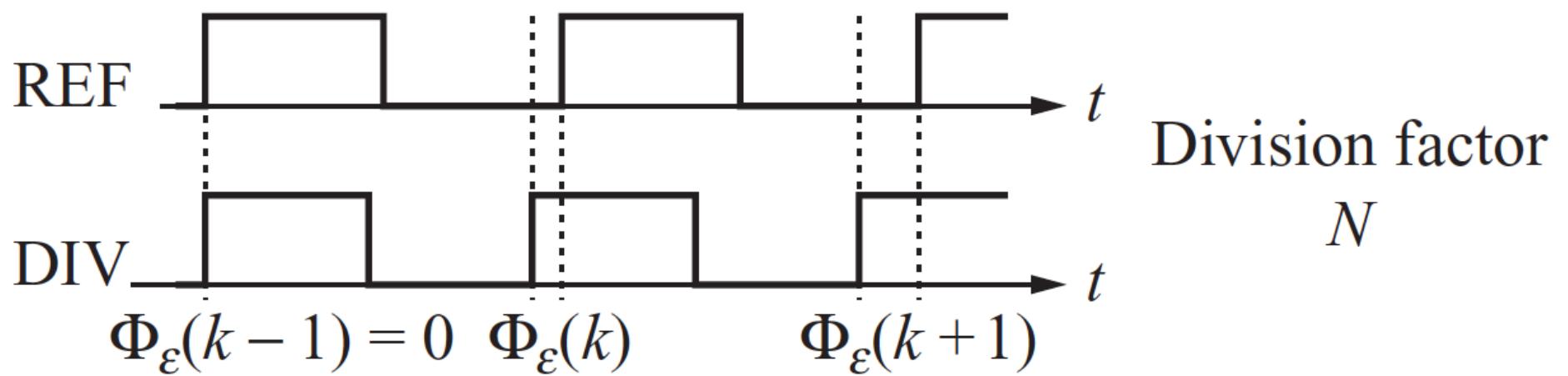
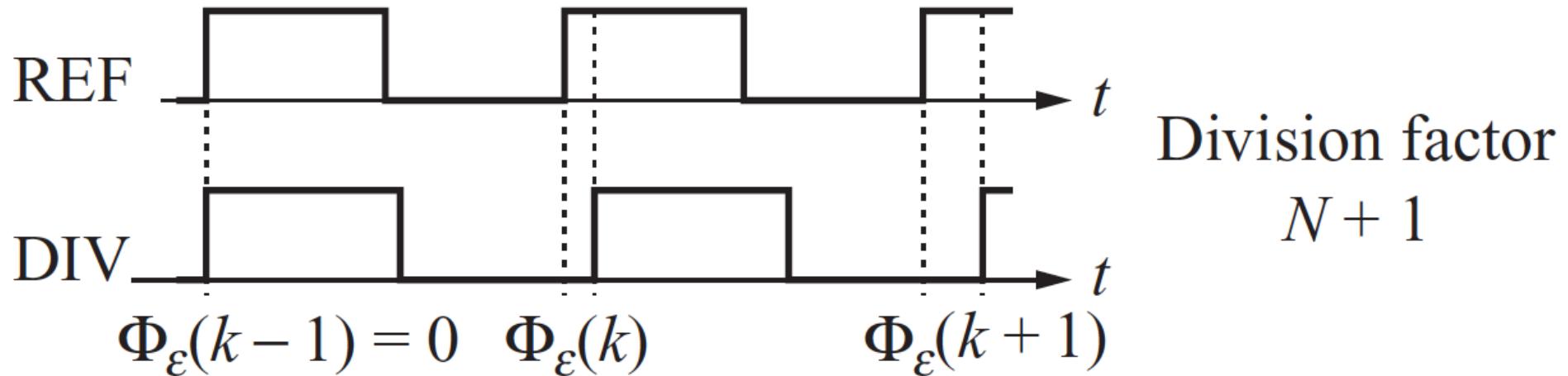
PLL N-fraccional



Division
factor



Secuencia de error de fase



PLL N-fraccional

Durante los primeros ciclos de L se acumula un error de fase negativo, ya que la señal DIV tiene ciclos de más de REF.

Durante los restantes ($F - L$) ciclos, cuando el factor de división es N, la señal DIV acelera, recuperando así el retardo de fase.

En el PLL fraccional los bordes de la señal DIV siempre deambulan alrededor de los bordes del REF y, en rigor, el PLL nunca se bloquea, es decir,

Las dos señales nunca muestran bordes perfectamente sincronizadas.

PLL N-fraccional

Puntos de interés:

- El promedio de error de fase entre REF y DIV sigue siendo cero.
- Un perfecto match de fase se recupera después de un intervalo $F.T_{ref}$.

PLL N-fraccional

En una forma cuantitativa:

$$F T_{ref} = T_{out} \cdot (N + 1) \cdot L + T_{out} \cdot N \cdot (F - L)$$

Donde el periodo del VCO es

$$T_{out} = 2\pi / \omega_{out}$$

La ec. queda:

$$\omega_{out} = \omega_{ref} \cdot (N + L / F) \quad \text{N, L y F son enteros.}$$

$$\bar{N} = N + L / F$$

PLL N-fraccional

El PLL puede tener saltos de ω_{ref} / F , siendo la resolución fraccional del PLL.

Consideraciones:

- a) El factor de división se debe cambiar sincrónicamente con los bordes de la salida del divisor DIV y no con la señal de referencia
- b) En relación con el deambular de la señal de los bordes en torno a su condición de bloqueo medio. Este efecto hace que la dependencia del tiempo del error de fase $\phi\epsilon$ periódica con un período $F.T_{ref}$.

PLL N-fraccional

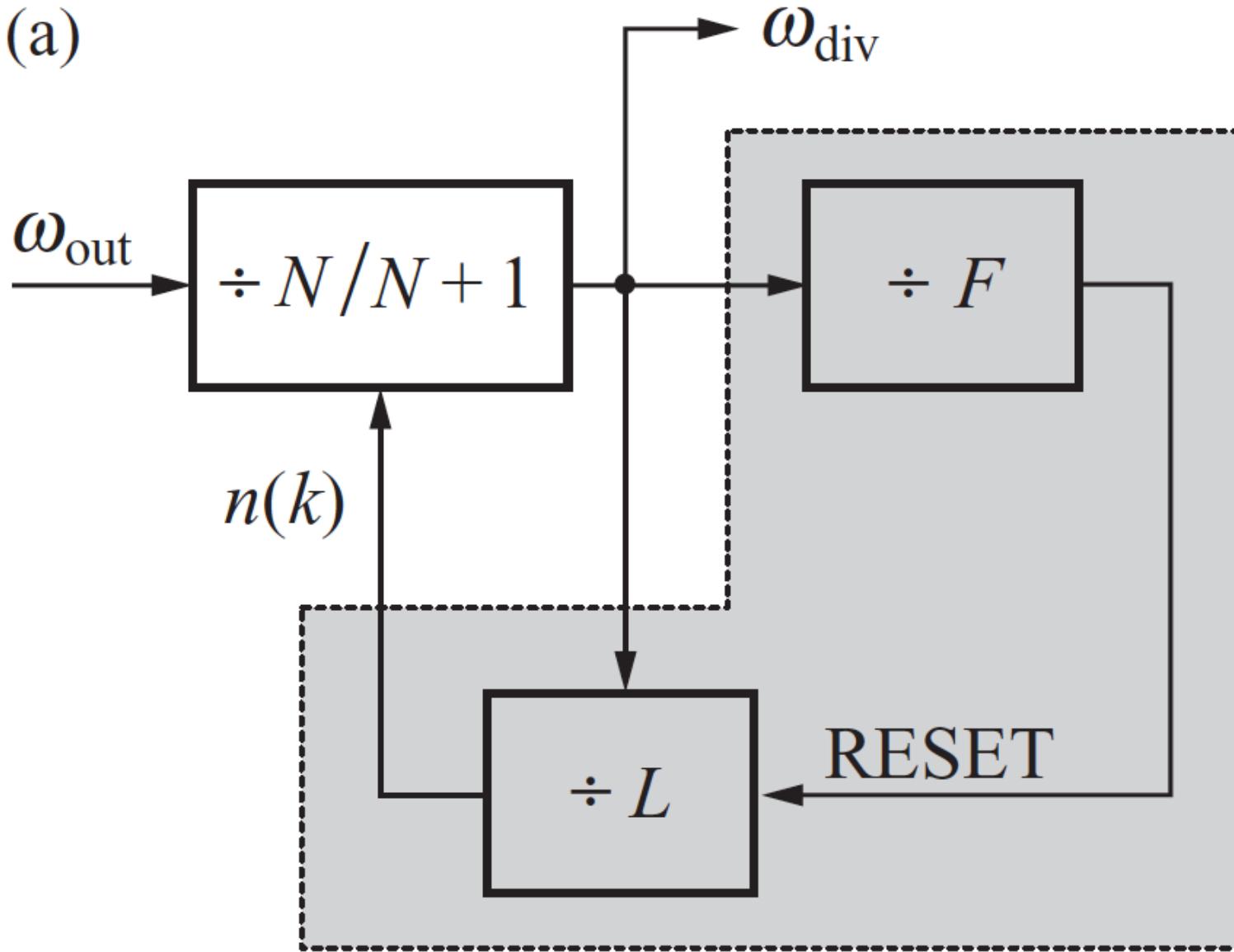
Inconveniente: modulación periódica de la tensión de sintonización, genera tonos espurios en la salida PLL: los llamados espolones fraccionarios (fractional spurs).

La distribución espectral de estos tonos depende del patrón de control, pero por lo general se encuentran en $\pm m\omega_{\text{ref}} / F$ de la portadora, donde m es un valor entero.

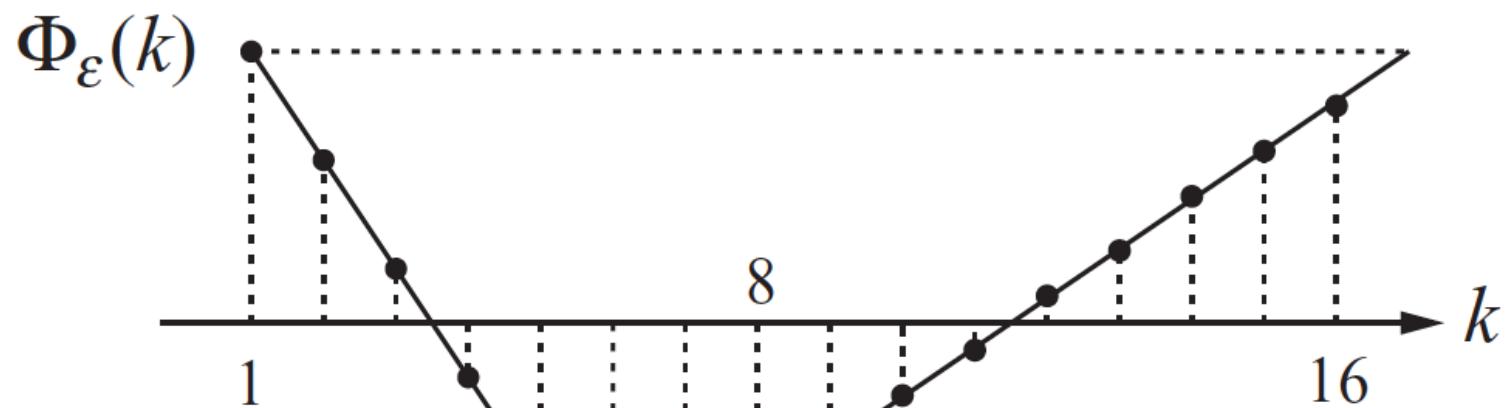
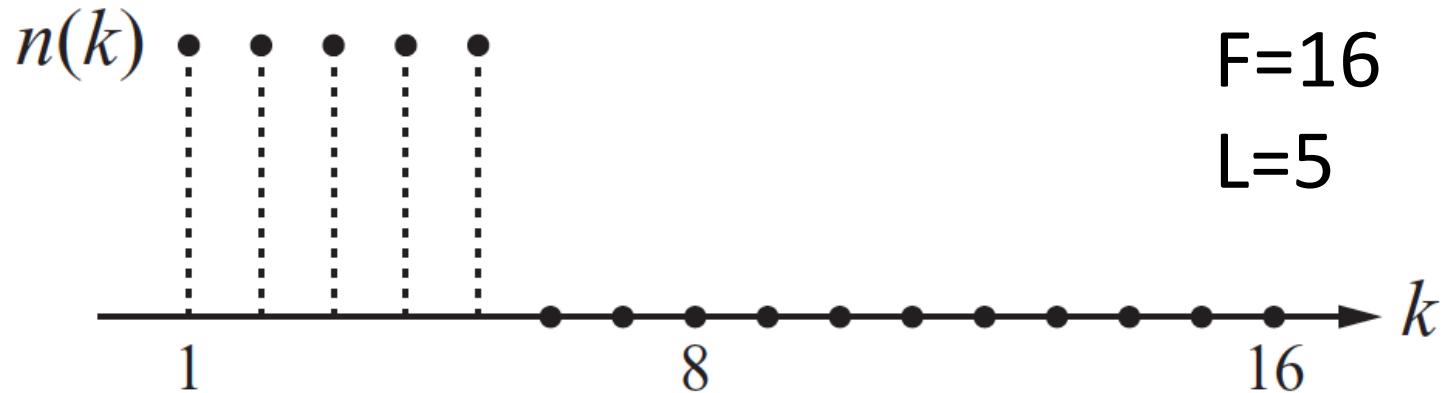
El $F\Delta t_{\text{ref}}$ es la resolución más fina del PLL, y es ω_{ref} / F .

Generación del patrón de control

(a)



PLL N-fraccional



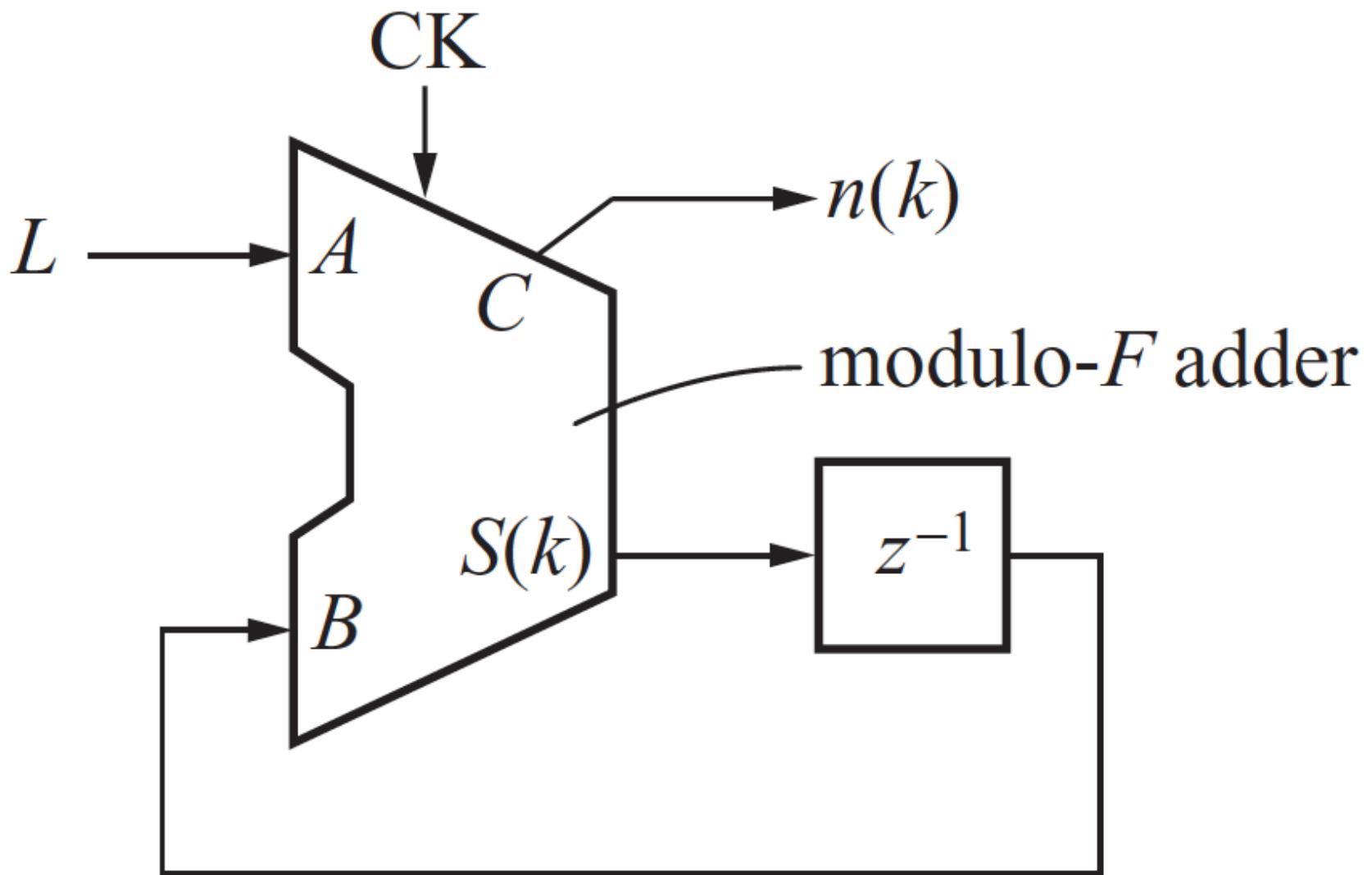
$$\bar{N} = N + L / F$$

PLL N-fraccional

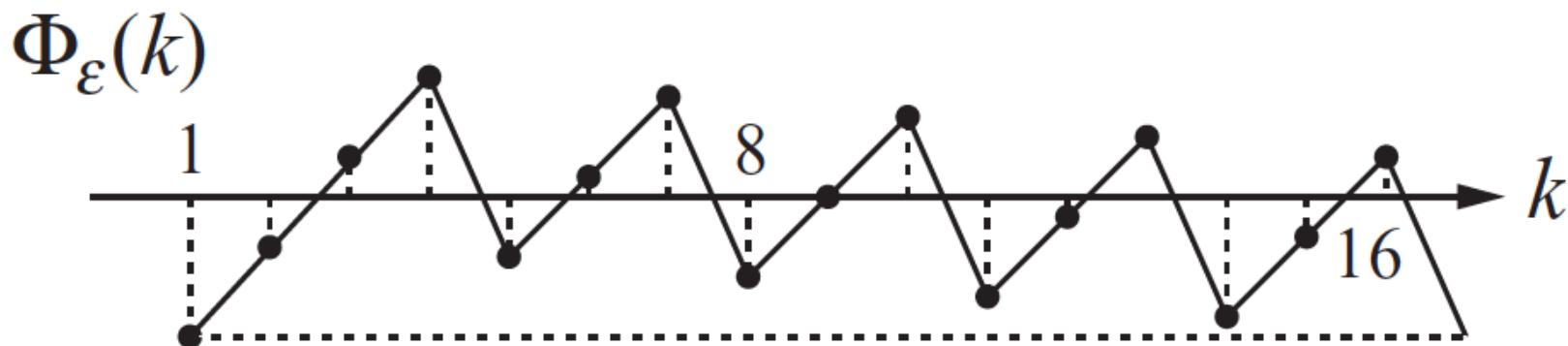
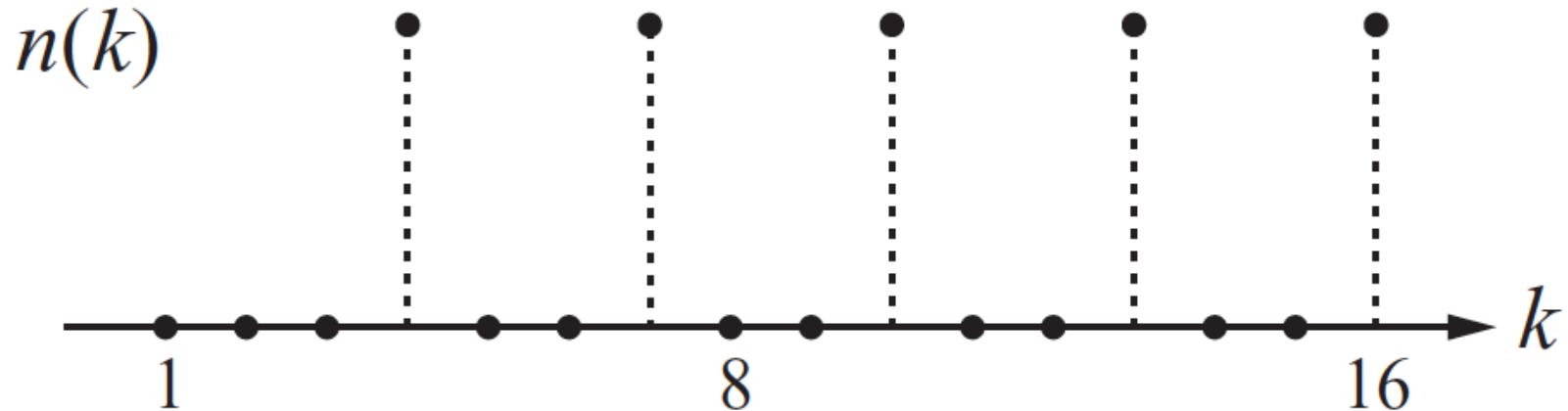
Esto es obtenido por dos contadores programables en cascada, como se muestra en la Fig., uno programado para F y el segundo programado para L, y ambos impulsados por el mismo reloj.

Después de los períodos de entrada L, $n(k)$ cambia su estado de 1 a 0 y desactiva el contador-L hasta que el contador-F alcanza el valor final de F y resetea ambas etapas.

Digital Phase Accumulator, DPA



Digital Phase Accumulator, DPA



Digital Phase Accumulator, DPA

Se muestra una solución alternativa, donde se utiliza un acumulador de módulo-F con un valor de entrada L.

El valor acumulado S (k) está dado por

$$S(k) = \begin{cases} S(k-1) + L & \text{si } S(k-1) + L < F \\ S(k-1) + L - F & \text{si } S(k-1) + L \geq F \end{cases}$$

n(k) está dado por el desbordamiento del acumulador,

$$n(k) = \begin{cases} 0 & \text{si } S(k-1) + L < F \\ 1 & \text{si } S(k-1) + L \geq F \end{cases}$$

PLL N-fraccional

Ejemplo PLL N-fraccional

SWRA029



PLL N-fraccional

La arquitectura N-Fraccional es muy similar a un N-entero, con la adición de un acumulador.

El acumulador es una máquina de estado simple que cambia el valor divisor principal (entre P y P + 1) durante una condición de bloqueado.

El acumulador varía el número de división entre P y P + 1 dinámicamente de una manera tal como para proporcionar una relación de división promediada que es un número fraccionario entre P y P + 1.

Esta función permite la generación de una división promedio que es un número fraccionario.

PLL N-fraccional

Por ejemplo, si

$N = 2000$ y $f_{ref} = 0.48\text{MHz}$, la frecuencia de salida es
 $f_{out} = 2000 * 0.48 = 960\text{MHz}$

Para mejorar las resolución a 30KHz, (por ejemplo $f_{out}= 960.03\text{MHz}$), el acumulador debe cambiar dinámicamente entre $N=2000$ y $N=2001$ una vez cada 16 ciclos de referencia.

PLL N-fraccional

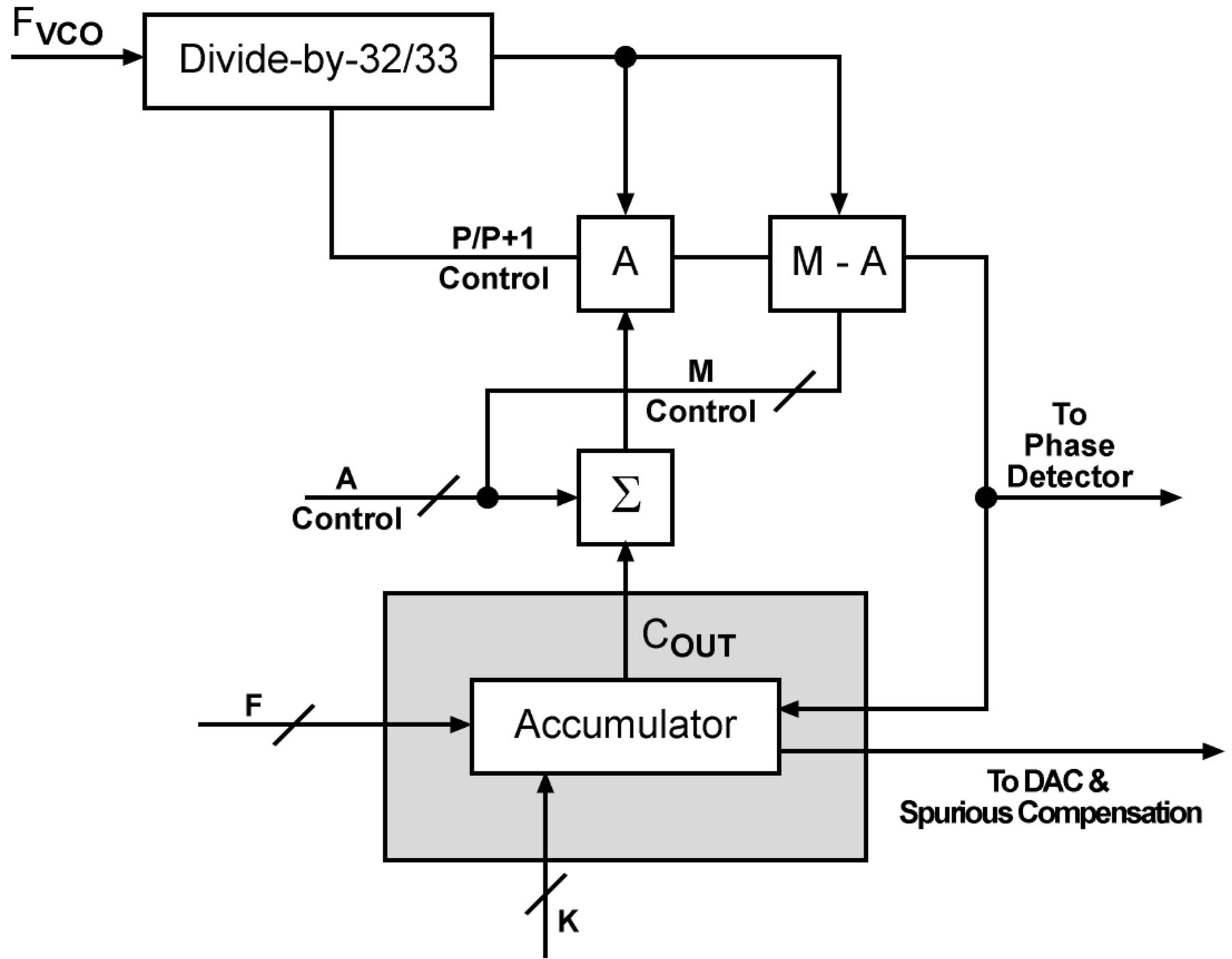
La división será de 2000 por 15 ciclos de fref y luego en 2001 en 1 ciclo de fref.

Entonces, el valor de división será de $2000 + 1/16$.

$$[2000.(15) + 2001.(1)]/16 = 2000 + 1/16$$

$$\omega_{out} = \omega_{ref} \cdot (N + K / F) = \omega_{ref} \cdot (2000 + 1/16)$$

(L es reemplazado por K en este caso) Donde F=16 y K=1.



PLL N-fraccional

Los elementos de N-Fraccional (módulo doble, contadores M, A) ya existen en PLL N-entero, pero en este caso funcionan de manera diferente.

Los PLL N-Enteros, la división total se alcanza mediante el comando del módulo doble para dividir A veces por P + 1 y los tiempos de Np-A veces por P de manera que $N = A(P + 1) + (Np-A)P$.

Ahora bien, si de vez en cuando, K veces en los F ciclos, el valor de A se incrementa en 1, N también incrementa por 1 [en cuenta que $(A + 1)(P + 1) + P(Np-A-1) = N+1$].

PLL N-fraccional

Luego se agrega el mecanismo para cambiar dinámicamente el valor del contador A.

El acumulador fraccional realiza esta función.

El PLL N-Fraccional contiene un bloque de circuitos
→acumulador fraccional.

Este acumulador permite cambiar dinámicamente el valor divisor N durante el estado de bloqueo del PLL.

Phase Locked Loop

El momento del acumulador está sincronizado por la señal VCO (después de la división por N).

Cada vez que se desborde el acumulador, pasa de BAJO a ALTO y el contador N incrementa a $N + 1$.

K es el valor programable que es igual al número de veces que el dispositivo se divide por $N + 1$ en un ciclo de división fraccional completo y

F es el valor que determina el número de ciclos de cada fraccional completo

PLL N-fraccional

F representa el tamaño del contador en el acumulador

(es decir, $F = 16$ significa que el contador es un contador de 4 bits que puede contar desde 0000 hasta 1111)

K es el valor que se añade a este contador al final de cada ciclo de referencia.

Phase Locked Loop

PLL Fraccional Delta Sigma

$\Delta\Sigma$

Paper:

B. Miller; 'A Multiple Modulator Fractional Divider';
IEEE Transactions on Instrumentation and Measurement;
Vol. 40. No.3, June 1991.

PLL Fraccional Delta Sigma

En PLL N-Fraccional se generan bandas laterales o spurs (espolones) en la frecuencia del divisor que se está cambiando.

Cuando el divisor alterna entre el 11 y el 12 cada período de referencia, por ejemplo, aparece un spur en el medio de la f_{ref} .

Estos spurs son indeseables, ya que pueden causar interferencias no deseadas

PLL Fraccional Delta Sigma

También puede aparecer el aumento de la fluctuación de fase (Jitter), y puede surgir cuando la fracción deseada está cerca de 0 o 1 debido a que el ciclo de conmutación se hace muy largo.

Esto mueve el ruido fraccional a las frecuencias bajas, que el PLL no puede filtrar con eficacia.

PLL Fraccional Delta Sigma

Si la fracción deseada es 11.01, por ejemplo, el PLL podría dividir por 11 noventa y nueve veces y 12 una sola vez.

El ruido fraccional sería 1/100 respecto a la f_ref, que es un valor muy por debajo del ancho de banda de bucle y se mostraría directamente como la fluctuación de fase en la salida.

PLL Fraccional Delta Sigma

La técnica de modulación $\Delta\Sigma$ (delta sigma) es capaz de cambiar los componentes de ruido de cuantificación a altas frecuencias, de manera tal que el filtro de buque las pueda eliminar.

El *modulador* como un controlador de la relación de división es utilizado para enfatizar la forma de pasa alto del espectro del spur, *mediante el uso del acumulador de fase digital*.

PLL Fraccional Delta Sigma

El modulador $\Delta\Sigma$ (delta sigma) desplaza el ruido a las frecuencias altas, que le permite al PLL filtrarlos fácilmente, ya que permite commutar rápidamente entre múltiples valores de división con el valor promedio, valor de división que sigue siendo correcto.

PLL Fraccional Delta Sigma

Cuando se utiliza un modulador $\Delta\Sigma$ (delta sigma) con un cuantizador de 3 bits para generar 11.01, por ejemplo, la brecha de realimentación puede tomar cualquier valor de 8 a 14.

El divisor nunca se queda con el mismo ajuste durante más de unos pocos ciclos que mantiene el ciclo corto de conmutación y por lo tanto lleva el ruido a las altas frecuencias.

PLL Fraccional Delta Sigma

Se adiciona una pequeña cantidad de ruido pseudo-random al modulador. Esta se extiende y reduce los spurs fraccionarios impidiendo al divisor entrar en ciclos límite donde el mismo patrón se repite en un corto período de tiempo.

Los tonos espurios se hacen arbitrariamente pequeños con un modulador $\Delta\Sigma$ mediante el aumento de la longitud del patrón de ruido pseudo-aleatorio.

PLL Fraccional Delta Sigma

La estructura del PLL fraccional $\Delta\Sigma$ es la misma del PLL N entero; con el agregado de un modulador delta-sigma para generar el multiplicador fraccional.

El número de bits fraccional puede variar entre 16 y 24 bits.

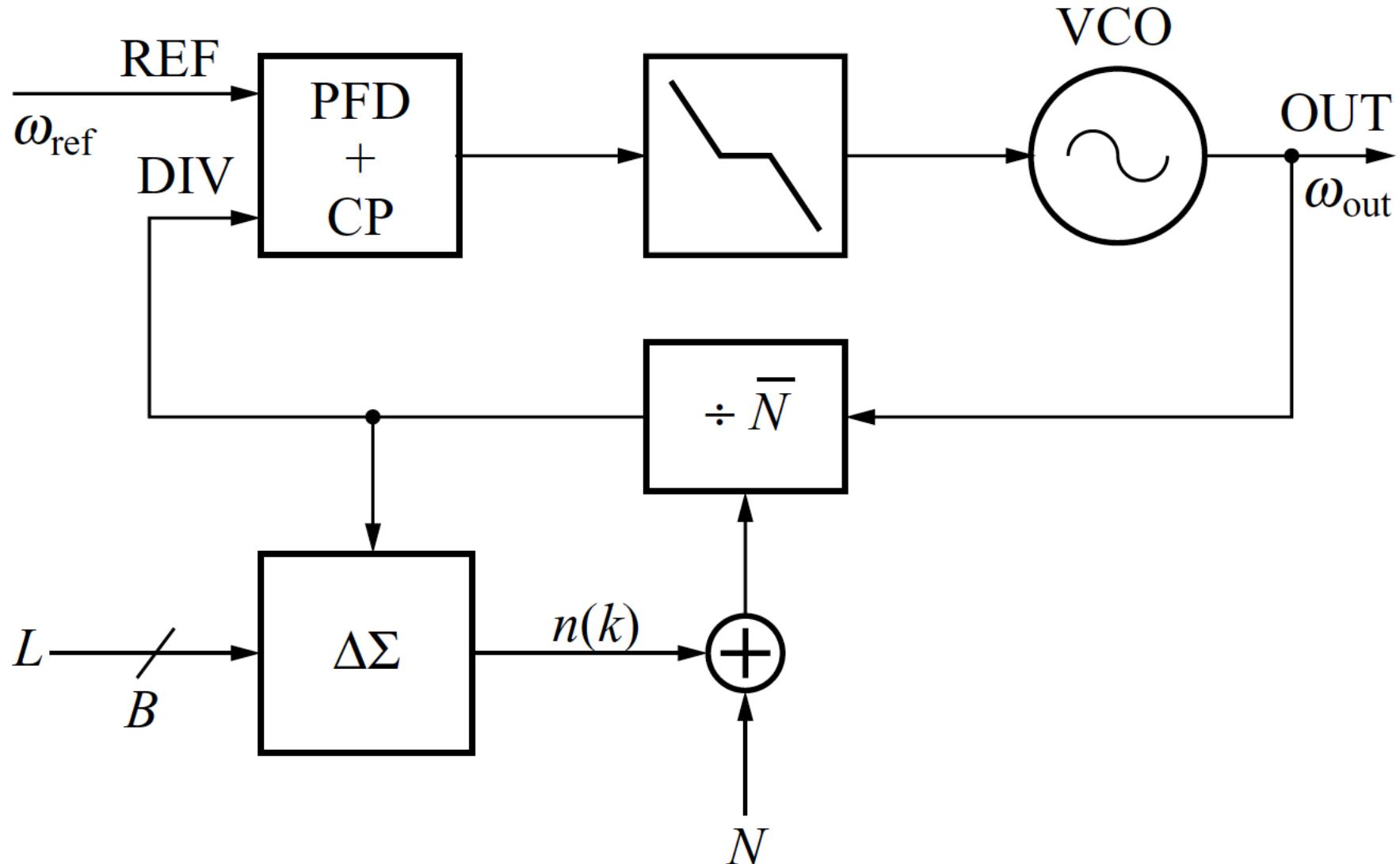
Incrementando el número de bits se puede incrementar la precisión del valor fraccional.

Por ejemplo, una fracción de 16 bits dará cinco lugares a la derecha del punto decimal y 24 bits dará ocho cifras decimales de precisión fraccionaria.

PLL Fraccional Delta Sigma

La adopción de un modulador $\Delta\Sigma$ en un PLL fraccional sería para codificar más eficazmente la secuencia de factor de división, cortando el efecto de spurs, originado por el ruido de cuantificación.

PLL Fraccional Delta Sigma



PLL N-Fraccional con un modulador $\Delta\Sigma$ controlando el divisor

PLL Fraccional Delta Sigma

El modulador $\Delta\Sigma$ es digital.

La señal de entrada es una palabra de B bits dando la parte fraccional del factor de división.

El modulador es un conjunto de acumuladores y retardos.

El divisor controla la frecuencia, y por ende el ruido de cuantización es la frecuencia del ruido.

PLL Fraccional Delta Sigma

El reloj del modulador es la salida del divisor, que es casi igual a la frecuencia de referencia.

La entrada del modulador es una señal digital, una palabra constante de B bits seteando la parte fraccional del factor de división.

Si el valor de entrada es L, la frecuencia de salida PLL, está dada por:

$$\omega_{out} = \omega_{ref} \left(N + \frac{L}{2^B} \right) \quad \omega_{STEP} = \omega_{ref} / 2^B$$

PLL Fraccional Delta Sigma

El valor de B se determina por la longitud de los acumuladores, de modo que la resolución puede ser muy alta.

Para B = 16 y una entrada de referencia de 10 MHz, el paso mínimo es:

$$\omega_{STEP} = \omega_{ref} / 2^B = 10MHz / 2^{16} = 152.58789$$

Es posible ajustar la frecuencia con la precisión requerida por las normas tales como el GSM.

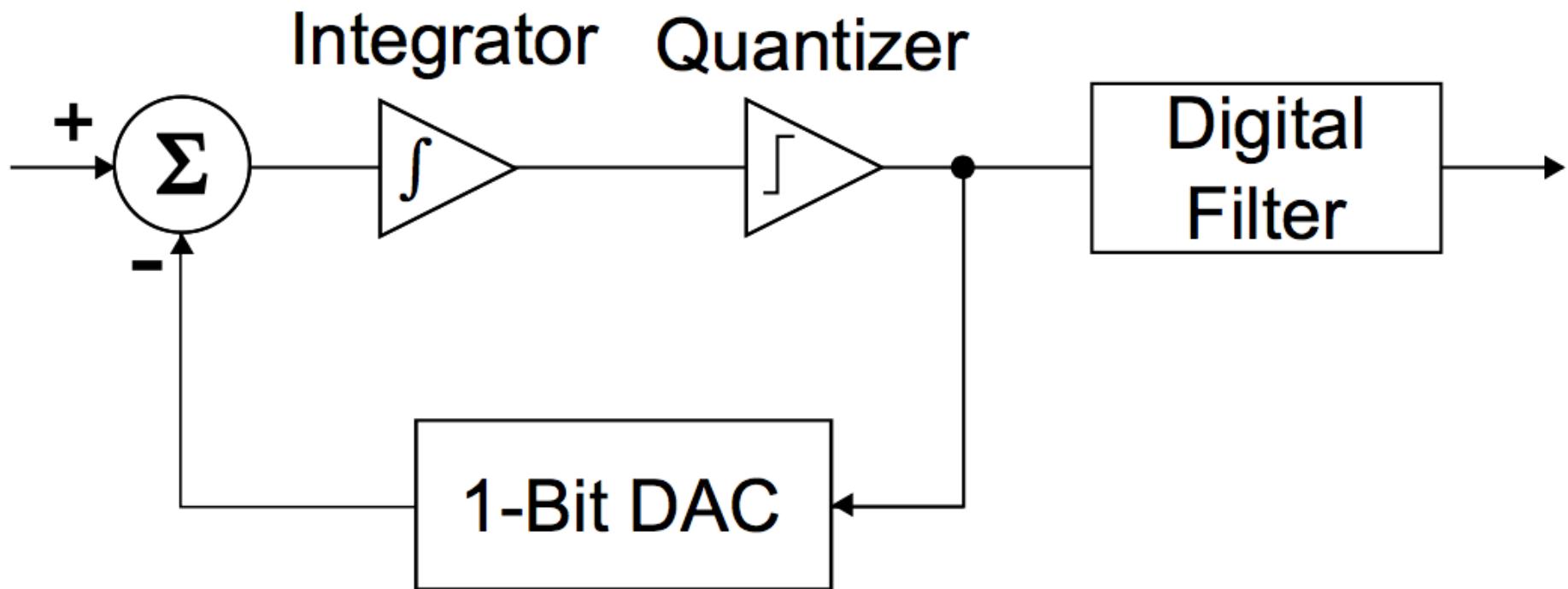
PLL Fraccional Delta Sigma

La salida del modulador $\Delta\Sigma$ generalm. no es una palabra de un bit.

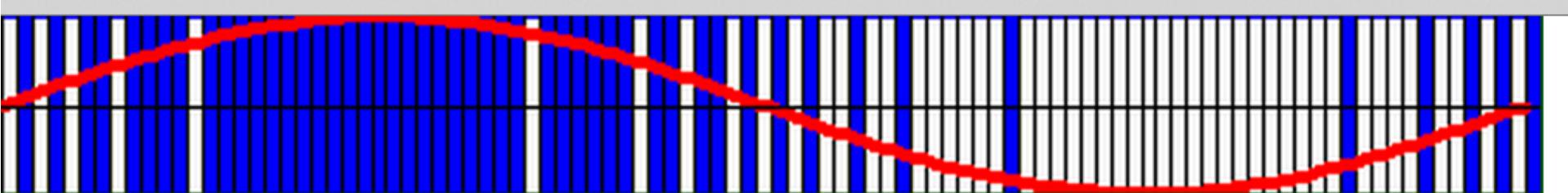
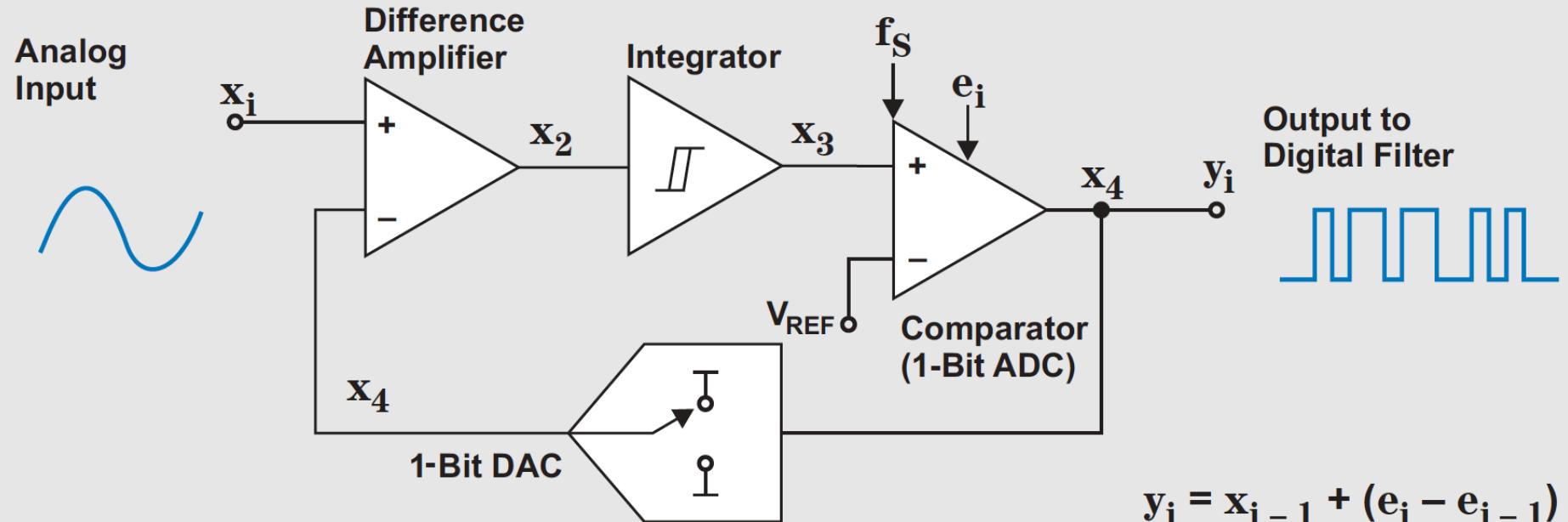
Por ejemplo, se están utilizando moduladores $\Delta\Sigma$ de tercer orden (tres integradores) donde la salida del modulador tiene $2^3 = 8$ niveles y el factor de división puede ser comutado entre todos los integradores en el rango N-3 hasta N+4.

Los m bits del modulador se añaden a la palabra controlar el divisor programable.

Delta Sigma Modulator

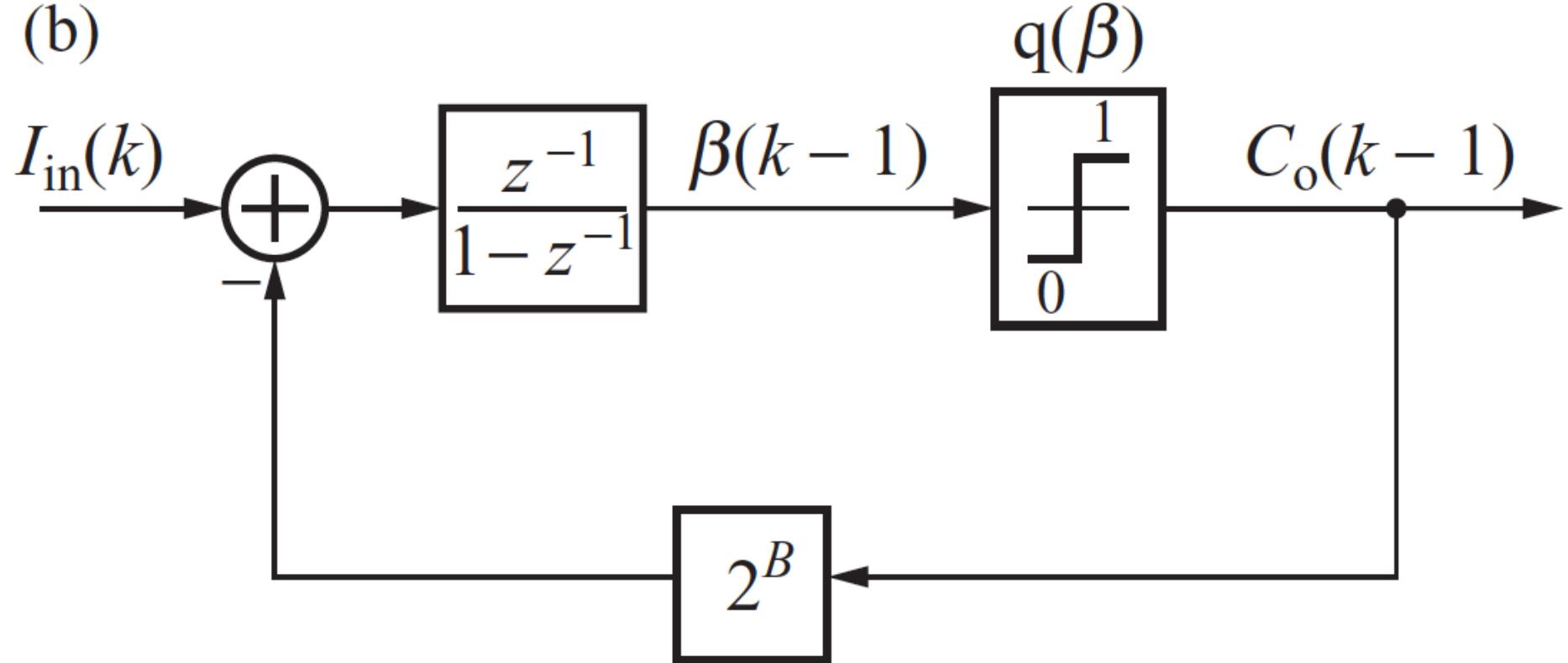


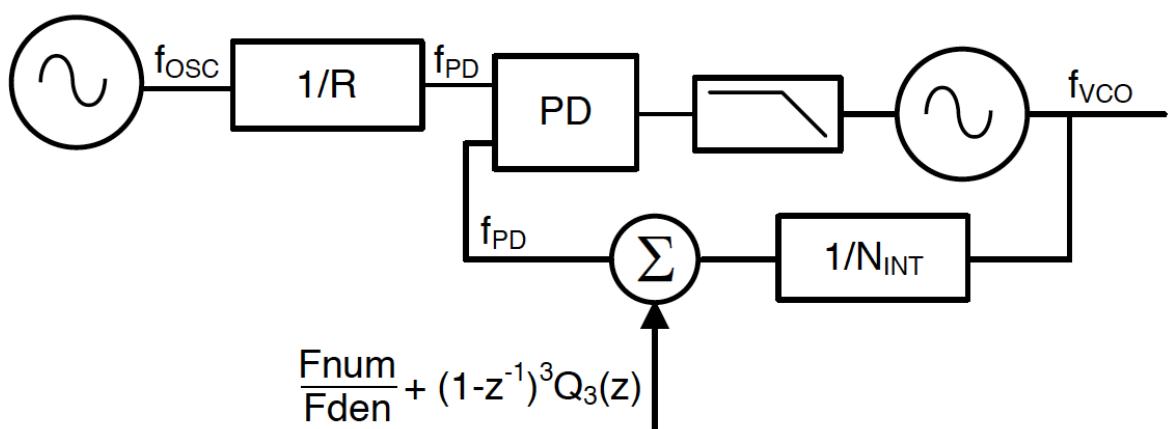
Delta Sigma Modulator



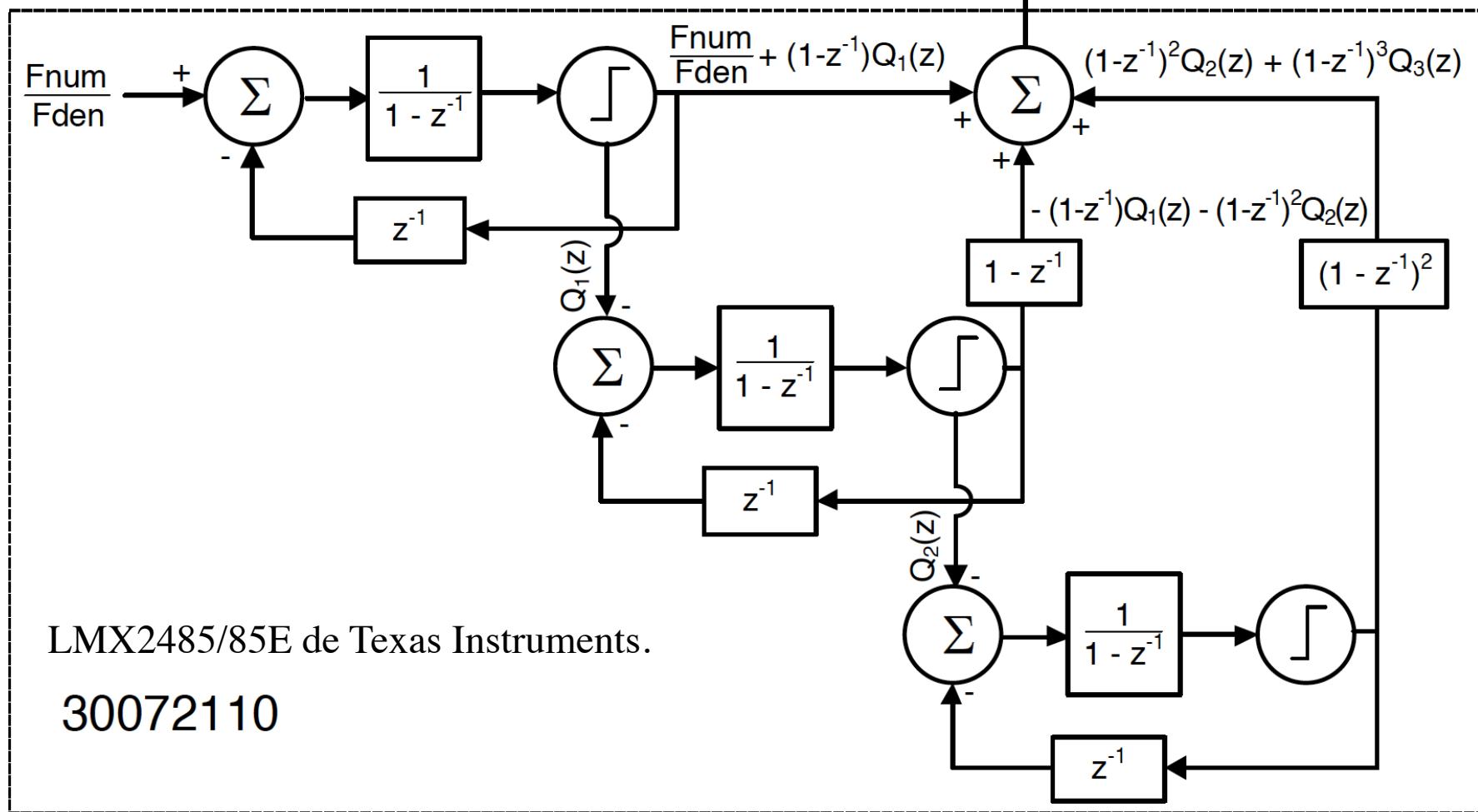
Delta Sigma Modulator

(b)





$$\frac{F_{\text{num}}}{F_{\text{den}}} + (1-z^{-1})^3 Q_3(z)$$



LMX2485/85E de Texas Instruments.

30072110

Phase Locked Loop

Ruido de fase en el PLL

El espectro de salida de un sintetizador de frecuencia siempre está dañado por el ruido con varias dependencias de frecuencia y de tonos, llamados spurs, colocado en compensaciones específicas de la señal sintetizada.

El ruido y los spurs tienen orígenes diferentes, pero ambos son pequeñas señales que afectan a la fase de la señal de salida.

Phase Locked Loop

Contribuyentes al ruido de fase:

Oscilador de referencia,
VCO,
Resistencias del filtro de bucle,
Divisores,
Detector de fase y
Bomba de carga.

Los spus fraccionales son causados por los armónicos de la señal de corriente entregado por la bomba de carga, y se minimizan (casi anulan) en el modulador $\Delta\Sigma$.

Phase Locked Loop

Aplicaciones del PLL

Sintetizadores

Recuperación de portadora

Recuperación de portadora

Moduladores

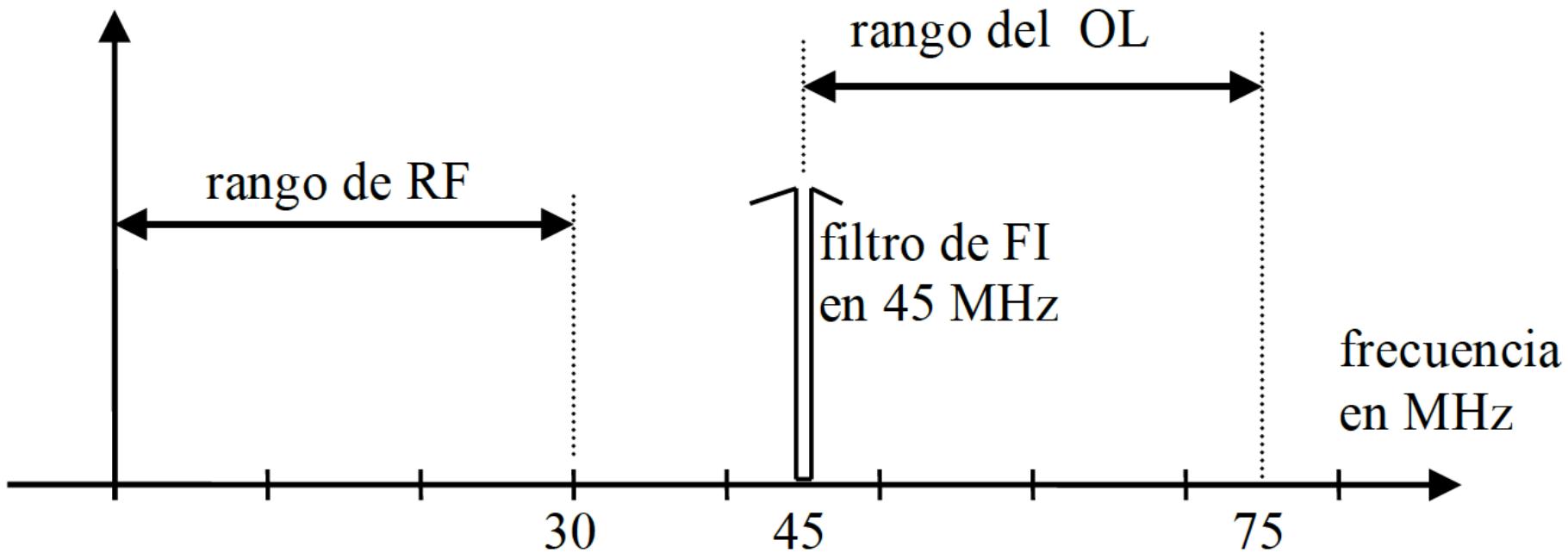
Demoduladores

Recuperación de ciclos de reloj

Sintetizador de HF

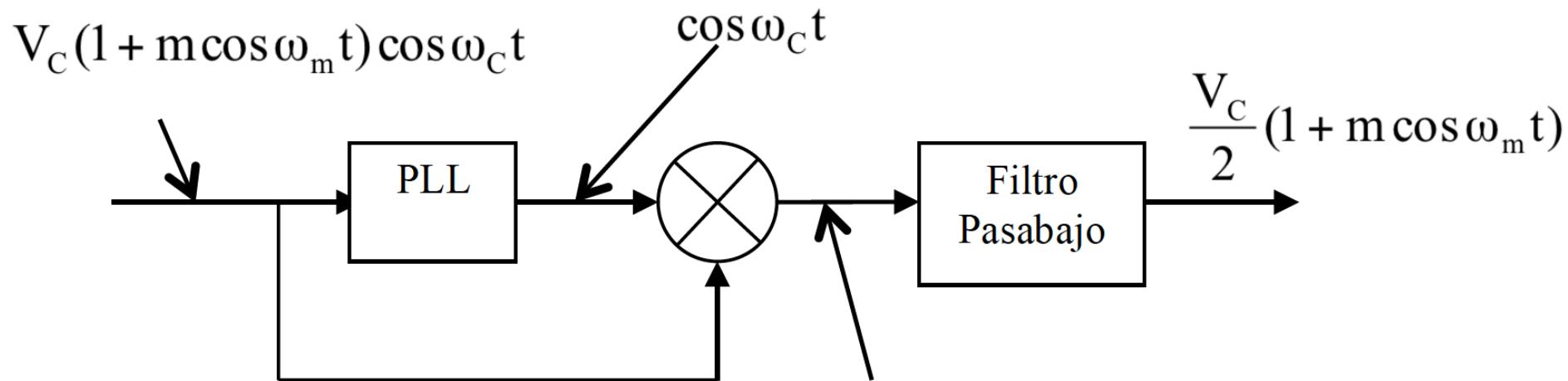
En los receptores HF (0.1 a 30MHz) se usa una primera FI alta, por ejemplo 45MHz o mayor, fuera de la banda de recepción, y un OL por encima de la FI, resultando que varíe menos de una octava. Se usa una resolución de 100Hz o menor para clarificar señales de BLU apropiadamente.

Sintetizador de HF



Phase Locked Loop

Receptor homodino o sincrodino



$$V_C(1 + m \cos \omega_m t) \cos \omega_c t \cos \omega_c t = V_C(1 + m \cos \omega_m t) \left(\frac{1}{2} \cos 2\omega_c t + \frac{1}{2} \right)$$

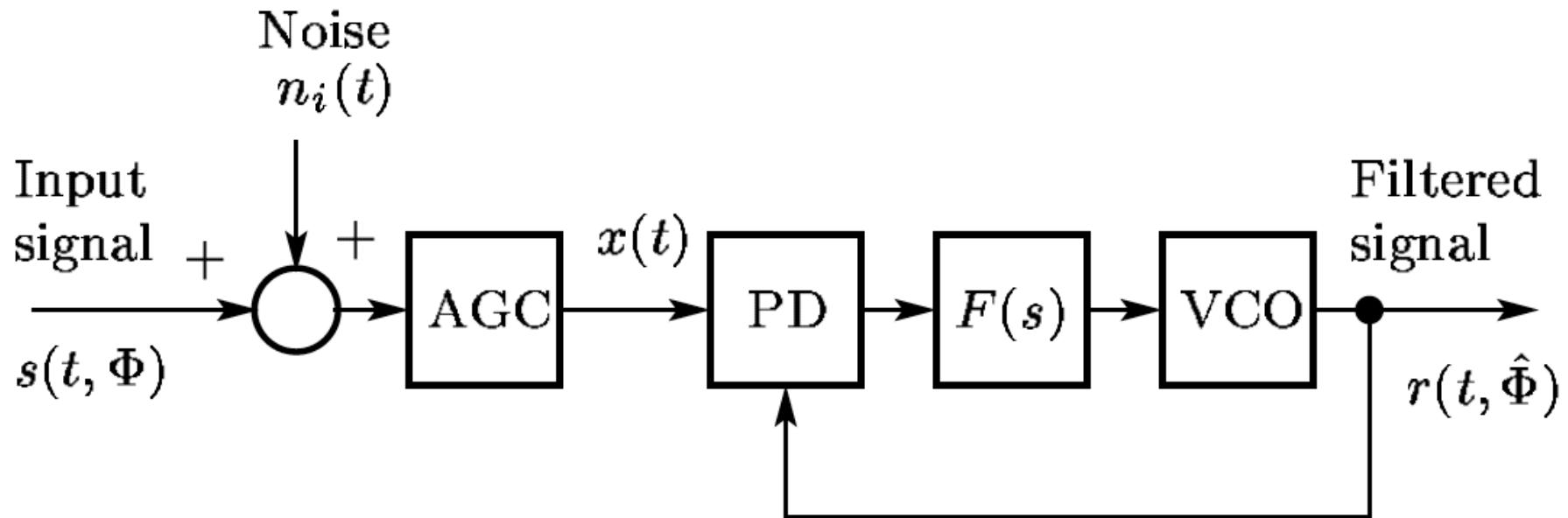
Phase Locked Loop

Recuperación de la portadora

El circuito de recuperación de portadora en CW es un filtro de paso de banda de seguimiento de banda estrecha implementado por un PLL

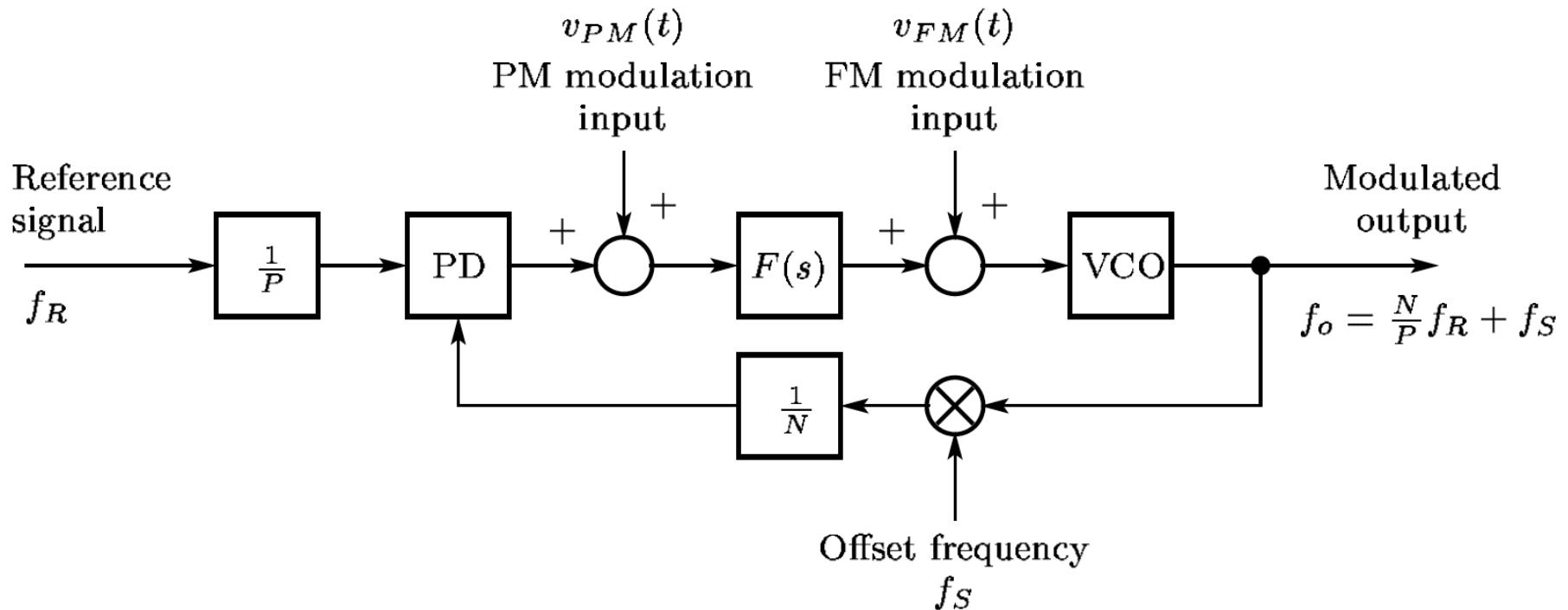
Phase Locked Loop

Recuperación de la portadora



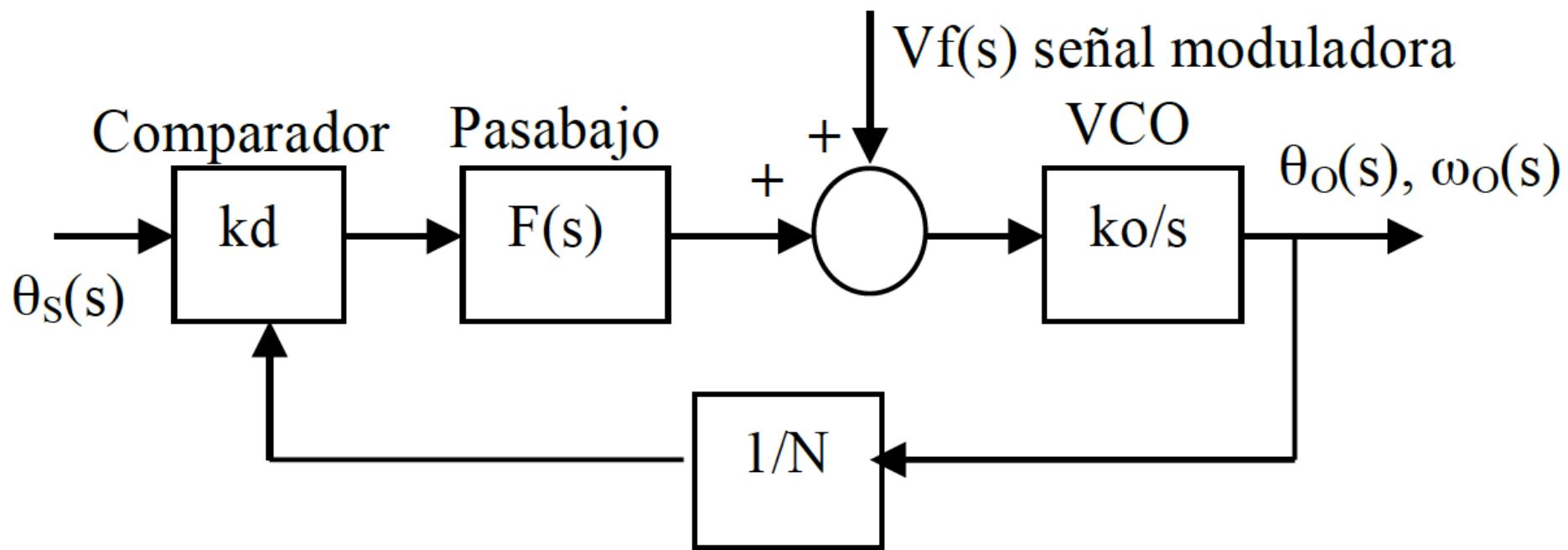
Phase Locked Loop

Sintetizador y modulador angular



Phase Locked Loop

Modulador de frecuencia



Phase Locked Loop

Modulador de frecuencia con filtro RC

Si la frecuencia de la señal moduladora V_f es mucho mayor que la frecuencia de corte de $H(s)$, el lazo no reaccionará, la salida del filtro pasabajos no variará, por lo tanto se comportará como un modulador de frecuencia, esto es

$$\omega_0(s) = k_0 V_f(s) .$$

Phase Locked Loop

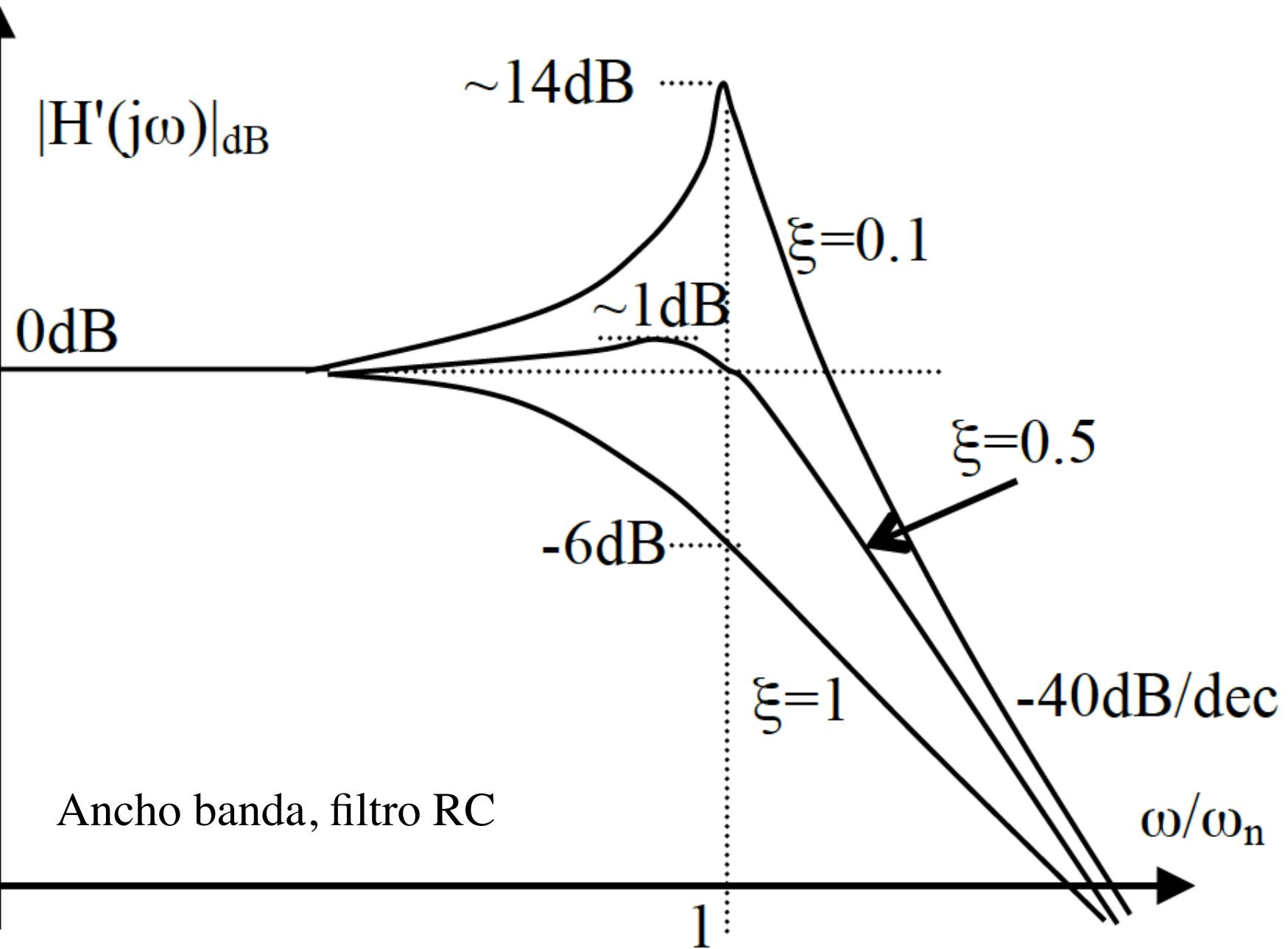
Modulador de frecuencia con filtro RC

$$H(s) = N \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad \text{Normalizando}$$

$$H'(s) = \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

$$H'(s) = \frac{\frac{k_d k_o}{sN} F(s)}{1 + \frac{k_d k_o}{sN} F(s)}$$

$$1 - H'(s) = \frac{s}{s + \frac{k_d k_o}{N} F(s)}$$



Phase Locked Loop

$$\frac{\theta_O(s)}{V_f(s)} = \frac{\frac{k_O}{s}}{1 + \frac{k_d k_O}{sN} F(s)} = \frac{k_O}{s + \frac{k_d k_O}{N} F(s)} = \frac{k_0}{s} [1 - H'(s)]$$

Como $\omega_O(s) = s\theta_O(s)$

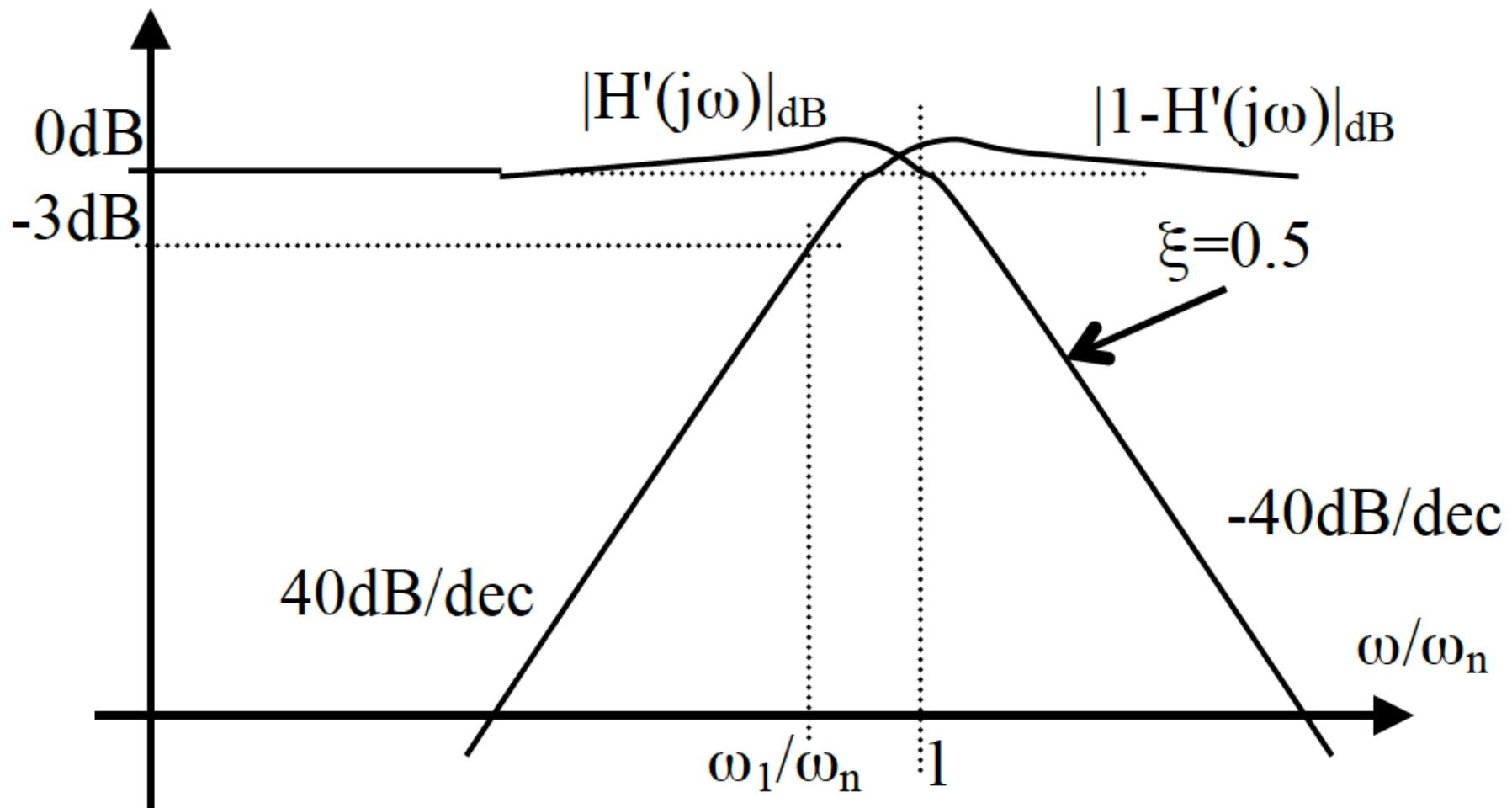
$$\frac{\omega_O(s)}{V_f(s)} = k_0 [1 - H'(s)]$$

Phase Locked Loop

Si la frecuencia de modulación es mucho mayor que la frecuencia de corte del modulador, esto es $\omega_{\text{mod}} \gg \omega_1$, la ganancia del modulador vale

$$\frac{\omega_o}{V_f} = k_o$$

Phase Locked Loop



Modulación en frecuencia. Ancho de banda

Phase Locked Loop

Para modulación de frecuencia sin distorsión, se debe cumplir que $\omega_{mod} \text{ (mín)} > \omega_1$.

ω_1 es del orden de la frecuencia natural del lazo ω_n .

Phase Locked Loop

Modulador de fase con filtro RC

Si la frecuencia de la señal moduladora es << que la frecuencia de corte del lazo $H(s)$, el lazo reacciona muy rápido manteniendo la frecuencia de salida, pero la fase se modifica para compensar el efecto de V_f .

Phase Locked Loop

$$\frac{\theta_o(s)}{V_f(s)} = \frac{k_0}{s} [1 - H'(s)] = \frac{k_0}{s} \left(1 - \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \right)$$

$$= k_o \frac{s + 2\xi\omega_n}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

$$\frac{\theta_o(s)}{V_f(s)} = \frac{k_o}{\omega_n^2} \frac{(s + 2\xi\omega_n) \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} = \frac{2\xi k_o}{\omega_n} H'(s) \left(1 + \frac{s}{2\xi\omega_n} \right)$$

Phase Locked Loop

Para modulación de fase sin distorsión, se debe cumplir que $\omega_{\text{mod}} (\text{máx}) < \omega_1$.

ω_1 es del orden de la frecuencia natural del lazo ω_n .

La ganancia del modulador de fase para frecuencias bajas de modulación es

$$\frac{\theta_o(s)}{V_f(s)} = \frac{2\xi k_o}{\omega_n}$$

Phase Locked Loop

Para filtro $F(s) = RC$

$$\xi = \frac{\omega_n}{2k_d k_0}$$

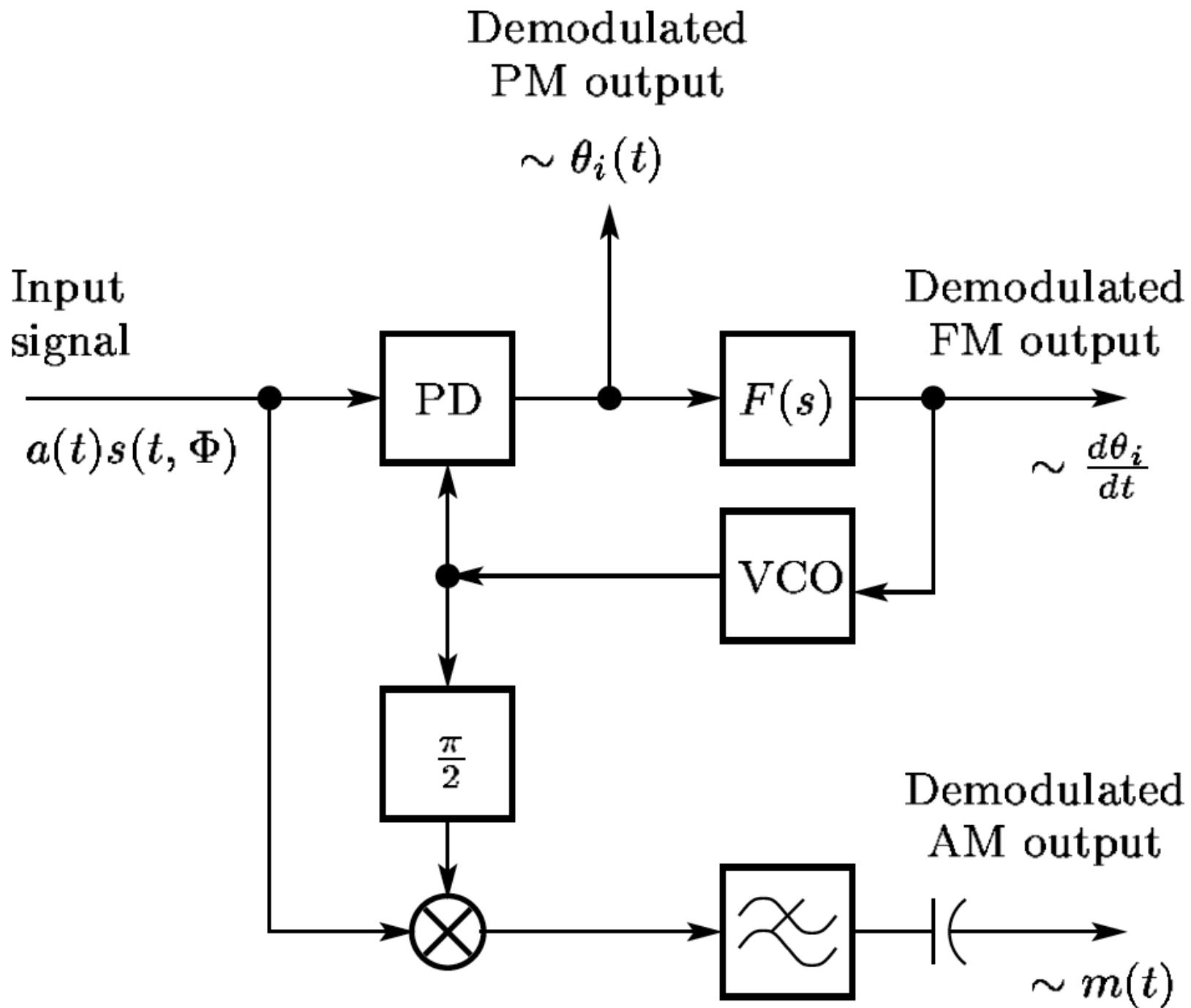
Por lo tanto

$$\frac{\theta_o}{V_f} = \frac{N}{k_d}$$

Phase Locked Loop

Demodulación coherente

Un diagrama en bloques para demodulación coherente de PM, FM, AM puede ser:



Phase Locked Loop

Demodulación coherente AM

$$x(t) = [1 + m(t)] \sqrt{2} A \sin(\omega_i t + \theta_{i0})$$

Donde $m(t)$ lleva la información y
 A , ω_i y θ_{i0} son constantes.

El demodulador PLL contiene

- ✓ Recuperación de la portadora y
- ✓ Demodulador de AM (multiplicador analógico y FPB).

Phase Locked Loop

Debido a que el PLL necesita una señal de entrada para ser rastreados continuamente, el espectro de la señal AM debe contener una componente de la portadora.

La portadora es recuperada por el PLL. Su VCO de salida es

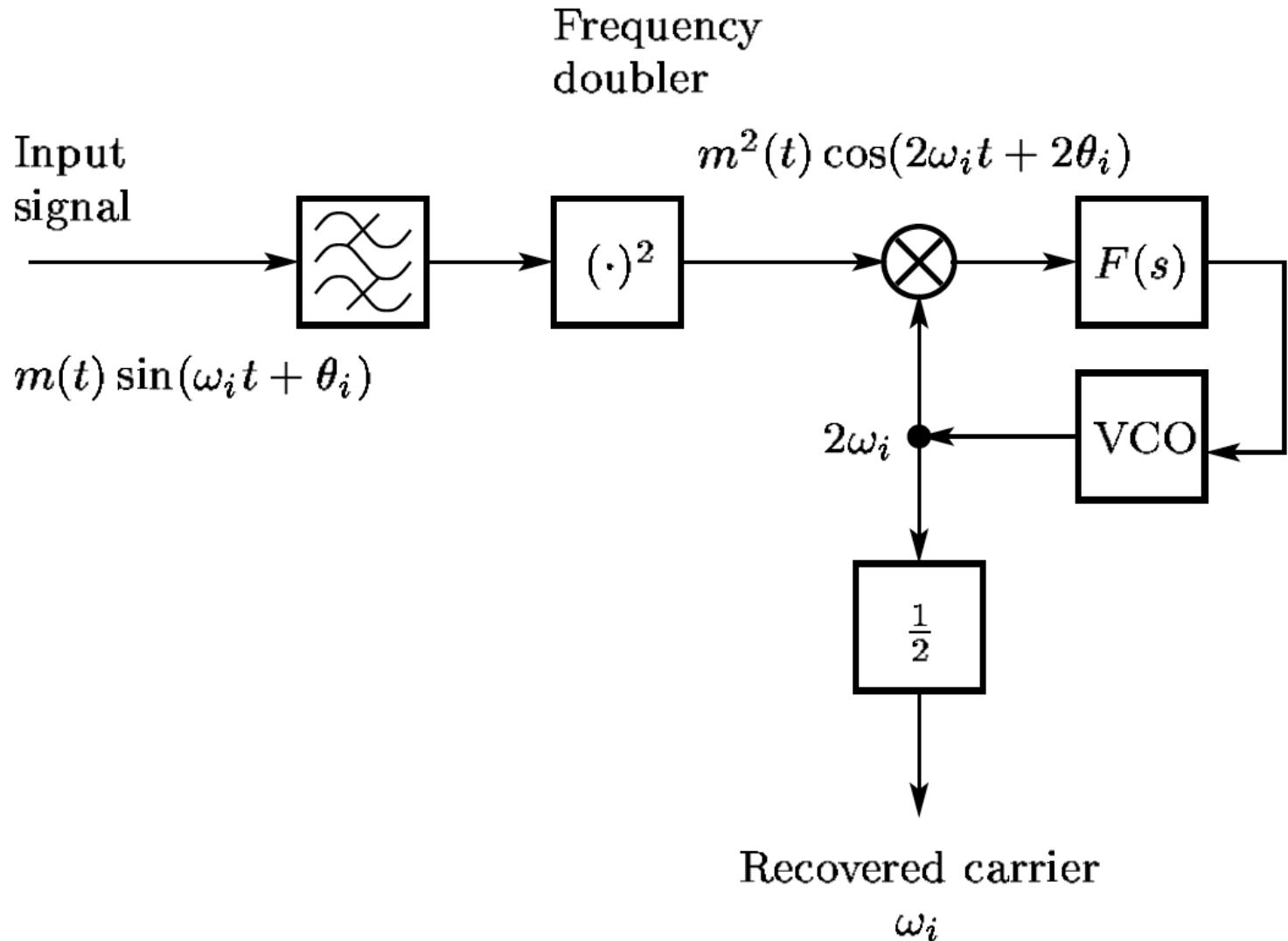
$$r(t, \hat{\Phi}) = \sqrt{2}V_o \cos(\omega_i t + \theta_{i0})$$

La señal demodulada es:

$$AV_o m(t)$$

Phase Locked Loop

Lazo cuadrático con PLL. Circuito doblador de frecuencia.



Phase Locked Loop

$$v_i(t) = m(t) \sin(\omega_i t + \theta_i)$$

$$v_x(t) = v_i^2(t) = \frac{1}{2}m^2(t)[1 - \cos(2\omega_i t + 2\theta_i)]$$

Debido a que

$$m(t) = \pm 1, m^2(t) = 1$$

$$v_x(t) \approx \cos(2\omega_i t + 2\theta_i)$$

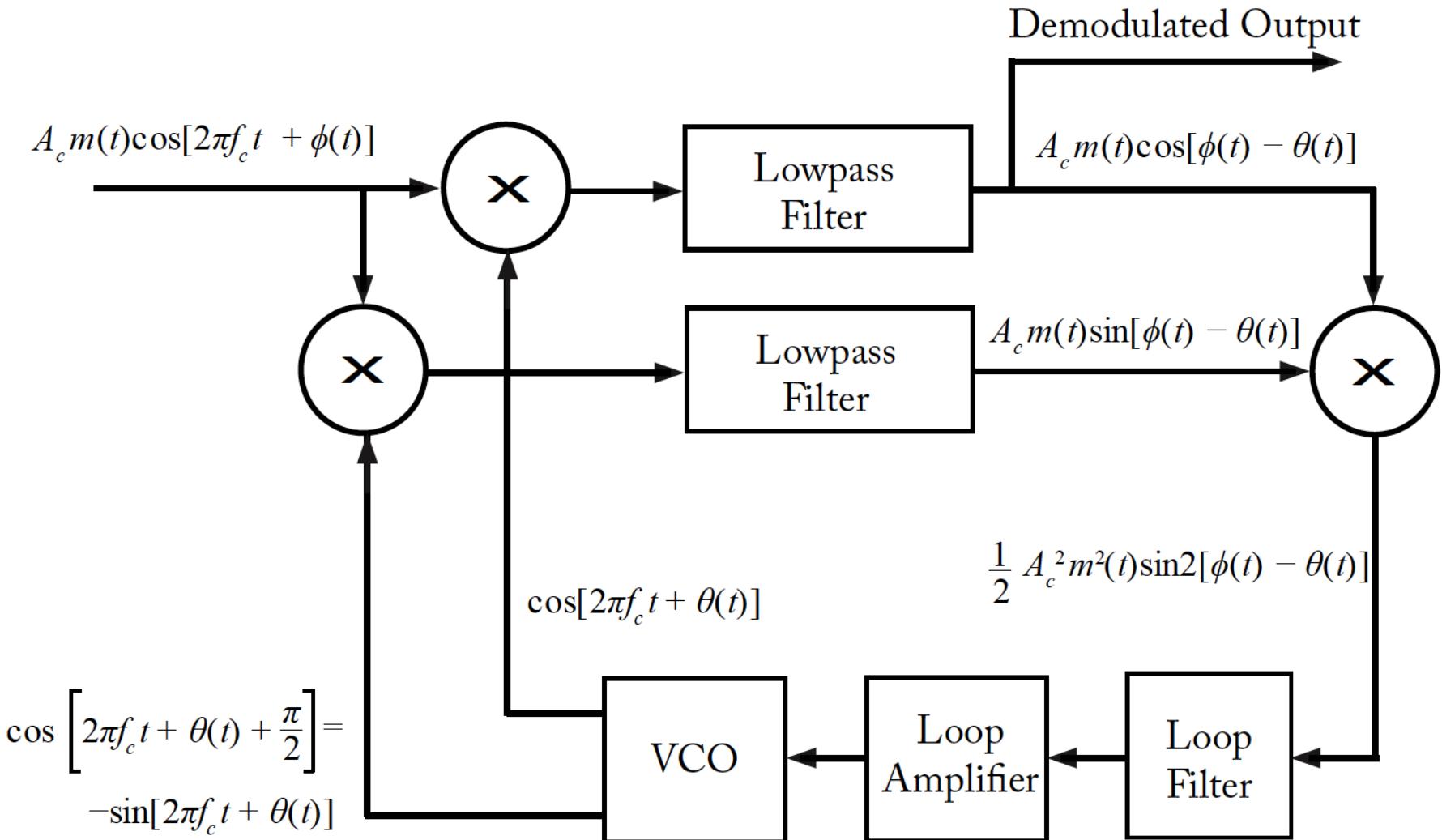
Phase Locked Loop

Costas PLL

Consiste de dos unidades en cuadratura.

El Costas PLL puede ser utilizado como demodulador para DSB/SC (Double Sideband Supressed Carrier) en comunicaciones analógicas o BPSK (Binary Phase Shift Keyed) en comunicaciones digitales.

Phase Locked Loop



Phase Locked Loop

Modulación BPSK con Costas PLL

$$V_{VCO} = 2 \cos(\omega_i t + \theta_o)$$

La salida de los filtros pasa bajos en los brazos Q e I son

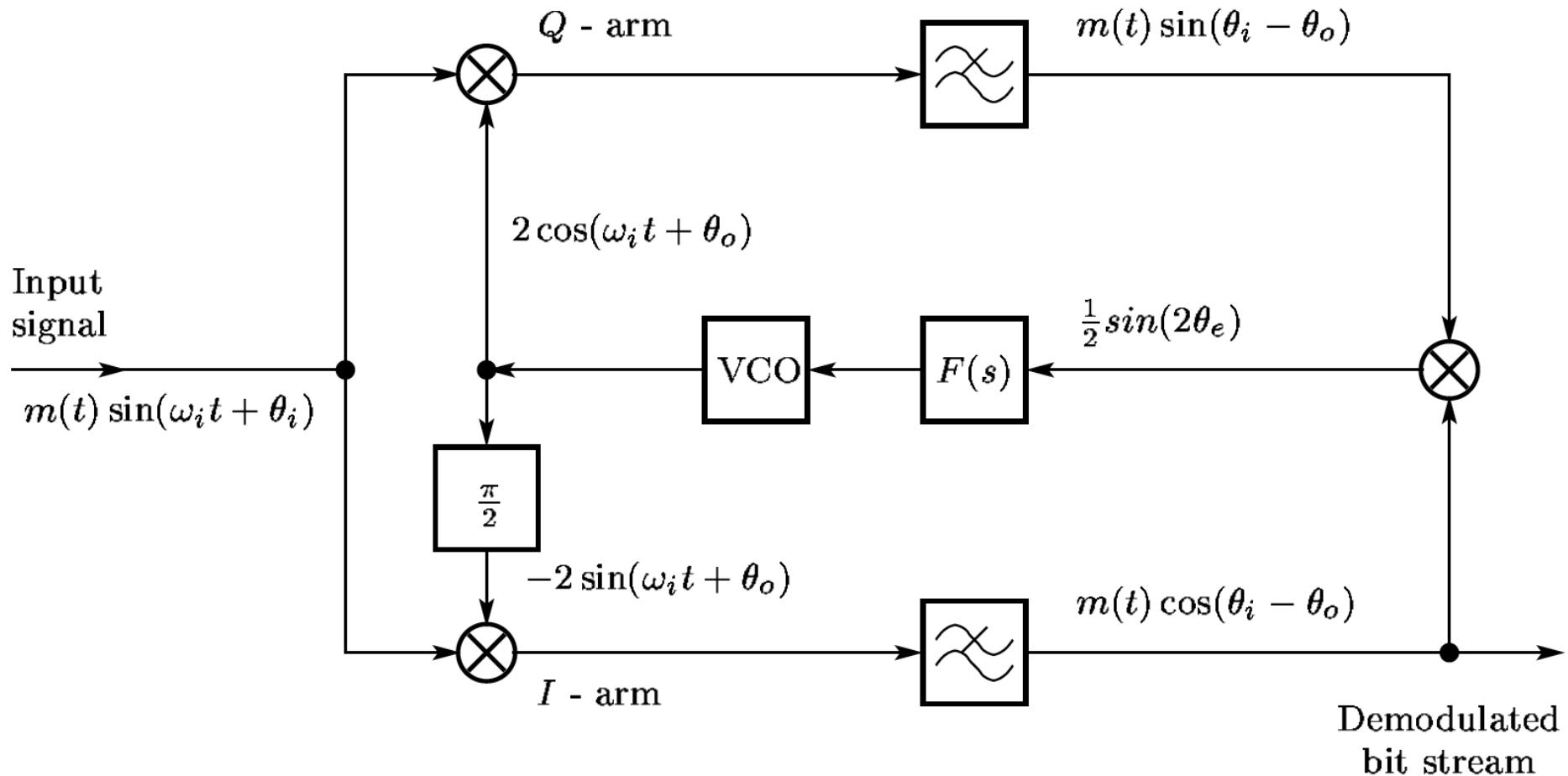
$$m(t) \sin(\omega_i t + \theta_o) \quad m(t) \cos(\omega_i t + \theta_o)$$

Teniendo en cuenta que $m^2(t) = 1$, la salida del multiplicador de banda base es

$$\frac{1}{2} m^2 \sin[2(\theta_i - \theta_o)] = \frac{1}{2} \sin(2\theta_e)$$

$$m(t) \cos(\theta_i - \theta_o) \approx m(t) \quad \text{Error fase chico}$$

Phase Locked Loop



Phase Locked Loop

Ejemplos

Phase Locked Loop

Diseño de PLL para una banda de 450-475MHz con las siguientes especificaciones:

Rango de frecuencia: 450-475MHz

Espaciamiento del canal: 25kHz

Modulación: FM de 300 a 3kHz

Desviación de la modulación: +/-5kHz

Tipo de lazo: Tipo 2

Orden del lazo: Segundo orden

Ganancia del VCO: $K_o = 1.25\text{MHz/V} = 7.854 \text{ Mradians/sec./V}$

Detector de fase tipo: PFD ($\beta = 2\pi$)

Ganancia del detector de fase: $K_d = 0.796 \text{ V/radian}$

Phase Locked Loop

Solución:

La solución será con un PLL con prescaler de doble módulo o el PLL N-fraccional.

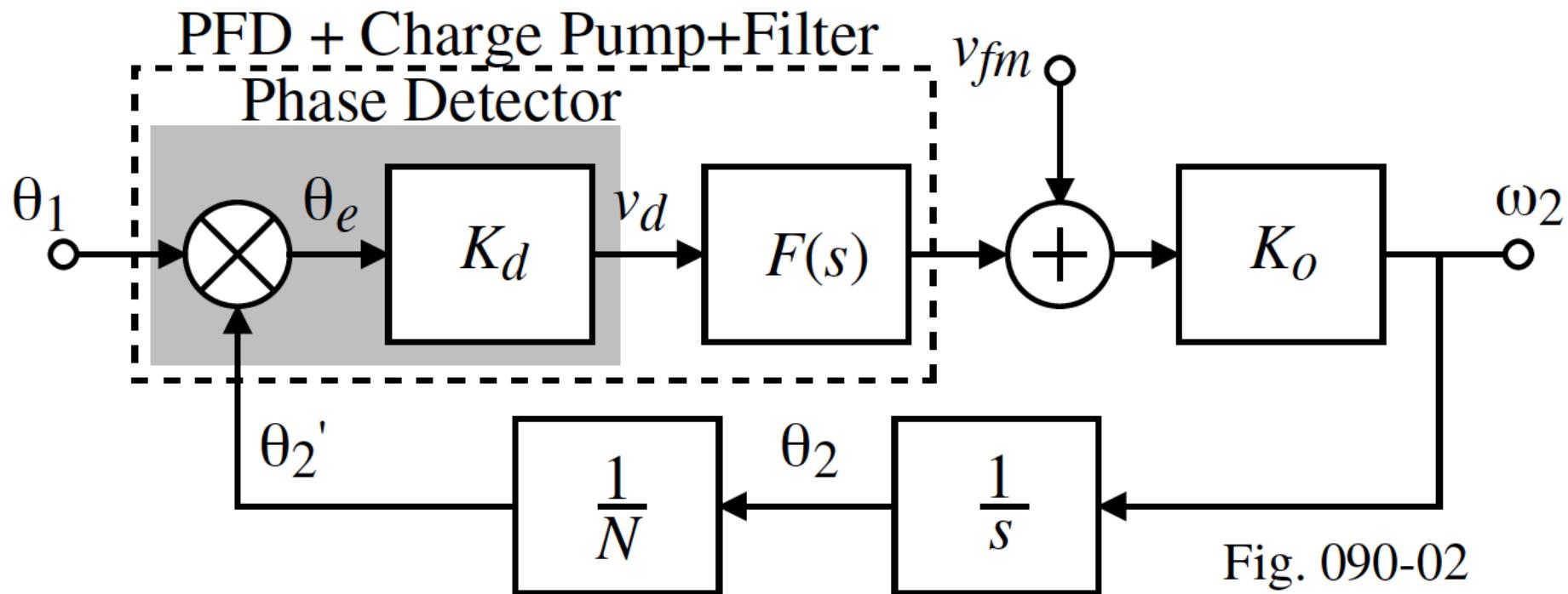
Notas sobre el espaciamiento del canal:

Regla de Carson → BW de una señal

$$\text{FM es} \approx 2[\Delta f_c + f_m(\text{max})] = 2(\pm 5\text{kHz} + 3\text{kHz}) = 16\text{kHz}$$

Si asumimos una guarda de banda de 9 kHz, entonces
Espaciamiento del canal = 9 kHz + 16 kHz = 25 kHz

Phase Locked Loop



Phase Locked Loop

Función transferencia del modulador

$$\frac{\omega_2(s)}{V_{fm}(s)}$$

$$\omega_2(s) = K_0 \left[V_{fm}(s) + F(s) K_d \left(\theta_1 - \frac{\omega_2(s)}{sN} \right) \right]$$

$$= K_0 \left[V_{fm}(s) + F(s) K_d \theta_1 - \frac{F(s) K_d}{sN} \omega_2(s) \right]$$

Si hacemos $\theta_1 = 0$ entonces

Phase Locked Loop

$$\frac{\omega_2(s)}{V_{fm}(s)} = \frac{K_0}{1 + \frac{F(s)K_dK_0}{sN}}$$

Función de transferencia CP+ FPB:

$$F(s) = \frac{1 + \tau_2 s}{\tau_1 s}$$

$$\frac{\omega_2(s)}{V_{fm}(s)} = \frac{K_0}{1 + \frac{(1 + \tau_2 s)K_dK_0}{s^2 N \tau_1}} = \frac{s^2 K_0}{s^2 + \frac{K_d K_0 \tau_2}{N \tau_1} s + \frac{K_d K_0}{N \tau_1}} = \frac{s^2 K_0}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

Phase Locked Loop

$$\frac{\omega_2(s)}{V_{fm}(s)} = \frac{s^2 K_0}{s^2 + \frac{K_d K_0 \tau_2}{N \tau_1} s + \frac{K_d K_0}{N \tau_1}} = \frac{s^2 K_0}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

$$\xi = \frac{\tau_2}{2} \sqrt{\frac{K_d K_0}{N \tau_1}}$$

$$\omega_n = \sqrt{\frac{K_d K_0}{N \tau_1}}$$

Phase Locked Loop

Parámetros del lazo:

1) Relación de división

$$N_{\min} = \frac{450 \text{ MHz}}{25 \text{ KHz}} = 18.000$$

$$N_{\max} = \frac{475 \text{ MHz}}{25 \text{ KHz}} = 19.000$$

2) Ancho de banda del lazo

Para pasar el límite de frecuencia 300Hz inferior, es necesario que la frecuencia máxima de -3 dB sea 300Hz.

Por lo tanto, BL = 300Hz.

Phase Locked Loop

3) Constante de amortiguamiento

Se selecciona $\xi = 0.707$. Se verifica si es consistente con el diseño

$$\xi = \frac{\tau_2}{2} \sqrt{\frac{K_d K_0}{N \tau_1}} \rightarrow \xi = \frac{k}{\sqrt{N}}$$

$$\xi_{\max} = \frac{k}{\sqrt{N_{\min}}} \quad \xi_{\min} = \frac{k}{\sqrt{N_{\max}}} \quad \xi_{\max} = \xi_{\min} \frac{\sqrt{N_{\max}}}{\sqrt{N_{\min}}} = 1.0274 \xi_{\min}$$

Phase Locked Loop

3) Constante de amortiguamiento

$$\xi = \sqrt{\xi_{\max} \xi_{\min}} = 0.707$$

$$\xi_{\min}^2 (1.0274) = 0.5 \quad \rightarrow \xi_{\min} = 0.6976$$

$$\rightarrow \xi_{\max} = 1.0274 * 0.6976 = 0.7167$$

Phase Locked Loop

4) Frecuencia natural

$$\omega_{-3dB} = \omega_n \sqrt{2\xi^2 + 1 + \sqrt{(2\xi^2 + 1)^2 + 1}}$$

$$\omega_n = \frac{\omega_{-3dB}}{\sqrt{2\xi^2 + 1 + \sqrt{(2\xi^2 + 1)^2 + 1}}}$$

Para máximo $\omega_n \rightarrow$ mínimos valores de N y ξ

$$\omega_{n_max} = \frac{\omega_{-3dB}}{\sqrt{2\xi_{min}^2 + 1 + \sqrt{(2\xi_{min}^2 + 1)^2 + 1}}}$$

Phase Locked Loop

$$\omega_{n_max} = \frac{2\pi 300}{\sqrt{2(0.6976)^2 + 1} + \sqrt{(2(0.6976)^2 + 1)^2 + 1}} = 980 \text{ rad/s}$$

$$\omega_{n_min} = \frac{\omega_{-3dB}}{\sqrt{2\xi_{max}^2 + 1} + \sqrt{(2\xi_{max}^2 + 1)^2 + 1}} = 910 \text{ rad/s}$$

$$\omega_n = \sqrt{\omega_n(\max)\omega_n(\min)} = 944 \text{ rad/s}$$

Phase Locked Loop

Resumen

Frequency (MHz)	N	ω_n (rads./sec.)	ζ	Bandwidth (Hz)
450.00	18,000	910	0.7167	300
475.00	19,000	980	0.6976	300

Diseño del filtro de lazo

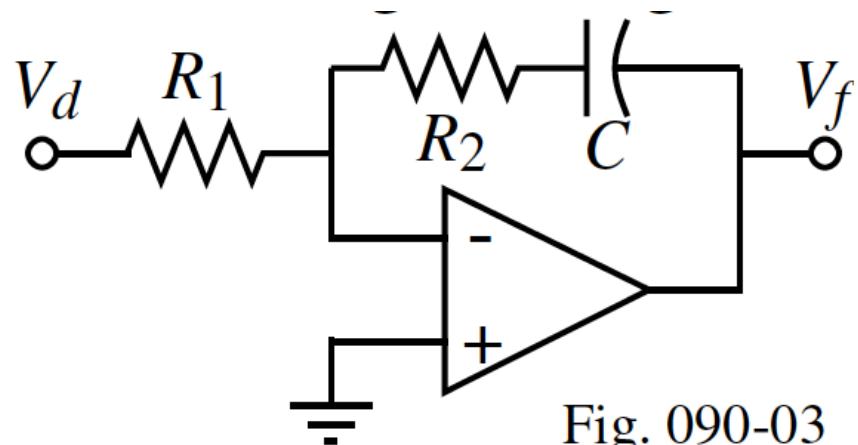


Fig. 090-03

Phase Locked Loop

$$F(s) = \frac{sR_2C + 1}{sR_1C} = \frac{s\tau_2 + 1}{s\tau_1} \rightarrow \tau_1 = R_1C \quad \tau_2 = R_2C$$

Para el cálculo de las constantes de tiempo del filtro, usamos el dato N=18000

$$\tau_1 = \frac{K_d K_0}{N \omega_n^2} = \frac{0.796 * 7.854 \cdot 10^6}{18000 (910)^2} = 0.419ms$$

$$\tau_2 = \frac{2\xi}{\omega_n} = \frac{2 * 0.7167}{910} = 1.575ms$$

Phase Locked Loop

Estabilidad del lazo

La ganancia de lazo para N=18000 está dada por:

$$LG(s) = \frac{K_d K_0 F(s)}{Ns} = \frac{K(1 + \tau_2 s)}{\tau_1 N s^2} = \frac{7.854 \times 10^6 * 0.796 * (1 + 1.575 \times 10^{-3} s)}{0.419 \times 10^{-3} * 18000 s^2}$$

$$LG(s) = \frac{828.83 \times 10^3 (1 + 1.575 \times 10^{-3} s)}{s^2}$$

Phase Locked Loop

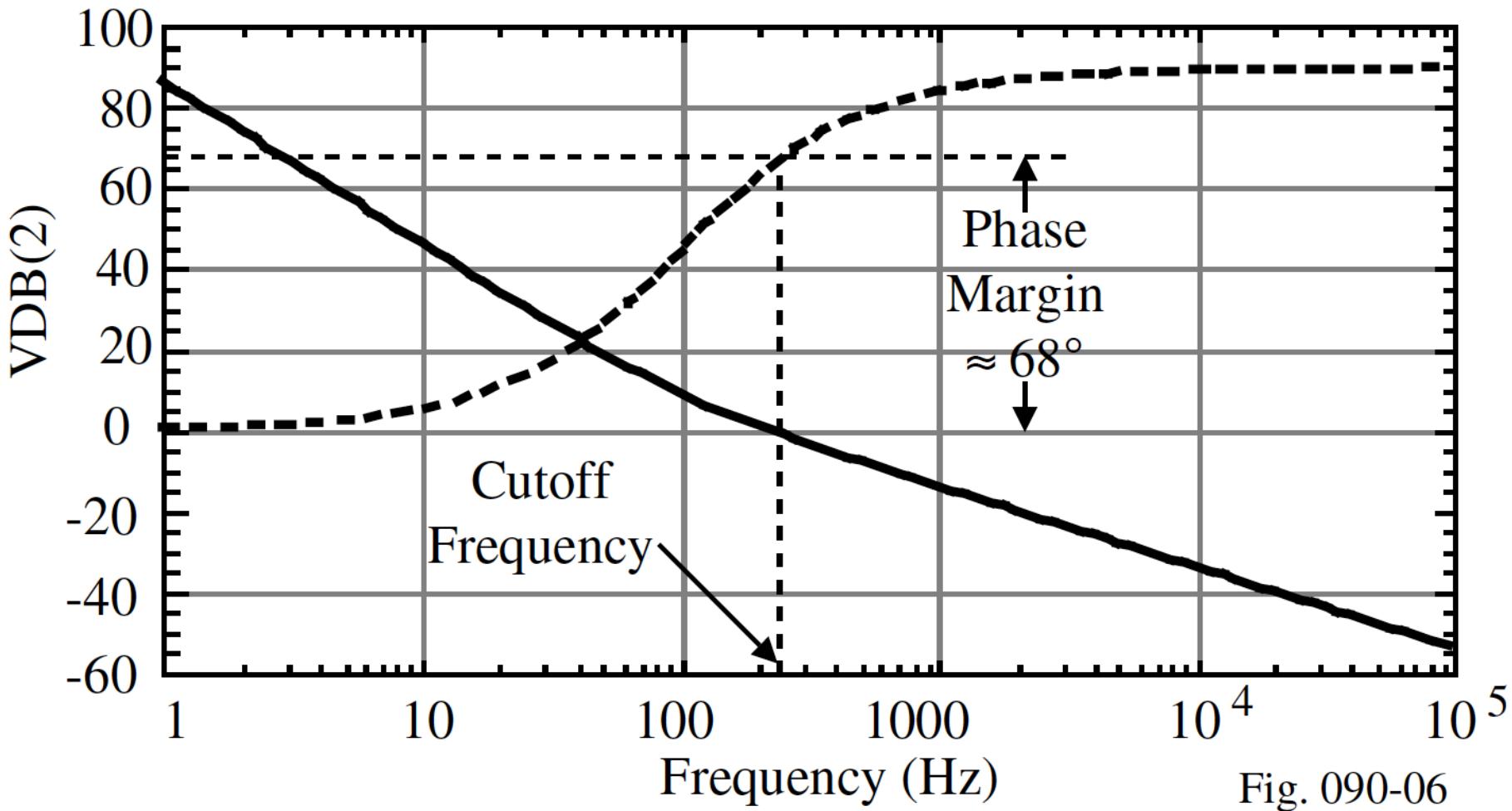


Fig. 090-06

Plot de la función de transferencia

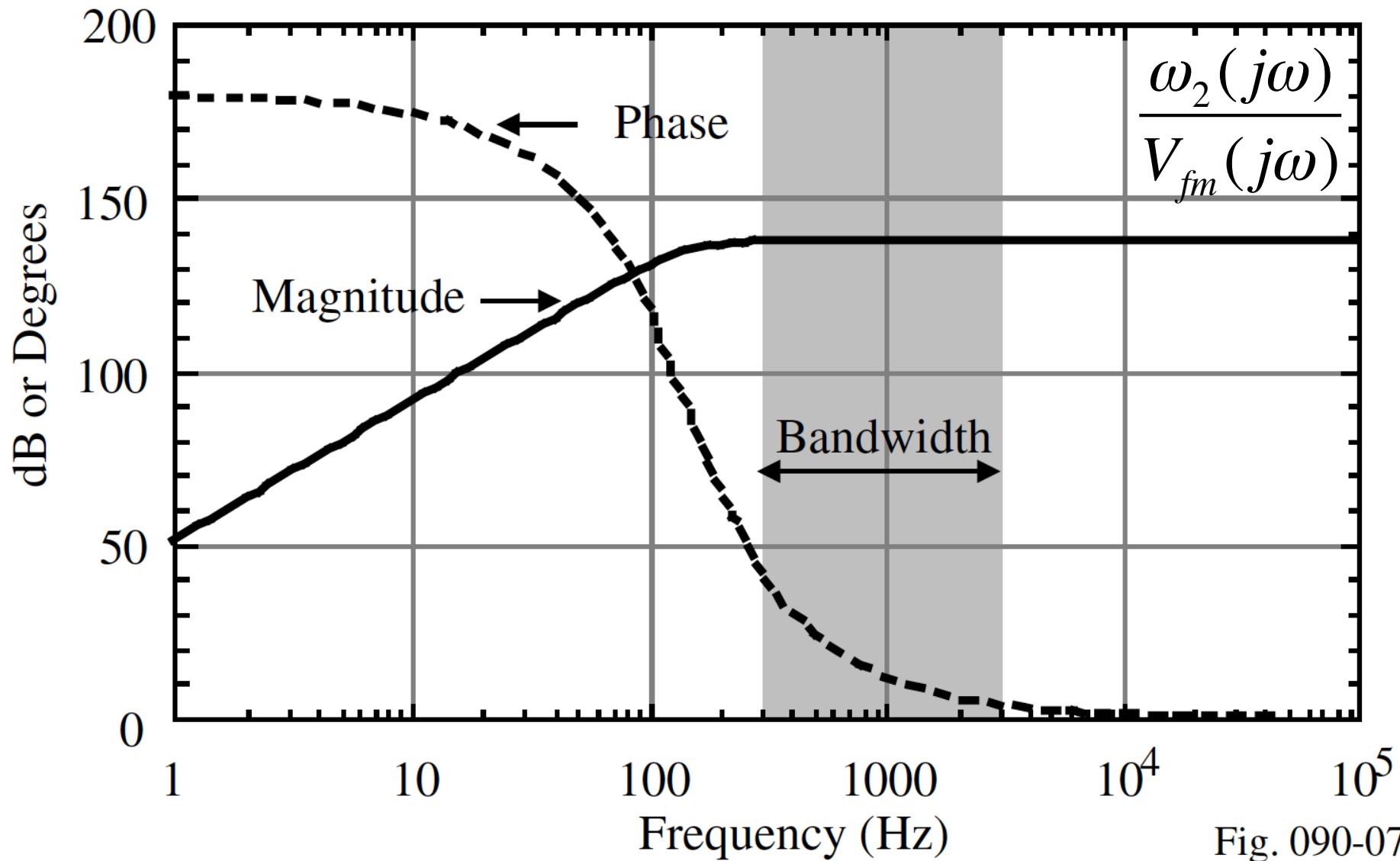
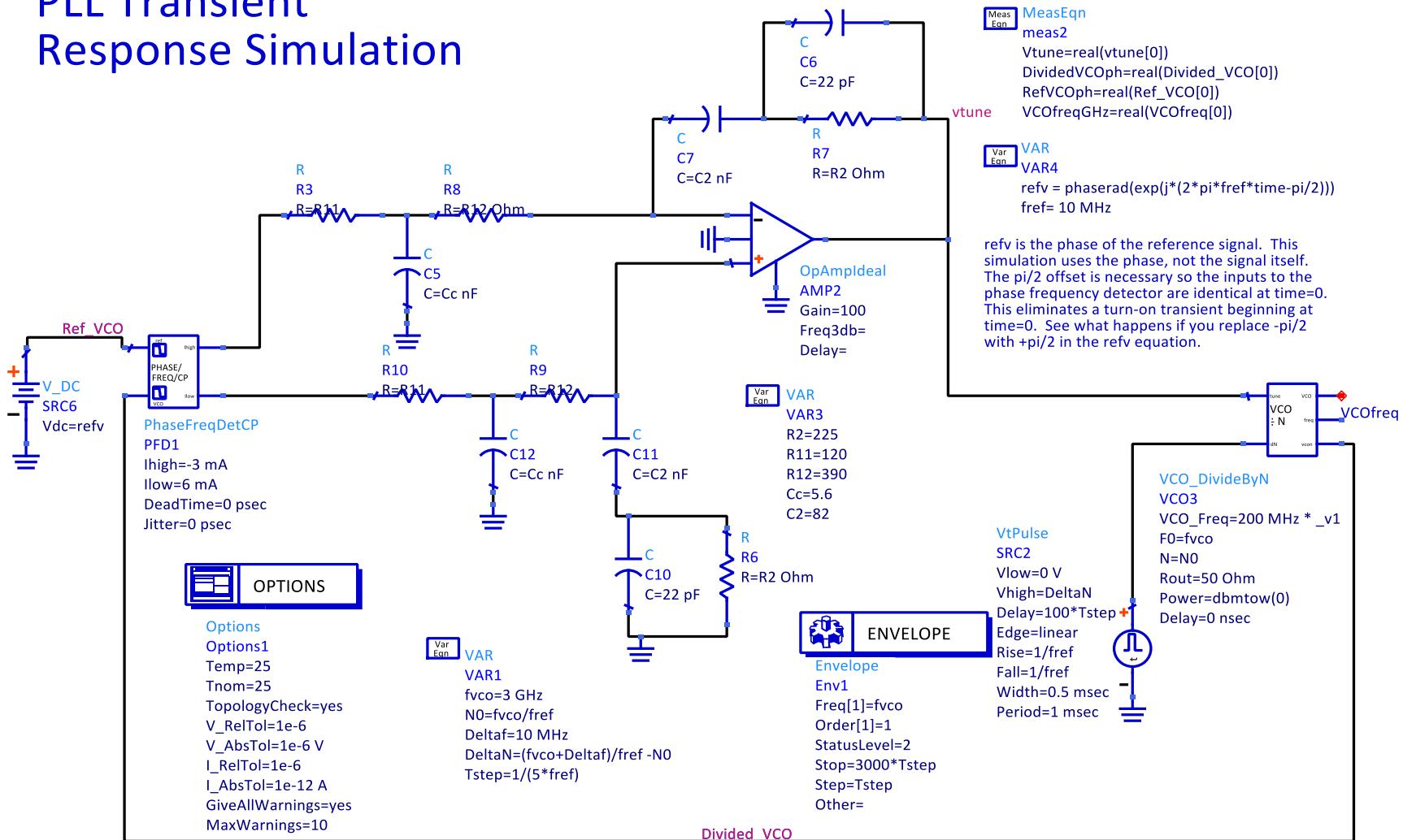


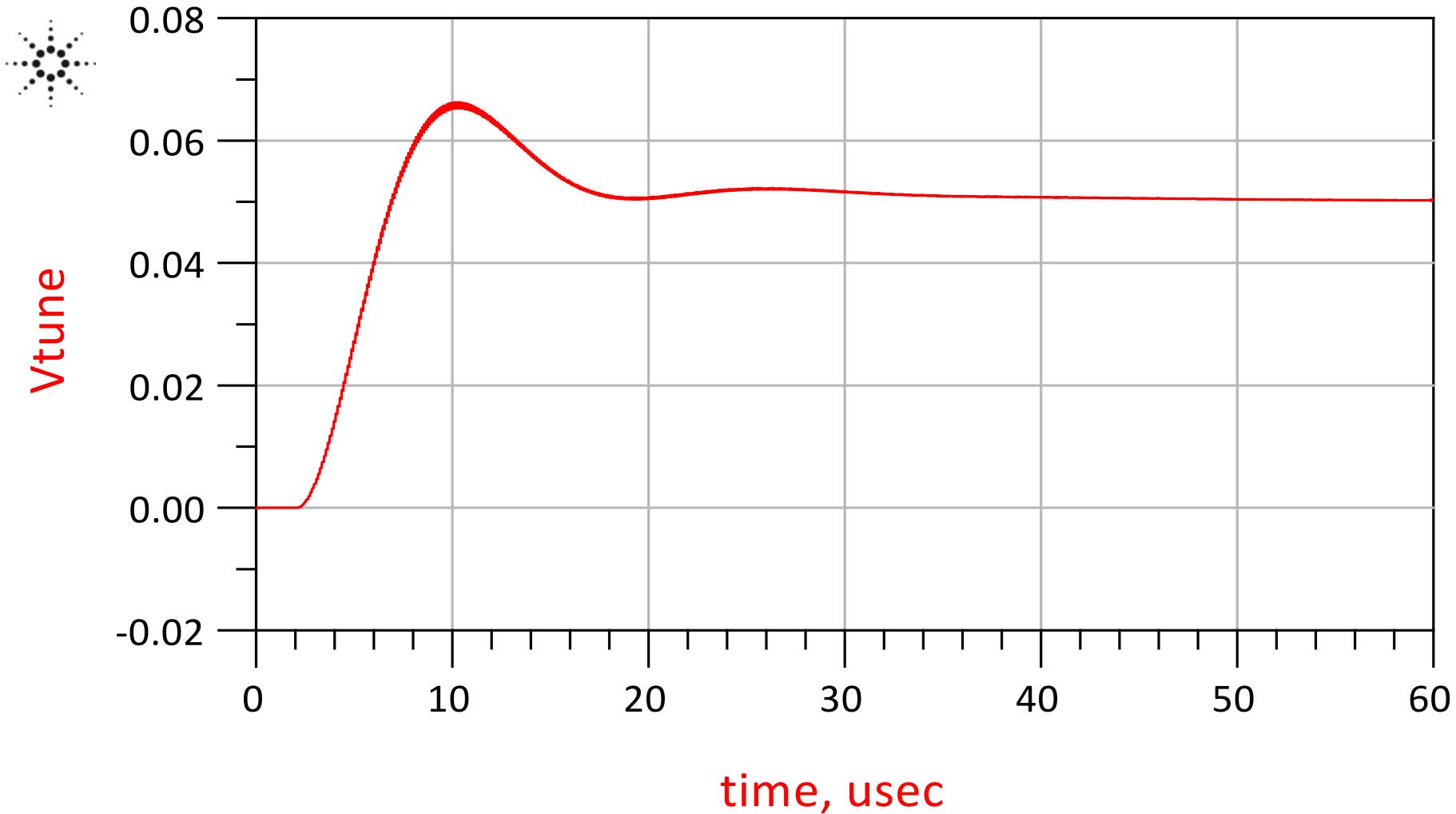
Fig. 090-07

Simulación con ADS pll_testR1_wrk

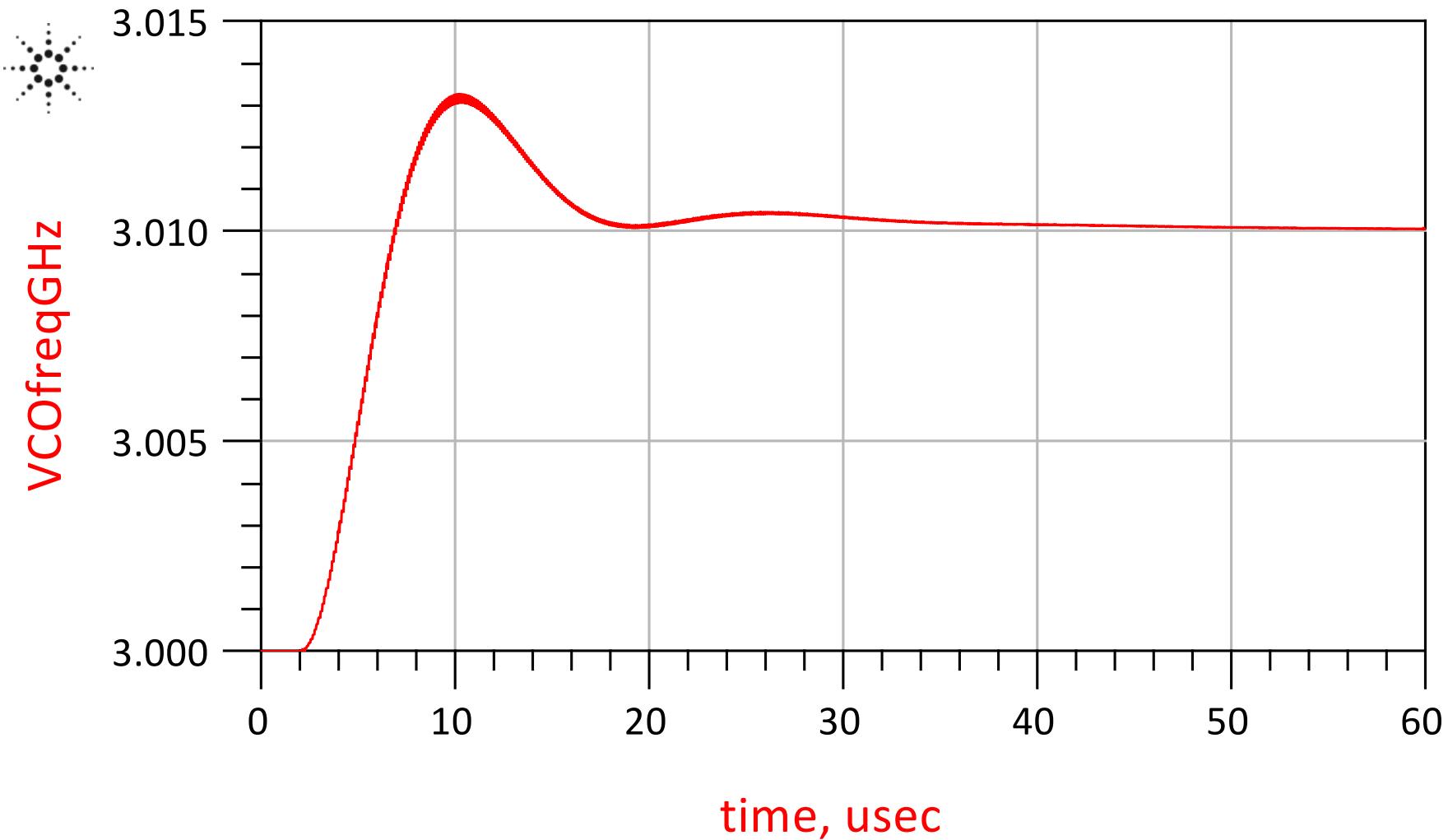
PLL Transient Response Simulation



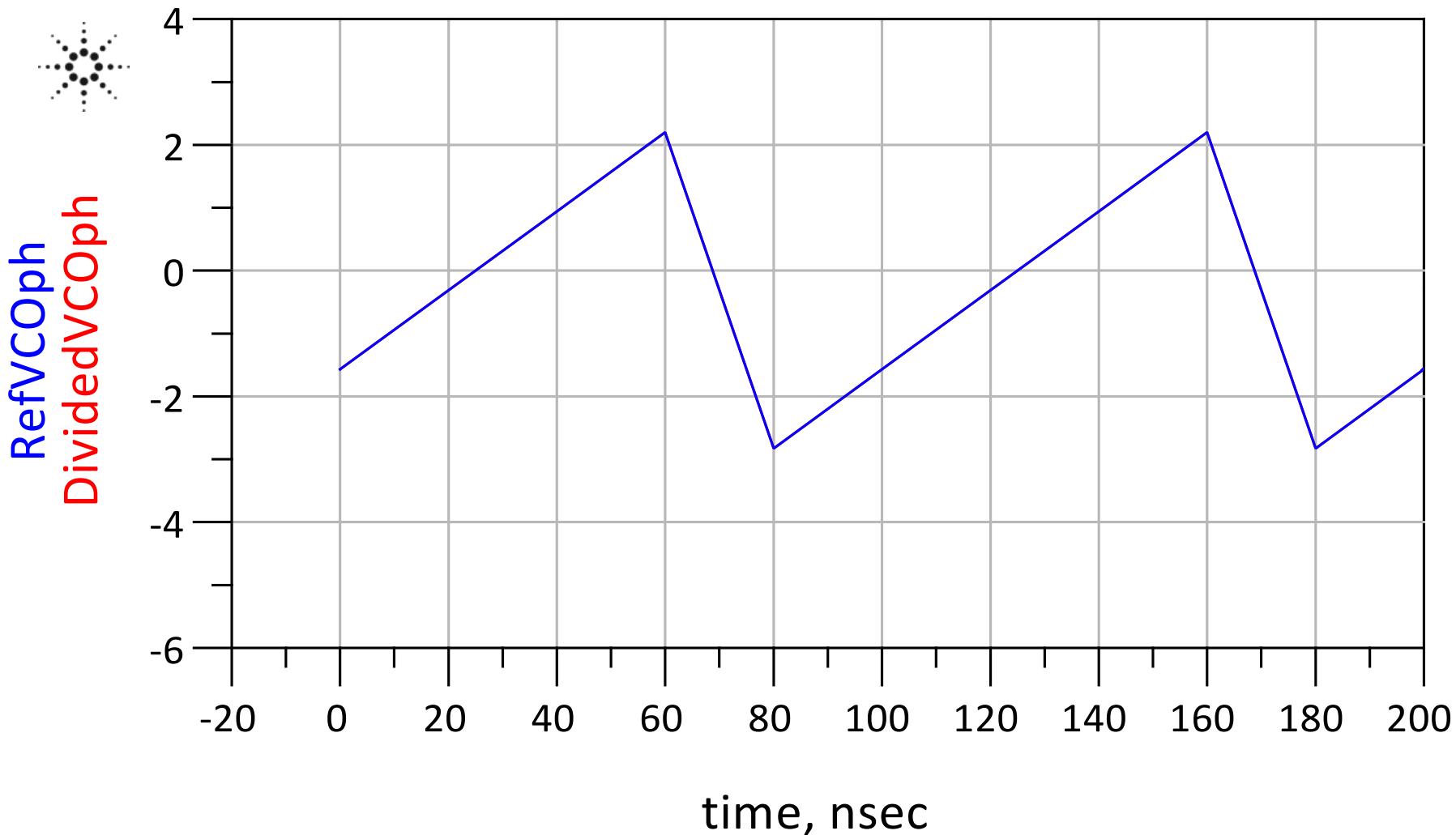
Phase Locked Loop



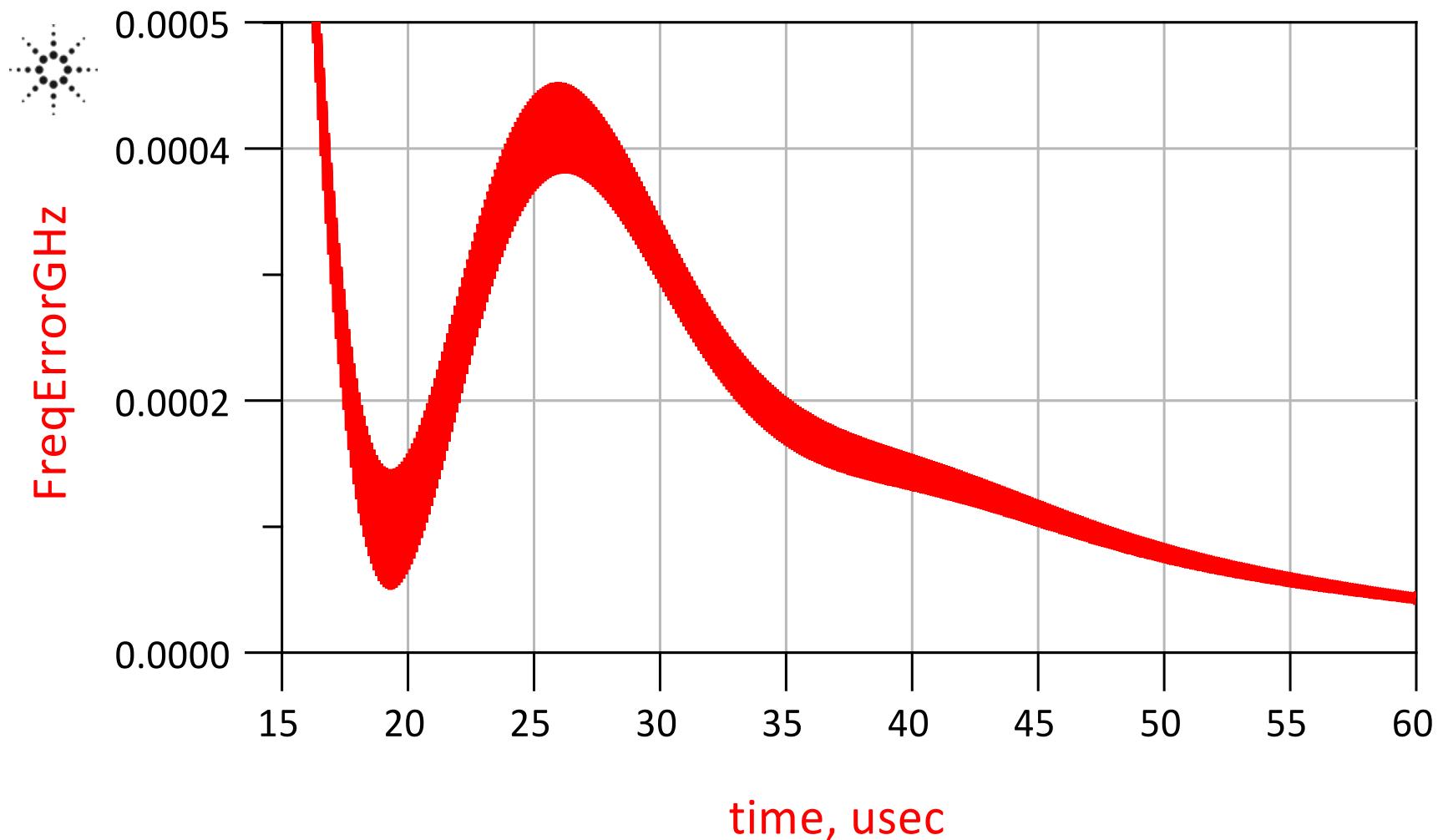
Phase Locked Loop



Phase Locked Loop



Phase Locked Loop



Phase Locked Loop

Ver simulaciones
pll_testR1_wrk
PLL_5th_Order_wrk

Phase Locked Loop

Mediciones

Phase Locked Loop

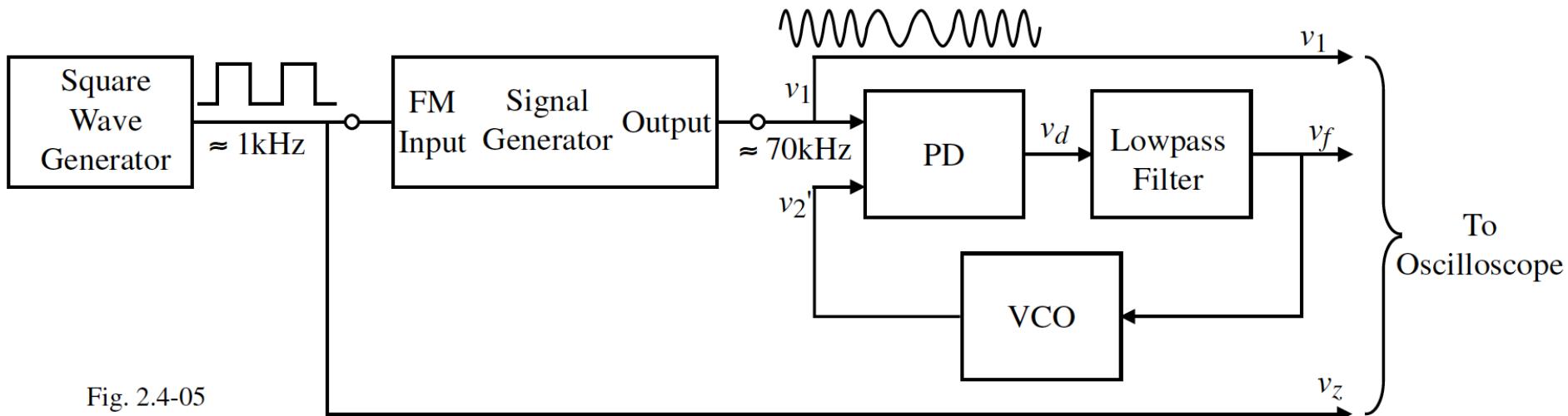
Ganancia del VCO, K_0

Se varía el VCO aplicando la tensión de entrada en todo el rango y se aplica la siguiente ecuación:

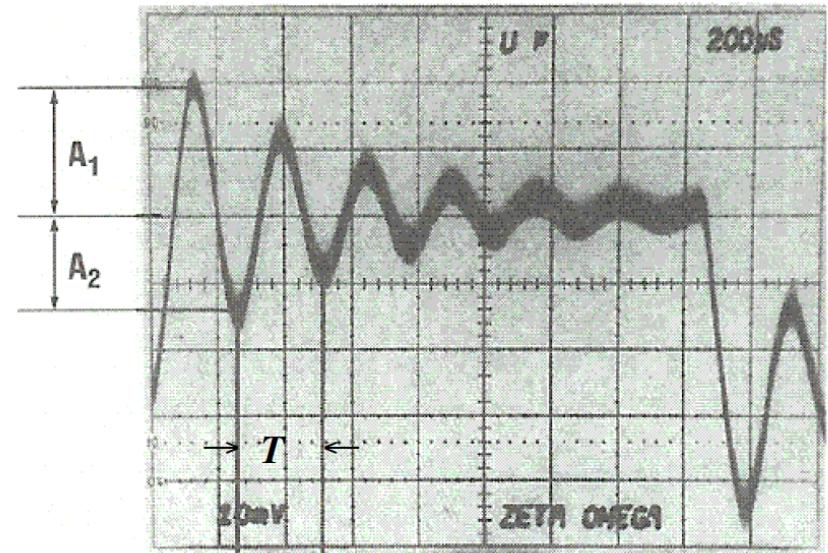
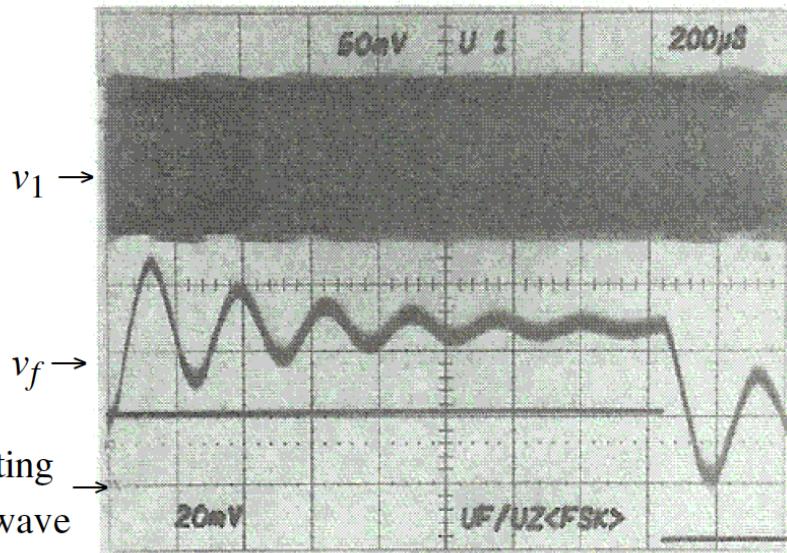
$$K_0 = \frac{\Delta\omega}{\Delta\nu_f} = \frac{1}{V.s}$$

Phase Locked Loop

Medición de ξ , ω_n y el rango de enganche $\Delta\omega_L$



Phase Locked Loop



$$\xi = \frac{\ln(A_1 / A_2)}{\sqrt{\pi^2 + [\ln(A_1 / A_2)]^2}} = 0.8$$

$$\omega_n = \frac{2\pi}{T\sqrt{1 - \xi^2}} \rightarrow f_n = 4.1k\text{Hz}$$

Phase Locked Loop

Phase Locked Loop