

## PLL parte II. Sintetizador de frecuencias preescaladas

### 1.1. Introducción

Primeramente se hará un diagrama en bloques de un sintetizador clásico.

En sistemas de comunicaciones, los sintetizadores prácticos generalmente operan en VHF y UHF, pero con el primer problema que se encuentra el proyectista es con el ancho de banda del divisor programable. Por esto, se mezcla primero la señal de salida del VCO, y la  $f_{MIX}$  de entrada del divisor será:

$$f_{MIX} = f_{out} - f_{osc}$$

$$N_{MAX} = \frac{f_{MIX(max)}}{f_{REF}} = \frac{f_{0(max)} - f_H}{f_{REF}}$$

$$N_{MIN} = \frac{f_{MIX(min)}}{f_{REF}} = \frac{f_{0(min)} - f_H}{f_{REF}}$$

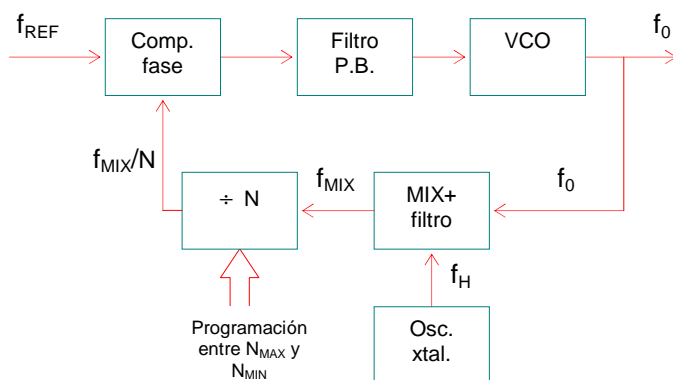


Fig.1. Método de conversión heterodino

Ejemplo:

Se desea obtener 200 canales de FM, espaciados a 100 kHz en un rango de 88 a 108MHz.

Debido a que el receptor usa la frecuencia de 10,7 MHz como frecuencia intermedia, la frecuencia de salida del sintetizador deberá ser de 98,7 MHz a 118,7 MHz. Usar la frecuencia de cristal de 1MHz.

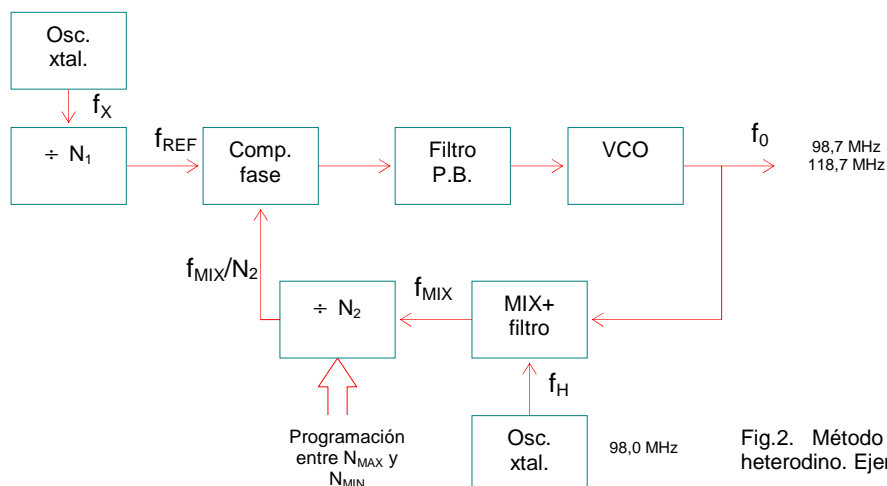


Fig.2. Método de conversión heterodino. Ejemplo.

$$f_{REF} = f_{Ch} = 100\text{kHz}$$

Ec. 1

$$N_1 = \frac{f_X}{f_{REF}} = \frac{1\text{MHz}}{100\text{kHz}} = 10$$

$$N_1 = 10$$

Ec. 2

$$N_{2(max)} = \frac{f_{0(max)} - f_H}{f_{REF}} = \frac{118,7 - 98}{0,1} = 207$$

$$N_{2(max)} = 207$$

Ec. 3

$$N_{2(min)} = \frac{f_{0(min)} - f_H}{f_{REF}} = \frac{98,7 - 98}{0,1} = 7$$

$$N_{2(min)} = 7$$

Ec. 4

## 2. El “prescaler” de doble módulo

(Se utilizará el término en inglés “prescaler”, ya que es el término más familiar, aunque no por esto es el término más correcto en el idioma español).

Para ampliar el ancho de banda del divisor programable, se puede utilizar la técnica de un prescaler fijo P.

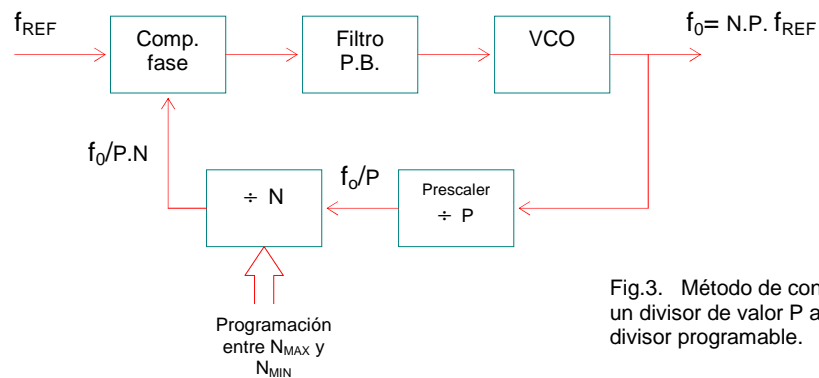


Fig.3. Método de conversión con un divisor de valor P antes del divisor programable.

$$f_0 = N.P. f_{REF}$$

Ec. 5

La desventaja de usar un divisor fijo es que, como dividirá la  $f_{out}$  a lo largo de todos los canales espaciados diseñados, y como se desea que la  $f_{REF}$  sea el espacio entre los canales, entonces la división daría fracciones decimales para lograr los espacios.

Algunos CI como el MC12009/11/13, el 11C90/1, etc. están diseñados especialmente para el uso de la técnica llamada “prescaler de módulo variable”. Esta técnica permite que un simple prescaler MECL de doble módulo, puede ser controlado por un contador o divisor programable de tecnología MTTL (no muy alta frecuencia). El uso de esta técnica permite usar prescalers de alta frecuencia sin sacrificio de la resolución de  $f_{out}$ , debido a que no es necesario dividir la frecuencia de referencia por la división que tiene el prescaler.

Si se usa un prescaler de módulo fijo, el diagrama es:

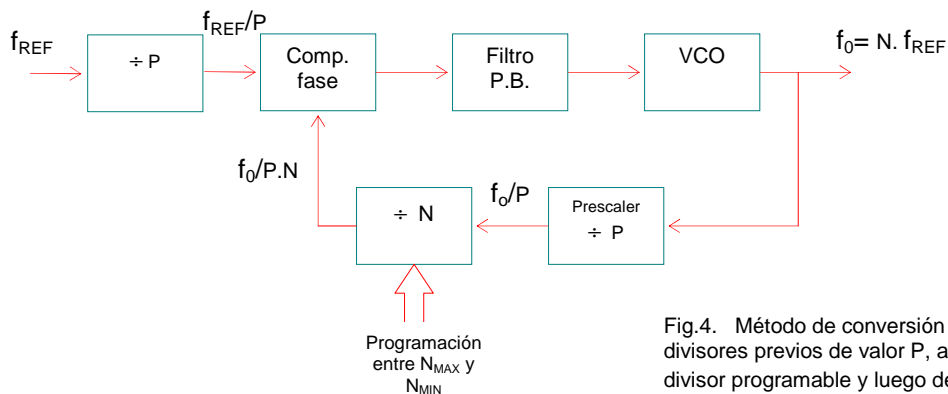


Fig.4. Método de conversión con divisores previos de valor P, antes del divisor programable y luego de la  $f_{REF}$ .

En el caso de la **fig. 4**, para un cambio de N, la  $f_0 = N. f_{REF}$ , se pueden lograr todos los saltos  $f_{REF}$  veces. En cambio, en la **fig. 3**, la fórmula es:  $f_0 = N.P. f_{REF}$ . Como P es fijo, se puede obtener el valor  $f_{REF} \cdot P$  como saltos de frecuencia.

A partir de la **fig. 4**, la fórmula  $f_0 = N \cdot f_{REF}$ , muestra que se pierde resolución en el PLL, ya que se controla con una frecuencia  $P$  veces menor.

\* Si se analiza la ecuación  $f_0 = N \cdot P \cdot f_{REF}$ , se puede observar que, como  $N$  es un divisor de números enteros, sólo se puede o podría programar  $P$ . Para poder tener además, canales intermedios,  $P$  debería ser un número entero, más una fracción. Esta fracción podría ser de la forma  $A/P$ .

\* Si  $N$  no fuera un divisor sólo de números enteros, es decir, si dividiera por  $N_P$  más una fracción  $A/P$ , esto quedaría:

$$N = N_P + A/P \quad \text{sustituyendo a } N \text{ en la ec. 5, queda:}$$

Ec. 6

$$f_0 = (N_P + A/P) \cdot P \cdot f_{REF}, \text{ y también:}$$

Ec. 7

$$f_0 = (N_P P + A) \cdot f_{REF}$$

Ec. 7.1

$$f_0 = N_P P f_{REF} + A f_{REF}$$

Ec. 7.2

\* La **ec. 7.2**, muestra que se podrían tener todos los canales si  $N$  tomara valores fraccionales. Esto no es práctico, por lo que se busca otra alternativa.

Tomando la **ec. 7.1**, sumando y restando por  $A P$ , queda:

$$f_0 = (N_P P + A + AP - AP) \cdot f_{REF}$$

$$f_0 = (N_P P - AP + AP + A) \cdot f_{REF} = [(N_P - A) P + A (P + 1)] \cdot f_{REF}$$

Ec. 8

De la **ec. 8** viene la idea que se podría obtener la fracción que se está buscando en la parte de  $N$  usando un contador  $P$  de doble módulo  $P$  y  $P+1$ .

\* Se divide el módulo superior  $P+1$  por  $A$ , luego el módulo inferior  $P$  por  $(N_P - A)$ . Esta ecuación es la explicación que da origen al bloque siguiente:

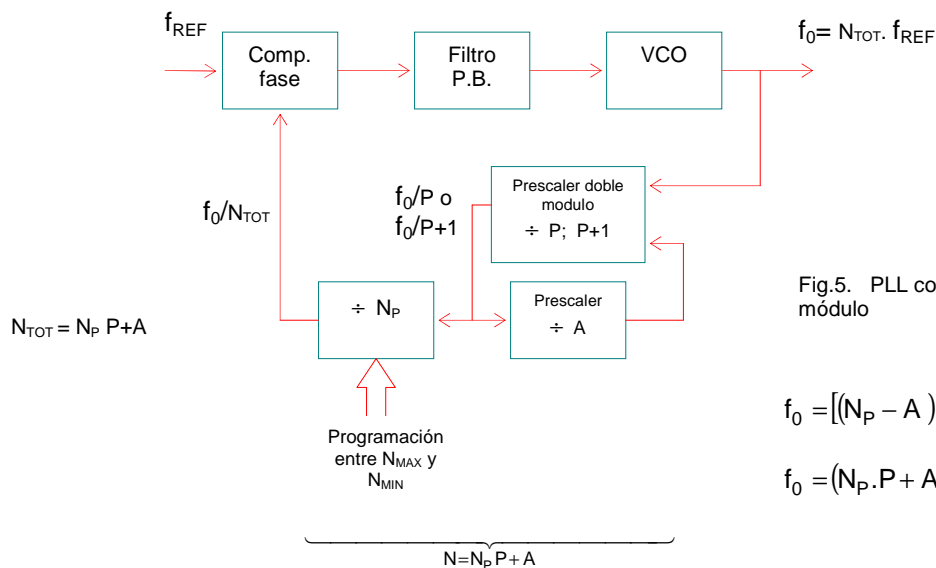


Fig.5. PLL con prescaler de doble módulo

$$f_0 = [(N_P - A) P + A (P + 1)] \cdot f_{REF}$$

$$f_0 = (N_P \cdot P + A) \cdot f_{REF}$$

Ec. 9

Para usar la fórmula de la **ec. 9**, el contador  $A$  deberá ser tal que cuente desde el estado programado  $A$  hasta el estado “enable”, y permanezca en ese estado hasta que el divisor  $N_P$  complete su conteo programado.

En operación, el prescaler divide por  $P+1$  hasta que el contador  $A$  llega a cero. Al final de  $(P+1) \cdot A$  pulsos, el estado de  $N_P$  iguala a  $(N_P - A)$ , el módulo del prescaler, entonces cambia a  $P$ . El prescaler dividirá por  $P$  por todo el conteo  $(N_P - A)$  remanente, hasta que  $(N_P - A)$  llega a cero.

Finalmente, cuando se ha completado, los contadores  $A$  y  $N_P$  son “reseteados” para comenzar un nuevo ciclo.

Ejemplo:

Uso de un prescaler de doble módulo MC12013: divisor por 10/11

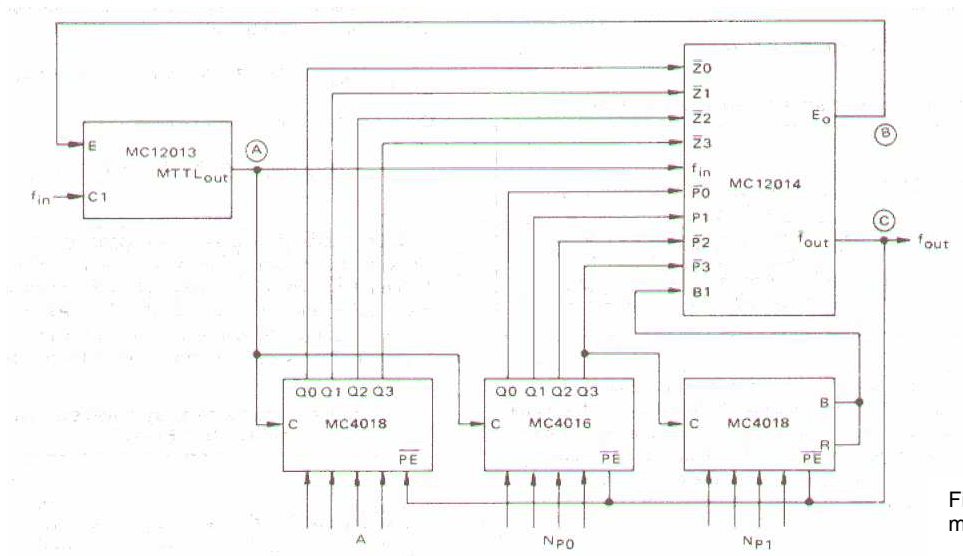
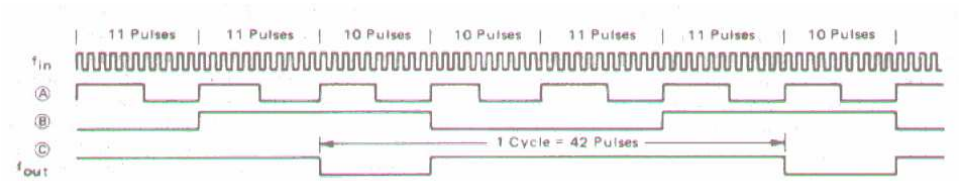
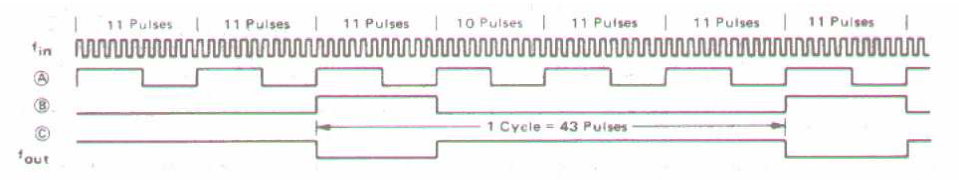


Fig.6. PLL con prescaler de doble módulo

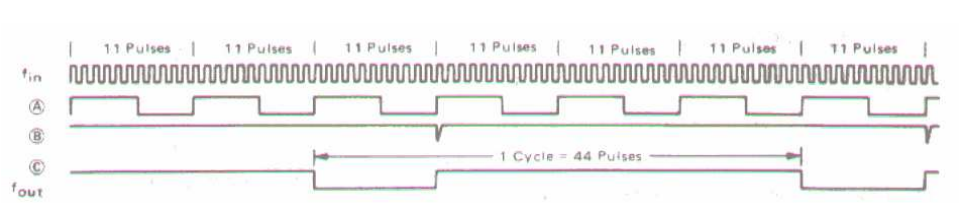
(A) Formas de onda cuando divide por 42



(B) Formas de onda cuando divide por 43



(C) Formas de onda cuando divide por 44



Algunos prescalers de doble módulo:

P/N	P: P+1	f <sub>MAX</sub>
MC12009	+5/+6	480 MHz
MC12015	+32/+33	225 MHz
MC12016	+40/+41	225 MHz

P/N	P: P+1	f <sub>MAX</sub>
MC12017	+64/+65	225 MHz
MC12018	+128/+129	520 MHz
MC12019	+20/+21	225 MHz

P/N	P: P+1	f <sub>MAX</sub>
MC12022A	+64/+65 o +128/+129	1.1 GHz
MC12032A	+64/+65 o +128/+129	2.0 GHz
MC12026	+8/+9 o +16/+17	1.1 GHz
MC12028/38/52 /53	+64/+65 o +128/+129	1.1 GHz

P/N	P: P+1	f <sub>MAX</sub>
MC12033/34	+32/+33 o +64/+65	2.0 GHz
MC12054	+64/+65 o +128/+129	2.0 GHz
MC12058	+126/+128 o +254/+256	1.1 GHz

Tabla 1. Algunos prescalers de doble módulo de la línea Motorola™

### PLL con prescaler de doble módulo Motorola™

MC145151-2	Parallel-input, single-modulus
MC145152-2	Parallel-input, dual-modulus
MC145157-2	Serial-input, single-modulus
MC145158-2	Serial-input, dual-modulus

#### Applications:

CATV TV Tuning  
AM/FM Radios Scanning  
Receivers  
Two-Way Radios Amateur  
Radio

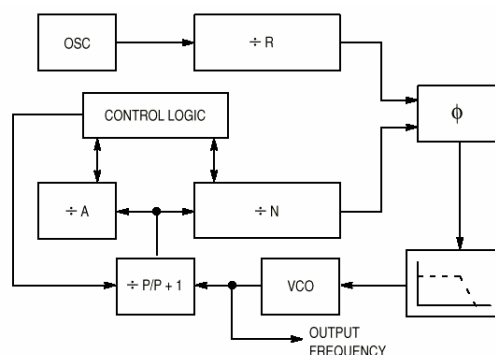


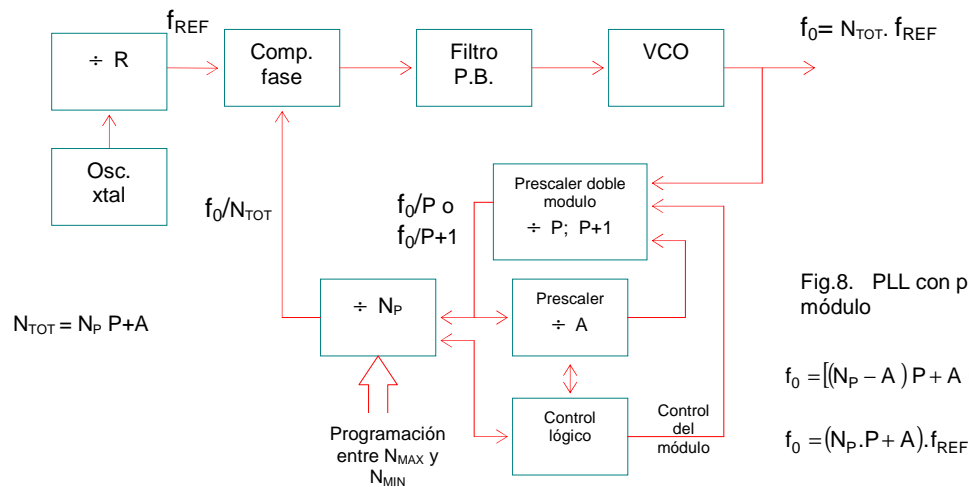
Fig.7. PLL con prescaler de doble módulo de la línea Motorola™

- \* El VCO, el FPB y el prescaler son externos.
- \* Poseen un control lógico que se aplica en A, N y P/P+1.
- \* El prescaler se activará con control lógico en alto el módulo P, y con control en bajo el módulo P+1.
- \* Para optimizar la frecuencia de entrada del prescaler, se tendrá en cuenta lo siguiente:
  - La máxima frecuencia del VCO, dividido por P no deberá exceder la capacidad de frecuencia de los contadores A y N.
  - Tener en cuenta los tiempos de retardo de los dispositivos.

En casos prácticos,

- P puede ser divisor por 5, 8, 32, 40, 64, 126, o algún otro valor que se pueda obtener. Para éstos casos, el valor de los contadores será:
  - El contador A tendrá "a" bits, tal que  $2^a < P$
  - La cantidad de bits de N dependerá de la cantidad de pasos de toda la banda.

### Un diagrama en bloques práctico:



### Ejemplo:

Diseñar un PLL de 118,000 a 135,975 MHz con saltos de 25 kHz con el MC145159, para utilización en trancéptores de comunicaciones de aviación. Es necesario un prescaler para dividir la frecuencia del Vco a valores que pueda manejar el MC145159 (15 MHz frec. máx. a  $V_{DD}=5V$ ). El valor mínimo del prescaler deberá ser 10. Sin embargo, si se utilizara un prescaler de simple módulo, la frecuencia de referencia deberá ser ajustada en  $f_{REF}=2,5$  kHz para mantener el salto de 25 kHz. Por esto, se utilizará el prescaler de doble módulo, por ejemplo el MC12016 que divide por 40/41 y tiene un ancho de banda de 225 MHz.

Con una frecuencia de referencia a 25 kHz, los contadores N y A deberán ser cargados con los valores propios para poder obtenerse el rango de 118,000 a 135,975 MHz en la salida.

**A-** Con la frecuencia de salida máxima  $f_{MAX}$ :

$$N_{tot} = \frac{f_{max}}{f_{(step)}} = \frac{135,975 \text{ MHz}}{25 \text{ kHz}} = 5439$$

Para llegar a este valor, se deberá cumplir que

$$N_{tot} = NP + A \quad \text{con } P=40, \text{ y } A=0:$$

$$5439 = N(40) + 0$$

$$N = 135,975 \quad \text{Se utilizará el valor entero, que es } N=135$$

Ahora se determinará el valor de A

$$A = N_{tot} - NP = 5439 - 135 \times 40 = 39$$

**B-** Con la frecuencia de salida mínima  $f_{MIN}$ :

$$N_{tot} = \frac{f_{min}}{f_{(step)}} = \frac{118 \text{ MHz}}{25 \text{ kHz}} = 4720$$

Para llegar a este valor, se deberá cumplir que

$$N_{tot} = NP + A \quad \text{con } P=40, \text{ y } A=0:$$

$$4720 = N(40) + 0$$

$$N = 118 \quad \text{Se utilizará el valor entero, que es } N=118$$

Como dio un número entero, no es necesario re-calcular el valor de A

La siguiente tabla muestra los valores de N y A para las correspondientes frecuencias de salida.

Frec. salida MHz	N <sub>tot</sub>	N	A
118.000	4720	118	0
118.025	4721	118	1
118.050	4722	118	2
...	...	...	...
118.975	4759	118	39*
119.000	4760	119	0
119.025	4761	119	1
...	...	...	...
139.950	5438	135	38
139.975	5439	135	39

- Notar que, debido a que  $P=40$ , el valor máx. posible de  $A=39$
- $A < P$

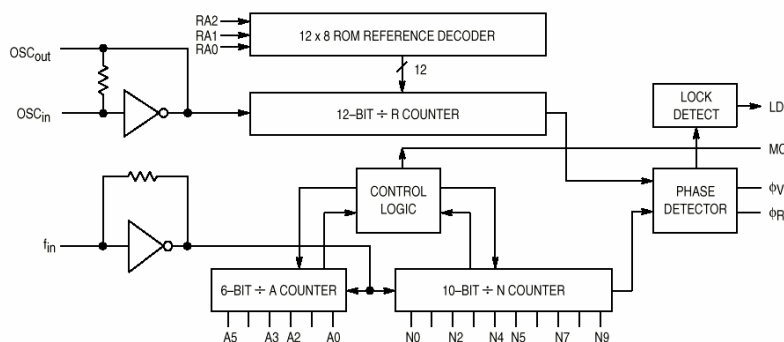
Tabla 2. Frecuencias de salida correspondientes a los valores de N y A ( $f_{ref}=25$  kHz  $P=40$ )

### Ejemplo con el CI MC145152-2 de MOTOROLA

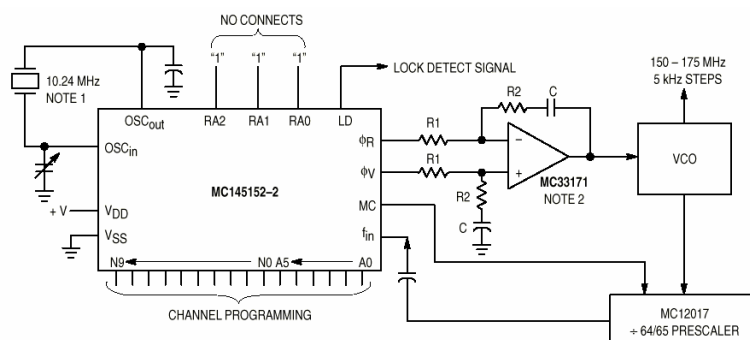
The MC145152-2 is programmed by sixteen parallel inputs for the N and A counters and three input lines for the R counter. The device features consist of a reference oscillator, selectable-reference divider, two-output phase detector, 10-bit programmable divide-by-N counter, and 6-bit programmable  $\div$  A counter.

The MC145152-2 is an improved-performance drop-in replacement for the MC145152-1. Power consumption has decreased and ESD and latch-up performance have improved.

- ☐ Operating Temperature Range: – 40 to 85°C
- ☐ Low Power Consumption Through Use of CMOS Technology
- ☐ 3.0 to 9.0 V Supply Range
- ☐ On– or Off–Chip Reference Oscillator Operation
- ☐ Lock Detect Signal
- ☐ Dual Modulus/Parallel Programming
- ☐ 8 User–Selectable ÷ R Values: 8, 64, 128, 256, 512, 1024, 1160, 2048
- ☐ ÷ N Range = 3 to 1023, ÷ A Range = 0 to 63
- ☐ Chip Complexity: 8000 FETs or 2000 Equivalent Gates



### Aplicaciones típicas:



NOTES:

1. Off-chip oscillator optional.
2. The  $\phi R$  and  $\phi V$  outputs are fed to an external combiner/loop filter. See the Phase-Locked Loop — Low-Pass Filter Design page for additional information. The  $\phi R$  and  $\phi V$  outputs swing rail-to-rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Fig. 10. Aplicación del MC145152-2 como sintetizador para transmisión de la banda de VHF

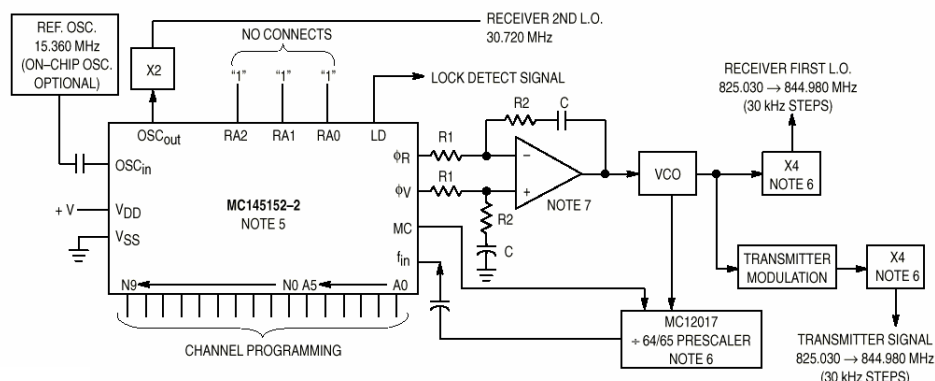
## PIN ASSIGNMENT

$f_{in}$	1	28	LD
$V_{SS}$	2	27	OSC <sub>in</sub>
$V_{DD}$	3	26	OSC <sub>out</sub>
RA0	4	25	A4
RA1	5	24	A3
RA2	6	23	A0
$\phi_R$	7	22	A2
$\phi_V$	8	21	A1
MC	9	20	N9
A5	10	19	N8
N0	11	18	N7
N1	12	17	N6
N2	13	16	N5
N3	14	15	N4

## Parallel input PLL frequency Synthesizer Interfaces with Dual-Modulus

Fig. 9. Diagrama en bloques y disposición del zócalo del MC145152-2

## Sintetizador para radiotelefonía móvil



### NOTES:

1. Receiver 1st I.F. = 45 MHz, low side injection; Receiver 2nd I.F. = 11.7 MHz, low side injection.
2. Duplex operation with 45 MHz receiver/transmit separation.
3.  $f_R = 7.5 \text{ kHz}$ ;  $R = 2048$ .
4.  $N_{\text{total}} = N \div 64 + A = 27501 \text{ to } 28166$ ;  $N = 429 \text{ to } 440$ ;  $A = 0 \text{ to } 63$ .
5. MC145158-2 may be used where serial data entry is desired.
6. High frequency prescalers (e.g., MC12018 [520 MHz] and MC12022 [1 GHz]) may be used for higher frequency VCO and  $f_{\text{ref}}$  implementations.
7. The  $f_R$  and  $f_V$  outputs are fed to an external combiner/loop filter. See the Phase-Locked Loop — Low-Pass Filter Design page for additional information. The  $f_R$  and  $f_V$  outputs swing rail-to-rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter. (30 kHz STEPS)

Fig. 11. Sintetizador para sistemas de telefonía de 800 MHz

## Ejemplo con el CI MC145158-2 de MOTOROLA

The MC145158-2 has a fully programmable 14-bit reference counter, as well as fully programmable  $\div N$  and  $\div A$  counters. The counters are programmed serially through a common data input and latched into the appropriate counter latch, according to the last data bit (control bit) entered.

The MC145158-2 is an improved-performance drop-in replacement for the MC145158-1. Power consumption has decreased and ESD and latch-up performance have improved.

- ☐ Operating Temperature Range:  $-40$  to  $85^\circ\text{C}$
- ☐ Low Power Consumption Through Use of CMOS Technology
- ☐ 3.0 to 9.0 V Supply Range
- ☐ Fully Programmable Reference and  $\div N$  Counters
- ☐  $\div R$  Range = 3 to 16383
- ☐  $\div N$  Range = 3 to 1023
- ☐ Dual Modulus Capability;  $\div A$  Range = 0 to 127
- ☐  $f_V$  and  $f_R$  Outputs
- ☐ Lock Detect Signal
- ☐ Compatible with the Serial Peripheral Interface (SPI) on CMOS MCUs
- ☐ "Linearized" Digital Phase Detector
- ☐ Single-Ended (Three-State) or Double-Ended Phase Detector Outputs
- ☐ Chip Complexity: 6504 FETs or 1626 Equivalent Gates

### PIN ASSIGNMENT

OSCin	1	16	$\phi_R$
OSCout	2	15	$\phi_V$
$f_V$	3	14	REFout
VDD	4	13	$f_R$
PDout	5	12	MC
VSS	6	11	ENB
LD	7	10	DATA
$f_{in}$	8	9	CLK

Serial input PLL frequency  
Synthesizer  
Interfaces with Dual-Modulus  
Prescalers

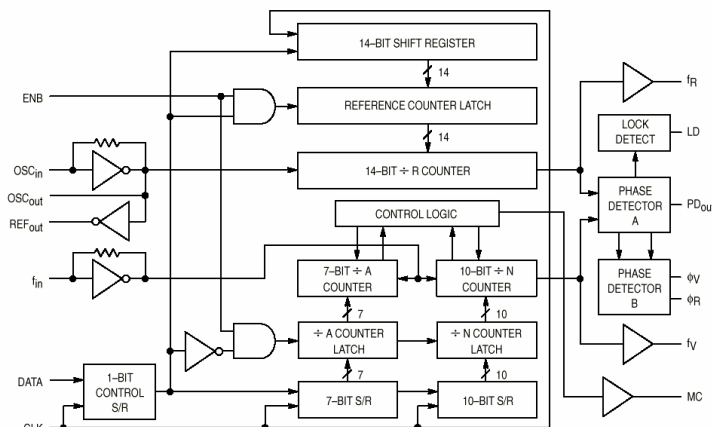
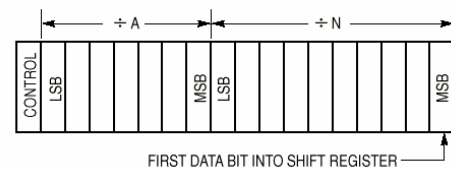
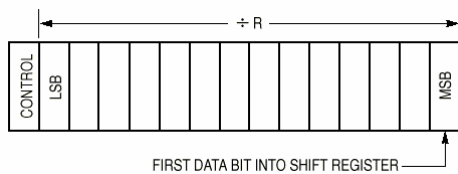
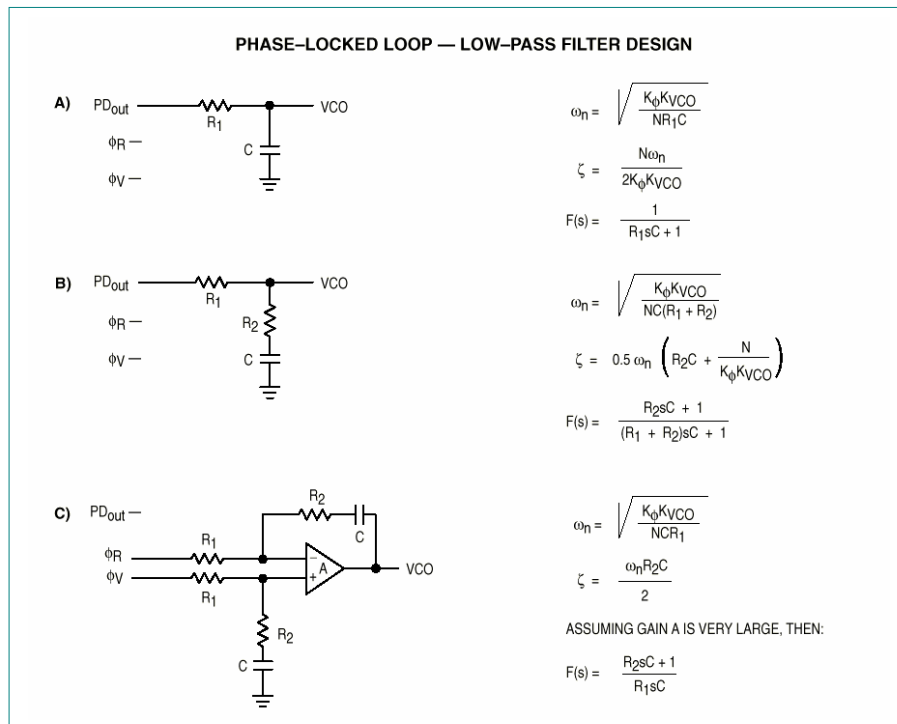


Fig. 12. Diagrama en bloques y disposición del zócalo del MC145158-2





## Diseño de los filtros:



NOTE: Sometimes R<sub>1</sub> is split into two series resistors, each R<sub>1</sub> ÷ 2. A capacitor C<sub>C</sub> is then placed from the midpoint to ground to further filter f<sub>V</sub> and f<sub>R</sub>. The value of C<sub>C</sub> should be such that the corner frequency of this network does not significantly affect ω<sub>n</sub>. The f<sub>R</sub> and f<sub>V</sub> outputs swing rail-to-rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Algunas definiciones utilizadas:

N=Total Division Ratio in feedback loop

K<sub>φ</sub>= (Phase Detector Gain)= V<sub>DD</sub>/4π for PD<sub>out</sub>

K<sub>φ</sub>= (Phase Detector Gain)= V<sub>DD</sub>/2π for φ<sub>V</sub> and φ<sub>R</sub>

K<sub>VCO</sub>= (VCO Gain)=  $\frac{2\pi \Delta f_{VCO}}{\Delta V_{VCO}}$

For a typical design ω<sub>n</sub> (natural frequency)  $\approx \frac{2\pi f_r}{10}$  (at phase detector input)

Damping factor ζ≅1

Oros, Ramón C.

Córdoba, 12-05-2000

archivo: EA3-02-02

Rev: /

edición que reemplaza a las anteriores.

Bibliografía:

Motorola:

AN-535 Phase-locked loop design fundamentals

AN-827 The technique of direct programming by using a two-modulus prescaler

AN-969 Operation of the MC145159 PLL Frequency Synthesizer with Analog Phase detector

MC 145152-2/8-2 Device data