

UNIVERSIDAD TECNOLÓGICA NACIONAL
FACULTAD REGIONAL CÓRDOBA

ELECTRONICA APLICADA III

TRABAJO PRÁCTICO N° 4

PHASE LOCKED LOOP PLL

Autores:

GALETTTO Agustín

GRAGLIA Federico

MONTAÑO Jorge

SOLIS Abel Fredy

Legajo:

57705

59667

59040

59156



ENUNCIADO DEL PRÁCTICO

Parte A:

1. Desarrollar e implementar una red PLL que multiplique por 10.

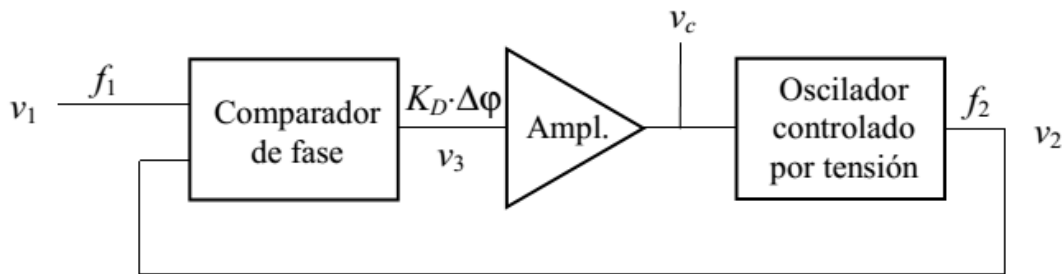
Especificaciones:

- $f_{IN} = 15 \text{ KHz}$ a 25 KHz
 - $\zeta = 0,4$
 - $V_{DD} = 12 \text{ V}$
 - Filtro de lazo = R-C
2. Efectuar las siguientes mediciones:
 - Medir el rango de sostén y el rango de captura
 - Medir la ganancia de lazo
 - Medir M_p , t_p , y T'
 3. PLL con prescaler de doble módulo

Diseñar una red PLL (circuito esquemático completo) para utilizar como Oscilador Local en un receptor de FM comercial utilizando un prescaler de doble modulo.

INTRODUCCIÓN AL PLL

Un lazo de fijación de fase (PLL, siglas en inglés de phase locked loop) es un circuito capaz de generar una oscilación cuya fase con respecto a una señal de entrada se mantiene acotada, contando para ello con una realimentación que compara la fase de las dos señales y actúa modificando la frecuencia de la oscilación generada. En la figura se muestra un esquema muy simplificado del mismo.



El comparador de fase produce, idealmente, una señal $K_D\Delta\varphi$ proporcional a la diferencia de fase entre la señal de entrada v_1 y la señal v_2 generada por el oscilador controlado por tensión (VCO, siglas en inglés de voltage-controlled oscillator) que, amplificada por el amplificador, se aplica a la entrada v_c del VCO. Este último produce una frecuencia f_2 que varía linealmente con v_c .

La situación de equilibrio se alcanza cuando la señal $K_D\Delta\varphi$ amplificada por el amplificador es tal que, aplicada al VCO, hace que éste oscile exactamente a la misma frecuencia que la entrada. En efecto, si fuera, por ejemplo, $f_1 > f_2$, la diferencia de fase iría en aumento, lo cual haría que f_2 aumentará, tendiendo a acercarse a f_1 ; y a la inversa si $f_1 < f_2$.

Una primera aplicación interesante de este dispositivo es la demodulación de una señal de frecuencia modulada, ya que v_c es proporcional a f_2 , y por lo tanto a f_1 . Existen otras aplicaciones, como la multiplicación de frecuencias, o la recuperación del tono piloto en las señales de FM estereofónicas.

ESTRUCTURA REAL DE UN PLL

En el esquema simplificado de la figura anterior supusimos la existencia de un elemento de circuito capaz de comparar directamente las fases de las dos señales, produciendo una señal proporcional a la diferencia de fases, $K_D\Delta\varphi$.

Desgraciadamente no es posible construir tal dispositivo, por lo cual se lo reemplaza por un circuito multiplicador (denominado detector de fase multiplicativo) seguido por un filtro pasabajos. Si suponemos que las dos señales que ingresan al mismo son

$$\begin{aligned}v_1(t) &= V_1 \sin \omega_1 t \\v_2(t) &= V_2 \sin \omega_2 t\end{aligned}$$

Entonces la multiplicación de estas señales conduce, aplicando conocidas identidades trigonométricas a

$$v_3(t) = K v_1(t) v_2(t) = \frac{K}{2} V_1 V_2 [\cos(\omega_1 - \omega_2)t - \sin(\omega_1 + \omega_2)t]$$

Si suponemos que $\omega_1 - \omega_2 \ll \omega_1 + \omega_2$, y que el filtro pasabajos tiene su frecuencia de corte entre estas dos frecuencias, la frecuencia $\omega_1 + \omega_2$ se elimina, y entonces podemos concluir que

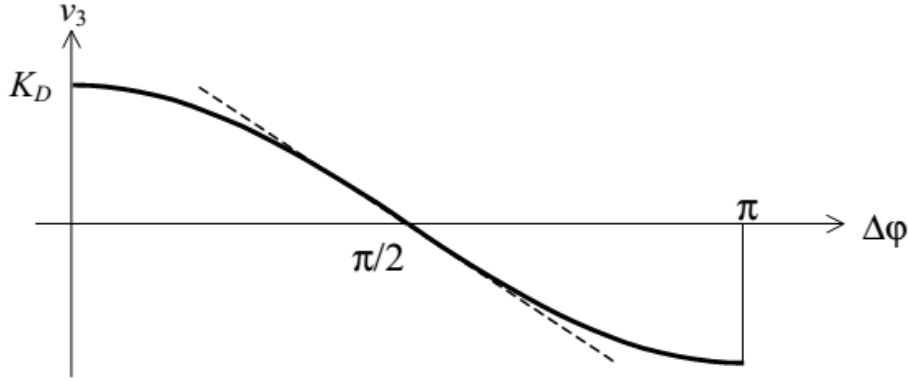
$$v_3(t) \cong \frac{K}{2} V_1 V_2 \cos(\omega_1 - \omega_2)t$$

Pero $(\omega_1 - \omega_2)t$ es precisamente la diferencia de fase $\Delta\varphi$ entre ambas señales, de donde

$$v_3 \cong \frac{K}{2} V_1 V_2 \cos \Delta\varphi$$

Esta relación se representado en la figura siguiente, donde se observa, además, que en las proximidades de $\pi/2$ la relación es bastante lineal. En ese caso es posible aproximar aún más la ecuación, que queda:

$$v_3 \cong \frac{K}{2} V_1 V_2 \left(\frac{\pi}{2} - \Delta\varphi \right) = K_D \left(\frac{\pi}{2} - \Delta\varphi \right)$$



La alinealidad puede eliminarse si en lugar de utilizar un multiplicador lineal se utiliza un circuito de tipo OR-exclusivo, cuya respuesta es:

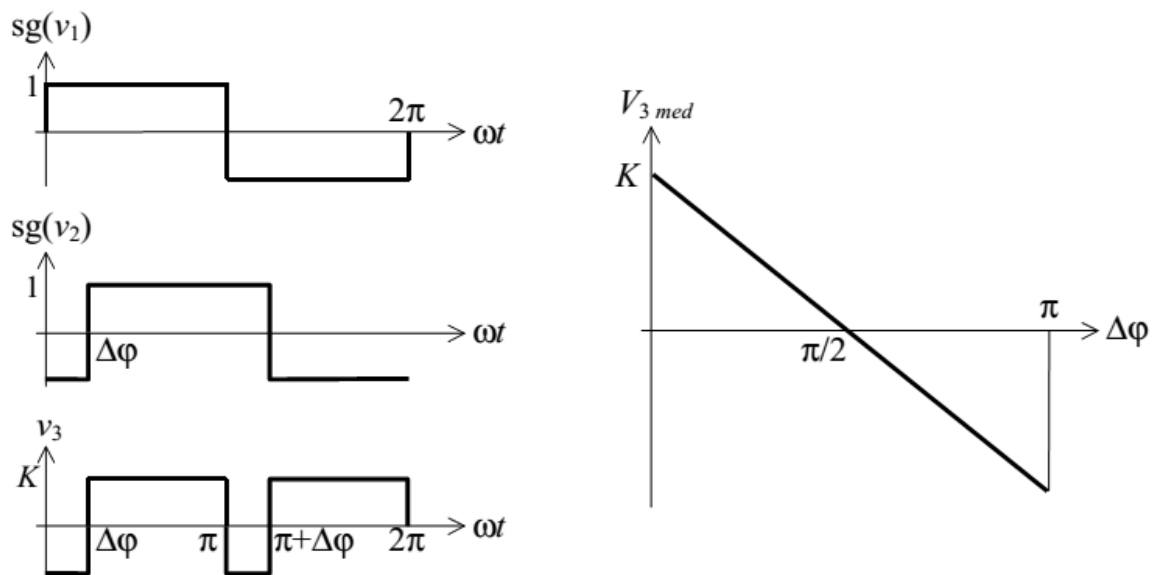
$$v_3 = K s g(v_1(t)) s g(v_2(t))$$

donde $s g(x)$ es la función signo. Suponiendo que las dos señales tienen semiperíodos simétricos y que tienen un defasaje $\Delta\varphi$, como se muestra en la figura siguiente, podemos calcular el valor medio en un periodo como

$$V_{3med} = \frac{1}{T} \int_0^T v_3(t) dt = \frac{K(\pi - \Delta\varphi) - K\Delta\varphi}{\pi}$$

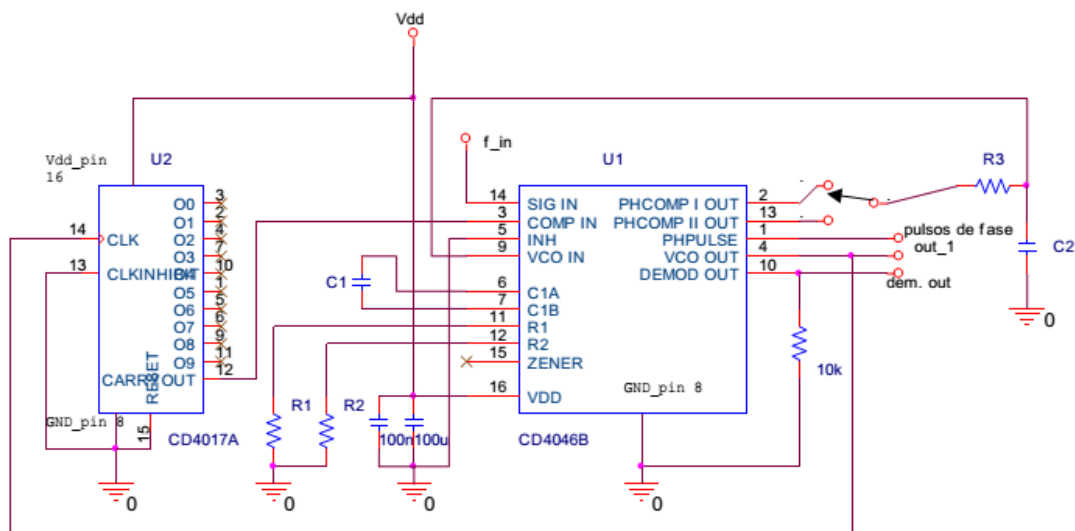
Es decir

$$V_{3med} = \frac{2K}{\pi} \left(\frac{\pi}{2} - \Delta\varphi \right)$$



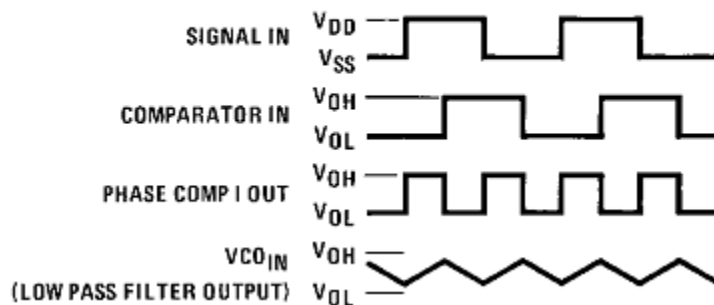
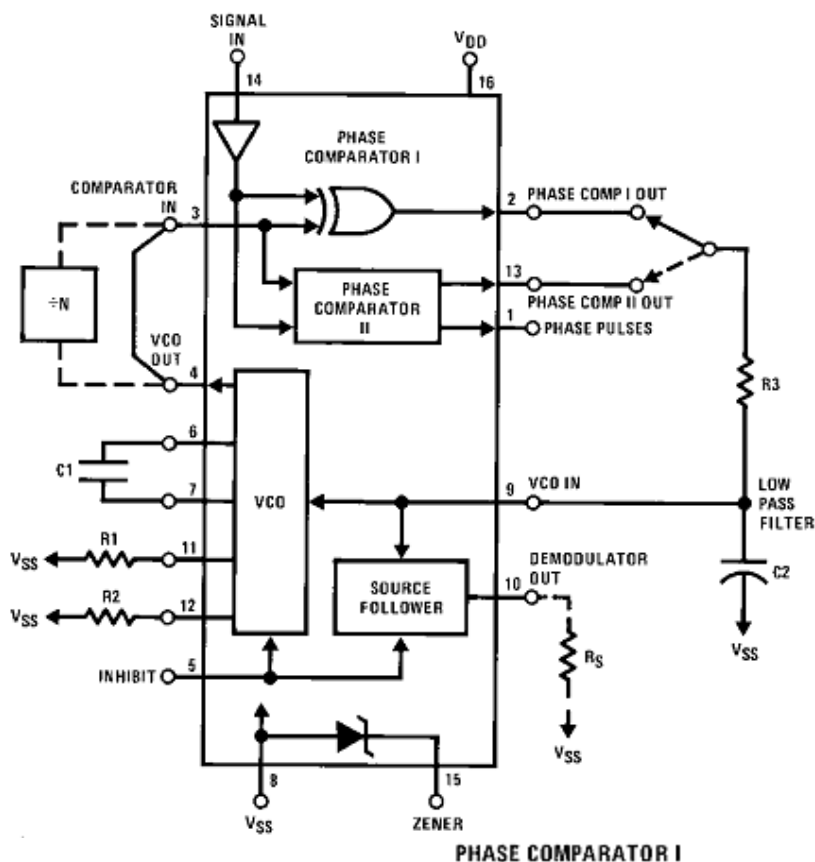
Diseño

El circuito a implementar es el siguiente, éste está basado en un PLL con el integrado CD4046B y un Divisor CD4017.



Funcionamiento Básico

Al ver el esquemático el funcionamiento entre los integrados podemos decir que la señal es ingresada por el pin 14 del CD4046, luego la señal sale por el pin 4 que es la salida del VCO e ingresa al CK del CD4017 por el pin 14 y se utiliza el Carry Out en el pin12, esto significa que se produce un overflow en el contador lo que equivale a 10 ciclos de reloj en la entrada, esta se realimenta al pin 9 dividida 10 veces del CD4046 que es la entrada de comparador, después tenemos la opción de elegir entre dos comparadores, el comparador 1 es una XOR, el comparador de fase 2 es el pin 13, El fabricante nos aconseja utilizar el comparador de fase 1 ya que es más estable.



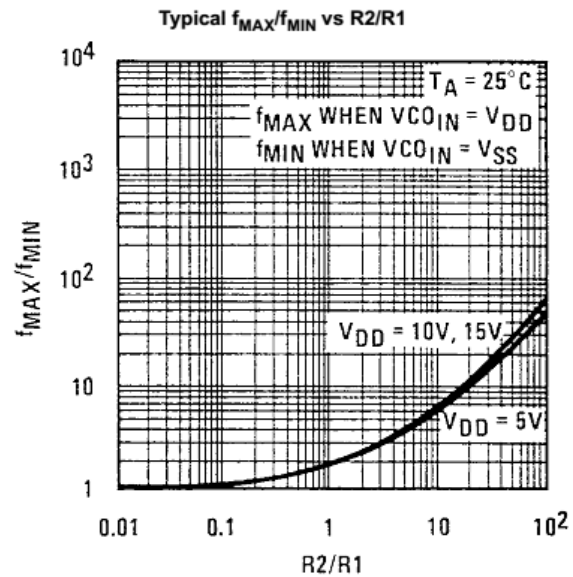
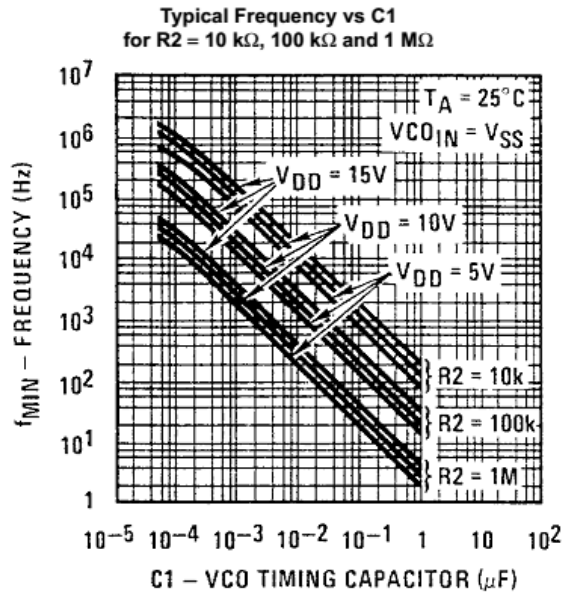
CÁLCULO DE LOS COMPONENTES

Cálculo de R_1 , R_2 , C_1

Se hace uso de la curva f_{min} vs C_1 provista en la hoja de datos del CD 4046 como criterio de diseño se usa la $f_{VCO(min)} = 100KHz$ esto da por resultado una $R_2 = 10KHz$ y $C_1 = 1nF$, luego de haber encontrado estos valores se utiliza la curva f_{max}/f_{min} vs R_2/R_1 para esto se considera la $f_{VCO(max)} = 300KHz$

$$\frac{f_{max}}{f_{min}} = \frac{300 KHz}{100KHz} = 3 \Rightarrow \frac{R_2}{R_1} = 2 \Rightarrow R_1 = 5K\Omega$$

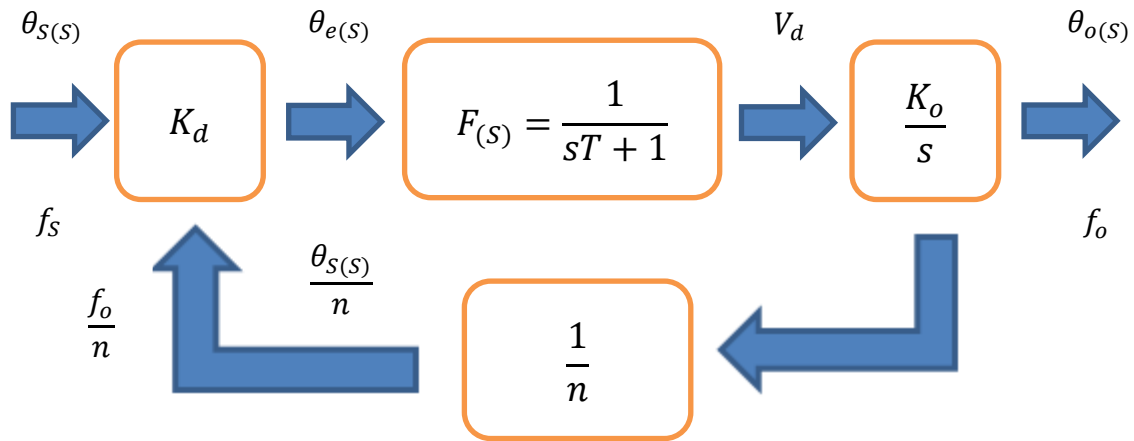
Se toma $\pm 50KHz$ como margen de seguridad a fin de asegurar que el PLL se enganche en las frecuencias de trabajo



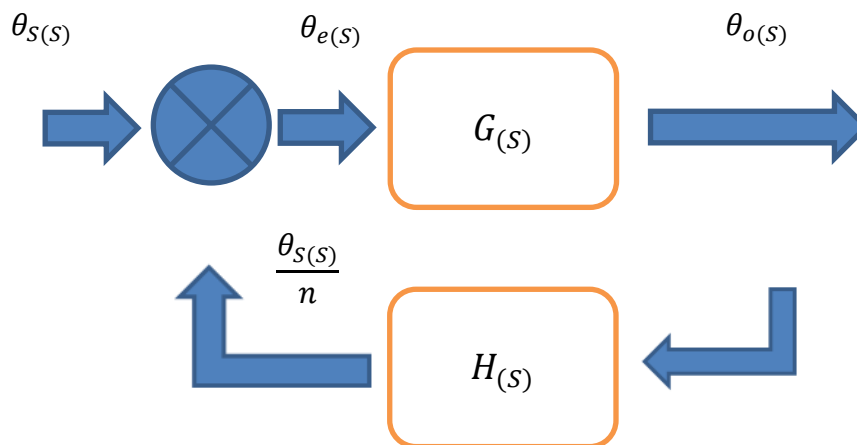
Cálculo de R_3 y C_2

La elección de estos valores depende de la característica de respuesta transitoria, o de frecuencia que se desee en el sistema. En éste caso, está dada por la especificación del coeficiente de amortiguamiento, que es de $\zeta = 0,4$

FUNCIÓN DE TRANSFERENCIA



En forma general por la teoría de control



$$M_S = \frac{\theta_o(s)}{\theta_s(s)} = \frac{G_S}{1 + G_S H_S} \quad T = R_3 C_2$$

$$\begin{aligned} \frac{\theta_o(s)}{\theta_s(s)} &= \frac{\frac{K_o K_d}{s(sT + 1)}}{1 + \frac{1}{n} \frac{K_o K_d}{s(sT + 1)}} = \frac{\frac{K_o K_d}{s(sT + 1)}}{\frac{ns(sT + 1) + K_o K_d}{ns(sT + 1)}} \frac{nT}{nT} = n \frac{K_o K_d}{nTs^2 + ns + K_o K_d} \\ &= n \frac{\frac{K_o K_d}{nT}}{s^2 + s \frac{1}{T} + \frac{K_o K_d}{nT}} = n \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \end{aligned}$$

$$G_S H_S = \frac{\frac{K_o K_d}{n}}{s(sT + 1)} \text{ en este caso el sistema es de tipo 1}$$

$$1 + G_S H_S = 0 \Rightarrow 1 + \frac{\frac{K_o K_d}{n}}{s(sT + 1)} = 0 \Rightarrow s(sT + 1) + \frac{K_o K_d}{n} = 0$$

$$s^2 T + s + \frac{K_o K_d}{n} = 0 \Rightarrow s^2 + \frac{s}{T} + \frac{K_o K_d}{nT} = 0$$

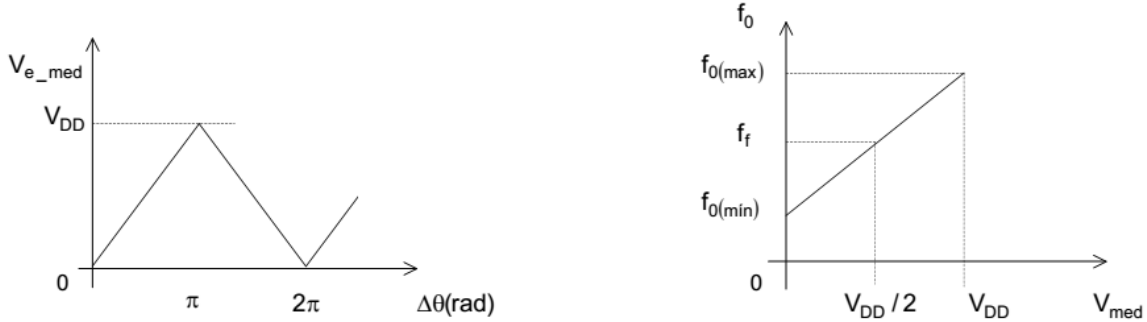
De acá tenemos que:

$$\omega_n = \sqrt{\frac{K_o K_d}{nT}} \Rightarrow \frac{1}{T} 2\omega_n \zeta \Rightarrow \zeta = \frac{1}{2T\omega_n} = \frac{1}{2T} \sqrt{\frac{nT}{K_o K_d}}$$

$$\zeta = \frac{1}{2} \sqrt{\frac{n}{TK_o K_d}} \Rightarrow R_3 C_2 = T = \frac{n}{4\zeta^2 K_o K_d}$$

Se observa que para el cálculo de R_3 y C_2 primero debemos conocer las ganancias K_d y K_o . Para ello realizamos el siguiente análisis.

Estimación de K_d y K_o



$$K_d = \frac{\Delta V}{\Delta \theta} = \frac{V_{DD}}{\pi} = 3,82 \left[\frac{V}{rad} \right]$$

$$K_o = \frac{\Delta \omega}{\Delta V} = \frac{2\pi(f_{max} - f_{min})}{V_{DD}} = \frac{2\pi(300KHz - 100KHz)}{12} = 104719,7 \left[\frac{rad/s}{V} \right]$$

$$\frac{K_o K_d}{n} = \frac{3,82 * 104719,7}{10} = 40002,94 \left[\frac{rad}{s} \right]$$

$$R_3 C_2 = T = \frac{n}{4\zeta^2 K_o K_d} = 39.05[\mu s]$$

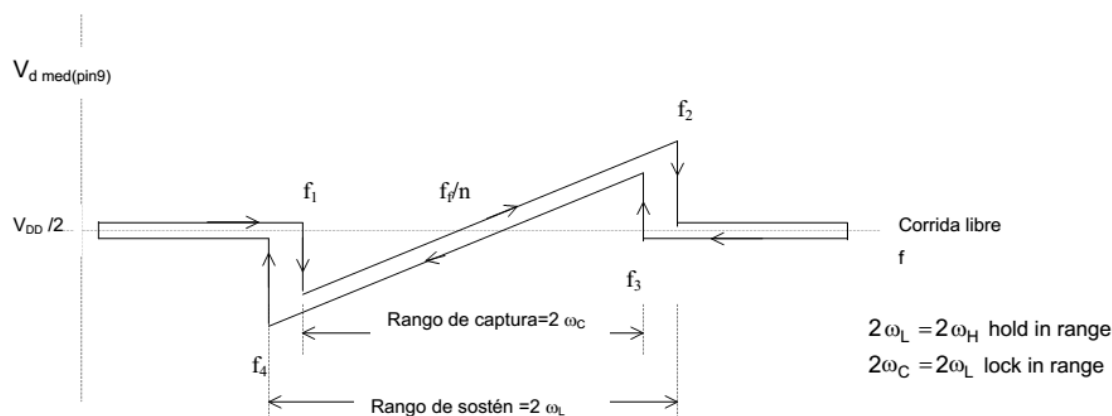
Se toma C_2 en 66nF por lo tanto se necesita una R_3 de 591Ω se utiliza una normalizada de 560 Ω entonces

$$\omega_n = \sqrt{\frac{K_o K_d}{Tn}} = \sqrt{\frac{40002,94}{36.96\mu s}} = 32898,79 \left[\frac{rad}{s} \right]$$

Medición de f_1, f_2, f_3, f_4, f_f

$2f_L$ = Rango de sostén

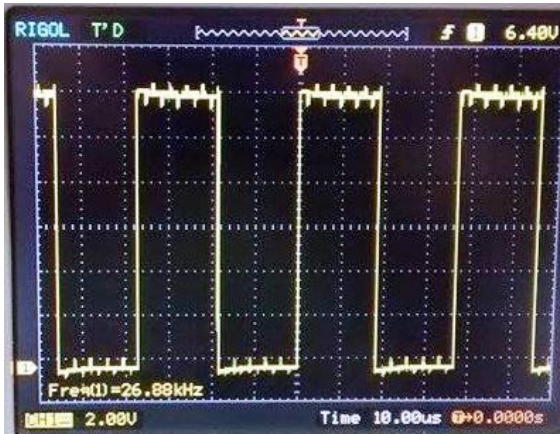
$2f_c$ = Rango de captura



El procedimiento para medir las frecuencias de sostén f_4 y f_2 se debe conectar el pin 9 del CD4046 a GND y VCC respectivamente y medir la entrada del comparador pin 3.

Por otro lado para medir f_1 y f_3 , estando el PLL desenganchado “ubicado en alguna frecuencia fuera del rango de sostén” se varia la frecuencia de entrada hasta lograr el enganche de sistema. Si se mide f_1 hay que aumentar progresivamente la frecuencia del generador hasta lograr el enganche, como se observa esta frecuencia esta sobre la frecuencia de sostén, si por otro lado estamos en una frecuencia fuera del rango de sostén y por encima de la f_2 , se varia el generador disminuyendo la frecuencia del mismo hasta lograr el enganche que es una frecuencia un tanto menor que la f_2 .

Rango de sostén	Comparador de fase I	Comparador de fase II
$f_4 = 9,1 \text{ KHz}$	$f_1 = 13,8 \text{ KHz}$	$f_1 = f_4 = 9,15 \text{ KHz}$
$f_2 = 26,8 \text{ KHz}$	$f_3 = 25,25 \text{ KHz}$	$f_2 = f_3 = 26,8 \text{ KHz}$
$2f_L = 17,7 \text{ KHz}$	$\frac{f_f}{n} = 19,84 \text{ KHz}$	$\frac{f_f}{n} = 9,15 \text{ KHz}$
	$2f_c = 12,34 \text{ KHz}$	



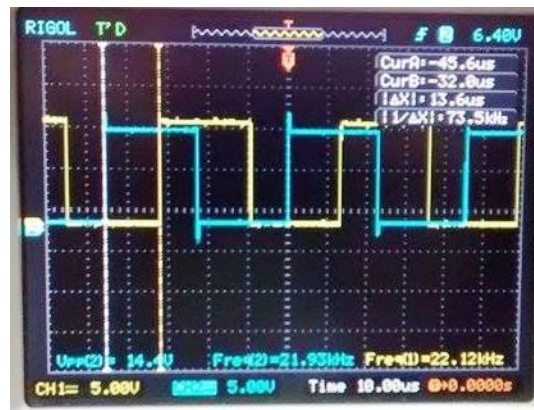
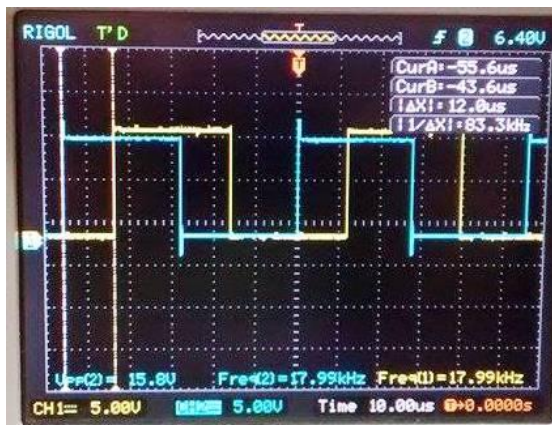
Limite superior rango de sosten



Limite inferior rango de sosten

Medición de ganancia del bucle $K_o K_d n^{-1}$

Para la medición de este parámetro se inyecta al pin 14 del PLL una señal la cual debe variar entre dos valores de frecuencia que estén dentro del rango de captura, luego observaremos la entrada del comparador colocando una punta del osciloscopio en el pin 3 y a otra punta de medición se colocamos en la entrada de señal pin 14. Con esto deberíamos ver los dos canales del osciloscopio y observar las dos señales superpuestas y con un determinado desfase entre ellas. A continuación se mide el ángulo de desfase.



$$f_{s1} = 18 \text{ KHz}$$

$$\tau_1 = 12 \mu\text{s}$$

$$T_1 = 55,55 \mu\text{s}$$

$$\theta_1 = \frac{\tau_1}{T_1} 2\pi = 1,357 \text{ rad}$$

$$f_{s1} = 22 \text{ KHz}$$

$$\tau_2 = 13,6 \mu\text{s}$$

$$T_2 = 45,45 \mu\text{s}$$

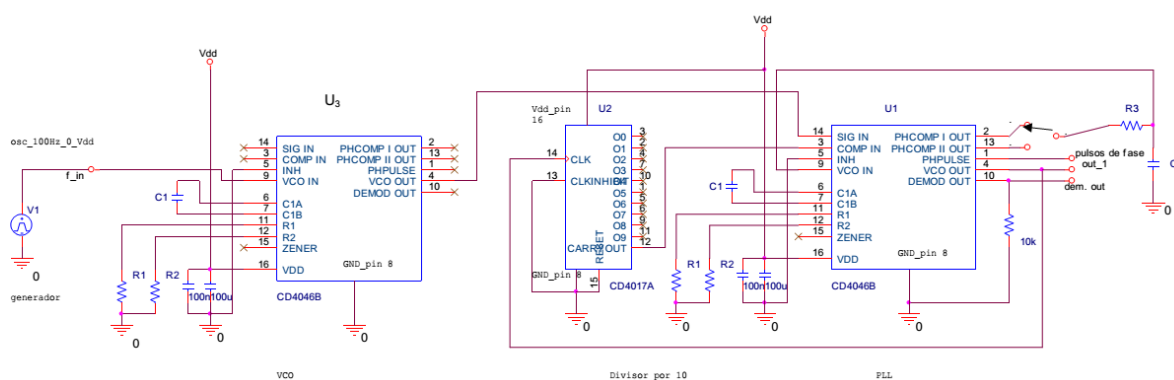
$$\theta_2 = \frac{\tau_2}{T_2} 2\pi = 1,88 \text{ rad}$$

Por lo que la Ganancia de bucle es:

$$\frac{K_O K_d}{n} = \frac{\Delta \omega_s}{\Delta \theta} = \frac{2\pi(22\text{KHz} - 18\text{kHz})}{1.88 - 1.357} = 48054 \left[\frac{\text{rad/s}}{\text{rad}} \right]$$

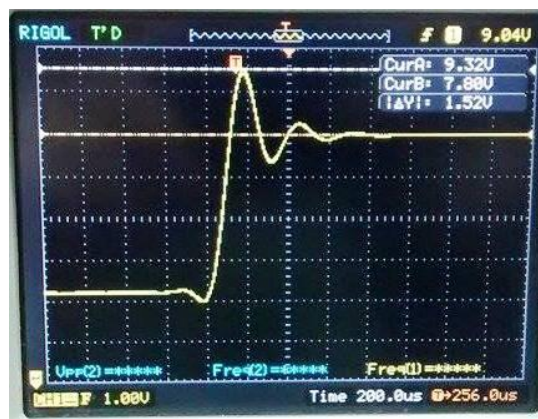
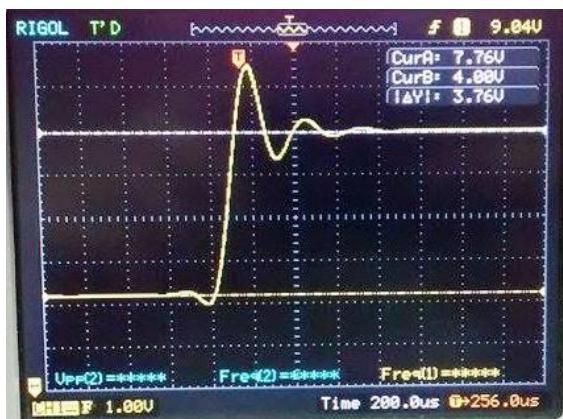
MEDICIÓN DE M_P , T_P Y T'

Para medir este parámetro es necesario un escalón de f_s , el cual puede realizarse modulando con una señal cuadrada de 100 Hz a un VCO adicional, donde de este VCO se aplica a la entrada de señal del PLL pin 14.

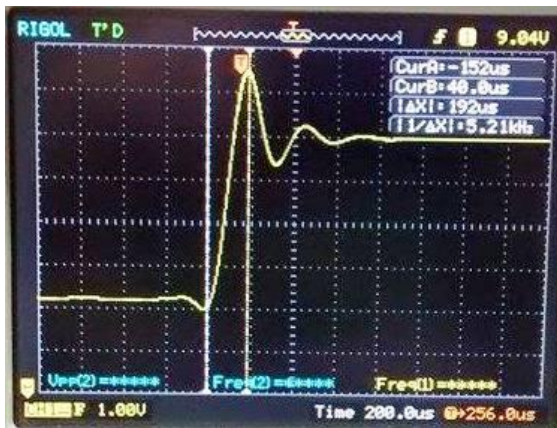


Hay otra alternativa a usar para evitar el cálculo de un nuevo VCO la cual consiste en utilizar un Generador Programable de funciones realizando la modulación correspondiente. *Luego de las mediciones se explicara el procedimiento de configuración para realizar la modulación de FM con el Generador de Funciones.

Medición de M_p



Medición de t_p y ω_n



$$M_p = \frac{1,52}{3,76} = 0,404 \Rightarrow \zeta \approx 0.4$$

$$\omega_d = \frac{2\pi}{T'} = \frac{2\pi}{276\mu s} = 22765,16 \frac{rad}{s}$$

$$\omega_n = \frac{\omega_d}{\sqrt{1 - \zeta^2}} = 24886,5 \frac{rad}{s}$$

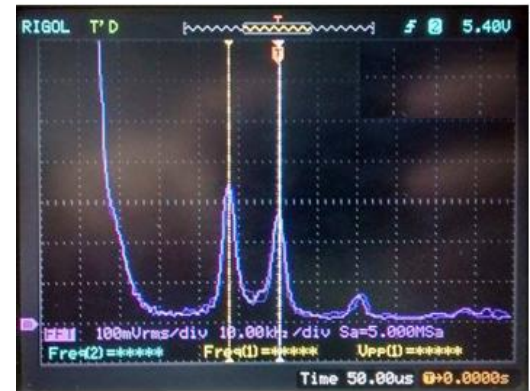
UTILIZACIÓN DEL GENERADOR DE FUNCIONES PROGRAMABLE GFG-3015

Se realiza una modulación FM interna con dos funciones cuadradas, para realizar este procedimiento de debe establecer ciertos parámetros previos que hacen a la modulación, el primero de ellos es la frecuencia central que en este caso se utiliza 20KHz, el tipo de señal “Cuadrada”, luego para realizar la modulación se utiliza los controles RATE junto con SPAN, el SPAN indica el % de desviación en frecuencia respecto a la frecuencia central fijada previamente, el RATE nos indica el ritmo de cambio entre los valores preestablecidos por el SPAN o sea es la frecuencia de la señal modulante.

En nuestro caso se establece el RATE en 100Hz, el SPAN se fija al 15%, por lo que las frecuencias se sitúan en 17KHz y 23KHz posteriormente se inicia la modulación con el botón “MOD ON”, y se examina la señal con el osciloscopio en el dominio del tiempo y de la frecuencia.



RATE Y SPAN



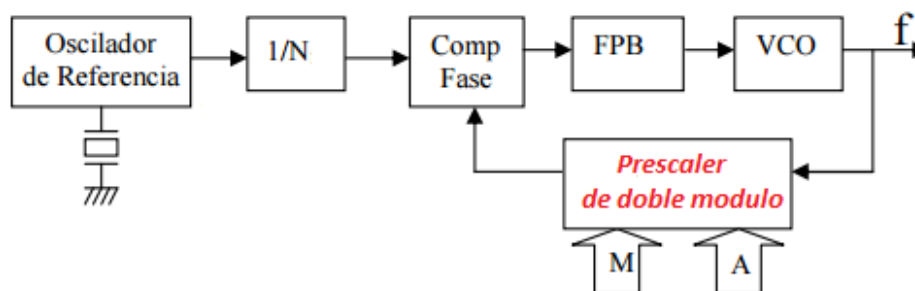
DISEÑAR UNA RED PLL PARA UTILIZAR COMO OSCILADOR LOCAL EN UN RECEPTOR DE FM CON PRESCALER DE DOBLE MODULO.

Comenzamos diseñando un sintetizador de frecuencia para trabajar en la banda de FM Comercial entre los 88MHz a 108MHz de 200 canales con una separación entre canales de 100kHz.

Como vimos anteriormente los componentes básicos de un PLL son el Detector de fase, el Filtro Pasa-Bajas y el VCO, y se puede sumar un divisor donde esto es suficiente para ciertos rangos de frecuencias pero en el caso de la gama de VHF y superiores ya tenemos ciertas limitaciones donde la limitación de la máxima frecuencia de operación en los divisores programables actualmente disponibles, obliga a adoptar técnicas de diseño especiales para posibilitar su empleo en estas gama de frecuencias.

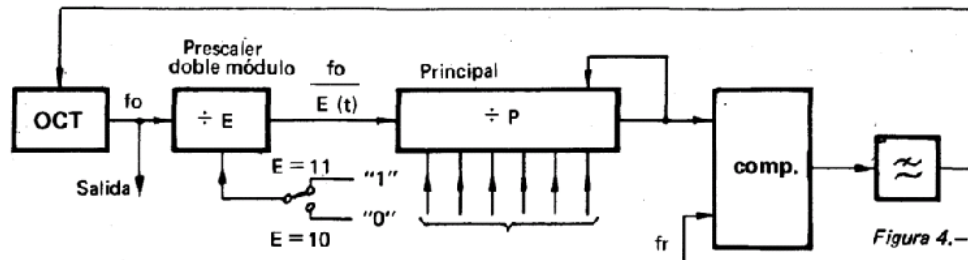
Donde el principal inconveniente en la construcción del prototipo radica en el diseño del divisor que realimenta el circuito. Hay varias opciones para este bloque, como son Sintetizador de Frecuencia con un PLL y un Mezclador, Sintetizador de Frecuencia Heterodino, con Prescaler y prescaler de Dos Módulos.

Para el diseño se utilizó la técnica de divisor de doble módulo la cuál es muy utilizada en sintetizadores de VHF a continuación vemos un diagrama en bloques.

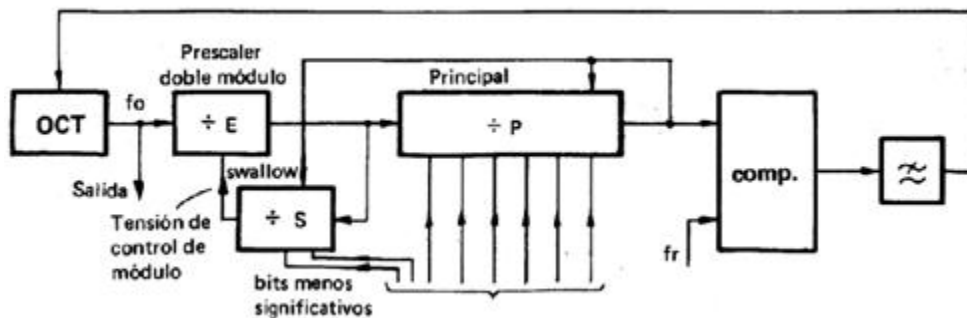


COMPRESIÓN DEL USO DE PRESCALER DE DOBLE MODULO

Como se mencionó anteriormente que no se dispone de divisores programables para el rango de VHF y superiores. Sin embargo, es tecnológicamente factible la construcción de prescalers con dos opciones de módulo, por ejemplo 5/6, 10/11, 32/33, 100/101, etc. Puede seleccionarse el módulo mediante una tensión de control que puede adoptar dos estados lógicos.



Si el control de módulo está en 1, el prescaler divide por 11; si está en cero divide por 10. Aquí viene lo interesante: si conmutamos la llave a la velocidad de f_r (de modo que durante una parte del período divida por 11, y por 10 durante el resto), es como si hubiésemos puesto un prescaler con un módulo E entre 10 y 11. Pasemos a la figura siguiente. Se ha reemplazado la llave con un contador denominado swallow, cuya entrada se conecta a la salida del prescaler.



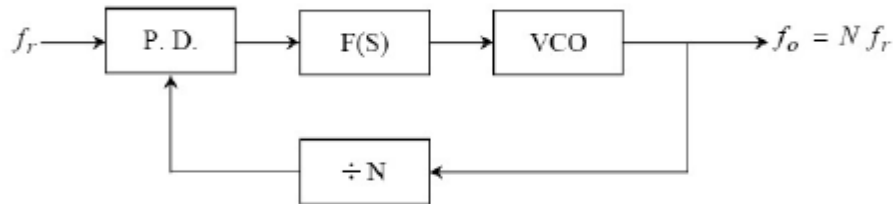
Este contador auxiliar es programable con el último dígito del módulo total deseado. Funciona de modo tal que inicialmente obliga al prescaler a dividir por 11, hasta que la cantidad de veces que efectuó dicha operación iguale al número programado en el swallow, momento a partir del cual éste queda inactivo y el prescaler sigue dividiendo por 10 durante el resto del período de f_r . Veremos enseguida que el uso del doble módulo permite evitar la reducción de la referencia, tal como si el conjunto fuese un verdadero divisor programable que funcionase directamente en f_o .

INTRODUCCIÓN PRESCALER DE DOBLE MÓDULO

Para conocer el funcionamiento se llevará a cabo el diseño de un sintetizador de frecuencia.

Un sintetizador de frecuencia es un dispositivo electrónico cuya función es generar cualquier frecuencia dentro de un rango dado, utilizando un oscilador.

Son dispositivos que generan frecuencias diferentes a la de referencia.



Supongamos $N = 10$ en el circuito de la figura, la frecuencia de salida es 10 veces superior a la frecuencia de entrada, de modo que este circuito, funciona como un multiplicador de frecuencia.

Este circuito, podría realizar la multiplicación por otro número, si el contador que se inserta en la realimentación, realiza la división adecuada. Entonces podríamos decir, que si el contador es programable, el PLL funcionaría como un sintetizador de frecuencia programable.

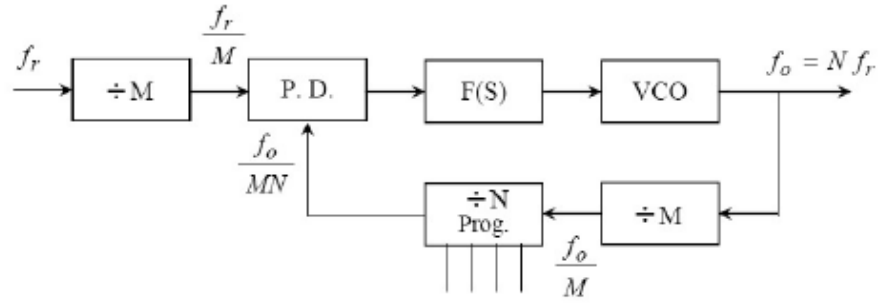
Por ejemplo, si $N = 100$ a 1000 , con una $f_r = 1\text{KHz}$, se obtendría señales dentro de un rango entre 100KHz y 1MHz . La mínima variación de frecuencia es igual a 1KHz , que coincide con la frecuencia de referencia.

Cuando la f_o es elevada, no siempre es simple y económica la realización del divisor programable, debido al limitado ancho de banda que presentan estos CI. Se utiliza entonces, la técnica del “preescalado” para lograr mayores frecuencias.

Se utiliza un divisor previo fijo llamado prescaler que puede trabajar con altas frecuencias y realiza la función de dividir por M , con M fijo. Esta configuración permite que el VCO, trabaje con señales que tienen frecuencias M veces superiores a la frecuencia máxima del contador programable.

Si se divide la f_r y la del VCO por M , la ecuación sería:

$$\frac{f_{ref}}{M} = \frac{f_o}{M \cdot N} \Rightarrow f_o = N \cdot f_{ref}$$



Dividimos la frecuencia de referencia por M para que no tenga efecto este valor sobre la frecuencia de salida. De otra manera $f_o = N M f_r$ (Ec1).

Debido a esto último perdemos resolución ya que la frecuencia de salida va a tener mínimas variaciones de f_r y no de la frecuencia que entra al comparador de fase que es M veces menor. Con esto se logra que f_o / M esté dentro del rango de operación del contador programable. El elevado factor de división reduce la ganancia del lazo e incrementa el tiempo de respuesta.

Para esta parte del práctico se propone un Sintetizador de Frecuencias, que utiliza un prescaler de dos Módulos. Para poder tener canales intermedios, N debería ser un número entero, más una fracción. Esta fracción podría ser de la forma A / P .

Si N no fuera entero, es decir, si dividiera por N_p más una fracción A / P , esto quedaría:

$$N = N_p + A / P \quad \text{sustituyendo en (Ec. 1);}$$

$$f_o = (N_p + A / P) \cdot P \cdot f_{REF}$$

$$f_o = (N_p P + A) \cdot f_{REF}$$

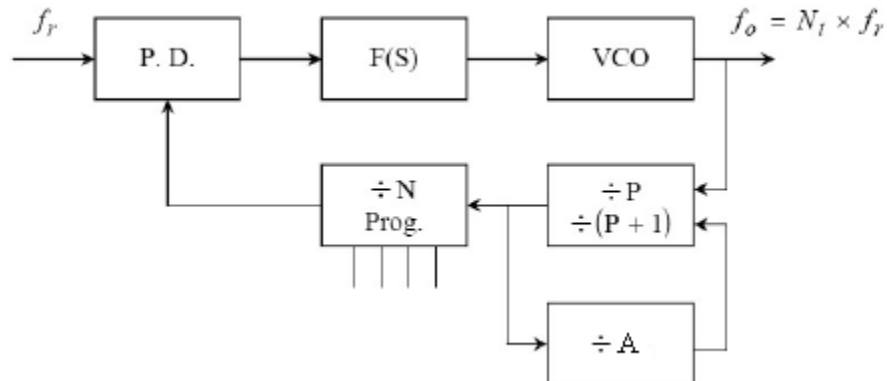
$$f_o = N_p \cdot P \cdot f_{REF} + A \cdot f_{REF}$$

La ecuación muestra que se podrían tener todos los canales si N tomara valores fraccionales. Esto no es práctico, por lo que se busca otra alternativa.

Sumando y restando por $A \cdot P$, queda:

$$f_o = (N_p P + A + A \cdot P - A \cdot P) \cdot f_{REF}$$

$$f_o = (N_p \cdot P - A \cdot P + A \cdot P + A) \cdot f_{REF} = [(N_p - A) \cdot P + A \cdot (P + 1)] \cdot f_{REF}$$

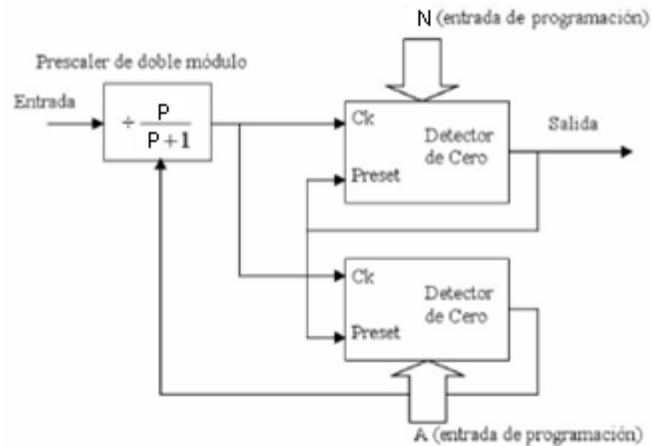


De esta ecuación viene la idea que se podría obtener la fracción que se está buscando en la parte de N, usando un contador P de doble módulo P y P+1.

El prescaler es un contador de alta frecuencia y divide por P ó P +1 dependiendo de A. N y A son contadores de frecuencia relativamente baja y su frecuencia máxima de operación es f_0 / P . Inicialmente los contadores están prefijados a N y A respectivamente y el prescaler divide por P+1. Luego que A ha contado hasta cero y N hasta $N - A$, el prescaler comienza a contar por P. Cuando N llega a cero el número total de cuentas está dado por:

$$N_t = (N - A).P + A.(P + 1) = N.P + A$$

Finalmente, cuando se ha completado, los contadores A y N.P son reseteados para comenzar un nuevo ciclo. Otra forma de explicar el bloque sería mediante el siguiente gráfico:



Está compuesto por dos contadores decrecientes con entradas de preset, uno cuenta desde N y otro desde A, y siempre $N > A$.

Suponiendo que el prescaler comienza dividiendo por $P + 1$, entonces deben ser aplicados $(P+1) \cdot A$ pulsos en la entrada para que el contador de abajo llegue a cero, y el prescaler comience a dividir por P, después deben ser aplicados $P \cdot (N-A)$ pulsos a la entrada para que el contador de arriba llegue a cero y haya un pulso a la salida y se reinicie el ciclo.

Para un ciclo es necesario $(P+1).A + (N-A).P = P.N + A$ pulsos a la entrada, por lo tanto el divisor programable de doble módulo divide por $P.N + A$.

Ya se mencionó una restricción, que N sea mayor que A; existe otra, el mínimo factor de división es $P \cdot (P - 1)$.

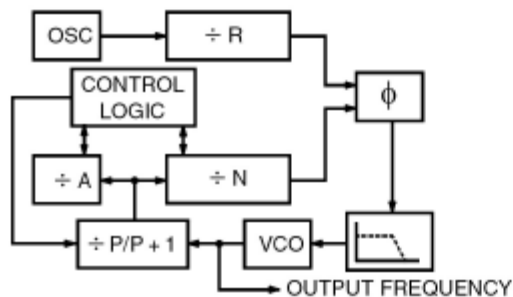
DISEÑO

- Frecuencia entre canales $f_p = 100 \text{ KHz}$.
- Frecuencia máxima $f_{max} = 108 \text{ MHz}$
- Frecuencia Mínima $f_{min} = 88 \text{ MHz}$
- Frecuencia del cristal $f_{xtal} = 12.8 \text{ MHz}$.

Componentes principales a utilizar

- MC145152 “PLL”
- MC12026 “Prescaler”
- MC33171 “A.O” “Filtro Pasa-bajo”

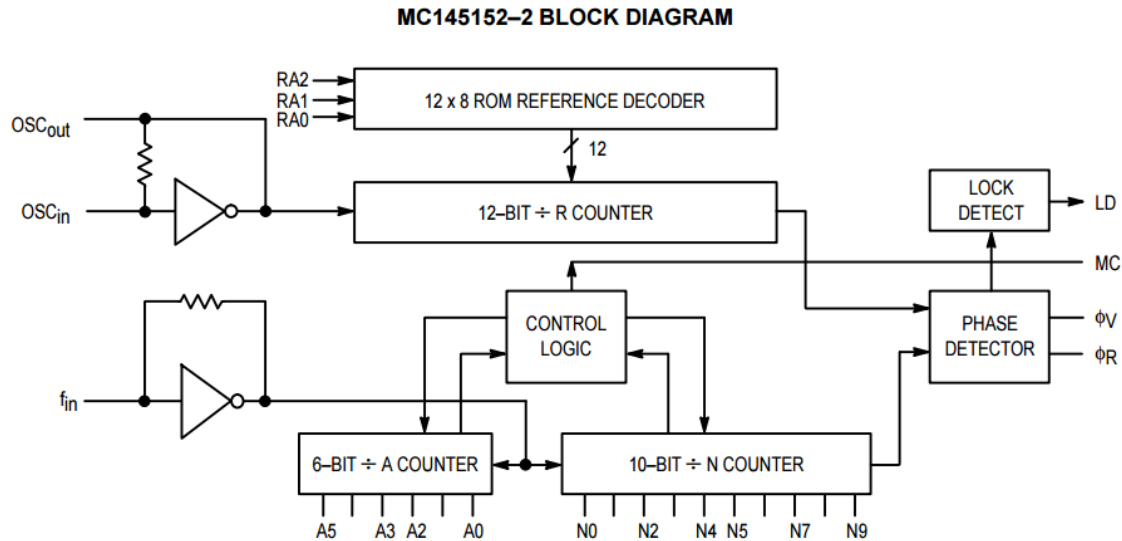
Comenzamos utilizando el MC145152-2 el cual está preparado para ser conectado en forma directa con un prescaler de doble módulo. La frecuencia máxima de entrada es de 22MHz. a 25 °C, para una onda cuadrada y con Vcc de 5V, aumentando ésta con la tensión de alimentación, la amplitud de la señal de entrada y disminuyendo con el aumento de la temperatura.



Encapsulados Disponibles.

Características:

- Rango de operación: -40 a 85 °C.
- Bajo consumo: tecnología CMOS
- Tensión de alimentación: 3 a 9 V.
- Rango de división ($\div N$) : 3 a 16383



CÁLCULO DE $\div R$

El divisor de frecuencia para establecer la f_{REF} , se programa mediante el siguiente cálculo:

$$R = \frac{f_{cristal}}{f_{REF}} = 12.8 \text{ MHz} / 0.1 \text{ MHz} = 128$$

RA0, RA1, RA2

Reference Address Inputs (Pins 4, 5, 6)

These three inputs establish a code defining one of eight possible divide values for the total reference divider. The total reference divide values are as follows:

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	64
0	1	0	128
0	1	1	256
1	0	0	512
1	0	1	1024
1	1	0	1160
1	1	1	2048

PRESCALER

Se utilizará un MC12026 el cual puede dividir por 8/9 o 16/17. La frecuencia máxima de operación es 1.1 GHz.

FUNCTIONAL TABLE

SW	MC	Divide Ratio
H	H	8
H	L	9
L	H	16
L	L	17

- Rango de Operación: - 40 A 85°C.
- Bajo Consumo: 4mW (TYP).
- Tensión de Alimentación: 4,5 VDC 5,5 VDC.
- Compatible con Niveles CMOS - TTL.
- Máxima Frecuencia de Operación: 1GHz.

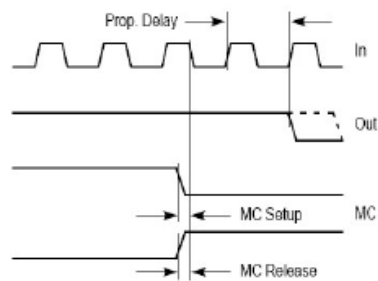
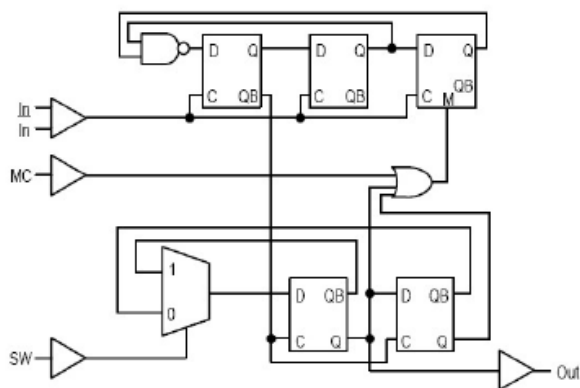


P SUFFIX
8-LEAD PLASTIC PACKAGE
CASE 626-05



D SUFFIX
8-LEAD PLASTIC SOIC PACKAGE
CASE 751-05

Figura 10: Encapsulados Disponibles del MC12026.



Cálculo de N y A

$$f_p = f_{ref} = 100 \text{ KHz} \quad f_{min} = 88 \text{ MHz} \quad f_{max} = 108 \text{ MHz} \quad P = 8$$

$$f_o = (N P + A).f_{ref}$$

$$\frac{f_o}{f_{ref}} = NP + A = N_t$$

Tomando la frecuencia máxima de trabajo:

$$N_{tmax} = \frac{f_{max}}{f_{ref}} = 108 \text{ MHz} / 0.1 \text{ MHz} = 1080$$

Para llegar a este valor se deberá cumplir que:

$$N_{max} P + A = N_{tmax} \quad \text{con} \quad P = 8 \text{ y } A = 0$$

$$N_{max} = N_{tmax} / P = 1080 / 8 = 135$$

En este caso, se utilizará el valor entero, que es $N = 135$, pero en el caso de que N no sea un numero entero, por ejemplo: $N_{t(max)} = 5439$, $N_{max} = 679,875$ se procedería así:

Se utilizará el valor entero $N = 679$.

Ahora se determinará el valor de A :

$$A = N_{tmax} - N_{min} \cdot P = 5439 - 679 \times 8 = 7$$

Con lo que se obtendría el $N_{t(max)}$, que se necesita para sintetizar la f_{max} .

Con la frecuencia de salida mínima f_{min} :

$$N_{tmin} = \frac{f_{min}}{f_{REF}} = 88 \text{ MHz} / 0.1 \text{ MHz} = 880$$

Para llegar a este valor, se deberá cumplir que:

$$N_{tmin} = N_{min} \cdot P + A \quad \text{Con: } P = 8 \text{ y } A = 0$$

$$N_{min} = N_{tmin} / P = 880 / 8 = 110$$

En este caso, se utilizará el valor entero, que es $N = 110$, y no es necesario recalcular el valor de A .

La siguiente tabla muestra los valores de N y A para las correspondientes frecuencias de salida:

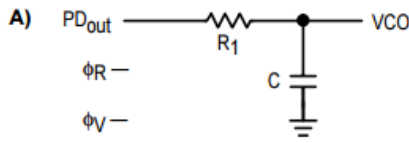
N	A	$N_t = N \cdot P + A$	$f_o [Khz]$
110	0	880	88000
110	1	881	88100
110	2	882	88200
110	3	883	88300
110	4	884	88400
110	5	885	88500
110	6	886	88600
110	7	887	88700
111	0	888	88800
111	1	889	88900
111	2	890	89000
...

N	A	$N_t = N \cdot P + A$	$f_o [Khz]$
...
133	6	1070	107000
133	7	1071	107100
134	0	1072	107200
134	1	1073	107300
134	2	1074	107400
134	3	1075	107500
134	4	1076	107600
134	5	1077	107700
134	6	1078	107800
134	7	1079	107900
135	0	1080	108000

Nota: debido a que $P = 8$, el valor máximo posible de $A = 7$, es decir, $A < P$.

FILTRO PASA – BAJOS

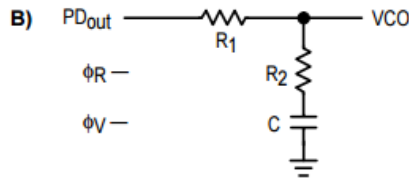
PHASE-LOCKED LOOP — LOW-PASS FILTER DESIGN



$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NR_1C}}$$

$$\zeta = \frac{N\omega_n}{2K_\phi K_{VCO}}$$

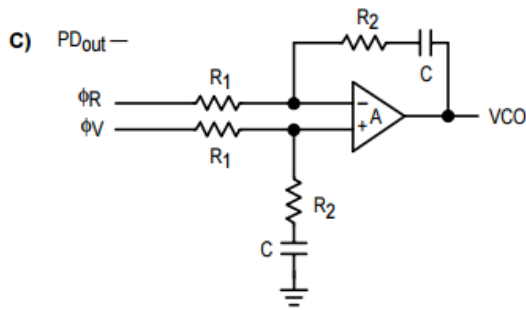
$$F(s) = \frac{1}{R_1sC + 1}$$



$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NC(R_1 + R_2)}}$$

$$\zeta = 0.5 \omega_n \left(R_2C + \frac{N}{K_\phi K_{VCO}} \right)$$

$$F(s) = \frac{R_2sC + 1}{(R_1 + R_2)sC + 1}$$



$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NCR_1}}$$

$$\zeta = \frac{\omega_n R_2 C}{2}$$

ASSUMING GAIN A IS VERY LARGE, THEN:

$$F(s) = \frac{R_2sC + 1}{R_1sC}$$

Definiciones

N = Total Division Ratio in feedback loop

K_ϕ (Phase Detector Gain) = $V_{DD}/4\pi$ for PD_{out}

K_ϕ (Phase Detector Gain) = $V_{DD}/2\pi$ for ϕ_V and ϕ_R

$$K_{VCO} \text{ (VCO Gain)} = \frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}}$$

Para un diseño típico ω_n (frecuencia natural) $\approx 2\pi f_{ref} / 10$ (en la entrada del detector de fase) y un factor de amortiguamiento $\zeta \approx 1$

Cálculo de C:

Utilizando la opción (C) y las ecuaciones a su derecha, los valores para un diseño típico dan:

$$F(s) = \frac{R_2.C.s + 1}{R_1.C.s} \quad \zeta \approx 1$$

$$\omega_n = \frac{2\pi.f_{REF}}{10} = \frac{2\pi.100KHz}{10} = 62,83.10^3 \text{ rad} / s$$

$$K_\phi = 9V / 2\pi = 1,43V / rad$$

$$K_{VCO} = \frac{2\pi \cdot (108\text{MHz} - 88\text{MHz})}{9\text{V}} = 13.96 \cdot 10^6 \text{ rad/V.s}$$

$$R_1 \cdot C = \frac{K_{VCO} \cdot K_{\phi}}{N \cdot \omega_n^2} = 632,12 \mu\text{s}$$

Utilizando $C=10\text{nF} \Rightarrow R_1=68 \text{ K}\Omega$

De la fórmula de ζ despejamos R_2

$$R_2 = \frac{2\zeta}{\omega_n \cdot C} = 3.18 \text{ K}\Omega \approx 3,3 \text{ K}\Omega$$

VCO

Debido a que el MC145152-2 no posee un VCO interno, debemos utilizar uno externo. El circuito elegido es el MC1648 (diseñado para la utilización en aplicaciones con PLL), el cual es un VCO que requiere de un circuito tanque externo, formado por un LC para el funcionamiento, teniendo en cuenta que $QL \geq 100$ en la frecuencia de Oscilación.

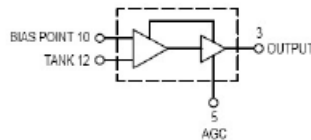


Diagrama en Bloques del MC1648.



Encapsulados Disponibles.

$$\frac{f_{max}}{f_{min}} = \frac{\sqrt{C_{D(max)} + C_S}}{\sqrt{C_{D(min)} + C_S}}$$

$$f_{min} = \frac{1}{2\pi \cdot \sqrt{L \cdot (C_{D(max)} + C_S)}}$$

C_S = shunt capacitance (input plus external capacitance).

C_D = varactor capacitance as a function of bias voltage.

Características:

Rango de operación: -30 a 85 °C

Bajo consumo: 150 mW (típico con +5VDC)

Tensión de alimentación: +5,0 VDC ó -5,2VDC

Capacitancia de entrada: 6 pF (típico)

Máxima Resistencia en serie para L: 50Ω

Máxima Frecuencia de Operación: 225 MHz

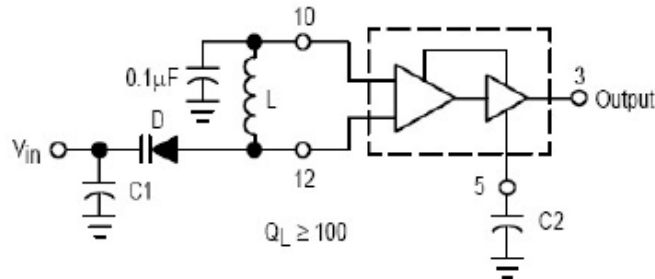
CÁLCULOS:

$$C_{\max} = C_{D(\max)} + C_s \quad y \quad C_{\min} = C_{D(\min)} + C_s$$

$$f_{\min} = \frac{1}{2\pi \cdot \sqrt{L \cdot C_{\max}}} = 88 \text{ MHz con } L = 0.65 \mu\text{H} \Rightarrow C_{\max} = 50.33 \text{ pF}$$

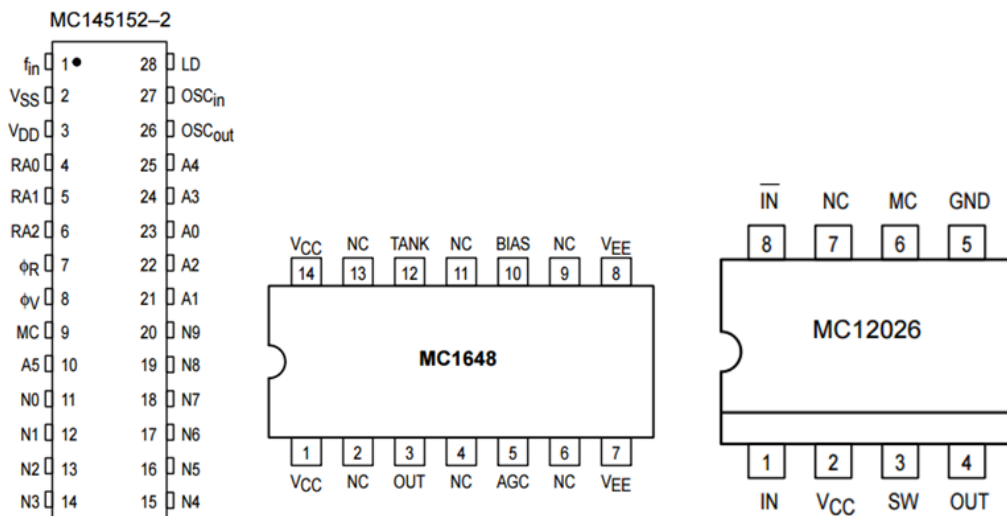
$$\frac{f_{\max}}{f_{\min}} = \frac{\sqrt{C_{\max}}}{\sqrt{C_{\min}}} = \frac{27}{22} \Rightarrow C_{\min} = 33.4 \text{ pF}$$

Las capacidades calculadas se deben al $C_I + C_{\text{externo}} + C_{\text{varactor}}$, por lo que se deben elegir estos componentes según lo disponible en el mercado siempre respetando los cálculos anteriores.

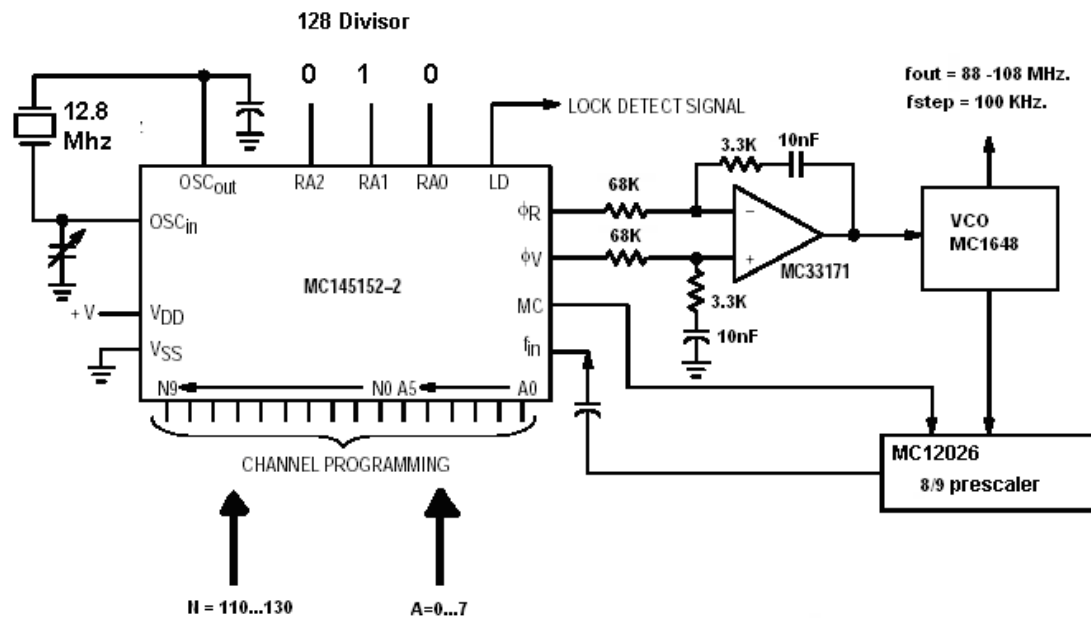


Modo de Conexión del VCO.

ASIGNACIÓN DE PINES



CIRCUITO FINAL

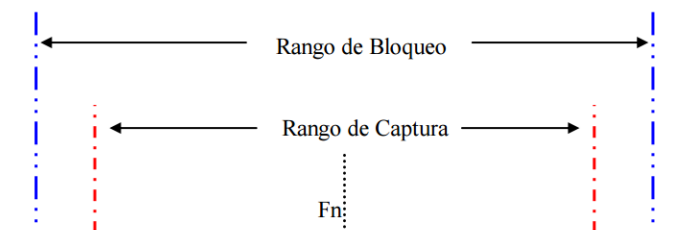


CONCLUSIÓN

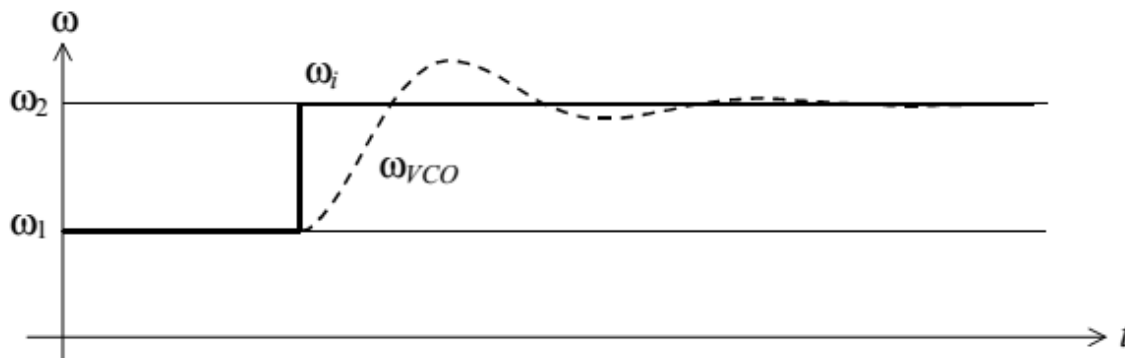
Se observó que el PLL es un sistema de control realimentado donde la señal de realimentación es una frecuencia en lugar de una tensión.

El funcionamiento del mismo con los componentes calculados por medio de las tablas fue demasiado incordiante dado que los cálculos se complican debido a que las curvas están definidas para tensiones de trabajo diferentes a la solicitada, por lo tanto las frecuencias calculadas difieren de las practicas, afectando los rangos de sostén y captura. Este problema se mejora notablemente haciendo uso de un capacitor de precisión en el VCO.

Respecto al filtro Pasa-Bajo se utiliza por lo mencionado anteriormente capacitores de Micaplate, esto es clave en el desarrollo del práctico ya que el rango de captura depende del ancho de banda del filtro pasa bajo, disminuyendo a medida que disminuye el ancho de banda del filtro.



Ante un escalón de frecuencia de entrada desde ω_1 a ω_2 , la frecuencia del VCO tendrá una evolución por lo que se aprecia una respuesta oscilatoria subamortiguada.



Por ser el sistema integrativo, comprobamos que el error final es nulo, es decir que la frecuencia del PLL al alcanzar el estado de equilibrio coincide con la de entrada.

En el desarrollo del Receptor de FM realizado con el Divisor programable de doble módulo aprendimos que es una técnica que se utiliza en sintetizadores de VHF con lógica convencional, para no reducir la frecuencia de referencia a un valor inaceptable por el uso de un prescaler fijo.

El corazón del divisor programable de doble módulo es un prescaler de doble módulo. Este circuito ECL (u otra lógica Rápida), divide por dos factores que difieren en uno, dependiendo de una entrada de control.

La técnica de un prescaler fijo P se utiliza para ampliar el ancho de banda del divisor programable.

Cabe destacar la importancia de las Notas de Aplicación de los componentes, ya que fue de gran ayuda para realizar el práctico.

BIBLIOGRAFÍA

- Introducción al PLL: Información extraída de PLL parte I. PLL - LAZO ENGANCHADO EN FASE – PHASE LOCKED LOOP
- Introducción Receptor FM: Información extraída de PLL parte II. Sintetizador de frecuencias pre-escaladas - Documento UTN N° EA3-02-02
- Comprensión del uso de Prescaler de doble modulo: Artículo extraído de Osciladores “<http://www.qsl.net/lw1ecp> Ing. Daniel Pérez”
- Phase-Locked Loops Design, Simulation, and Applications “Roland E. Best”
- Filminas de clase “Ramon C. Oros” aplicación
- Nota de aplicación de “CD4046B Phase-Locked Loop (Rev. A) - Texas Instruments”
- Datasheets Utilizados
 - http://pdf.datasheetcatalog.com/datasheets/400/109068_DS.pdf
“**CD4046**”
 - http://pdf.datasheetcatalog.com/datasheets/320/108737_DS.pdf
“**CD4017**”
 - <http://pdf.datasheetcatalog.net/datasheet/motorola/MC145152P2.pdf>
f “**PLL**”
 - http://www.onsemi.com/pub_link/Collateral/MC12026A-D.PDF
“**Prescaler**”
 - <http://pdf.datasheetcatalog.com/datasheet/motorola/MC1648D.pdf>
“**VCO**”
 - <http://pdf.datasheetcatalog.com/datasheet/stmicroelectronics/2178.pdf>
“**MC33171 Am.Op**”