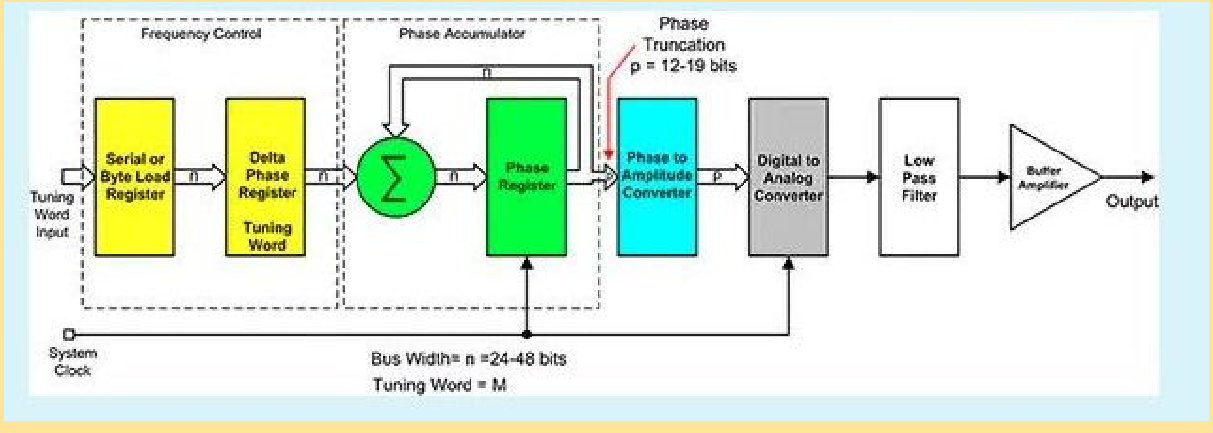
* [SIN] En base al siguiente diagrama, correspondiente a un sintetizador digital directo o DDS, se pide:



1. Si el clock del sistema posee frecuencia fc = 100 MHz, y el ancho de la palabra de fase es n = 12 bits. ¿Cuál es el valor M del “Delta Phase Register” para el cual se produce la máxima frecuencia fmax? ¿Cuál es el valor de esa fmax?

El valor de M para el cual se produce la Fmax es (2^12)/2 (por Nyquist). Por otro lado, el valor máximo de frecuencia es:

fmax = (fo . (2^12)/2)/(2^12) = fo/2 = 50 MHz

1. Explique el efecto del truncado de fase entre el acumulador y el convertidor fase-amplitud. Si lo desea, puede subir un archivo adjunto.

Por lo general es necesario truncar el acumulador de fase para que coincida con la cantidad de posiciones de memoria. El efecto que tiene esto es reducir el tamaño de la tabla sin reducir la resolución en frecuencia. Sin embargo, introduce algo de ruido de fase.

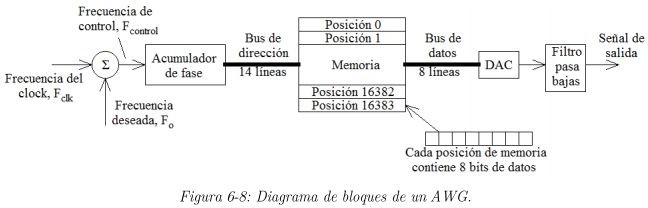
[SIN] Para cada uno de los siguientes componentes de sintetizadores de frecuencia, elija la lista desplegable la característica que mejor se ajuste.

* Mezclador → Se usa para conectar múltiples celdas PLL sumadoras
* Conversor de fase a amplitud → Se ubica antes de un DAC
* Detector de fase → Entrega una señal tipo PWM
* Generador de armónicas → Utiliza rectificadores balanceados
* Sumador digital → Se utiliza en el acumulador de fase de un DDS
* [SIN] Marque las afirmaciones que considere Ud. verdaderas. Las respuestas correctas suman, las incorrectas restan, el puntaje mínimo es 0 puntos.

Seleccione una o más de una:

1. Cuando la frecuencia de salida es la mitad de la frecuencia de clock, la tensión que entrega un DDS es la mitad de la tensión que entregaría a 0 Hz.
2. La velocidad de conmutación de frecuencias es mayor en el PLL fraccional que en el sintetizador directo digital (DDS o AWG).
3. Los productos de distorsión en una cadena de dobladores se encuentran siempre a frecuencias mayores a la frecuencia de salida deseada.
4. Las frecuencias imagen en un DDS pueden encontrarse por debajo de la frecuencia deseada.
5. Un PPL posee mejor pureza espectral que un DDS, pero mayores tiempos de conmutación de frecuencia.
6. Utilizando dobladores de frecuencia, el método de síntesis directa analógica logra resolución de frecuencia igual a la frecuencia del oscilador de referencia.

* **[SIN] Sintetizador digital directo, desarrollar el tema, hacer un diagrama en bloques, y marcar ventajas/desventajas frente a los otros tipos de sintetizadores**



**El generador de onda arbitraria (AWG), es un dispositivo que puede generar formas de onda arbitrarias. Pueden ser repetitivas o de disparo único, en cuyo caso necesitamos alguna fuente de disparo (int o ext). Estas señales tienen alto contenido espectral.**

**El AWG usa el método Direct digital synthesis (DDS). Fclk se mezcla con la frecuencia que queremos que tenga la señal de salida, Fo, para ir al bloque del acumulador de fase. Éste controla la velocidad de direccionamiento de la memoria, en donde está almacenada digitalmente la señal deseada. A la salida de la memoria hay un DAC, y un filtro pasa bajos.**

**(Página 128 lianjosho)**

[SIN] En un PLL fraccionaL, se utiliza N = 20 y fm = 7 MHz. El periodo base es 1000 ciclos de salida. Con estos datos, calcule el rango de frecuencias de salida fo posibles. Incluir al menos 3 (tres) pasos de desarrollo y una breve explicación de su razonamiento. además del resultado final.

Puede utilizar este espacio para su respuesta, y opcionalmente puede subir un archivo. Al ir variando los valores de M, se producen dos casos extremos:

-Cuando todos los ciclos estoy en N-1, Mes igual a N-1: M=(N.ciclos+(N-1).ciclos)/total período base= N-1

-Cuando todos los ciclos estoy en N, Mes igual a N:

M=(N.ciclos+(N-1).ciclos)/ total período base=N N-1 = 19\*7Mhz

N=20\*7Mhz

Resolución= fref/ciclos= 7MhZ/1000=7KHz Rango--->M\*fref [133-140] Mhz

Otra forma Castro

Fo= fref x N → Ecuación que condiciona al PLL de división entera a la imposibilidad de presentar un buen BW y una buena resolución en simultáneo

En base a esta ecuación tenemos en claro que será necesario obtener el valor de frtr por lo que

tendremos:

Fref= 7 MHz

Además, es imprescindible conocer el número de divisor entero (N) y el fraccional (M), los cuales se determinan mediante:

N=20 y M=N-1

Con todos estos datos a disposición se procede a reemplazar obteniendo los extremos de variación:

fo min ==fref x (N-1) → fomin== 7 MHz x (20-1) == 133 MHZ

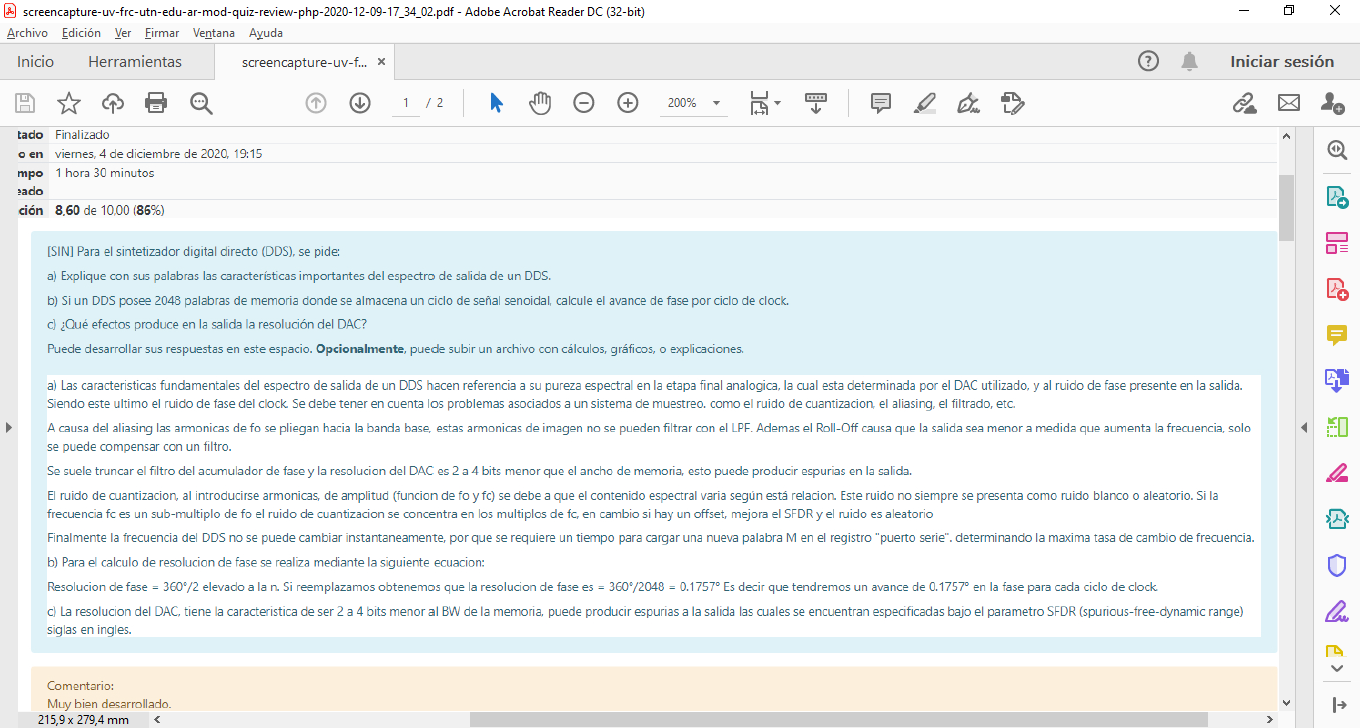
fomax==f,ref x N→ fomax== 7 MHz X 20 == 140 MHZ

Resolución= fref/ciclos= 7MhZ/1000=7KHz

[SIN] Para el sintetizador digital directo (DDS), se pide:

1. Explique con sus palabras las características Importantes del espectro de salida de un DOS.
2. Si un DDS posee 2048 palabras de memoria donde se almacena un ciclo de señal senoidal, calcule el avance de fase por ciclo de clock.
3. ¿Qué efectos produce en la salida la resolución del DAC?

Puede desarrollar sus respuestas en este espacio. Opcionalmente, puede subir un archivo con cálculos, gráficos, o explicaciones.



1. las características fundamentales del espectro de salida de un DDS hacen referencia a su pureza espectral en la etapa final analógica, la cual estará determinada por el DAC utilizado; y al ruido de fase presente en la salida, siendo este último el ruido de fase del clock. A su vez. es muy importante considerar los problemas que sea asocian típicamente a un sistema de muestreo, siendo estos el ruido de cuantización, el aliasing, el filtrado, entre otros.

La respuesta es correcta; sin embargo seria necesario un análisis mas detallado del espectro como el que se realizó en clase sobre la pagina 22 de la presentación.

1. El cálculo de resolución de fase se realiza mediante la siguiente ecuación:

Res. de Fose= 360º/2^n --> reemplazando tendremos--> Res. de Fase= 360º/2048= 0.1757º. En definitiva tendremos un avance de 0.1757° en la fase para cada ciclo de clock.

1. la resolución del DAC, la cual suele ser de 2 o 4 bits menor al BW de la memoria, puede producir espurias a la salida las cuales se encuentran especificados bajo el parámetro SFDR (spurious-free dynamic range, por sus siglas en inglés)

[SIN] Para cada uno de los conceptos siguientes, elija de la lista desplegable el elemento que mejor se ajusta. Cuidado: algunos puntos no corresponden en ningún caso.

* + Conversor de fase a amplitud Consiste en un PLL,
  + Registro de delta de fase "M" →No puede ser mayor a 2^n / 2,
  + Filtro pasabajos → Deja pasar las imágenes de las armónicas de salida,
  + DAC → Produce armónicas dependientes de la relación fo/fc

[SIN] Para cada uno de los conceptos siguientes, elija de la lista desplegable el elemento que mejor se ajusta. Cuidado: algunos puntos no corresponden en ningún caso.

* + Trigger de Schmitt → El ruido puede generar falsas conmutaciones en él
  + Retardo diferencial → Genera incertidumbre en la medición de intervalos de tiempo
  + Flip-flop de compuerta → Puede recibir la señal de entrada o la base de tiempo
  + Medición de periodo → Su incertidumbre es menor cuanto menor es la frecuencia de entrada.

[SIN] De las siguientes afirmaciones, marque las que a su criterio son verdaderas. Correctas suman, incorrectas restan, puntaje mínimo 0 puntos. Seleccione una o más de una:

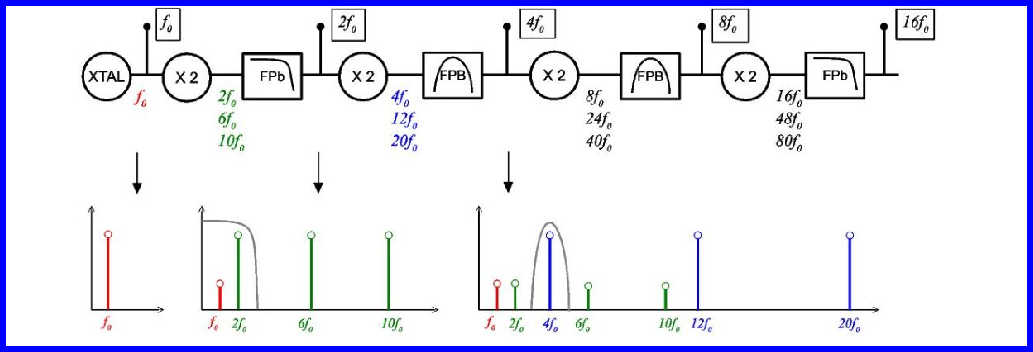
1. La segunda armónica de un DDS siempre cae dentro del filtro pasabajos de salida.
2. El parámetro SFDR depende de la estabilidad del clock de referencia
3. En un PLL fraccional con N = 5, f = 11 MHz y periodo base = 10000 (diezmil) ciclos, es posible obtener una frecuencia de salida fO = 45,15 MHz.
4. El nivel de salida de un DDS puro cambia al variar la frecuencia.
5. Un PLL posee mejor pureza espectral que un DDS
6. En un PLL fraccional con N = 5, f = 11 MHz y periodo base = 10000 (diezmil) ciclos, es posible obtener una frecuencia de salida fO = 44,11 MHz.

# SIN] Sintetizadores en Frecuencia

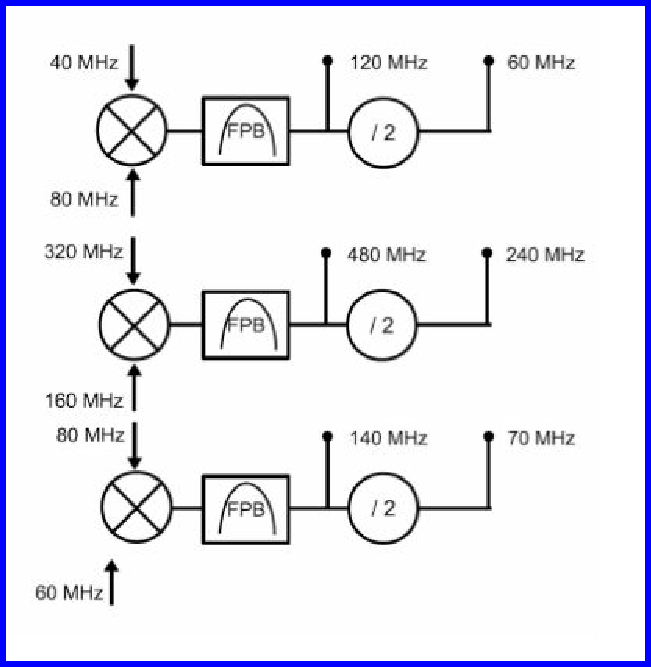
* Describa el procedimiento de un sintetizador sinusoidal analogico por metodo directo.
  + Graficar la *Cadena Básica*.

Se utiliza un oscilador a cristal de alta estabilidad, que por medio de dobladores o multiplicadores se logra la familia de frecuencias del doble del anterior.

Se producen las componentes 2 *fIN* y sus armónicas impares: 6 f*IN*, 10 f*IN*, 14 f*IN , etc.* Para la primera etapa se puede utilizar un filtro pasa bajos, a partir de la segunda, se colocan filtros pasa banda ya que las componentes de interés

se acercan a los residuos de componentes indeseadas.

* + ¿Cómo se obtiene una buena resolución sin sacrificar alcance en frecuencia? Se toma la salida de los dobladores luego de ser filtradas y se aplican a mezcladores que hacen las operaciones de suma y resta para mejorar la resolución. Finalmente estas nuevas frecuencias pueden ser divididas a través de divisores. Para **este** esquema el menor paso es el del cristal principal.



* + Características generales que lo diferencian de los demás?
    - Llegan a frecuencias muy altas
    - Excelente pureza espectral.
    - Rápida conmutación, solamente se deben mover llaves. Típicamente algunas decenas de us (20 a 50 us)
* Indique cuáles de las siguientes características generales de sintetizadores son correctas: (*Supongo que habla de síntesis directa analogica*)
  + El método de síntesis directa permite alta velocidad de conmutación entre frecuencias.
  + El método de síntesis directa utiliza exclusivamente la operación aritmética de suma (***FALSO: utiliza multiplicadores también***)
  + La síntesis directa ofrece muy buena pureza espectral.
  + El detector de fase es esencialmente un filtro. (***FALSO: es una XOR***).
* Indique las características que se cumplen en los métodos de **síntesis indirecta**:
  + El conformador compara la fase del oscilador de referencia con la fase proveniente del lazo de realimentación
  + El PLL fraccional utiliza un divisor donde el valor N es fraccional
  + El PLL fraccional requiere múltiples ciclos de señal de salida para calcular el divisor fraccional.
  + El integrador del PLL fraccional se debe llevar el valor -er inicio de cada periodo base. (En cada ciclo se lleva a 0 el er, guarda, **PUEDE ESTAR MAL POR EL SIGNO NEGATIVO**)
* Se tiene un PLL fraccional donde se desea obtener *fo* = 4,555 MHz, a partir de una *fi*

= 1 Mhz. ¿Cuáles pueden ser los valores utilizados para llegar a esto?

N = 5

N-1 = 4

ciclos = 103 = 1000

##### M = [N \* ciclosN + (N-1) \* ciclos(N-1)] / Total ciclos periodo base

= [5 \* 555 + 4 \* 445] / 1000

M = 4,555

##### D = Ciclos(N-1) / Total ciclos periodo base

= 445 / 1000

D = 0,445

* + N = 5, D = 0,445
  + N = 5, periodo base = 1000 ciclos de *fo*, 555 ciclos en N y 455 en N-1.
  + N = 5, período base = 100 ciclos de *fo*, ciclos en N = 55 y 45 en N-1.
  + N = 5, periodo base = 10000 ciclos de *fo*, 4550 ciclos en N y 5450 en N-1.
* Se tiene un PLL fraccional donde se desea obtener *fo* = 6,555 MHz, a partir de una *fi*

= 1 Mhz, donde el divisor conmuta entre N y N-1. ¿Cuáles pueden ser los valores utilizados para llegar a esto?

N = 7

N-1 = 6

ciclos = 103 = 1000

##### M = [N \* ciclosN + (N-1) \* ciclos(N-1)] / Total ciclos periodo base

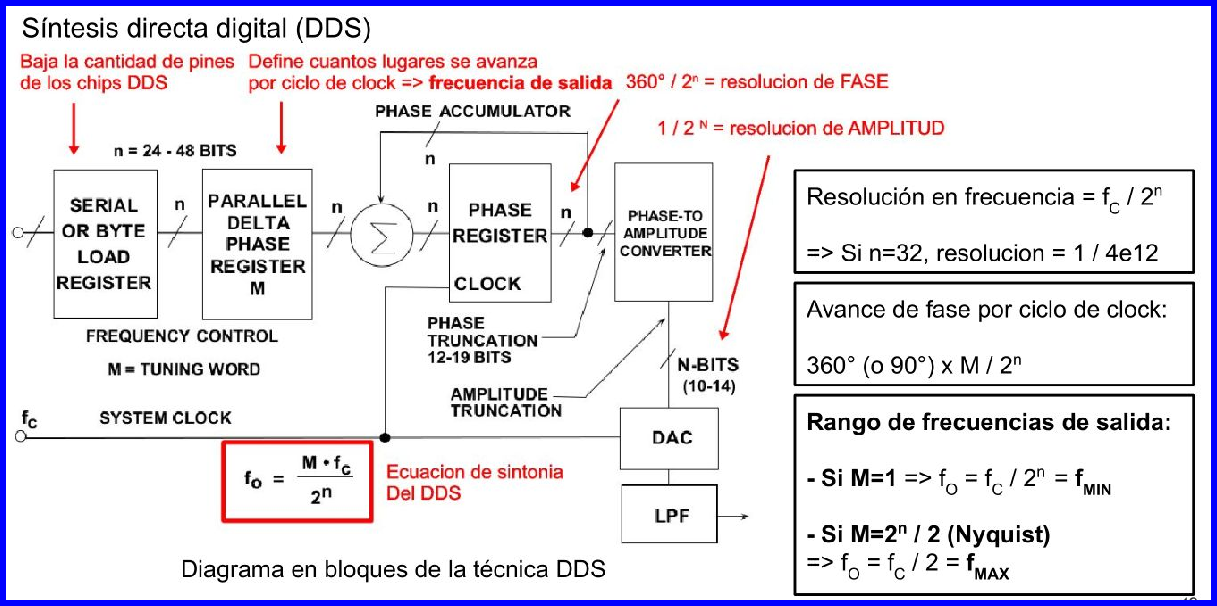
= [7 \* 555 + 6 \* 445] / 1000

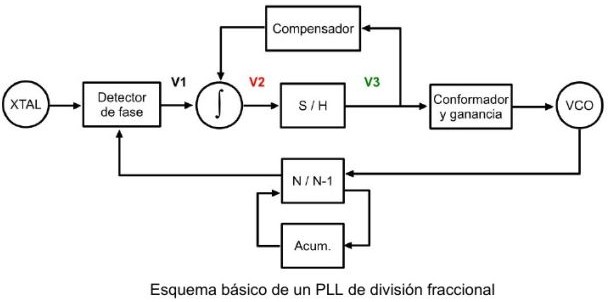
M = 6,555

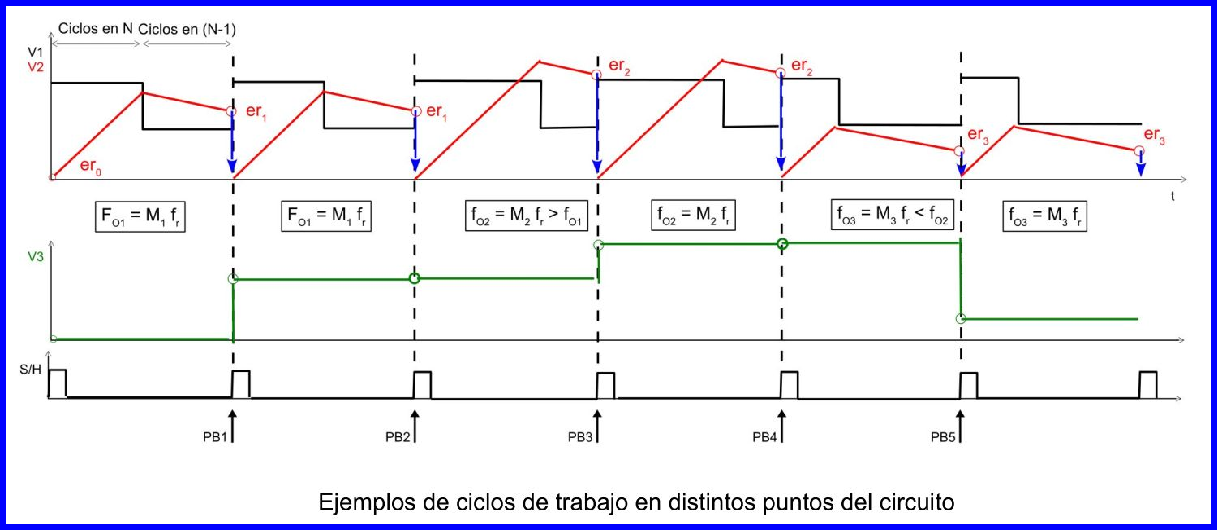
##### D = Ciclos(N-1) / Total ciclos periodo base

= 445 / 1000

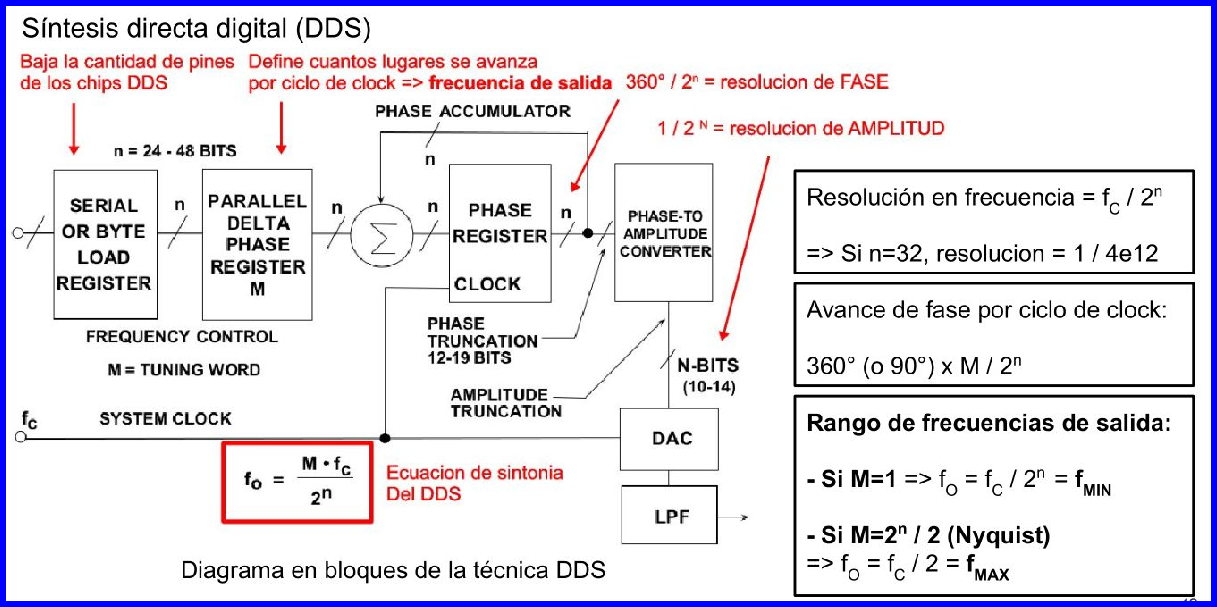
D = 0,445

* + N = 7, periodo base = 1000 ciclos, ciclos en N = 555.
  + N = 7, período base = 100 ciclos, ciclos en N = 55.
  + N = 6, periodo base = 10000 ciclos, ciclos en N = 5550.
  + N = 7, periodo base = 10000 ciclos, ciclos en N = 5550. *(SOLO MULTIPLICA x 10 LOS CICLOS, MAYOR RESOLUCIÓN).*
* Sintetizador con AWG con DDS, explicar diagrama en bloque y daba M, Fc y n para calcular la frecuencia de salida fo.
* Dado el circuito de PLL con N fraccional determinar las formas de onda en los puntos V1, V2, V3.



0

* Diagrama en bloque (y explicar el funcionamiento de cada uno) de un sintetizador DDS. ¿Cuáles son sus ventajas y desventajas con respecto al sintetizador directo analogico y a los sintetizadores indirectos?



Ventajas:

* Excelente resolución
* Bajo costo
* Posibilidad de generar formas de ondas arbitrarias (AWG: Arbitrary Waveform Generator)
* Siendo *fo* = 8,567 MHz y *fref* = 1Mhz, calcular periodo base, N, N-1, ciclos N, ciclos N-1, divisor M y el tiempo que le llevaría al dispositivo efectuar un ciclo de divisiones

M (1/fs \* periodo base).

Periodo base = 103 = 1000

N = 9

N-1 = 8

*ciclosN = 567*

*ciclos(N-1) = 1000 - 567 = 433*

##### M = [N \* ciclosN + (N-1) \* ciclos(N-1)] / Total ciclos periodo base

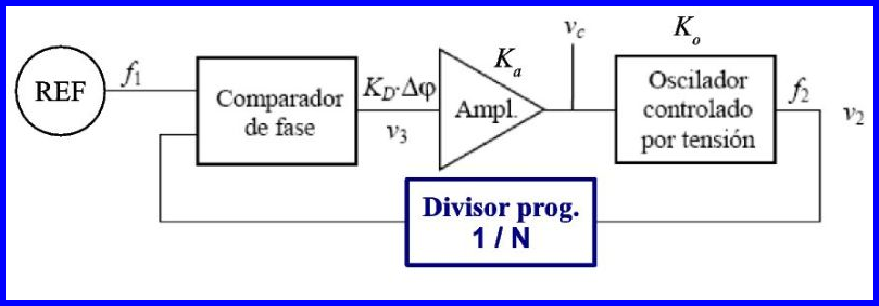
= [9 \* 567 + 8 \* 433] / 1000

M = 8,565

##### T = ciclos periodo base \* 1/fo

= 1000 \* 1/ 8,567 Mhz

T = 116,72 us

* Para un PLL de división entera.
  + Dibuje el esquema general de un PLL con división entera.
  + Indique brevemente la función de sus bloques y brinde un ejemplo numérico. El comparador de fase me va a generar una tensión de error en función de la diferencia de fase entre la señal q estoy generando y mi oscilador de referencia, tratando que N \* f2 sea igual a f1. A través del amplificador se introduce una constante Ka que me genera una tensión para controlar el VCO.
* Indique cuáles de los siguientes enunciados son verdaderos para un PLL de división entera:
  + La salida del comparador de fase se conecta directamente al oscilador

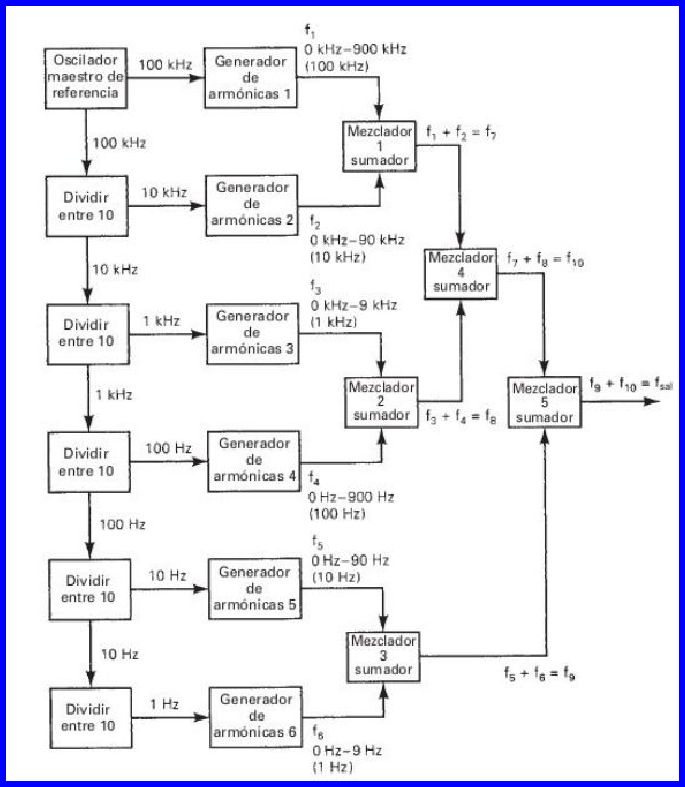
controlado por tensión (VCO).

* + El paso de frecuencia de salida no puede ser menor que la frecuencia de referencia.
  + La frecuencia de salida es siempre igual a la frecuencia de referencia.
  + El comparador de fase es básicamente una compuerta XOR.
* Indique las características que se cumplen en los métodos de síntesis indirecta:
  + El conformador adapta una pendiente lineal a una curva no lineal.
  + El PLL fraccional utiliza un divisor donde el valor N es fraccional.
  + El PLL fraccional es mucho más rápido para reaccionar a cambios que el PLL de división entera.
* En un generador por síntesis indirecta, se procura lograr la aproximación a la frecuencia requerida en el menor tiempo, ajustando luego el sistema para lograr la mejor precisión posible. Indique cómo se logra este efecto:
  + El circuito de captura disminuye el ancho del filtro paso bajo a medida que el detector de fase acusa menor diferencia.
  + El circuito de captura aumenta el ancho del filtro paso bajo a medida que el detector de fase arroja menor diferencia
  + Se varía el valor de N a medida que varía la diferencia de fase.
  + Se utiliza un filtro con el mayor ancho de banda posible, el cual se mantiene constante sin importar la diferencia de fase.
* Indique y explique cuáles de las siguientes opciones son correctas en una síntesis senoidal por **método indirecto**:
  + Mediante el uso de mezcladores se mejora la resolución en frecuencia.
  + La cadena de multiplicación se realiza con rectificadores balanceados.
* *Genera un gran contenido de ruido y posee una distorsión muy alta. (LA ÚNICA QUE ES INDIRECTA)*
* En la cadena de síntesis se utilizan tanto filtros pasa bajos como filtros pasa banda.
* Indique y explique cuáles de los siguientes enunciados son verdaderos para un PLL de división entera:
  + El comparador de fase es prácticamente una compuerta NAND.
  + La frecuencia de salida es siempre igual a la frecuencia de entrada.
  + El tiempo de conmutación es menor en comparación al de una síntesis senoidal por método directo.
  + La resolución en frecuencia no puede ser menor que la frecuencia del

oscilador de referencia.

* Sintetizadores de frecuencia
  + Te pedía la cadena básica del método directo con rectificadores (la que multiplica por 2 , aplica FPB, vuelve al multiplicar por 2 y por último aplica un filtro pasa banda).
  + Pedía características generales de este método(bajo ruido, gran AB, baja distorsión). Luego te pedía como podrías hacer para aumentar el AB sin perder resolución, yo le puse que utilizando mezcladores balanceados y le

hice el primer gráfico que hay en el lianjosho, el que usa divisores por 10 y luego va multiplicando y sumando para armar la frecuencia. deseada.



* Para un PLL de división fraccional, el divisor es de valores (N=29, N-1=19), el oscilador de referencia es de 1 Mhz y el período base es de 1000 ciclos. Con estos datos se pide:
  + Rango y paso de frecuencias de salida.

*fO* = puede variar entre [19 MHz - 29 MHz] fO[N-1] = (N-1) \* fREF = 19 \* 1 MHz = 19 MHz fO[N] = (N) \* fREF = 29 \* 1 MHz = 29 MHz

resolución = (fREF / ciclos de periodo de base) = 1 Mhz / 1000 = 1000 Hz = 1 kHz

* + Ciclos de trabajo D necesario para obtener un divisor fraccional M = 19,471. N = 29

N-1 = 19

ciclos = 104 = 10000

##### M = [N \* ciclosN + (N-1) \* ciclos(N-1)] / Total ciclos periodo base

= [29 \* 471 + 19 \* 9529] / 10000

M = 19,471

##### D = Ciclos(N-1) / Total ciclos periodo base

= 9529 / 10000

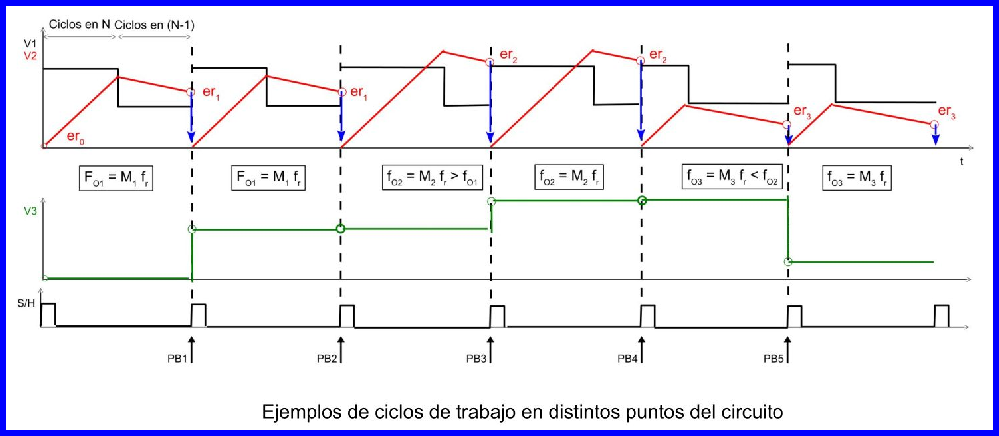
D = 0,9529

* Indique y explique cuáles de las siguientes opciones son correctas en una síntesis senoidal por **método directo**:
  + Mediante el uso de mezcladores se mejora la resolución en frecuencia.
  + La cadena de multiplicación se realiza con rectificadores balanceados.
  + Una de sus ventajas es el gran ancho de banda que se puede obtener.
  + En la cadena de síntesis se utilizan tanto filtros pasa bajos como filtros pasa banda.
* En un PLL de división fraccional, se desea obtener frecuencias de salida entre 10 Mhz y 20 Mhz con paso de 10 Khz. Con estos datos:
  + Calcule valores de N, N-1, *fIN* y PB. N = 20

N-1 = 10

fREF = 1 Mhz

Ciclos de periodo base = fREF / resolución = 1 Mhz / 10 Khz = 100

* + Dibuje las curvas de tensión de error antes y luego del Sample & Hold.
  + Calcule ciclo de trabajo necesario para obtener *fO* = 11,25 Mhz *Es necesario aumentar los ciclos para una resolución de 0,5 MHz Ciclos = 200*

##### M = [N \* ciclosN + (N-1) \* ciclos(N-1)] / Total ciclos periodo base

= [20 \* 25 + 10 \* 175] / 200

M = 11,25

##### D = Ciclos(N-1) / Total ciclos periodo base

= 175 / 200

D = 0,875

* Indique los métodos disponibles para realizar síntesis senoidal, indicando las ventajas y desventajas de cada uno de ellos.
  + Sintesis Directa Analogica (ADS)
  + Síntesis Directa Digital (DDS o AWG)
  + Síntesis Indirecta
* PLL con división entera
* PLL de división fraccional

La diferencia entre Directo e Indirecta radica en la cantidad de osciladores, el Directo tiene un solo oscilador que mediante sucesivas operaciones se llega a la frecuencia deseada, en cambio el PLL cuenta con 2 osciladores en su estructura más básica, la *fREF* y el *VCO* (Voltage Controlled Oscillator) .

#### VENTAJAS Y DESVENTAJAS SACAR DE FILMINAS

* Para un PLL de división fraccional se requiere una frecuencia de 8,547 Mhz a partir de un oscilador de referencia de 1 Mhz. Con estos requerimientos calcule:
  + Cantidad de ciclos del periodo base.

PB = 103 = 1000

* + Valores de N y N-1 N = 9

N-1 = 8

* + Ciclos en N y en N-1, y el valor del divisor fraccional M resultante.

*ciclosN = 547*

*ciclos(N-1) = 1000 - 547 = 453*

##### M = [N \* ciclosN + (N-1) \* ciclos(N-1)] / Total ciclos periodo base

= [9 \* 547 + 8 \* 453] / 1000

M = 8,547

* + ¿Cuánto tiempo toma aplicar un cambio de M a la salida?

##### T = ciclos periodo base \* 1/fo

= 1000 \* 1/ 8,547 Mhz

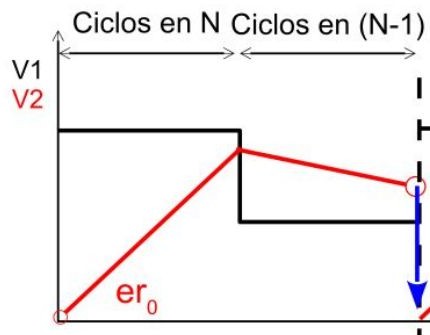
T = 117 us

* Indique qué propiedades de la columna derecha pertenecen a qué métodos de sintonía de la columna izquierda (se puede enumerar o unir mediante líneas)

|  |  |
| --- | --- |
| Síntesis Digital Directa (DDS) | Muy costoso y voluminoso |
| Síntesis senoidal directa | Baja velocidad de conmutación de frecuencia |
| PLL de división entera | Genera una señal senoidal |
| PLL de división fraccional | Utilizan un acumulador de fase |
|  | Pobre pureza espectral |
|  | Requiere un integrador delta-sigma |

|  |  |
| --- | --- |
|  | Utiliza un VCO **(PLL fraccional y entero)** |
|  | Utiliza un bloque de muestreo y retención |
|  | No puede lograr buena resolucion y buen ancho de banda a la vez |

* Teniendo en cuenta la Figura. Explique y grafique a que nos referimos al decir que el PLL fraccional requiere múltiples ciclos de clock de referencia *fO* para obtener el valor de división fraccional M.



El integrador sigma delta se encarga de producir las pendientes de integración positiva y luego negativa, resultando en un valor de error que es captado en cada nuevo ciclo de periodo de base por el sample&hold y es el valor de tensión que luego será utilizado por el VCO para modificar o mantener la frecuencia pretendida.

* Para un PLL de división fraccional el divisor es de valores N=5 y N-1 = 7. Si el oscilador de referencia es de 1 MHz y el periodo de base es de 100 ciclos. Con estos datos calcule el paso de frecuencia disponible y que habría que cambiar para hacer este paso 10 veces menor.

PB = *total de ciclos de periodo base*

Resolución1 = *fREF* / PB = 1 MHz / 100 = 10 KHz

Para disminuir la resolución de frecuencia y mantener la misma frecuencia de referencia es necesario aumentar la cantidad de ciclos por periodo base, en este caso 10 veces más.

Resolucion2 = *fREF* / PB = 1 MHz / 100\*10 = 1 KHz

[SIN] En un PLL fraccional, se utiliza N = 20 y fREF = 7 MHz. El periodo base es 1000 ciclos de salida. Con estos datos, calcule el rango y la resolución de frecuencia de salida fO. **Incluir al menos 3 (tres) pasos de desarrollo y una breve explicación de su razonamiento, además del resultado final.**

Puede utilizar este espacio para su respuesta, y opcionalmente puede subir un archivo.

Se adjunta Archivo

[[Imagen (JPEG)](https://uv.frc.utn.edu.ar/pluginfile.php/416444/question/response_attachments/936060/8/367924273/Ejercicio%208.jpeg?forcedownload=1) Ejercicio 8.jpeg](https://uv.frc.utn.edu.ar/pluginfile.php/416444/question/response_attachments/936060/8/367924273/Ejercicio%208.jpeg?forcedownload=1)

#### Comentarios

Comentario:

La resolucion es 7Khz, se copio mal el 7.

Lo demas es correcto.