

I.S.B.N.: 987-21682-0-2

Queda hecho el depósito que fija la Ley 11.723

# TECNICAS DIGITALES I

AUTOR:

**INGENIERO RODOLFO A. CAVALLERO**  
PROFESOR TITULAR TÉCNICAS DIGITALES  
UNIVERSIDAD TECNOLÓGICA NACIONAL  
FACULTAD CÓRDOBA

## PROLOGO

El propósito de este libro es transmitir los conceptos básicos de la electrónica digital, y dar un método para el diseño y desarrollo de los circuitos combinacionales y secuenciales. -

Los temas incluidos tratan los fundamentos del Algebra de Boole, sus basamentos y fundamentos básicos, y la metodología para la obtención de funciones lógicas.

En temas sucesivos se tratan los sistemas de numeración de código, la aritmética binaria y su implementación práctica; la codificación/decodificación y multiplicado/dividido de datos y sus circuitos asociados.

Se ha dedicado el Capítulo II a la tecnología de los circuitos digitales, comenzando por la

El Capítulo III trata de los criterios básicos de memoria, su evolución desde el flip-flop hasta el integrado y sus aplicaciones en la memoria de datos y en la memoria de programas. Los capítulos IV y V tratan de los sistemas de memoria de alta velocidad y de memoria secundaria, respectivamente.

El análisis y diseño de circuitos secuenciales sincronos y asincronos son visitos en el Capítulo V. Si bien es tema bastante difícil para el manejo de estos técnicas, ha sido muy importante una base sólida en la disciplina de sistemas de información, ha sido básico para el manejo de los microcontroladores y sus aplicaciones de desempeño tan deseable a los días de estos circuitos, cambiando así la metodología para su realización.

En el Apéndice A se trata un tema fundamental en circuitos electrónicos: RUIDO ELECTRÓNICO. Este capítulo es un trabajo realizado por el Departamento de Ingeniería de INTEL. En el Apéndice B mostramos tipos de Circuitos Codificadores con Circuitos integrados MSI de uso general.

Deseo exaltar mi agradecimiento al Ing. enero Victor Fernández por su colaboración en el Capítulo I, Criminales combinaciones y a los Señores Martínez Díaz y Domínguez Alvarado por el traje de libro, al Ing. enero Cordero, de la Universidad Técnica Nacional EDUCA, Editorial Universitaria Cordero, de la Universidad de la República y en especial a Facundo Regional Cordero, quienes posibilitaron esta segunda edición.

***INDICE*****INDICE****CAPITULO PRIMERO  
CIRCUITOS COMBINACIONALES**

1.- ALGEBRA DE BOOLE.....	3
1.1.-Introducción.....	3
1.2.-Definiciones.....	6
1.3.- Operaciones intersección y unión.....	6
1.4.- Diagramas de Venn.....	7
1.5.- Verificación de los postulados.....	8
1.6.- Teorema de los mini y los maxi.....	11
1.7.- Verificación de los postulados.....	12
1.8.- Algunos teoremas del álgebra de Boole.....	17
2.- METODOLOGIA PARA LA RESOLUCION DE PROBLEMAS LOGICOS.....	19
2.1.- Diseño de un circuito combinacional .....	19
2.2.- Métodos sistemáticos de obtención de la expresión lógica de una función.....	21
2.2.1.-Introducción.....	21
2.2.2.- Expresiones canónicas o formas normalizadas de una función.....	23
2.2.3.- Obtención de la expresión lógica a partir de la tabla de verdad.....	23
2.4.- Formas simplificadas de las expresiones canónicas.....	25
2.5.- Obtención de los maxiterms a partir de los miniterms y viceversa.....	26
2.6.- Expansión a la forma canónica.....	27
2.7.- Función complemento.....	28
2.8.- Formas standard.....	29
3.- MINIMIZACION DE LAS EXPRESIONES LOGICAS.....	33
3.1.-Introducción.....	33
3.2.- Minimización algebraica.....	33
3.3.- Diagramas de Karnaugh.....	34
3.4.- Campo de acción.....	36
3.5.- Representación de una función de Karnaugh.....	37
3.6.- Minimización de funciones lógicas mediante el diagrama de Karnaugh.....	39
3.7.- Implicantes primos.....	42
3.8.- Funciones no totalmente definidas.....	44
4.- SISTEMAS DE NUMERACION Y CODIGOS.....	46
4.1.- Sistemas de numeración.....	46
4.1.1.- Sistema decimal.....	47

4.1.2.-Sistema binario.....	47	4.1.3.-Sistema octal.....	47	4.1.4.-Sistema hexadecimal.....	48	4.1.5.-Equivalencia entre sistemas.....	48	4.1.5.1.-Método de división por la base.....	48	4.1.5.2.-Método de agrupamiento / descomposición.....	50	4.1.5.3.-Utilización de los métodos.....	53	4.1.5.4.-Números con parte fraccionaria.....	53	4.2.-Código binario.....	55	4.2.1.-Introducción.....	55	4.2.2.-Códigos ponderados.....	56	4.2.3.-Códigos libres.....	57	4.2.4.-Conversión de códigos - transcodificación.....	59	4.3.-Aritmética BINARIA.....	68	3.-EL TRANSISTOR UNIPOLAR.....	127	3.1.-Regiones de operación de un N - MOS.....	127	4.-FAMILIA CMOS.....	129	4.1.-Características principales.....	129	4.2.-El inversor CMOS.....	129	4.3.-Característica de transferencia.....	131	4.4.-Transistores de memoria.....	131	4.5.-Circuitos CMOS con carga.....	132	4.6.-Margen de ruido.....	132	4.7.-Consumo.....	133	4.8.-Interfaz entre familias lógicas.....	134	4.9.-CMOS de alta velocidad.....	137	4.10.-Comparación de las familias lógicas.....	138	4.11.-Alimentación de apoyo para sistemas CMOS-Battery Saver System.....	138	5.-FAMILIA ECL.....	139	6.-DISPLAYS VISUALIZADORES.....	141	6.1.-Display tipo LED.....	141	6.1.1.-LED (light emitting diode).....	141	6.1.2.-Excitación del led con transistores.....	142	6.1.3.-Excitación del led con C.I.....	143	6.1.4.-Display de 7 segmentos.....	143	6.1.5.-Display multiplexado.....	144	6.1.6.-Display de matriz de puntos.....	145	6.1.7.-Display de cristal líquido.....	146
CAPÍTULO TERCERO		FLIP FLOP - CONTADORES-REGISTROS		CAPÍTULO TERCIOD		INTRODUCCIÓN		1.1.-El transistor bipolar.....		105		1.1.1.-El transistor como interruptor.....		106		1.1.2.-Variación de los parámetros de saturación con la temperatura.....		108		1.1.3.-Variancia de hFE con la temperatura.....		109		1.1.4.-Característica entrada - salida.....		109																																																	
1.-MEMORIAS DE UN BIT.....		1.1.-Desarrollo con computadoras OR.....		151		1.1.1.-Desarrollo con memoria con boitado bisetabil SR con NOR.....		151		1.1.2.-Circuito de memoria con computadora SR con NOR.....		152		1.1.3.-Bisetabil SR con NAND.....		156																																																											

## CAPÍTULO SEGUNDO TECNOLOGÍA DE LOS DISPOSITIVOS

6.3.1.-Circuitos combinacionales.....	95	6.3.2.-Expansión.....	95	6.3.3.-Demultiplexores.....	97	6.3.4.-Multiplexores/demultiplexores analógicos restringidos con llaves analógicas bilaterales.....	97	6.3.5.-Generación de funciones con multiplicadores.....	98
6.2.1.-Circuitos combinacionales.....	89	6.2.2.-Expansión de ecodificadores.....	92	6.2.3.-El decodificador como generador de funciones.....	92	6.2.4.-Multiplexores/demultiplexores como generador de funciones.....	93	6.3.1.-Multiplexores y demultiplexores.....	95
6.1.-Codificadores.....	86	6.2.5.-Ecodificadores.....	96	6.2.6.-Ecodificadores de memoria.....	97	6.3.2.-Ecodificadores.....	97	6.3.3.-Demultiplexores.....	97
4.11.-Alimentación de apoyo para sistemas CMOS-Battery Saver System.....	138	4.12.-Ecodificadores.....	138	4.13.-Circuitos combinacionales.....	139	4.14.-Circuitos combinacionales.....	140	4.15.-Circuitos combinacionales.....	141
4.11.1.-Display tipo LED.....	141	4.11.2.-Excitación del led con transistores.....	142	4.11.3.-Excitación del led con C.I.....	143	4.11.4.-Display de 7 segmentos.....	143	4.11.5.-Display multiplexado.....	144
4.11.6.-Display de matriz de puntos.....	145	4.11.7.-Display de cristal líquido.....	146	4.12.1.-Display tipo LCD.....	147	4.12.2.-Display tipo TFT-LCD.....	148	4.12.3.-Display tipo OLED.....	149
4.12.4.-Circuitos combinacionales.....	149	4.12.5.-Circuitos combinacionales.....	150	4.12.6.-Circuitos combinacionales.....	151	4.12.7.-Circuitos combinacionales.....	152	4.12.8.-Circuitos combinacionales.....	153
4.12.9.-Circuitos combinacionales.....	153	4.12.10.-Circuitos combinacionales.....	154	4.12.11.-Circuitos combinacionales.....	155	4.12.12.-Circuitos combinacionales.....	156	4.12.13.-Circuitos combinacionales.....	157
4.12.14.-Circuitos combinacionales.....	157	4.12.15.-Circuitos combinacionales.....	158	4.12.16.-Circuitos combinacionales.....	159	4.12.17.-Circuitos combinacionales.....	160	4.12.18.-Circuitos combinacionales.....	161
4.12.19.-Circuitos combinacionales.....	161	4.12.20.-Circuitos combinacionales.....	162	4.12.21.-Circuitos combinacionales.....	163	4.12.22.-Circuitos combinacionales.....	164	4.12.23.-Circuitos combinacionales.....	165
4.12.24.-Circuitos combinacionales.....	165	4.12.25.-Circuitos combinacionales.....	166	4.12.26.-Circuitos combinacionales.....	167	4.12.27.-Circuitos combinacionales.....	168	4.12.28.-Circuitos combinacionales.....	169
4.12.29.-Circuitos combinacionales.....	169	4.12.30.-Circuitos combinacionales.....	170	4.12.31.-Circuitos combinacionales.....	171	4.12.32.-Circuitos combinacionales.....	172	4.12.33.-Circuitos combinacionales.....	173
4.12.34.-Circuitos combinacionales.....	173	4.12.35.-Circuitos combinacionales.....	174	4.12.36.-Circuitos combinacionales.....	175	4.12.37.-Circuitos combinacionales.....	176	4.12.38.-Circuitos combinacionales.....	177
4.12.39.-Circuitos combinacionales.....	177	4.12.40.-Sumador rápido.....	178	4.12.41.-Sumador en BCD.....	179	4.12.42.-Resta binaria.....	180	4.12.43.-Unidad lógica aritmética.....	181
4.12.44.-Circuitos combinacionales.....	181	4.12.45.-Circuitos combinacionales.....	182	4.12.46.-Circuitos combinacionales.....	183	4.12.47.-Circuitos combinacionales.....	184	4.12.48.-Funciones lógicas generadas por la Sn54181.....	185
4.12.49.-Circuitos combinacionales.....	185	4.12.50.-Circuitos combinacionales.....	186	4.12.51.-Circuitos combinacionales.....	187	4.12.52.-Circuitos combinacionales.....	188	4.12.53.-Circuitos combinacionales.....	189
4.12.54.-Circuitos combinacionales.....	189	4.12.55.-Circuitos combinacionales.....	190	4.12.56.-Circuitos combinacionales.....	191	4.12.57.-Circuitos combinacionales.....	192	4.12.58.-Circuitos combinacionales.....	193
4.12.59.-Circuitos combinacionales.....	193	4.12.60.-Circuitos combinacionales.....	194	4.12.61.-Circuitos combinacionales.....	195	4.12.62.-Circuitos combinacionales.....	196	4.12.63.-Circuitos combinacionales.....	197
4.12.64.-Circuitos combinacionales.....	197	4.12.65.-Circuitos combinacionales.....	198	4.12.66.-Circuitos combinacionales.....	199	4.12.67.-Circuitos combinacionales.....	200	4.12.68.-Circuitos combinacionales.....	201
4.12.69.-Circuitos combinacionales.....	201	4.12.70.-Circuitos combinacionales.....	202	4.12.71.-Circuitos combinacionales.....	203	4.12.72.-Circuitos combinacionales.....	204	4.12.73.-Circuitos combinacionales.....	205
4.12.74.-Circuitos combinacionales.....	205	4.12.75.-Circuitos combinacionales.....	206	4.12.76.-Circuitos combinacionales.....	207	4.12.77.-Circuitos combinacionales.....	208	4.12.78.-Circuitos combinacionales.....	209
4.12.79.-Circuitos combinacionales.....	209	4.12.80.-Circuitos combinacionales.....	210	4.12.81.-Circuitos combinacionales.....	211	4.12.82.-Circuitos combinacionales.....	212	4.12.83.-Circuitos combinacionales.....	213
4.12.84.-Circuitos combinacionales.....	213	4.12.85.-Circuitos combinacionales.....	214	4.12.86.-Circuitos combinacionales.....	215	4.12.87.-Circuitos combinacionales.....	216	4.12.88.-Circuitos combinacionales.....	217
4.12.89.-Circuitos combinacionales.....	217	4.12.90.-Circuitos combinacionales.....	218	4.12.91.-Circuitos combinacionales.....	219	4.12.92.-Circuitos combinacionales.....	220	4.12.93.-Circuitos combinacionales.....	221
4.12.94.-Circuitos combinacionales.....	221	4.12.95.-Circuitos combinacionales.....	222	4.12.96.-Circuitos combinacionales.....	223	4.12.97.-Circuitos combinacionales.....	224	4.12.98.-Circuitos combinacionales.....	225
4.12.99.-Circuitos combinacionales.....	225	4.12.100.-Circuitos combinacionales.....	226	4.12.101.-Circuitos combinacionales.....	227	4.12.102.-Circuitos combinacionales.....	228	4.12.103.-Circuitos combinacionales.....	229
4.12.104.-Circuitos combinacionales.....	229	4.12.105.-Circuitos combinacionales.....	230	4.12.106.-Circuitos combinacionales.....	231	4.12.107.-Circuitos combinacionales.....	232	4.12.108.-Circuitos combinacionales.....	233
4.12.109.-Circuitos combinacionales.....	233	4.12.110.-Circuitos combinacionales.....	234	4.12.111.-Circuitos combinacionales.....	235	4.12.112.-Circuitos combinacionales.....	236	4.12.113.-Circuitos combinacionales.....	237
4.12.114.-Circuitos combinacionales.....	237	4.12.115.-Circuitos combinacionales.....	238	4.12.116.-Circuitos combinacionales.....	239	4.12.117.-Circuitos combinacionales.....	240	4.12.118.-Circuitos combinacionales.....	241
4.12.119.-Circuitos combinacionales.....	241	4.12.120.-Circuitos combinacionales.....	242	4.12.121.-Circuitos combinacionales.....	243	4.12.122.-Circuitos combinacionales.....	244	4.12.123.-Circuitos combinacionales.....	245
4.12.124.-Circuitos combinacionales.....	245	4.12.125.-Circuitos combinacionales.....	246	4.12.126.-Circuitos combinacionales.....	247	4.12.127.-Circuitos combinacionales.....	248	4.12.128.-Circuitos combinacionales.....	249
4.12.129.-Circuitos combinacionales.....	249	4.12.130.-Circuitos combinacionales.....	250	4.12.131.-Circuitos combinacionales.....	251	4.12.132.-Circuitos combinacionales.....	252	4.12.133.-Circuitos combinacionales.....	253
4.12.134.-Circuitos combinacionales.....	253	4.12.135.-Circuitos combinacionales.....	254	4.12.136.-Circuitos combinacionales.....	255	4.12.137.-Circuitos combinacionales.....	256	4.12.138.-Circuitos combinacionales.....	257
4.12.139.-Circuitos combinacionales.....	257	4.12.140.-Circuitos combinacionales.....	258	4.12.141.-Circuitos combinacionales.....	259	4.12.142.-Circuitos combinacionales.....	260	4.12.143.-Circuitos combinacionales.....	261
4.12.144.-Circuitos combinacionales.....	261	4.12.145.-Circuitos combinacionales.....	262	4.12.146.-Circuitos combinacionales.....	263	4.12.147.-Circuitos combinacionales.....	264	4.12.148.-Circuitos combinacionales.....	265
4.12.149.-Circuitos combinacionales.....	265	4.12.150.-Circuitos combinacionales.....	266	4.12.151.-Circuitos combinacionales.....	267	4.12.152.-Circuitos combinacionales.....	268	4.12.153.-Circuitos combinacionales.....	269
4.12.154.-Circuitos combinacionales.....	269	4.12.155.-Circuitos combinacionales.....	270	4.12.156.-Circuitos combinacionales.....	271	4.12.157.-Circuitos combinacionales.....	272	4.12.158.-Circuitos combinacionales.....	273
4.12.159.-Circuitos combinacionales.....	273	4.12.160.-Circuitos combinacionales.....	274	4.12.161.-Circuitos combinacionales.....	275	4.12.162.-Circuitos combinacionales.....	276	4.12.163.-Circuitos combinacionales.....	277
4.12.164.-Circuitos combinacionales.....	277	4.12.165.-Circuitos combinacionales.....	278	4.12.166.-Circuitos combinacionales.....	279	4.12.167.-Circuitos combinacionales.....	280	4.12.168.-Circuitos combinacionales.....	281
4.12.169.-Circuitos combinacionales.....	281	4.12.170.-Circuitos combinacionales.....	282	4.12.171.-Circuitos combinacionales.....	283	4.12.172.-Circuitos combinacionales.....	284	4.12.173.-Circuitos combinacionales.....	285
4.12.174.-Circuitos combinacionales.....	285	4.12.175.-Circuitos combinacionales.....	286	4.12.176.-Circuitos combinacionales.....	287	4.12.177.-Circuitos combinacionales.....	288	4.12.178.-Circuitos combinacionales.....	289
4.12.179.-Circuitos combinacionales.....	289	4.12.180.-Circuitos combinacionales.....	290	4.12.181.-Circuitos combinacionales.....	291	4.12.182.-Circuitos combinacionales.....	292	4.12.183.-Circuitos combinacionales.....	293
4.12.184.-Circuitos combinacionales.....	293	4.12.185.-Circuitos combinacionales.....	294	4.12.186.-Circuitos combinacionales.....	295	4.12.187.-Circuitos combinacionales.....	296	4.12.188.-Circuitos combinacionales.....	297
4.12.189.-Circuitos combinacionales.....	297	4.12.190.-Circuitos combinacionales.....	298	4.12.191.-Circuitos combinacionales.....	299	4.12.192.-Circuitos combinacionales.....	300	4.12.193.-Circuitos combinacionales.....	301
4.12.194.-Circuitos combinacionales.....	301	4.12.195.-Circuitos combinacionales.....	302	4.12.196.-Circuitos combinacionales.....	303	4.12.197.-Circuitos combinacionales.....	304	4.12.198.-Circuitos combinacionales.....	305
4.12.199.-Circuitos combinacionales.....	305	4.12.200.-Circuitos combinacionales.....	306	4.12.201.-Circuitos combinacionales.....	307	4.12.202.-Circuitos combinacionales.....	308	4.12.203.-Circuitos combinacionales.....	309
4.12.204.-Circuitos combinacionales.....	309	4.12.205.-Circuitos combinacionales.....	310	4.12.206.-Circuitos combinacionales.....	311	4.12.207.-Circuitos combinacionales.....	312	4.12.208.-Circuitos combinacionales.....	313
4.12.209.-Circuitos combinacionales.....	313	4.12.210.-Circuitos combinacionales.....	314	4.12.211.-Circuitos combinacionales.....	315	4.12.212.-Circuitos combinacionales.....	316	4.12.213.-Circuitos combinacionales.....	317
4.12.214.-Circuitos combinacionales.....	317	4.12.215.-Circuitos combinacionales.....	318	4.12.216.-Circuitos combinacionales.....	319	4.12.217.-Circuitos combinacionales.....	320	4.12.218.-Circuitos combinacionales.....	321
4.12.219.-Circuitos combinacionales.....	321	4.12.220.-Circuitos combinacionales.....	322	4.12.221.-Circuitos combinacionales.....	323	4.12.222.-Circuitos combinacionales.....	324	4.12.223.-Circuitos combinacionales.....	325
4.12.224.-Circuitos combinacionales.....	325	4.12.225.-Circuitos combinacionales.....	326	4.12.226.-Circuitos combinacionales.....	327	4.12.227.-Circuitos combinacionales.....	328	4.12.228.-Circuitos combinacionales.....	329
4.12.225.-Circuitos combinacionales.....	329	4.12.226.-Circuitos combinacionales.....	330	4.12.227.-Circuitos combinacionales.....	331	4.12.228.-Circuitos combinacionales.....	332	4.12.229.-Circuitos combinacionales.....	333
4.12.226.-Circuitos combinacionales.....	333	4.12.227.-Circuitos combinacionales.....	334	4.12.228.-Circuitos combinacionales.....	335	4.12.229.-Circuitos combinacionales.....	336	4.12.230.-Circuitos combinacionales.....	337
4.12.227.-Circuitos combinacionales.....	337	4.12.228.-Circuitos combinacionales.....	338	4.12.229.-Circuitos combinacionales.....	339	4.12.230.-Circuitos combinacionales.....	340	4.12.231.-Circuitos combinacionales.....	341
4.12.228.-Circuitos combinacionales.....	341	4.12.229.-Circuitos combinacionales.....	342	4.12.230.-Circuitos combinacionales.....	343	4.12.231.-Circuitos combinacionales.....	344	4.12.232.-Circuitos combinacionales.....	345
4.12.229.-Circuitos combinacionales.....	345	4.12.230.-Circuitos combinacionales.....	346	4.12.231.-Circuitos combinacionales.....	347	4.12.232.-Circuitos combinacionales.....	348	4.12.233.-Circuitos combinacionales.....	349
4.12.230.-Circuitos combinacionales.....	349	4.12.231.-Circuitos combinacionales.....	350	4.12.232.-Circuitos combinacionales.....	351	4.12.233.-Circuitos combinacionales.....	352	4.12.234.-Circuitos combinacionales.....	353
4.12.231.-Circuitos combinacionales.....	353	4.12.232.-Circuitos combinacionales.....	354	4.12.233.-Circuitos combinacionales.....	355	4.12.234.-Circuitos combinacionales.....	356	4.12.235.-Circuitos combinacionales.....	357
4.12.232.-Circuitos combinacionales.....	357	4.12.233.-Circuitos combinacionales.....	358	4.12.234.-Circuitos combinacionales.....	359	4.12.235.-Circuitos combinacionales.....	360	4.12.236.-Circuitos combinacionales.....	361
4.12.233.-Circuitos combinacionales.....	361	4.12.234.-Circuitos combinacionales.....	362	4.12.235.-Circuitos combinacionales.....	363	4.12.236.-Circuitos combinacionales.....	364	4.12.237.-Circuitos combinacionales.....	365
4.12.234.-Circuitos combinacionales.....	365	4.12.235.-Circuitos combinacionales.....	366	4.12.236.-Circuitos combinacionales.....	367	4.12.237.-Circuitos combinacionales.....	368	4.12.238.-Circuitos combinacionales.....	369
4.12.235.-Circuitos combinacionales.....	369	4.12.236.-Circuitos combinacionales.....	370	4.12.237.-Circuitos combinacionales.....	371	4.12.238.-Circuitos combinacionales.....	372	4.12.239.-Circuitos combinacionales.....	373
4.12.236.-Circuitos combinacionales.....	373	4.12.237.-Circuitos combinacionales.....	374	4.12.238.-Circuitos combinacionales.....	375	4.12.239.-Circuitos combinacionales.....	376	4.12.240.-Circuitos combinacionales.....	377
4.12.237.-Circuitos combinacionales.....	377	4.12.238.-Circuitos combinacionales.....	378	4.12.239.-Circuitos combinacionales.....	379	4.12.240.-Circuitos combinacionales.....	380	4.12.241.-Circuitos combinacionales.....	381
4.12.238.-Circuitos combinacionales.....	381	4.12.239.-Circuitos combinacionales.....	382	4.12.240.-Circuitos combinacionales.....	383	4.12.241.-Circuitos combinacionales.....	384	4.12.242.-Circuitos combinacionales.....	385
4.12.239.-Circuitos combinacionales.....	385	4.12.240.-Circuitos combinacionales.....	386	4.12.241.-Circuitos combinacionales.....	387	4.12.242.-Circuitos combinacionales.....	388	4.12.243.-Circuitos combinacionales.....	389
4.12.240.-Circuitos combinacionales.....	389	4.12.241.-Circuitos combinacionales.....	390	4.12.242.-Circuitos combinacionales.....	391	4.12.243.-Circuitos combinacionales.....	392	4.12.244.-Circuitos combinacionales.....	393
4.12.241.-Circuitos combinacionales.....	393	4.12.242.-Circuitos combinacionales.....	394	4.12.243.-Circuitos combinacionales.....	395	4.12.244.-Circuitos combinacionales.....	396	4.12.245.-Circuitos combinacionales.....	397
4.12.242.-Circuitos combinacionales.....	397	4.12.243.-Circuitos combinacionales.....	398	4.12.244.-Circuitos combinacionales.....					

1.4.- Aplicaciones de un biestable SR.....	157
1.5.- Biestable SR síncrono.....	158
1.6.- Biestable D síncrono - Laten D.....	160
2.- LIMITACIONES DEL LATCH.....	161
3.- FLIP FLOP MAESTRO/ESCLAVO.....	163
3.1.- Flip Flop maestro/esclavo JK.....	164
3.2.- Flip Flop maestro/esclavo D.....	166
3.3.- Entradas asíncronas.....	167
3.4.-Condiciones iniciales.....	169
3.5.- Activación combinada.....	171
3.6.- Flip Flop JK activado por flanco.....	172
3.7.- Diagramas y tabla de estado.....	175
4.- CONTADORES.....	179
4.1.-Contadores síncronos.....	183
4.2.- Diseño de contadores sincrónicos.....	185
4.3.- Diseño contador creciente Modulo 5.....	188
4.4.- Diseño contador síncrono creciente BCD.....	191
4.5.- Diseño contador síncrono creciente - decreciente Modulo 5.....	192
4.6.- Selección del modulo por clearing directo.....	194
4.7.- Contadores programables.....	196
1.- MEMORIA DE DESPLAZAMIENTO.....	308
1.1.- Registro de desplazamiento (Shift Register) .....	308
1.2.- Memoria FIFO (First Input First Output).....	308
1.3.- Memoria LIFO (Last Input First Output).....	309
2.- MEMORIA DE ACCESO ALEATORIO.....	310
2.1.- Memoria RAM (Random Access Memory).....	311
2.1.1.- Bus de datos bidireccional.....	311
2.1.2.- Descripción de pines.....	312
2.1.3.- Línea de datos bidireccionales.....	312
2.1.4.- Bus de datos unidireccionales.....	312
2.1.5.- Uso de chip select.....	313
2.1.6.-Diagrama de tiempo-RAM estática.....	314
2.1.7.- RAM dinámica.....	316
2.2.- Memoria ROM (Read Only Memory).....	318
2.2.1.- Ejemplo de ROM 4 x 2.....	318
2.2.2.- Aplicaciones con ROM.....	319
2.2.2.1.- Medio sumador.....	319
2.2.2.2.- Generador de pulsos.....	320
2.2.2.3.- Generador y conversión de códigos (8421 a BCDehexoso 3).....	320
2.3.- Microporgramación.....	321
3.- MEMORIAS PLA (Programable Array Logic).....	322
3.1.- Aplicaciones con PLA.....	324
3.1.1.- Semisumador.....	324
3.1.2.- Diseño contador de décadas.....	324
3.1.3.- Diseño contador hexadecimal con decodificador.....	325
4.- PLA versus ROM.....	328

## APÉNDICE A RUIDO ELÉCTRICO

1.- INTRODUCCIÓN.....	333
2. SÍNTOMAS DE LOS PROBLEMAS OCACIONADOS POR EL RUIDO.....	334
3.- TIPOS Y ORÍGENES DEL RUIDO POR CAUSAS ELECTRICAS.....	335
3.1.- Oscilación momentánea (Transitorios) en la línea de suministro .....	335
3.2.- EMP y RFI.....	336
3.3.- ESD.....	336
3.4.- Ruido en las conexiones a tierra.....	338
4.- RUIDO IRRADIADO Y CONDUCIDO.....	339
5.- TIPOS DE FALLAS Y MECANISMOS DE FALLA.....	340
6.- LAZOS DE CORRIENTE.....	343
7.-BLINDAJE.....	345
7.1.- Blindaje contra acoplamiento capacitivo.....	345
7.2.- Blindaje contra acoplamiento inductivo.....	346
7.3.- Blindaje de RF.....	352
8.-MASAS.....	357
8.1.- Masa segura.....	357
8.2.- Ejecución práctica de las conexiones a tierra.....	359
8.3.-Cable trenzado.....	362
9.-DISTRIBUCIÓN.....	363
9.1.- Selección del valor del capacitor de desacoplamiento.....	366
9.2.- El caso de regulación de voltaje sobre la placaeta.....	368
10.- RECUPERACIÓN SIN PROBLEMAS A PARTIR DE UN TRANSTORNO EN EL SOFT.....	370
11.- ÁREAS DE PROBLEMAS ESPECIALES.....	372
11.1.-ESD.....	372
11.2.-El ambiente automotor.....	373
12.- PENSAMIENTOS FINALES.....	378

## APÉNDICE B

1.- CODIFICADOR DE PRIORIDAD (74148 - CD 4532).....	381
1.1.- Ejemplo de uso.....	382
1.2.- Circuito integrado (CD 4532).....	382
1.3.- Aplicaciones.....	383
2.- CODIFICACIONES VARIAS.....	385
2.1.- Codificación simple de teclado.....	385
2.2.- Codificación de 10 teclas priorizadas.....	386
2.3.-Codificador integrador de 16 teclas.....	387
2.4.- Codificación de 16 teclas priorizadas con indicación de tecla válida y control antirebote.....	388
2.5.- Codificación de 128 teclas mecánicas.....	389
2.6.-Codificación de 128 teclas.....	390
2.7.- Codificación de 128 teclas con microprocesador.....	391

# CAPÍTULO I

## *Circuitos Combinacionales*

**1.- ÁLGEBRA DE BOOLE****1.1.- INTRODUCCIÓN**

Para iniciar nuestro estudio sobre el álgebra de Boole, es necesario recordar algunos conceptos desde el área de matemáticas.

Recordemos que un **álgebra** es un conjunto de elementos que posee las siguientes propiedades:

1) Se pueden definir dos **operaciones** o **leyes de asociación** entre los elementos que pertenecen a dicho conjunto.

2) Las operaciones deben satisfacer lo siguiente:

- Ley de cierre.
- La propiedad conmutativa.
- La propiedad distributiva.
- La propiedad asociativa.

3) Cada operación debe poseer elemento neutro y este debe ser único.

4) Para todo elemento “a” del conjunto considerado debe existir su complemento.

Si un conjunto de elementos satisface estos requerimientos es un **álgebra**.

Ahora bien, si los elementos de un conjunto tienen comportamiento binario y además cumplen con las condiciones para ser un álgebra, entonces ese conjunto es un **ÁLGEBRA DE BOOLE**.

Definamos concretamente a un **ÁLGEBRA DE BOOLE**:

Un **ÁLGEBRA DE BOOLE** es un conjunto de elementos de comportamiento binario (cuyos estados representamos por 0 y 1) en el que se pueden definir dos operaciones o “leyes de asociación” que llamaremos “SUMA” y “PRODUCTO LÓGICOS”. Estas operaciones deben tener el siguiente comportamiento:

A	B	A . B	A B	A + B
0	0	0	0	0
0	1	0	0	1
1	0	0	1	1
1	1	1	1	1

(Aquí definimos el comportamiento de las dos operaciones básicas consideradas en el álgebra)

La ley de cierre nos dice que si asociamos dos o más elementos del álgebra, a través de cualquiera de las dos operaciones, el resultado debe ser otro elemento del álgebra.

La ley conmutativa nos dice que al asociar dos o más elementos del álgebra, no importa el orden en que realicemos la asociación, el resultado es el mismo:

$$\begin{aligned} A \cdot B &= B \cdot A \\ A + B &= B + A \end{aligned}$$

La propiedad distributiva, “distribuye” una operación sobre la otra:

$$\begin{aligned} A \cdot (B + C) &= (A \cdot B) + (A \cdot C) \\ A + (B \cdot C) &= (A + B) \cdot (A + C) \end{aligned}$$

La propiedad asociativa nos permite, cuando aplicamos una misma operación a varias variables, asociar en grupos a las variables y el orden en que lo hagamos no altera el resultado final de la asociación:

$$\begin{aligned} A \cdot (B \cdot C) &= (A \cdot B) \cdot C \\ A + (B + C) &= (A + B) + C \end{aligned}$$

Cada una de las operaciones debe poseer su elemento neutro, en consecuencia debe existir dentro del álgebra un elemento neutro para la operación suma  $N_S$  y otro para la operación  $N_P$ . Recordemos que el elemento neutro es aquel que operado con un elemento A cualquiera, para esa operación, da como resultado el mismo elemento A.

**CLASE:** Una clase es un conjunto que comparte ciertas propiedades y de tener entre ellos o con los elementos susceptibles de poser ciertas relaciones. Existen dos clases fundamentales que vamos a definir:

**CLASE UNIVERSAL ( $\Omega$ ):** Es el conjunto de todos los elementos que se van a tratar.

**CLASE VACIA:** Es el conjunto que no tiene elementos.

## 1.2.- DEFINICIONES:

Imaginemos un conjunto muy general que llamaremos  $U$ , este sera nuestro universo. Hay en él objetos que son susceptibles de poseer ciertas propiedades, por ejemplo la propiedad  $P$  y la propiedad  $Q$ . Con los objetos que poseen la propiedad  $P$  formemos un subconjunto  $A$  que pertenece a  $U$  y con los que poseen la propiedad  $Q$  formemos un subconjunto  $B$  que tambien pertenece a  $U$ . Es probable que podamos formar un subconjunto  $M$  que pertenece a  $U$ . Hasta aqui el álgebra de Boole es una definición basica para los elementos del álgebra, **la negación**.

Desde estas condiciones se desprenden que el valor del elemento complemento es igual al neutro de la suma.

$A \cdot \underline{A} = N_s$  (El producto del elemento A por su complemento es igual al neutro del producto)

$A + \underline{A} = N_p$  (La suma del elemento A y su complemento es igual al neutro de la suma).

elemento  $A$  que cumple con las siguientes condiciones:

Si consideramos los valores presentados en la tabla de verdad para los estados binarios de las variables, podemos concluir que el elemento neutro del producto tiene el valor 1 y el elemento neutro de la suma tiene el valor 0.

La definición del elemento inverso o elemento complemento es muy particular, esta dada por los condiciones. Para todo elemento  $A$  del álgebra, debe existir un elemento  $\underline{A}$  que cumple con las siguientes condiciones:

Desde estas condiciones se define una terebra operación básica para los elementos del álgebra, **la multiplicación**.

Hasta aqui el álgebra de Boole es una ente de conjuntos abstractos que se ha dicho que posee  $A$  y define una terebra operación básica para multiplicar dos conjuntos que poseen ciertas propiedades. Es más, si queremos formar de los elementos que posean ciertas propiedades que componen el conjunto, solo hemos fijado criterios para filtrar los conceptos sobre las características y propiedades de un álgebra de Boole.

Para filtrar los conceptos que poseen ciertas propiedades de un álgebra de álgebra tenemos que recordando algunos definiciones y luego determinarlos si los elementos cumplen con las definiciones y que posibilitan que caracterizan a un álgebra de Boole.

Donde el simbolo „+“ representa a esta otra forma de asociación entre los elementos de los conjuntos  $A$  y  $B$  para formar el subconjunto  $M$ . Esta asociación o vinculación entre los subconjuntos  $A$  y  $B$  para formar al subconjunto  $M$ , se llama **operación unión**.

$$M = A + B$$

Donde el simbolo „.” representa simbólicamente esta forma tan particular de asociación entre los conjuntos  $A$  y  $B$  para formar al conjunto  $M$ . Esta asociación o vinculación entre los conjuntos  $A$  y  $B$  para formar al conjunto  $M$ , se llama **operación coincidencia o intersección**.

$$m = A \cdot B$$

Imaginemos un conjunto muy general que llamaremos  $U$ , este sera nuestro universo. Hay en él objetos que son susceptibles de poseer ciertas propiedades, por ejemplo la propiedad  $P$  y la propiedad  $Q$ . Con los objetos que poseen la propiedad  $P$  formemos un subconjunto  $A$  que pertenece a  $U$  y con los que poseen la propiedad  $Q$  formemos un subconjunto  $B$  que tambien pertenece a  $U$ . Es probable que podamos formar un subconjunto  $M$  que pertenece a  $U$ . Hasta aqui el álgebra de Boole es una ente de conjuntos abstractos que se ha dicho que posee  $A$  y define una terebra operación básica para los elementos del álgebra, **la negación**.

## 1.3.- OPERACIONES INTERSECCIÓN Y UNIÓN :

**1.4.- DIAGRAMA DE VENN**

Es posible representar en forma gráfica estas asociaciones u “operaciones” entre los subconjuntos anteriores, para ello John VENN (1880) desarrollo un método de representación utilizando círculos que se intersectan para los “conjuntos y subconjuntos” y un rectángulo que representa al “universo”. Estas representaciones gráficas son conocidas como “los diagramas de VENN” y nos permiten “visualizar” los conceptos anteriores. Observemos el diagrama de VENN par la operación coincidencia.

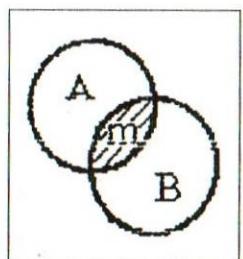


Figura 1.1.

$U = \text{hombres}$   
 $P = \text{hombres bajos}$   
 $A = \text{conjunto de hombres bajos}$   
 $Q = \text{hombres obesos}$   
 $B = \text{conjunto de hombres obesos}$   
 $M = \text{conjunto de hombres bajos y obesos}$

$$m = A \cap B$$

Si las propiedades P y Q son mutuamente excluyentes, significa que no hay elementos que pertenezcan al conjunto A y al conjunto B simultáneamente, entonces no existe el subconjunto m. se dice que la coincidencia es nula y que los conjuntos A y B son disjuntos. En el diagrama de VENN, este caso se grafica por medio de dos círculos que no se intersectan.

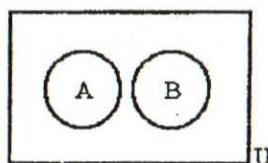
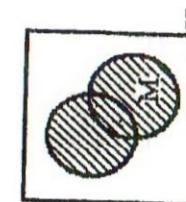


Figura 1.2.

$U = \text{hombres}$   
 $P = \text{hombres bajos}$   
 $A = \text{conjunto de hombres bajos}$   
 $Q = \text{hombres obesos}$   
 $B = \text{conjunto de hombres obesos}$

En la fig. siguiente observamos el diagrama de VENN de la operación unión, donde puede apreciarse el nuevo conjunto M.

$U = \text{hombres}$   
 $P = \text{hombres bajos}$   
 $A = \text{conjunto de hombres bajos}$   
 $Q = \text{hombres obesos}$   
 $B = \text{conjunto de hombres obesos}$   
 $M = \text{conjunto de hombres bajos y obesos y además “bajos solamente” y “obesos solamente”}.$



$$M = A \cup B$$

Figura 1.3.

**1.5.- VERIFICACIÓN DE LOS POSTULADOS**

Veamos ahora si estos elementos verifican los postulados del ÁLGEBRA DE BOOLE, para ello partiendo de la definición del ÁLGEBRA DE BOOLE podemos preguntarnos:

- 1) ¿Los elementos que forman los conjuntos presentan un comportamiento binario?

Si, pues pertenecen o no pertenecen a un conjunto o subconjunto determinado, o también podemos considerar si poseen o no poseen una cierta propiedad (podemos simbolizar el pertenecer o no a un conjunto, o la posición o no de una cierta propiedad, con los símbolos 1 y 0 )

- 2) ¿Se pueden definir dos operaciones o leyes de asociación que respondan a las tablas utilizadas para fijar las operaciones de suma y producto lógico?

Si, la operación unión y la operación intersección responden a las tablas de verdad mencionadas anteriormente.

- 3) ¿Se satisface la ley de cierre?

Si, pues el asociar dos o más conjuntos, el resultado es otro conjunto.

- 4) ¿Las operaciones mencionadas satisfacen las leyes conmutativa, distributiva y asociativa?

### PROPIEDAD COMUTATIVA

### PROPIEDAD DISTRIBUTIVA

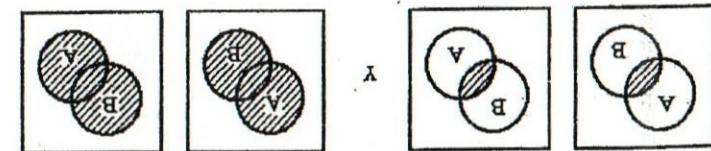


Figura 1.4.

Circuitos Combinacionales

9

10

sobre cualquier conjunto  $A$  devuelve al conjunto  $A$ .  
neutro de la suma es el conjunto vacío pues aplicado en dicha operación

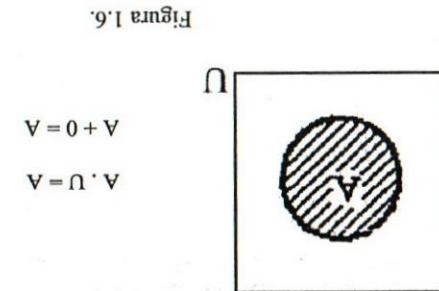


Figura 1.6.

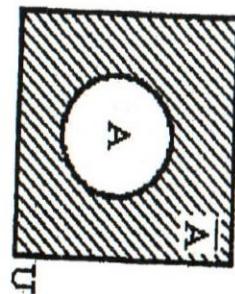
$A \cup A = N$  y además  $A + A = N^p$  esto nos lleva a  $A \cup \emptyset = 0$  y  $A + \emptyset = A$

6) Si definimos un conjunto  $A$  cualquiera, sabemos que existe un conjunto

que tiene en la propiedad  $P$ , en consecuencia este conjunto es la negación del conjunto  $A$ .

Suponemos un conjunto  $A$  compuesto por elementos que posean la propiedad  $P$ , podemos afirmar que existe un conjunto  $\bar{A}$  que reúne a todos los elementos que no tienen la propiedad  $P$ , en consecuencia este conjunto es la negación del conjunto  $A$ .

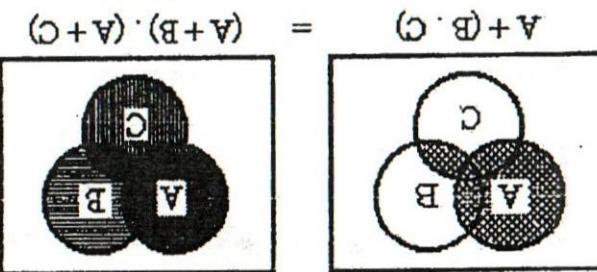
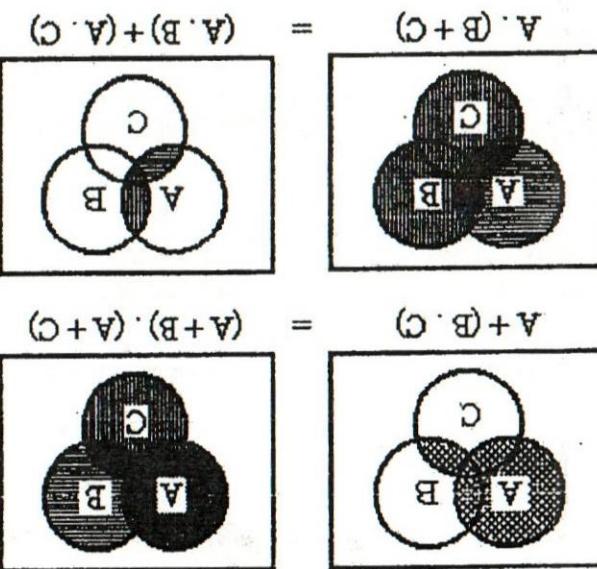
$\bar{A} = \text{conjunto de hombres que NO son bajos}$   
 $A = \text{conjunto de hombres bajos}$   
 $p = \text{hommes bajos}$   
 $U = \text{clase universal (hommes)}$



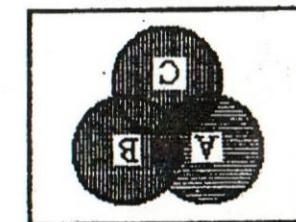
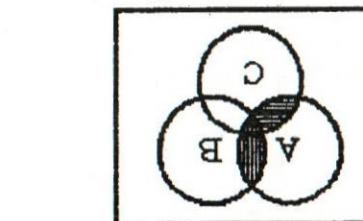
Como podemos observar los conjuntos forman un ALGEBRA DE BOOLE

Se define para el álgebra la demostación de la propiedad asociativa.

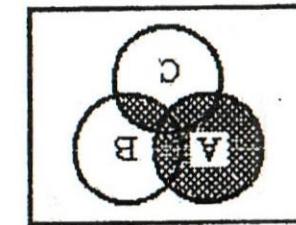
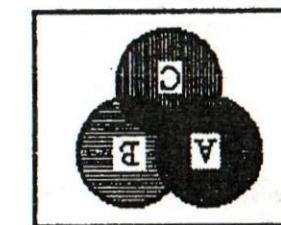
Figura 1.5.



$$A \cdot (B + C) = (A \cdot B) + (A \cdot C)$$



$$A + (B \cdot C) = (A + B) \cdot (A + C)$$



Si, el elemento neutro de la intersección es el universo, pues aplicado en dicha operación sobre cualquier conjunto  $A$  devuelve al conjunto  $A$ . El elemento neutro de la unión es el vacío, pues aplicado en cada operación?

elemento

**1.6.- TEOREMAS DE LOS MINI Y LOS MAXI**

Representaremos en los diagramas de VENN las posibles combinaciones con dos conjuntos en la operación COINCIDENCIA y UNIÓN.

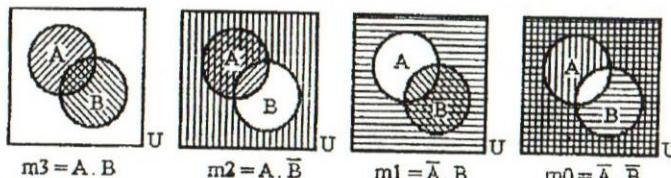
**COINCIDENCIA:**

Figura 1.8.

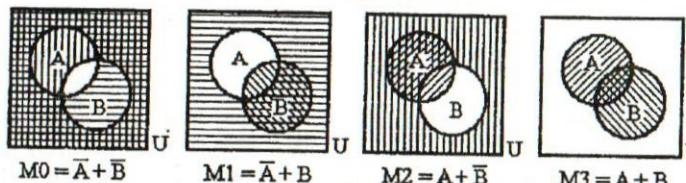
**UNIÓN:**

Figura 1.9.

Como en la operación coincidencia los subconjuntos  $m_i$  representan áreas mínimas los llamaremos MINITERMINOS ( $m_i$ ) y observando los diagramas se deduce que:

$$\sum_{i=0}^{2^n-1} m_i = 1 \quad \text{SOP}$$

“Uniendo todos los MINITERMINOS obtenemos el universo U, como  $U = 1$ , entonces:

$$m_3 + m_2 + m_1 + m_0 = 1$$

Como en la operación unión los subconjuntos  $M_i$  representan áreas máximas los llamaremos MAXITERMINOS y observando los diagramas de VENN se deduce que intersecciendo todos los MAXITERMINOS el resultado es el conjunto vacío.

$$\prod_{j=0}^{2^n-1} M_j = 0$$

POJ

es decir:

$$M_3 + M_2 + M_1 + M_0 = 0$$

$$M_3 \cdot M_2 \cdot M_1 \cdot M_0 = 0$$

Veamos ahora en segundo término un ejemplo de nuestro interés, tomemos el conjunto de circuitos de conmutación, es decir aquellos circuitos formados por combinaciones de contactos si – no.

**1.7.- VERIFICACIÓN DE LOS POSTULADOS**

Veamos ahora si estos elementos verifican los postulados del ÁLGEBRA DE BOOLE, para ello nuevamente partiendo de la definición del ÁLGEBRA DE BOOLE podemos preguntarnos:

- 1) ¿Los elementos que conforman los circuitos de conmutación presentan un comportamiento binario?

Sí, pues permiten o no permiten el pasaje de corriente a una carga determinada, o también podemos considerar si poseen o no poseen un estado de conducción (podemos simbolizar el estado de conducción o no, con los símbolos 1 y 0).

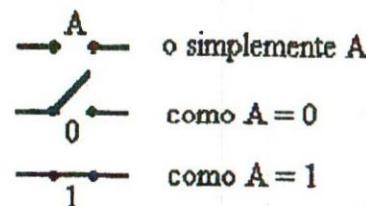


Figura 1.10.

2) Se pudean definir dos operaciones o leyes de asociacion de dichos contactos que responden a las tablas de verdad mencionadas anteriormente. Si la conexión en paralelo y la conexión en serie de dichos contactos, representan al estado de conducción y de no conducción con 1 y 0 respectivamente a las tablas de verdad mencionadas anteriormente. (Se pudean operar las operaciones de suma y producto lógico?)

2) Se pudean definir dos operaciones o leyes de asociacion de dichos contactos que responden a las tablas de verdad utilizadas para filjar los elementos que responden a las tablas de verdad mencionadas anteriormente. Si la conexión en paralelo y la conexión en serie de dichos contactos, representan al estado de conducción y de no conducción con 1 y 0 respectivamente a las tablas de verdad mencionadas anteriormente. (Se pudean operar las operaciones de suma y producto lógico?)

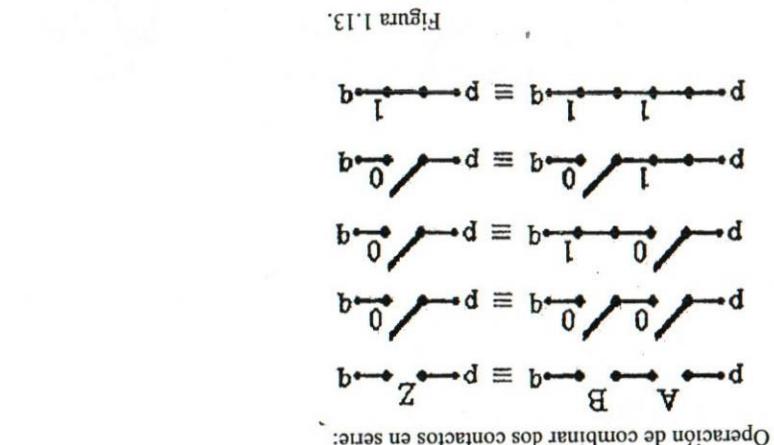


Figura 1.13.

En la Fig. 1.13 aparecen las cuatro combinaciones de estados de dos contactos en serie, y el contacto equivalente que resulta en cada situación. Para esta serie, y el contacto equivalente que resulta en cada situación. Para esta disposición, existe el estado de continuidad entre  $p$  y  $q$  solo si ambos contactos están cerrados simultáneamente. Los valores lógicos que intervienen en las combinaciones dibujadas corresponden con las características de los contactos esteán cerrados simultáneamente. Así se verifica el producto lógico de dos variables lógicas, definidos en la tabla. Así se verifica el producto lógico de dos variables lógicas, definidos en la tabla. Aí sí se verifica que el producto lógico de dos variables lógicas, que se expresa la operación de dos contactos en serie.

4) ¿Las operaciones mencionadas satisfacen las leyes commutativa,

Si, pues al asociar dos o más circuitos con contactos, el resultado es otro circuito con contactos.

3) ¿Se satisface la ley de cierre?

A. B representa la operación de dos contactos en serie.

distributiva y asociativa?

Si, la conexión en paralelo y la conexión en serie de dichos contactos, responden a las tablas de verdad mencionadas anteriormente. (Se pudean operar las operaciones de suma y producto lógico?)

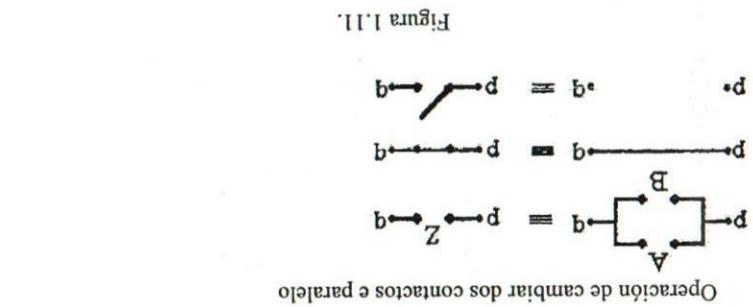


Figura 1.11.

El estado "conductivo" o "no conductivo" que producen entre los puntos  $p$  y  $q$ , dos contactos en paralelo,  $A$  y  $B$ , se representa por un contacto equivalente  $Z$ . Dichos contactos originales cumplen la función de estados "abierto" - "abierto", que se muestra en la Fig. 1.12, junto con el resultado de cada combinación.

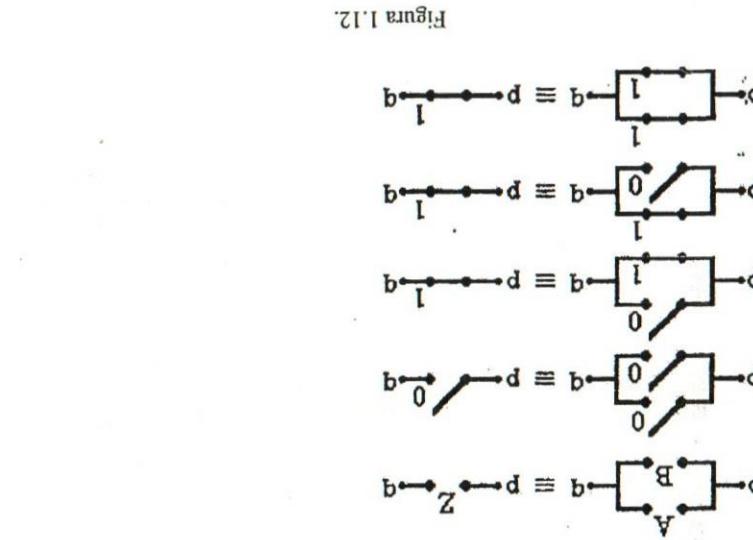


Figura 1.12.

Dichos contactos originales cumplen la función de estados "abierto" - "abierto", que se muestra en la Fig. 1.12, junto con el resultado de cada combinación.

Observamos la ley conmutativa; ella implica que se debe verificar las equivalencias entre las conexiones dibujadas.



Figura 1.14.

Es evidente que la continuidad o no entre los puntos  $p$  y  $q$  en contacto paralelo no depende de cual contacto esta arriba o abajo; y en contactos en serie de conexión, o sea cual contacto esta primero y cual segundo. En consecuencia se cumplen las expresiones indicadas.

Cada una de las operaciones es distributiva respecto a la otra:

$$A \cdot (B + C) = A \cdot B + A \cdot C$$

$$A + (B \cdot C) = (A + B) \cdot (A + C)$$

Por lo que se debe probar las siguientes equivalencias entre combinaciones de contactos:

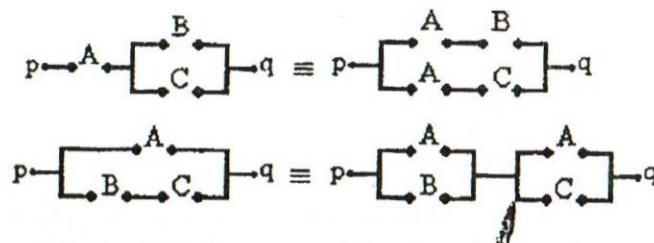


Figura 1.15.

Se deja para el alumno la demostración de la propiedad asociativa.

5) ¿El conjunto posee elementos neutro para cada operación?

Si, el elemento neutro de la conexión en paralelo es un contacto siempre abierto, pues aplicado en dicha conexión sobre cualquier contacto  $A$ , devuelve la misma acción que el contacto  $A$  solo. El elemento neutro de la suma es un contacto

siempre en cortocircuito, pues aplicado en dicha conexión sobre cualquier contacto  $A$ , devuelve la misma acción que el contacto  $A$  solo.

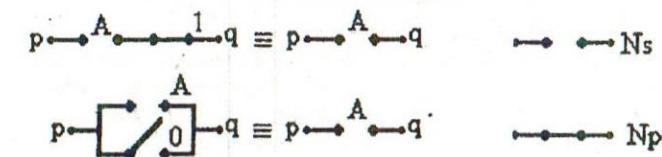


Figura 1.16.

El símbolo lógico de la suma es:



Figura 1.17.

El símbolo lógico del producto es:



Figura 1.18.

6) Si tomamos un contacto  $A$  cualquiera, sabemos que existe un contacto  $\bar{A}$  tal que

$$A \cdot \bar{A} = N_S \text{ y además } A + \bar{A} = N_P$$

esto nos lleva a  $A \cdot \bar{A} = 0$  y  $A + \bar{A} = 1$

El contacto  $A$  es un contacto NA, para que el contacto  $\bar{A}$  presente un comportamiento siempre opuesto al de  $A$  debe ser un contacto NC, el cual por su construcción mecánica presentara un comportamiento siempre contrario al de  $A$ .

El símbolo lógico de la negación es:



Figura 1.19.

de una operación, operándolo con la otra ley de asociación impone su valor en el resultado)

#### Circuitos Combinacionales

Se deja al alumno la demostración de este teorema utilizando los diagramas de VENN.

$$\begin{aligned} A + I &= A + I \quad \text{Por dualidad también es cierto que } A + 0 = 0 \\ A + I &= A + A \\ A + I &= A + (A \cdot I) \\ A + I &= (A + I) \cdot I \\ A + I &= A + I \end{aligned}$$

#### Teorema 5 Leyes de De MORGAN:

Para todo par de elementos  $A$  y  $B$  pertenecientes al ALGEBRA DE BOOLE, se verifica que  $(A + B) = \overline{A \cdot B}$  y que  $(A \cdot B) = \overline{A} + \overline{B}$ . Para esta demostración supondremos que  $P = Q$  si  $\overline{P} = Q$  además  $P + Q = 1$ , tomado  $P = (A + B)$  y  $Q = \overline{A \cdot B}$  podemos escribir:

$$\begin{aligned} (A + B) + \overline{A \cdot B} &= [(A + B) + \overline{A}] \cdot [(A + B) + \overline{B}] \\ (A + B) + \overline{A} \cdot \overline{B} &= [(A + B) + \overline{A}] \cdot [(1 + B)] \\ (A + B) + \overline{A} \cdot \overline{B} &= [(A + B) + \overline{A}] \cdot [1] \\ (A + B) + \overline{A} \cdot \overline{B} &= (A + B) + \overline{A} \end{aligned}$$

Por el principio de dualidad la otra igualdad es cierta. Se deja para el alumno las demostraciones de estos teoremas por medio de los diagramas de VENN.

Para todo elemento  $A$  perteneciente al ALGEBRA DE BOOLE, se verifica que  $A + \overline{A} = N^p$  y que  $\overline{A} \cdot A = N^s$ . Observemos que al utilizar el elemento neutro

#### Teorema 4

Observamos que tanto  $\overline{A}$  como  $A$ , son el complemento de  $A$ , por lo tanto deben ser iguales al ser el complemento nulo.

$$\begin{aligned} \overline{A} + \overline{A} &= 1 \quad \overline{A} \cdot \overline{A} = 0 \\ \overline{A} + A &= 1 \quad \overline{A} \cdot A = 0 \end{aligned}$$

Para todo elemento  $A$  del álgebra de Boole se verifica que  $A = \overline{\overline{A}}$

#### Teorema 3 LEY DE INVOLUCIÓN:

Se deja para el alumno la demostración de este teorema utilizando los circuitos de combinación.

$$\begin{aligned} A + A &= A \quad \text{Por dualidad también es cierto que } A \cdot A = A \\ A + A &= A + 0 \\ A + A &= A + (A \cdot A) \\ A + A &= (A + A) \cdot (A + A) \\ A + A &= A + A \end{aligned}$$

y  $A \cdot A = A$ .

Para todo elemento  $A$  del ALGEBRA DE BOOLE se verifica que  $A + A = A$

#### Teorema 2 LEY DE IDEMPOTENCIA:

Para toda igualdad que se demuestre como cierta, si se intercambian entre si las operaciones suma y producto y los valores 0 y 1, obtendremos otra igualdad que también es cierta. En todos los postulados del álgebra se plantean expresiones que también son sumas y productos de variables que cumplen con las mismas propiedades que las operaciones de suma y producto. Por lo tanto queda aceptado sin una demostración formal.

#### D:

Teorema 1 PRINCIPIO DE DUALIDAD:

#### 1.8.- ALGUNOS TEOREMAS DEL ALGEBRA DE BOOLE

#### Circuitos Combinacionales

Circuitos Combinacionales

## 2.- METODOLOGÍA PARA LA RESOLUCIÓN DE PROBLEMAS LÓGICOS

### 2.1.- DISEÑO DE UN CIRCUITO COMBINACIONAL

Cuando se diseña un circuito lógico combinacional, debemos realizar los siguientes pasos:

- ① I. A través de una descripción del funcionamiento esperado del circuito o de un conjunto de especificaciones fijadas, se escribe la tabla de verdad.
- ② II. A partir de la tabla de verdad se obtiene la expresión lógica, esta nos indica que operadores lógicos deben utilizarse y a qué variables deben vincular.
- ③ III. A continuación se examina la expresión lógica con la intención de aplicar teoremas de simplificación que nos permita minimizar dicha expresión y obtener el circuito más simple posible.
- ④ IV. Implementación eficiente con Circuitos Integrados (C.I.) comerciales.

A partir de los siguientes ejemplos vamos a intentar clarificar los pasos anteriores y a establecer una metodología para la solución de problemas de lógica combinacional

#### Ejemplo 1: SISTEMA DE ALARMA

Un supermercado tiene dos cajeros y cada uno de ellos dispone de un interruptor de pedal conectado a un sistema de alarma. Cuando se pulsa uno de estos interruptores, o ambos, se prende una luz en la gerencia. Plantee el sistema lógico correspondiente.

#### 1) Definición de las variables de entrada y su comportamiento

Cajero 1 -----	Interruptor "A"	$A = 0$ interruptor abierto
		$A = 1$ interruptor cerrado
Cajero 2 -----	Interruptor "B"	$B = 0$ interruptor abierto
		$B = 1$ interruptor cerrado

#### 2) Definición de las variables de salida y su comportamiento

Luz de gerencia -----	Lampara "f"	$f = 0$ alarma desactivada
		$f = 1$ alarma activada

### 3) Tabla de verdad y expresión lógica

ENTRADAS		SALIDAS
A	B	f
0	0	0
0	1	1
1	0	1
1	1	1

Aquí queda representado el funcionamiento del sistema de alarma al fijarse el comportamiento de las variables en todas las condiciones previstas

$$f = A + B$$

#### 4) Implementación



Figura 1.20.

#### Ejemplo 2: SISTEMA DE SEGURIDAD

Una máquina perforadora tiene dos interruptores, el interruptor principal conecta a máquina a la red y un interruptor térmico de sobrecarga se abre cuando la temperatura del motor, que acciona la perforadora, supera un valor límite. Plantee el sistema lógico correspondiente.

#### 1) Definición de las variables de entrada y su comportamiento

Interruptor principal -----	Interruptor "A"
	$A = 0$ inter. abierto (maq. desconectada)
	$A = 1$ inter. cerrado (maq. conectada)

Interruptor de sobrecarga ---	Interruptor "B"
	$B = 0$ inter. abierto (term. Superior a la normal )
	$B = 1$ inter. cerrado (temperatura normal)

#### 2) definición de las variables de salida y su comportamiento

Motor -----	"f"	$f = 0$ motor detenido	$f = 1$ motor funcionando
-------------	-----	------------------------	---------------------------

b) Minimización sistemática de la expresión lógica.

Nuestro objetivo es presentar métodos sistemáticos que pueden aplicarse a estos casos, permitiendo encontrar una rápida y adecuada solución. Para ello utilizaremos los conceptos de miniterm (o maxiterm) y expresión canónica de una función.

Es muy importante tener en cuenta que:

MINITERM: Son los productos que tienen una forma muy particular, presentan todos las variables involucradas en el problema considerados y las hubiere, certain sobre variables en el problema considerados, es decir, si se toman el valor "1", solo para una combinación de variables que cumple con las restricciones.

Vemos el caso de los miniterm que se obtienen con dos variables, A y B.

A	B	$A \bar{B}$	$\bar{A} B$	$A B$	$\bar{A} \bar{B}$
0	0	0	0	0	0
0	1	1	0	1	0
1	0	0	1	0	1
1	1	1	1	1	1

MAXITERM: Son sumas que presentan a todas las variables involucradas en el problema y las negaciones, si las hubiere, certain sobre variables individuales. El problema ya las negaciones, si las hubiere, certain sobre variables individuales. El problema ya las negaciones, si las hubiere, certain sobre variables individuales. Es decir que un miniterm "fabrica" un 1 en una determinada combinación de los maxiterm es particular, toman el valor "0" para los maxiterm que no cumplen con las restricciones.

Vemos el caso de los maxiterm que se obtienen con dos variables, A y B:

Resistente toman el valor "1".

Una determinada combinación de las hubiere, certain sobre variables individuales, para las comporatamiento de los maxiterm también es particular, toman el valor "0" para las determinadas para representar dichas tablas de verdad. Ante uno de estos casos, la invención a variaciones operadores, siendo necesarias complejas entre las variables, que involucran a las tablas de verdad de los casos de circuitos lógicos esto no es embargo, en la mayoría de los circuitos lógicos que debemos implementar.

Sin embargo, en la mayoría de los circuitos lógicos que debemos implementar, podemos intentar facilitarlos que cumplen con las funciones básicas, es por ello que direccamente a las tablas de verdad de los circuitos lógicos que cumplen con las funciones básicas, es por ello que responden a las variables, para las determinadas que cumplen con las restricciones.

A	B	$A + B$	$\bar{A} + B$	$A + \bar{B}$	$\bar{A} + \bar{B}$
0	0	0	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	1	1	1	1

Como en el caso anterior, podemos decir que un maxitern "fabrica" un 0 en una determinada linea de la tabla de verdad y luego su efecto desaparece para todas las otras.

a) Obtenición de la expresión lógica a través de la tabla de verdad.

Aún cuando el álgebra de Boole nos proporciona fundamentos importantes para la manipulación de las expresiones lógicas, no apunta soluciones satisfactorias a los aspectos importantes del diseño de circuitos lógicos:

?Cómo puedo obtener la expresión lógica que se corresponde con una tabla de verdad dada?

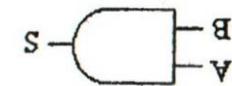
Siempre que se nos presentan relaciones lógicas entre las variables, que implicadas para representar dichas tablas de verdad. Ante uno de estos casos, la invención a variaciones operadores, siendo necesarias complejas entre las variables, que involucran a las tablas de verdad de los casos de circuitos lógicos esto no es así, las tablas de verdad de los circuitos lógicos que cumplen con las funciones básicas, es por ello que responden a las variables, para las determinadas que cumplen con las restricciones.

## 2.1. INTRODUCCIÓN

### LOGICA DE UNA FUNCIÓN

#### 2.2. MÉTODOS SISTEMÁTICOS DE OBTENCIÓN DE LA EXPRESIÓN

Figura 1.21.



4) Implementación

A	B	F
1	1	1
1	0	0
0	1	0
0	0	0

Apal que da representa el funcionamiento del sistema.  
 $J = A \cdot B$

Circuitos Combinacionales

3) Tabla de verdad y expresión lógica

Circuitos Combinacionales

b) Minimización sistemática de la expresión lógica.

Nuestro objetivo es presentar métodos sistemáticos que pueden aplicarse a estos casos, permitiendo encontrar una rápida y adecuada solución. Para ello utilizaremos los conceptos de miniterm (o maxiterm) y expresión canónica de una función.

Es muy importante tener en cuenta que:

MINITERM: Son los productos que tienen una forma muy particular, presentan todos las variables involucradas en el problema considerados, es decir, si se toman el valor "1", solo para una combinación de variables que cumple con las restricciones.

Vemos el caso de los miniterm que se obtienen con dos variables, A y B.

valores aplicados a las variables, para las restantes toman el valor "0".

valores aplicados a las variables, para una combinación de variables que cumple con las restricciones.

A	B	$A \bar{B}$	$\bar{A} B$	$A B$	$\bar{A} \bar{B}$
0	0	0	0	0	0
0	1	1	0	1	0
1	0	0	1	0	1
1	1	1	1	1	1

### 2.2.2.- EXPRESIONES CANÓNICAS O FORMAS NORMALIZADAS DE UNA FUNCIÓN

Las expresiones canónicas son expresiones lógicas que tienen una forma muy particular, son **sumatorias de miniterm** o **productorias de maxiterm**.

**A cada miniterm o maxiterm se lo denomina genéricamente término canónico.**

### 2.2.3.- OBTENCIÓN DE LA EXPRESIÓN LÓGICA A PARTIR DE LA TABLA DE VERDAD

Utilizando los conceptos anteriores es fácil obtener una expresión lógica que se corresponda con una tabla de verdad dada...

...**como una sumatoria de miniterm**, para ello se observa donde están los unos de la función y se suman los miniterm que producen dichos unos, los ceros de la función se forman automáticamente en las combinaciones en las que no se activa ningún miniterm.

...**como una productoria de maxiterm** para ello se observa donde están los ceros de la función y se multiplican los maxiterm que producen dichos ceros, los unos de la función se forman automáticamente en las combinaciones en las que no se active ningún maxiterm.

Volvamos al ejemplo del sistema de alarma:

A	B	S	MINI	MAXI
0	0	0	$\bar{A} \cdot \bar{B}$	$A + B$
0	1	1	$\bar{A} \cdot B$	$A + \bar{B}$
1	0	1	$A \cdot \bar{B}$	$\bar{A} + B$
1	1	1	$A \cdot B$	$\bar{A} + \bar{B}$

$$S = \bar{A} \cdot B + A \cdot \bar{B} + A \cdot B$$

La función obtenida de la tabla de verdad es distinta a la original ( $S = A + B$ ) que obtuvimos anteriormente. Trabajemos con esta nueva función.

$$S = \bar{A} \cdot B + A \cdot \bar{B} + A \cdot B$$

$$S = (\bar{A} \cdot B) + [A \cdot (\bar{B} + B)]$$

$$S = (\bar{A} \cdot B) + A$$

$$\begin{aligned} S &= (\bar{A} \cdot A) \cdot (A + B) \\ S &= 1 \cdot (A + B) \\ S &= A + B \end{aligned}$$

Simplificando adecuadamente llegamos al mismo resultado obtenido en forma intuitiva. Si hubiera empleado los maxiterm, el resultado sería:

$$S = A + B$$

Tomemos otro ejemplo, supongamos que deseamos comutar una carga desde dos puestos diferentes, obtener la función correspondiente. Procediendo de la misma forma que en el caso anterior obtenemos:

A	B	S
0	0	0
0	1	1
1	0	1
1	1	0

$$\begin{aligned} S &= \bar{A} \cdot B + A \cdot \bar{B} \\ S &= A \otimes B \end{aligned}$$

Si utilizamos los maxiterm obtendremos:

$$\begin{aligned} S &= (A + B) \cdot (\bar{A} + \bar{B}) \text{ operando sobre esta expresión llegamos a} \\ S &= A \cdot \bar{A} + A \cdot \bar{B} + \bar{A} \cdot B + A \cdot B \\ S &= A \cdot \bar{B} + \bar{A} \cdot B \end{aligned}$$

Que es idéntica a la expresión obtenida con los miniterm

Entonces una expresión canónica, por ejemplo para la siguiente tabla de verdad

#### Circuitos Combinacionales

$$S = \prod (M_7, M_5, M_2, M_1)$$

$$S = \sum (m_1, m_3, m_4, m_7)$$

A	B	C	S
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

se escribiría así:

Hay dos maneras de obtener un pasaje de miniterm a maxiterm y viceversa, el método algebraico y el método que utiliza la notación simplificada. En el método algebraico, se aplica MORGAN a cada miniterm de la función complejamente y se obtiene la función original expresada en maxiterm. Si aplicamos MORGAN a los maxiterms de la función complejamente, obtenemos la expresión de la función original en miniterm.

En el método algebraico, se aplica MORGAN a cada miniterm que nos indica el subíndice del maxiterm en función del subíndice del miniterm que nos indica la notación simplificada, se emplea una fórmula que nos sigue indicando que nos muestra la notación simplificada adaptada por los considerados y viceversa. Para comprender este simple mecanismo observemos la siguiente tabla que nos muestra la notación simplificada adaptada por los miniterm y maxiterm en tres variables.

#### VICEVERSA

#### 2.5.- OBTENCIÓN DE LOS MAXITERMS A PARTIR DE LOS MINITERMS Y

$$S = \prod M(7, 5, 2, 1)$$

$$S = \sum (1, 3, 4, 7)$$

Una forma más simplificada aun es la siguiente:

#### Circuitos Combinacionales

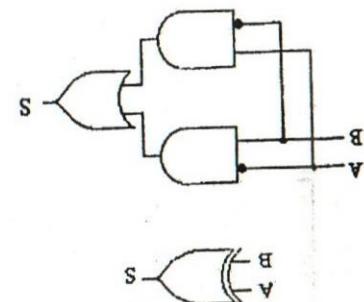


Figura 1.22.

#### 2.4.- FORMAS SIMPLIFICADAS DE LAS EXPRESIONES CANÓNICAS

Las expresiones canónicas de una función son muy largas de escribir, por lo tanto formularemos una convención que nos permitirá presentar a dichas expresiones de una manera simplificada. Para ello, en los miniterm, asignaremos el valor 0 a una variable negada, y el valor 1 a una variable no negada, esto es, el valor 0 a una variable simplificada. Por ejemplo, para la función  $S = \sum (m_1, m_3, m_4, m_7)$ , las combinaciones de entradas en cada regla, interpretados como números binarios, serían 0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 1001, 1010, 1011, 1100, 1101, 1110, 1111. Si en cambio, cuando utilizamos los miniterms, el que tiene todas las variables negadas es el último y el orden de asignación se invierte.

m <sub>7</sub>	A	B	C	M <sub>1</sub>	M <sub>3</sub>	M <sub>4</sub>	M <sub>7</sub>	MINITERM	MAXITERM
0	0	0	0	0	0	0	0	0000	1111
0	0	0	1	0	0	1	0	0001	1110
0	0	1	0	0	1	0	0	0010	1101
0	0	1	1	0	1	1	0	0011	1100
0	1	0	0	1	0	0	1	0100	1011
0	1	0	1	1	0	1	1	0101	1010
0	1	1	0	0	1	1	1	0110	1001
0	1	1	1	1	1	0	1	0111	1000
1	0	0	0	0	0	0	1	1000	0111
1	0	0	1	0	0	1	1	1001	0110
1	0	1	0	0	1	0	1	1010	0101
1	0	1	1	1	0	1	1	1011	0100
1	1	0	0	1	0	0	1	1100	0011
1	1	0	1	1	0	0	1	1101	0010
1	1	1	0	0	1	1	1	1110	0001
1	1	1	1	1	1	1	1	1111	0000

	A	B	C	S
$m_0$	0	0	0	$M_7$
$m_1$	0	0	1	$M_6$
$m_2$	0	1	0	$M_5$
$m_3$	0	1	1	$M_4$
$m_4$	1	0	0	$M_3$
$m_5$	1	0	1	$M_2$
$m_6$	1	1	0	$M_1$
$m_7$	1	1	1	$M_0$

Los miniterm comienzan con el subíndice 0 en la primera línea de la tabla de verdad y aumentan hasta llegar a un subíndice máximo de  $2^n - 1$  en la última línea de la tabla de verdad, sin embargo, los maxiterm presentan su subíndice 0 en la última línea de la tabla de verdad y el subíndice más alto en la primera línea. Entonces, en lo que respecta al valor numérico del subíndice, lo que suben los miniterms desde su valor más bajo, lo disminuyen los maxiterms desde su valor más alto, entonces el valor del subíndice de un maxiterm genérico  $j$  en función del subíndice del miniterm correspondiente  $i$ .

$$j = (2^n - 1) - i$$

Obviamente, el subíndice de un miniterm  $i$  expresado en función del maxiterm correspondiente será:

$$i = (2^n - 1) - j$$

#### 2.6.- EXPANSIÓN A LA FORMA CANÓNICA

A veces, una función cuya expresión no está en forma canónica, necesita ser expresada en su forma canónica; ello puede hacerse por métodos algebraicos o por medio de la tabla de verdad.

Los métodos algebraicos aplican los teoremas de MORGAN para eliminar las negaciones que afectan a dos o más variables y utilizan la propiedad distributiva conjuntamente con las condiciones de definición del elemento negado para ir agregando las variables que faltan a cada término de la expresión no canónica.

Si disponemos de la tabla de verdad simplemente escribimos los miniterms o los maxiterms, según cual de las dos formas canónicas queramos obtener.

El procedimiento para la resolución por métodos algebraicos requiere primero escribir la función en forma de suma de productos, luego transformar las negaciones que toman a dos o más variables simultáneamente y convertirlas en negaciones individuales, por últimos agregar las variables que faltan para que cada producto resultante sea canónico.

Un procedimiento similar se utiliza si deseamos expresar la función como productos de sumas.

Veamos ejemplos:

$$S(ABCD) = A \cdot B$$

$$S(ABCD) = A \cdot B \cdot 1 = A \cdot B \cdot (C + \bar{C}) = ABC + AB\bar{C}$$

$$S(ABCD) = (ABC + AB\bar{C}) \cdot 1 = (ABC + AB\bar{C}) \cdot (D + \bar{D})$$

$$S(ABCD) = ABCD + ABC\bar{D} + AB\bar{C}D + AB\bar{C}\bar{D}$$

$$S(ABCD) = \sum m (12, 13, 14, 15)$$

En forma similar se puede expandir una función expresada como producto de sumas:

Ejemplo:

$$S(ABCD) = A + B$$

$$S(ABCD) = (A + B) + 0 = (A + B) + (C \cdot \bar{C}) = (A + B + C) \cdot (A + B + \bar{C})$$

$$S(ABCD) = (A + B + C) \cdot (A + B + \bar{C}) + 0$$

$$S(ABCD) = (A + B + C) \cdot (A + B + \bar{C}) + (D \cdot \bar{D})$$

$$S(ABCD) = (A+B+C+D) \cdot (A+B+C+\bar{D}) \cdot (A+B+\bar{C}+D) \cdot (A+B+\bar{C}+\bar{D})$$

$$S(ABCD) = \prod M (12, 13, 14, 15)$$

#### # 2.7.- FUNCIÓN COMPLEMENTO

La definición del elemento complemento postulada en el álgebra de Boole se aplica también en la definición de la función complemento, es decir

$$S + \bar{S} = 1 \quad \text{y} \quad S \cdot \bar{S} = 0$$

Tomando la primera de las expresiones, podemos decir que la función complemento es aquella que se obtiene sumando los miniterms que no están presentes en la función  $S$ , es decir aquellos que corresponden a las filas de la tabla de verdad donde la función  $S$  vale 0.

Las expresiones canónicas nos llevan a implementaciones de dos niveles, AND/OR (minitemos) y OR/AND (maxitemos) pero utilizan dos tipos distintos de integrados. Estas funciones también pueden realizarse en dos niveles y con un solo tipo de integrado.

$$\text{AND/OR} \leftarrow \text{NAND/NAND}$$

$$\begin{aligned} 1. \text{AND/OR} &\leftarrow \Sigma^m_i \\ 2. \text{NAND/NAND} & \\ 3. \text{OR/NAND} & \\ 4. \text{NOR/OR} & \\ 5. \text{AND/NOR} & \\ 6. \text{NAND/AND} & \\ 7. \text{OR/AND} & \\ 8. \text{NOR/NOR} & \leftarrow \Pi^M_j \end{aligned}$$

Estas no son las únicas formas que representan a una función booleana, a continuación observamos las otras formas estándar:

También es posible obtener la función combinando los maxitemos que no están presentes en la función  $S$ , es decir aquellos que corresponden a las filas de la tabla de verdad donde la función vale 1. Se la sigue en la siguiente función, expresada en forma canónica como suma de productos

$$S = \sum m(1, 2, 4, 7)$$

$$\begin{aligned} S &= \sum m(7, 4, 2, 1) \\ S &= \sum m(6, 5, 3, 0) \end{aligned}$$

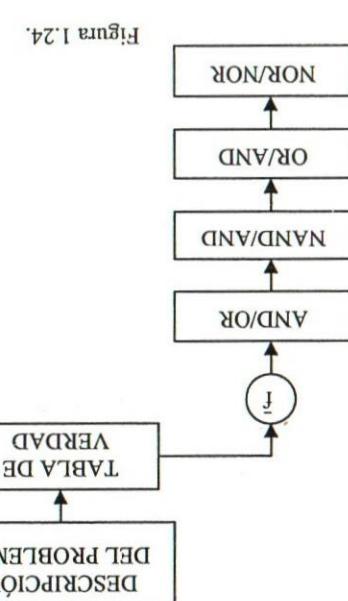
En caso que representemos a la función mediante una expresión canónica producto de sumas,

$$S = \prod m(0, 3, 5, 6)$$

Su complemento sería:

**L** Si negamos la función combinada en maxitemos, expresado en minitemos la función original expresada en maxitemos y si negamos la función combinada expresada en maxitemos obtenemos la función combinada en minitemos.

En la figura que sigue mostramos la fase inicial del proceso de un diseño combinacional y la relación existente entre las ocho formas standard.



29

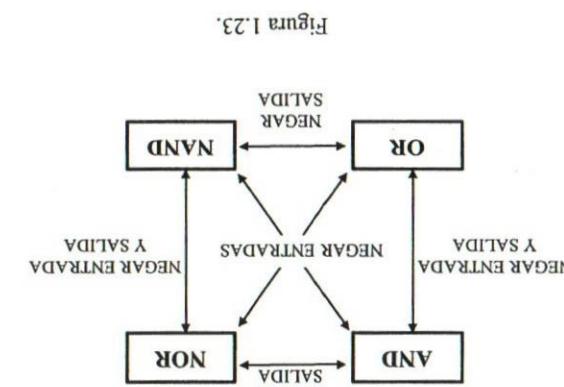


Figura 1.23.

Una vez definido el problema y construida la tabla de verdad, obtenemos la FUNCION o su COMPLEMENTO en la forma SUMA DE MINITERMINOS. Por la aplicación de MORGAN, obtenemos las distintas formas standard.

Ejemplo:

**1.- PROBLEMA:** Se desea comutar una carga desde dos puntos diferentes.

### 2.- TABLA DE VERDAD

$m_i$	A	B	SALIDA f
$m_0$	0	0	0
$m_1$	0	1	1
$m_2$	1	0	1
$m_3$	1	1	0

### 3.- FORMAS STANDARD

a)

$$f = m_1 + m_2$$

$$f = \overline{AB} + A\overline{B} \rightarrow \text{AND/OR}$$

$$\bar{f} = \overline{\overline{AB} + A\overline{B}}$$

$$f = \overline{(AB)} \cdot \overline{(A\overline{B})} \rightarrow \text{NAND/NAND}$$

$$f = (A + \overline{B})(\overline{A} + B) \rightarrow \text{OR/AND}$$

$$f = (A + \overline{B}) + (\overline{A} + B) \rightarrow \text{NOR/OR}$$

b)

$$\bar{f} = m_0 + m_3$$

$$\bar{f} = \overline{A\overline{B}} + AB$$

$$f = \overline{A\overline{B} + AB} \rightarrow \text{AND/NOR}$$

$$f = \overline{(A\overline{B})} \cdot \overline{(AB)} \rightarrow \text{NAND/AND}$$

$$f = (A + B)(\overline{A} + \overline{B}) \rightarrow \text{OR/AND}$$

$$\bar{f} = f = \overline{(A + B)(\overline{A} + \overline{B})}$$

$$f = \overline{\overline{(A + B)(\overline{A} + \overline{B})}} \rightarrow \text{NOR/NOR}$$

Como vemos, existen dos grupos perfectamente definidos  $f$  y  $\bar{f}$ . La obtención de una función dentro de cada grupo es bastante fácil y reside en la aplicación de Morgan.

El principal inconveniente que presenta la aplicación de este método es la multiplicación algebraica, es que no es fácil apreciar todas las adyacencias posibles o cuál es el mejor conjunto de adyacencias que se pueden tomar, en el caso de una expresión canónica que posea muchos combinaciones.

Para ello que buscamos transformar la adyacencia lógica en una adyacente geométrica. Si observamos los diagramas de VENN, notaremos que todos los cuadrados, agrupados formando filas y columnas, donde cada cuadrado define 2<sup>n</sup> conjuntos. Un diagrama más fácil de realizar consiste de un cuadrado de lado 2n.

Por la intersección de una fila y columna específicas, representan un término geométricamente (o máximos) que todos los términos que tienen la misma parte que el resto de los términos.

### 8.3.- DIAGRAMAS DE KARNAUGH

$$S = \underline{B}D + A B C D$$

$$S = \overline{B_D}(A + \overline{A}) + ABCD = \overline{B_D} \cdot 1 + ABCD$$

$$S = \overline{ABD} \cdot I + \overline{B}D \cdot I + ABCD = \overline{ABD} + \overline{B}D + ABCD$$

$$S = \overline{A} \overline{B} D (C + \overline{C}) + A B D (C + \overline{C}) + A B C D$$

$$S = \overline{ABC}D + \overline{AB}CD + A\overline{BC}D + ABCD + A\overline{BC}D$$

Si los términos resultantes de dos agrupamientos son lógicamente dependientes, estos resultados se pueden volver a agrupar entre sí, produciéndose una notación

$$(ABC) = A B + A C \quad f(ABC) = A B (C + C) + A C (B + B)$$

$$(ABC) = A B (C+C) + A C (B+B)$$

$$(ABC) = A \cdot BC + AB \cdot C + AC \cdot B$$

$$(ABC) = ABC + ABC + ABC$$

$$(ABC) = \Sigma_{0,1,2}$$

Ejemplo:

As identidades  $A \cdot A \cdots = A \wedge A \cdots$  e  $A + A \cdots = A$  nos permitem escrever un termo comumico las veces que sea necesario, cuando es adequado para agruparlo con otros, para mesclar la simplificacón.

El "antipamieto" de los términos canónicos produce un solo término, suma o producto, en que la variable distinta no está.

## Circuitos Combinacionales

### 3.- MINIMIZACIÓN DE LAS EXPRESIONES LÓGICAS

## Circuitos Combinacionales

### 3.2.- MINIMIZACIÓN ALGEBRAICA

Mimizar o simplificar una expresión lógica consiste en obtener otra expresión, que presenta igual complejidad que la primera (satisface el principio de sustitución), pero con menos cantidad de operadores lógicos, lo que en la práctica representa un circuito con menos componentes, menor tamaño, peso y consumo por lo cual es más económico, eficiente y confiable. Por esta razón es importante encontrar un método que garantice la mejor minimización posible.

Las funciones cardinales resultarán más fáciles de entender si se considera que el paso de la expresión de la tabla de verdad a la expresión lógica es similar al paso de la implementación simple a la implementación eficiente.

canónico en particular. La pregunta ahora es como colocamos las variables para que los cuadrados geométricamente adyacentes sean representativos de términos canónicos lógicamente adyacentes, los diagramas de VEITCH y de KARNAUGH cumplen con esta propiedad.

Observemos las siguientes figuras:

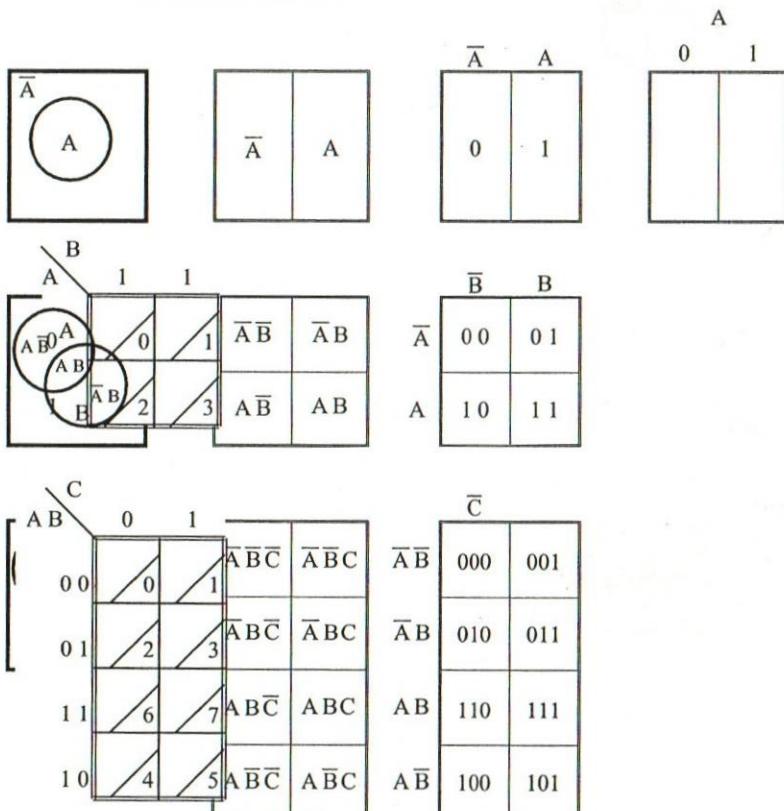


Figura 1.25.

	CD	AB	00	01	11	10
00						
01						
11						
10						

Mapa de Karnaugh para cuatro variables

Figura 1.26.

### 3.4.- CAMPOS DE ACCIÓN

Vamos a delimitar los campos de acción de las variables.

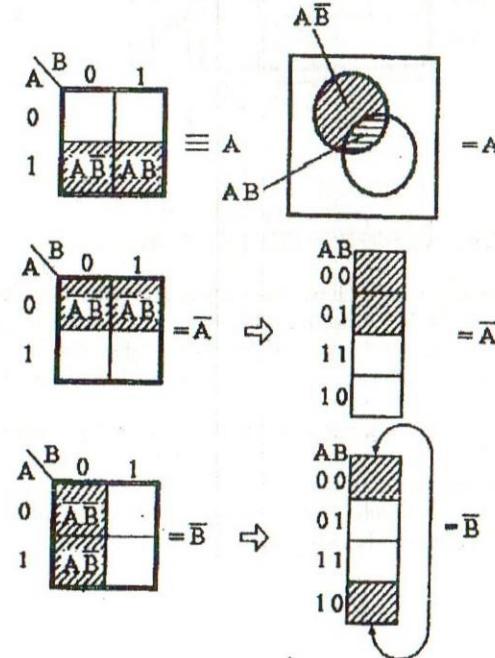


Figura 1.27.

Ejemplo:

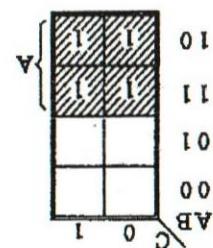
$$F = \Sigma[2, 3, 6, 7]$$

$$F = A, 5 \quad Y \quad F = 0, 1$$

Ejemplo:

Figura 1.30.

$$F = A$$



$$F = \Sigma[4, 5, 6, 7]$$

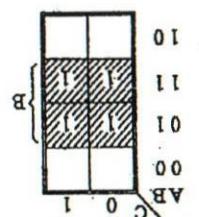
(se expande)

$$f(ABC) = AB + \overline{ABC} + AC$$

Ejemplo:

Figura 1.29.

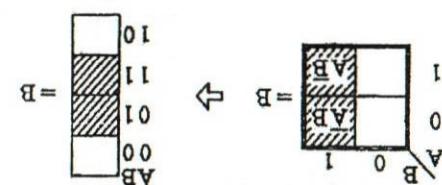
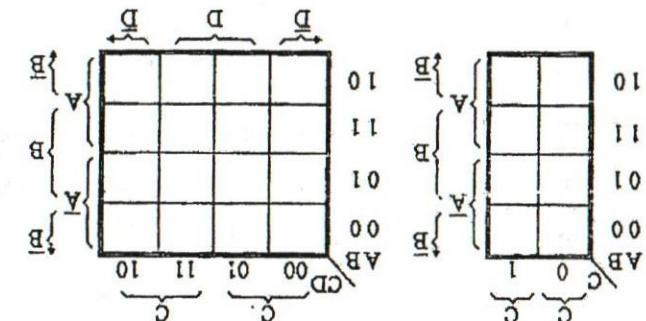
$$F = B$$



Como nosotros deseamos simplificar agrupando los minterms específicos que posee la expresión canónica que estimos convenientemente, es más conveniente que representados en el diagrama mediane un "1" en el cuadro que les correspondan. Luego de representar a todos los minterms analizaremos "cuales" y "cuantas" agrupaciones que conviene realizar para obtener la "minima expresión". Con los minterms se opera de modo similar, con la diferencia que los máximos se marcan en el diagrama de KARNAUGH con un "0".

### 3.5. REPRESENTACIÓN DE UNA FUNCIÓN DE KARNAUGH

Figura 1.28.



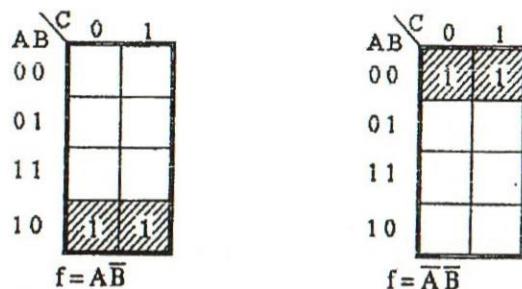


Figura 1.31.

### 36.- MINIMIZACIÓN DE FUNCIONES LÓGICAS MEDIANTE EL DIAGRAMA DE KARNAUGH

La minimización por medio del diagrama de KARNAUGH asegura siempre expresiones mínimas del tipo "suma de productos" o "productos de sumas", según se utilicen las expresiones canónicas con miniterms o maxiterms respectivamente (ambas expresiones representan circuitos de dos niveles, AND/OR u OR/AND).

Una vez representada la función lógica en el diagrama de KARNAUGH, deben "agruparse" los miniterms o maxiterms ubicados en celdas adyacentes según las siguientes reglas generales:

- 1) Solo se podrán formar grupos de  $2^n$  miniterms (2, 4, 8, etc.). Los grupos podrán ser horizontales, verticales o una combinación de ambos; pero nunca podrán existir grupos en diagonal.
- 2) Se formaran los grupos del mayor tamaño posible, buscando finalizar con el menor número posible de términos en la expresión final.
- 3) Un mismo término canónico puede formar parte de mas de un agrupamiento.
- 4) El proceso de simplificación culmina cuando todos los términos han sido agrupados o los que quedan no pueden ser agrupados y serán considerados individualmente.

- 5) Cada grupo representa un producto diferente y la ecuación mínima será la suma de todos los productos producidos por todos los grupos considerados, obteniéndose así una expresión del tipo suma de productos que será la mínima expresión lógica para esa función. Esto también es válido si se simplifica utilizando los maxiterms de la función, con lo cual se obtiene una expresión mínima del tipo producto de sumas.
- 6) No siempre la solución será única; en caso de que halla mas de una solución, las mismas serán lógicamente equivalentes y podremos analizar la adopción de la más conveniente.
- 7) Para funciones lógicas de seis o más variables el diagrama KARNAUGH resulta inapropiado para simplificar, en estos caso se recurre al método de QUINE – Mc CLUSKY

Veamos algunos ejemplos:

$$f = 3, 4, 5, 6, 7$$

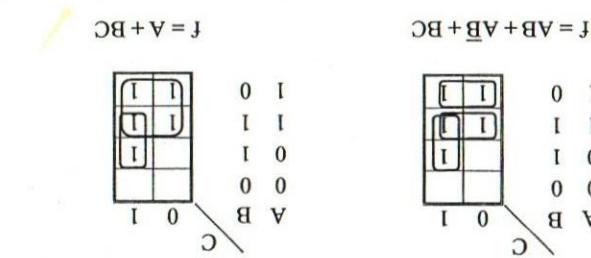
A	B	C
0	0	0
0	1	1
1	1	1
1	0	1

Sabemos que dos celdas adyacentes  
eliminan una variable

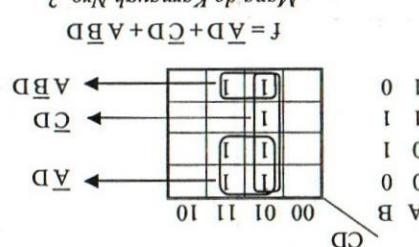
Figura 1.32.

Según se agrupen las celdas será la función resultante.

### Circuitos Combinacionales

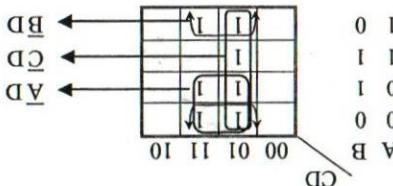


Circuitos Combinacionales



Mapa de Karnaugh Nro. 2

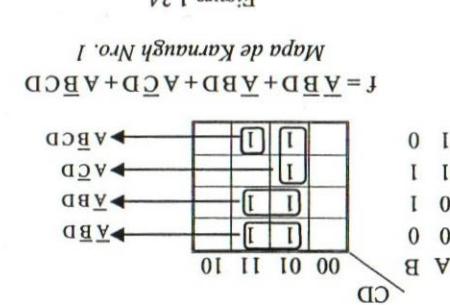
$$F = \bar{A}D + \bar{C}D + A\bar{B}D$$



Mapa de Karnaugh Nro. 3

$$F = \bar{A}D + \bar{C}D + \bar{B}D$$

Circuitos Combinacionales



$$F = \underline{\bar{A}}\underline{\bar{B}}D + \underline{\bar{A}}\underline{B}D + \underline{A}\underline{\bar{C}}D + \underline{A}\underline{B}D$$

Figura 1.34.

Mapa de Karnaugh Nro. 1

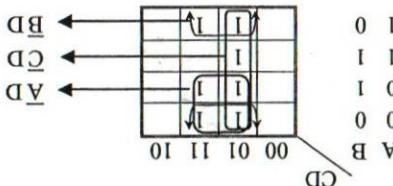
Son los mayores agrupamientos de celulas que es posible realizar en un mapa, tal que dos cuadros que no pueden ser absorvidos o cubiertos por otro mayor que lo contenga.

Ejemplo:

### 3.7. IMPICANTES PRIMOS

Figura 1.36.

$$F = \bar{A}D + \bar{C}D + \bar{B}D$$



Mapa de Karnaugh Nro. 3

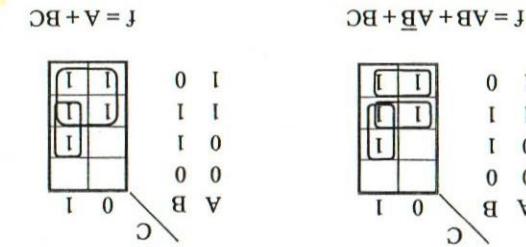
$$F = \bar{A}D + \bar{C}D + \bar{B}D$$

Ejemplo

$F = 1, 3, 5, 7, 9, 11, 13$

(Al expandirla y luego expresarla como sumatoria de minterms la función quedó de la siguiente forma).

Figura 1.33.



Circuitos Combinacionales

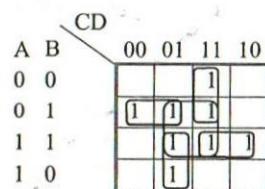
En el mapa Nro. 1, ninguno de los agrupamientos pueden ser implicante primo, puesto que como se demostró en el mapa Nro. 2 hay otros lazos mayores que lo cubren.

En el mapa Nro. 2, el lazo ABD no puede ser implicante primo pues es absorbido por BD del mapa Nro. 3. En consecuencia, los implicantes primos son:

$$\overline{A}D - \overline{C}D - \overline{B}\overline{D}$$

Es evidente que con el uso de IMPLICANTES PRIMOS se consigue la máxima reducción de la expresión.

Hay casos de superposición de implicantes (que comparten elementos), en los cuales se observa que un determinado implicante no es necesario para hallar la expresión mínima, al contrario, si se agrega ese agrupamiento se hace más grande la expresión, en consecuencia el implicante primo no es esencial. Esto ocurre cuando todos los unos de un implicante primo han sido cubiertos por otros implicantes primos esenciales. Transformándose en no esencial, los implicantes primos no esenciales son aquellos formados por miniterms que ya forman parte de otro grupo.



$$f = BD + \overline{A}B\overline{C} + \overline{A}CD + ABC + A\overline{C}D$$

Figura 1.37.

Se verificará porque el implicante primo BD es NO ESENCIAL. Esto también puede demostrarse con el siguiente análisis.

A	B	C	D	$f = BD + \overline{A}B\overline{C} + \overline{A}CD + ABC + A\overline{C}D$
0	1	0	1	$f = 1 + 1 + 0 + 0 + 0 = 1$
0	1	1	1	$f = 1 + 0 + 1 + 0 + 0 = 1$
1	1	0	1	$f = 1 + 0 + 0 + 0 + 1 = 1$
1	1	1	1	$f = 1 + 0 + 0 + 1 + 0 = 1$

Siempre hay dos sumando que valen 1, BD y otro. De no existir BD el resultado sería el mismo. Por lo que BD es NO ESENCIAL y puede eliminarse de la función.

Ejemplo:

$$f = \sum 1, 3, 6, 7, 10, 11, 13, 15$$

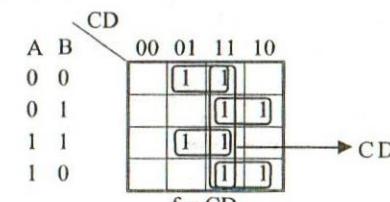


Figura 1.38.

A	B	C	D	$f = CD + \overline{A}\overline{B}D + \overline{A}BC + ABD + A\overline{B}C$
0	0	1	1	$f = 1 + 1 + 0 + 0 + 0 = 1$
0	1	1	1	$f = 1 + 0 + 1 + 0 + 0 = 1$
1	0	1	1	$f = 1 + 0 + 0 + 0 + 1 = 1$
1	1	1	1	$f = 1 + 0 + 0 + 1 + 0 = 1$

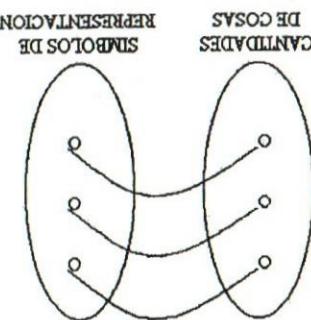
### 3.8.- FUNCIONES NO TOTALMENTE DEFINIDAS

Si bien la salida de un circuito combinacional responde a cada una de las  $2^n$  combinaciones de entrada, a veces no se utilizan todas las combinaciones y en consecuencia estas no aparecerán nunca en la entrada del circuito. Para este caso,

desde épocas muy antiguas, el hombre se ha visto ante la necesidad de representar simbólicamente a cantidades enteras y sistemas de numeración. Cuando se establece una correspondencia entre cantidades de cosas, se han de establecer símbolos que representen los números de acuerdo con la forma en que se obtienen los mismos. Para obtener los símbolos de representación de los números se necesitan cifras, que se representan directamente a un sistema de numeración.

Los sistemas de numeración más simples son los sistemas de numeración romano (base 10) y los sistemas de numeración binaria (base 2). Los sistemas de numeración romano se basan en la suma de los dígitos que representan las unidades de los sistemas posicionales o pesados, en cambio, los sistemas posicionales consideran el valor de cada uno de los dígitos individuales, sumando los dígitos propios de cada uno de los sistemas posicionales (como los sistemas de numeración decimal, binario, octal y hexadecimal).

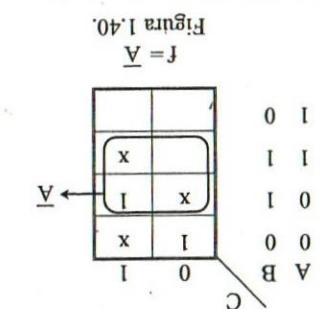
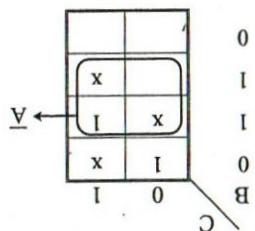
Hay sistemas simples de numeración que admiten adiciones y restas de los dígitos de los sistemas de numeración.



#### 4.1.- SISTEMAS DE NUMERACIÓN

#### 4.- SISTEMA DE NUMERACIÓN Y CÓDIGOS

$$F = \underline{A}$$

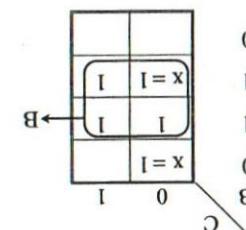


28/04

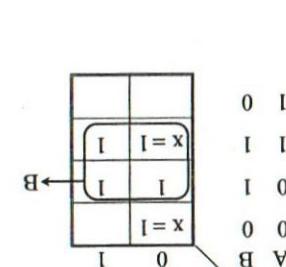
Ejemplo

el valor de las salidas correspondientes a dichas combinaciones no tiene significación, no interesa si vale 0 o 1 si vale 1; para estas combinaciones se coloca en la tabla de KARNAUGH con el valor 0 o 1 según convenga.

$A$



Circuitos Combinacionales



$m_7$	1	1	1	1
$m_6$	1	1	0	x
$m_5$	1	0	1	0
$m_4$	1	0	0	0
$m_3$	0	1	1	1
$m_2$	0	1	0	1
$m_1$	0	0	1	0
$m_0$	0	0	0	x

$$F = \underline{\underline{0,3,x_1,x_2,x_7}} \leftarrow F = \underline{\underline{A}} \quad \text{si } x_1 = 1 \quad y \quad x_2 = 1 \quad y \quad x_7 = 0$$

Vemos otro ejemplo:

$$F = \underline{\underline{2,3,x_0,x_6}} \leftarrow F = \underline{\underline{B}} \quad \text{si } x_0 = 0 \quad y \quad x_6 = 1$$

Fígura 1.39.

0

1

2

3

4

5

6

7

## Circuitos Combinacionales

generalizado representativo de los sistemas posicionales o pesados que mostraremos a continuación.

$$N = a_n b^n + a_{n-1} b^{n-1} + \dots + a_0 b^0$$

Aquí los coeficientes  $a_n, \dots, a_0$  son dígitos de la base y  $b$  es la base elevada a potencias que dependen de la posición del dígito considerado

000	0
001	1
010	2
011	3
100	4
101	5
110	6
0111	7
1000	8
1001	9
1010	A
1011	B
1100	C
1101	D
1110	E
1111	F

Binario a Hexa

$$\overline{1101101}_2 = ED_{16}$$

Circuitos Combinacionales

Decimal a Hexa

$$16_{10} = 10_{16}$$

### 4.1.4.- SISTEMA HEXADECIMAL (16)

El sistema hexadecimal utiliza diecisés simblos en su base (0, 1, 2, 3, ..., 9, A, B, C, D, E, F). Las letras tienen la siguiente equivalencia con el decimal: A = 10, B = 11, C = 12, D = 13, E = 14, F = 15. Representemos al número B3F del sistema hexadecimal en el polinomio

$$N_{16} = B \cdot 16^2 + 3 \cdot 16^1 + F \cdot 16^0$$

El sistema hexadecimal guarda una relación muy interesante con el sistema binario y nos permite escribir el equivalente del binario con muy pocos dígitos, entonces en las aplicaciones prácticas tendremos la representación binaria y en los papeles los escribiremos en hexadecimal (metodología muy usada en microprocesadores).

### 4.1.5.- EQUIVALENCIA ENTRE SISTEMAS PASAJE DE UNA BASE A OTRA

Es de gran importancia saber como encontrar el equivalente de un número expresado en una base “r”, y en otra base “b”. Existen varios procedimientos para encontrar el equivalente de un número en otra base, nosotros utilizaremos el método de división por la base, el polinomio (aplicado en los párrafos anteriores) y el método de agrupamiento / descomposición.

#### 4.1.5.1.- METODO DE DIVISION POR LA BASE

Dado un número N expresado en la base “r”, su equivalente en la base “b” puede escribirse en forma de polinomio, la igualdad sería la siguiente:

$$N_r = a_n b^n + a_{n-1} b^{n-1} + \dots + a_2 b^2 + a_1 b^1 + a_0 b^0$$

-----número equivalente-----

En esta ecuación lo que no conocemos son los coeficientes  $a_0, a_1, \dots, a_n$  del polinomio, que en realidad son los dígitos que componen al número equivalente en la base “b”. Si dividimos a ambos miembros de la igualdad por “b”, observamos que el resto de la división  $N_r / b$  es el coeficiente  $a_0$  del polinomio.

### 4.1.1.- SISTEMA DECIMAL (10)

Aplicemos estos conceptos a nuestro conocido sistema decimal, denominado así por utilizar diez símbolos en su base (0, 1, ..., 9) y representamos al número 1439 del sistema decimal.

$$\begin{aligned} 237_{10} &= 2 \cdot 10^2 + 3 \cdot 10^1 + 7 \cdot 10^0 \\ &= 200 + 30 + 7 \\ &= 237 \end{aligned}$$

$$N_{10} = 1 \cdot 10^3 + 1 \cdot 10^2 + 3 \cdot 10^1 + 9 \cdot 10^0$$

Hay otros sistemas de numeración posicionales, que responden al mismo polinomio, pero tienen distinta base; por ejemplo el sistema binario cuya base es 2, el sistema hexadecimal cuya base es 16 y el sistema octal cuya base es 8.

### 4.1.2.- SISTEMA BINARIO (2)

El sistema binario, denominado así por utilizar solamente dos símbolos en su base (0 y 1) es de fundamental importancia, pues todos los sistemas digitales utilizan la representación binaria en el funcionamiento de sus circuitos. Representemos el número 1101 del sistema binario, en el polinomio.

$$N_2 = 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0$$

$$\begin{aligned} &\text{decimal a binario} && \text{binario a decimal} \\ 237_{10} &= 11101101_2 && 237_{10} = 1 \cdot 2^8 + 1 \cdot 2^7 + 1 \cdot 2^6 + 1 \cdot 2^5 + 1 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 \\ &\quad \downarrow \text{resto} && = 128 + 64 + 32 + 8 + 4 + 1 = 237_{10} \end{aligned}$$

### 4.1.3.- SISTEMA OCTAL (8)

También podemos mencionar al sistema octal, que utiliza ocho símbolos en su base (0, 1, 2, 3, ..., 7). Representemos el número 573 del sistema octal en el polinomio

$$\begin{aligned} &\text{No existe en} && \text{se completa} \\ 329 &\rightarrow \text{octal (9 no está)} && 329_{10} = 5 \cdot 8^2 + 7 \cdot 8^1 + 3 \cdot 8^0 \\ &\quad \downarrow && \quad \downarrow \\ &\quad \text{5} && 01110101_2 = 355_8 \end{aligned}$$

000	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

## Circuitos Combinacionales

## Circuitos Combinacionales

ASSET ALLOCATION

$$N^r/b = a_n b_{n-1} + a_{n-1} b_{n-2} + \dots + a_2 b_1 + a_1 b_0 + a_0/b$$

$N_i/b = COCLIENTE + a_0/b - \dots -$  donde  $COCLIENTE = (a_1b_{n-1} + \dots + a_nb_n)$

• 019501

4	1	0	2	1
16 : 8 =	2	0		
129 : 8 =	16	1		
36 : 8 = 129	4			
Coc.	Resto			

103610

Resto

Si aplicamos el mismo procedimiento a los sucesivos cocientes que resultan, obtendremos los sucesivos cocientes del polinomio, es decir los divisores del número equivalente expresado en la base „b“. La operación termina cuando el último cociente ya no puede dividirse en forma entera por la base „b“, obtendrá como último cociente o digito de mayor peso al último cociente obtenido.

Si  $N^t = \text{COCENTRE en tonnes}$   $N^t = a_0 b_{n-1} + \dots + a_1 b_0$

resto ..... y así sucesivamente hasta llegar a  $a_n$

Veamos algunos ejemplos:

$$\zeta = {}^{01}\mathcal{L}\varepsilon$$

Coc. Resto

12  
 9 : 2 = 9 \_\_\_\_ 0  
 18 : 2 = 18 \_\_\_\_ 1  
 37 : 2 = 18 \_\_\_\_ 1  
 Resto  
 Coc.  
 29 : 2 = 14 \_\_\_\_ 1  
 24 : 2 = 12 \_\_\_\_ 0  
 20 : 2 = 10 \_\_\_\_ 0  
 16 : 2 = 8 \_\_\_\_ 0  
 1 : 2 = 1 \_\_\_\_ 1  
 12

#### 4.1.5.2.- METODO DE AGROUPAMIENTO / DESCOMPOSICION

Passar a hexadecimal:

Si  $N^t = \text{COCLIENTE entoncées}$   $N^t = a_0 b_{n-1} + \dots + a_1 b_0$

resto ..... y así sucesivamente hasta llegar a  $a_n$ .

Pasar a binarios.

ISBN 978-0-19-273171-9

• 100 •

En el método de aglutinamiento / descromatización, reacomodamos el polímero y aplicamos la tabla básica de equivalencia entre las primeras cantidades binarias y númeradas o entre cantidades binarias y octales, en el caso de trabajar en la base 8.

## Circuitos Combinacionales

A	B	C	D	HEX	A	B	C	OCT
0	0	0	0	0	0	0	0	0
0	0	0	1	1	0	0	1	1
0	0	1	0	2	0	1	0	2
0	0	1	1	3	0	1	1	3
0	1	0	0	4	1	0	0	4
0	1	0	1	5	1	0	1	5
0	1	1	0	6	1	1	0	6
0	1	1	1	7	1	1	1	7
1	0	0	0	8				
1	0	0	1	9				
1	0	1	0	A				
1	0	1	1	B				
1	1	0	0	C				
1	1	0	1	D				
1	1	1	0	E				
1	1	1	1	F				

Tablas básicas de equivalencias  
binario – hexadecimal y  
binario - octal

**AGRUPAMIENTO:** Cuando pasamos un número binario a hexadecimal, el método agrupa dígitos del número binario para obtener el dígito correspondiente de la base hexadecimal. Tomemos por ejemplo un número binario de doce dígitos y encontremos su equivalente en hexadecimal.

$$N_{16} = a_{11} b^{11} + a_{10} b^{10} + a_9 b^9 + a_8 b^8 + a_7 b^7 + a_6 b^6 + a_5 b^5 + a_4 b^4 + a_3 b^3 + a_2 b^2 + a_1 b^1 + a_0 b^0$$

$$N_{16} = (a_{11} b^3 + a_{10} b^2 + a_9 b^1 + a_8 b^0) \cdot b_8 + (a_7 b^3 + a_6 b^2 + a_5 b^1 + a_4 b^0) \cdot b_4 + (a_3 b^3 + a_2 b^2 + a_1 b^1 + a_0 b^0) \cdot b^0$$

Los polinomios encerrados entre paréntesis, al evaluarse, dan como resultado un valor entre 0 y 15, o sea un dígito de la base hexadecimal, entonces el polinomio puede escribirse de la siguiente forma:

$$N_{16} = Dh_2 \cdot b^8 + Dh_1 \cdot b^4 + Dh_0 \cdot b^0 \quad (\text{recordemos que } b = 2)$$

$$N_{16} = Dh_2 \cdot 256 + Dh_1 \cdot 16 + Dh_0 \cdot 1 \quad \text{que es lo mismo que escribirlo del siguiente modo}$$

$$N_{16} = Dh_2 \cdot 16^2 + Dh_1 \cdot 16^1 + Dh_0 \cdot 16^0$$

## Circuitos Combinacionales

Observemos que hemos obtenido el polinomio en base hexadecimal y los coeficientes  $Dh_2$ ,  $Dh_1$  y  $Dh_0$  son los dígitos que componen el número equivalente en la base hexadecimal.

**DESCOMPOSICIÓN:** Cuando pasamos un número hexadecimal a binario, el método descompone cada dígito hexadecimal que conforma el número, a su correspondiente combinación binaria y se concatenan en el orden que corresponde las sucesivas combinaciones para obtener el número binario equivalente.

Tomemos por ejemplo un número hexadecimal de cuatro dígitos y encontremos su equivalente en binario.

$$N_{16} = 1 F 3 B$$

$$N_2 = 0 0 0 1 \ 1 1 1 1 \ 0 0 1 1 \ 1 0 1 1$$

Para trabajar con la base octal, simplemente se agrupa o descompone considerando combinaciones de tres dígitos binarios y se utilizará la tabla de equivalencia binario / octal. Para pasar de hexadecimal a octal y viceversa se hace un pasaje intermedio a binario, por descomposición y luego se agrupa tomando la cantidad de dígitos que corresponda.

Pasar a hexadecimal:

$$110010101_2 = ? \quad 0001 - 1001 - 0101 = 195_6$$

$$463_8 = ? \quad 100 - 110 - 011 = 0001 - 0011 - 0011 = 133_{16}$$

Pasar a binario:

$$F 3 D 6_{16} = ? \quad 1111 \ 0011 \ 1101 \ 0110_2$$

$$362_8 = ? \quad 011 \ 110 \ 010_2$$

Pasar a octal:

$$10110110000_2 = ? \quad 010 \ 110 \ 110 \ 000 = 2660_8$$

$$A7BC_{16} = ? \quad 1010 \ 0111 \ 1011 \ 1100 = 001 \ 010 \ 011 \ 110 \ 111 \ 100 = 12367_8$$

Observemos que cada coeficiente es un número entero, mas específicamente es un dígito de la base "b". Si multiplicamos ambos miembros de la igualdad por b, el polinomio se multiplica por b y disminuye en una unidad el grado del polinomio, quedando:

$$(Nf'_1 \cdot b) - a_{-1} = Nf'_1 = a_{-2}b_{-1} + a_{-3}b_{-2} + \dots + a_{-p-1}b_{-p-2} + a_{-p}b_{-p-1}$$

$$Nf'_1 \cdot b = a_{-1}b_0 + a_{-2}b_{-1} + \dots + a_{-p-1}b_{-p-2} + a_{-p}b_{-p-1}$$

Entero                          Nueva fracción

El procedimiento termina cuando se alcanza la precisión solicitada.

Si dividimos la parte fraccionaria resultante se pude conseguir operando, con el mismo procedimiento, para obtener los restantes coeficientes del polinomio en forma sucesiva.

El método de "agrupamiento / descomposición" que hablamos analizado y que utilizamos en los pasajes vinculados a las bases 2, 8 y 16, también se aplica en la parte fraccionaria de estas bases.

Considerando una parte fraccionaria dada en la base 2 y buscamos la correspondiente en las bases 8 y 16 por el método de AGRUPAMIENTO.

Los polinomios encerrados entre paréntesis, al ser evaluados, dan un valor que corresponde a un dígito de la base octal

$$Nf'_8 = a_{-1}b_2 + a_{-2}b_1 + a_{-3}b_0, b_{-3} + (a_{-4}b_2 a_{-5}b_1 + a_{-6}b_0), b_{-6} + (a_{-7}b_2 + a_{-8}b_1 + a_{-9}b_0), b_{-9}$$

$$Nf'_8 = a_{-1}b_{-1} + a_{-2}b_{-2} + a_{-3}b_{-3} + a_{-4}b_{-4}a_{-5}b_{-5} + a_{-6}b_{-6} + a_{-7}b_{-7} + a_{-8}b_{-8} + a_{-9}b_{-9}$$

Como b = 2, entonces que obtiene dos dígitos del polinomio en base 8

$$Nf'_8 = Do_{-1} \cdot 8_{-1} + Do_{-2} \cdot 8_{-2} + Do_{-3} \cdot 8_{-3}$$

Conocida la parte fraccionaria "r", debemos encontrar la parte fraccionaria expresada en la base "b", para ello debemos determinar los coeficientes  $a_{-1}, a_{-2}, \dots, a_{-p-1}, a_{-p}$  del polinomio que representa a la parte fraccionaria  $a_{-1} \cdot a_{-2} \dots a_{-p-1} \cdot a_{-p}$  del polinomio que representa a la parte fraccionaria  $a_{-1}$ , expresada en la base "b".

La parte entera fue tratada anteriormente, ahora vamos a considerar la parte fraccionaria, para ello tomamos la parte que le corresponde, desde el polinomio fraccionaria, para ello tomamos la parte que le corresponde, desde el polinomio fraccionaria, para ello tomamos la parte que le corresponde, desde el polinomio fraccionaria, para ello tomamos la parte que le corresponde, desde una base otra.

Esto nos induce a pensar que podemos tratar separadamente el procedimiento de pasaje de la parte entera de la parte fraccionaria de un número, desde una base

$$N = a_n b_n + a_{n-1} b_{n-1} + a_{n-2} b_{n-2} + \dots + a_1 b_1 + a_0 b_0 + a_{-1} b_{-1} + a_{-2} b_{-2} + \dots + a_{-p-1} b_{-p-1} + a_{-p} b_{-p}$$

$$Nf_e = a_{-1} b_{-1} + a_{-2} b_{-2} + \dots + a_{-p-1} b_{-p-1} + a_{-p} b_{-p}$$

Si llamamos a los términos de potencias positiva Ne, por representar la parte fraccionaria, entonces  $N = Ne + Nf$ , por representar la parte fraccionaria, para ello tomamos negativas los llamamos  $Nf$ , por representar a la parte fraccionaria, entonces  $N = Ne + Nf$

$$N = a_n b_n + a_{n-1} b_{n-1} + a_{n-2} b_{n-2} + \dots + a_1 b_1 + a_0 b_0 + a_{-1} b_{-1} + a_{-2} b_{-2} + \dots + a_{-p-1} b_{-p-1} + a_{-p} b_{-p}$$

Vamos a considerar ahora un "número generalizado", que posea parte entera y parte fraccionaria, en un sistema posicional o pesado. El polinomio representa ahí la parte fraccionaria, en un sistema posicional o pesado. El polinomio generalizado de este "número generalizado" es:

#### 4.1.5.4. NUMEROS CON PARTE FRACCIONARIA

El método del polinomio se utiliza el método de agrupamiento/descomposición pues es el más rápido y simple.

Viceversa se utiliza el método de agrupamiento/descomposición pues es el más rápido y simple.

desde la base 10 a cualquier base. Para pasar de binario a hexadecimal o decimal a cualquier base. Por ello este método se utiliza para pasar desde el dígito del dividendo por la base no permisible para pasar a la base 10 pues la división por el dígito del dividendo se divide repetitivamente. Por ello este método se utiliza para dividir el dígito del dividendo por el dígito del dividendo.

Los coeficientes  $D_{h-1}$ ,  $D_{h-2}$  y  $D_{h-3}$  son los dígitos que componen la parte fraccionaria expresada en la base 8.

$$Nf_{16} = a_{-1}b^{-1} + a_{-2}b^{-2} + a_{-3}b^{-3} + a_{-4}b^{-4} + a_{-5}b^{-5} + a_{-6}b^{-6} + a_{-7}b^{-7} + a_{-8}b^{-8}$$

$$Nf_{16} = (a_{-1}b^3 + a_{-2}b^2 + a_{-3}b^1 + a_{-4}b^0)b^{-4} + (a_{-5}b^3 + a_{-6}b^2 + a_{-7}b^1 + a_{-8}b^0)b^{-8}$$

Nuevamente, los polinomios encerrados entre paréntesis al ser evaluados, dan un valor que corresponde a un dígito de la base hexadecimal.

$$Nf_{16} = D_{h-1} \cdot 1/b^4 + D_{h-2} \cdot 1/b^8$$

$$Nf_{16} = D_{h-1} \cdot 1/16 + D_{h-2} \cdot 1/256$$

$$Nf_{16} = D_{h-1} \cdot 16^{-1} + D_{h-2} \cdot 16^{-2}$$

Como  $b = 2$ , entonces que puede ser escrito como obteniéndose el polinomio en base 16

Los coeficientes  $D_{h-1}$  y  $D_{h-2}$  son los dígitos que componen la parte fraccionaria expresada en la base 16.

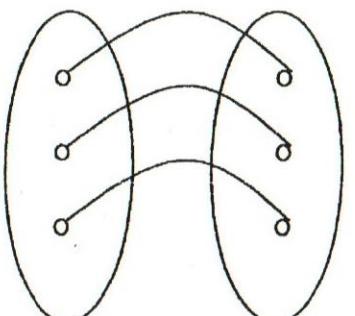
Se deja al alumno como ejercicio la demostración del método de descomposición aplicado a la parte fraccionaria.

#### 4.2.- CÓDIGOS

##### 4.2.1.-INTRODUCCIÓN

Informaciones

Combinaciones de ceros u unos



Informaciones

Combinaciones de  
Ceros y unos

De una manera muy general decimos que se ha establecido un código cuando hemos definido una correspondencia uno a uno entre elementos de dos conjuntos. Por ejemplo el código penal establece una vinculación entre delitos y castigos. Obviamente deben existir reglas que permitan determinar como están relacionados los elementos de ambos conjuntos.

En muchos casos la vinculación se establece entre un conjunto de informaciones y un conjunto de

elementos de representación, sean símbolos o señales. Para nuestro caso particular, en técnicas digitales, nos interesa específicamente la correspondencia entre informaciones y combinaciones de ceros y unos. Tomemos por ejemplo el código ASCII, empleado en los teclados de las computadoras. Es importante comprender que, eligiendo adecuadamente las combinaciones que utilizaremos para la representación, es posible obtener ciertos efectos o propiedades útiles para las representaciones numéricas, o para obtener mayor velocidad de respuesta en los circuitos, o para la detección y corrección de errores en una transmisión digital de información, es por ello que presentaremos algunas ideas sobre codificación y algunas propiedades de ciertos códigos. En la siguiente Fig. vemos distintos tipos de códigos:

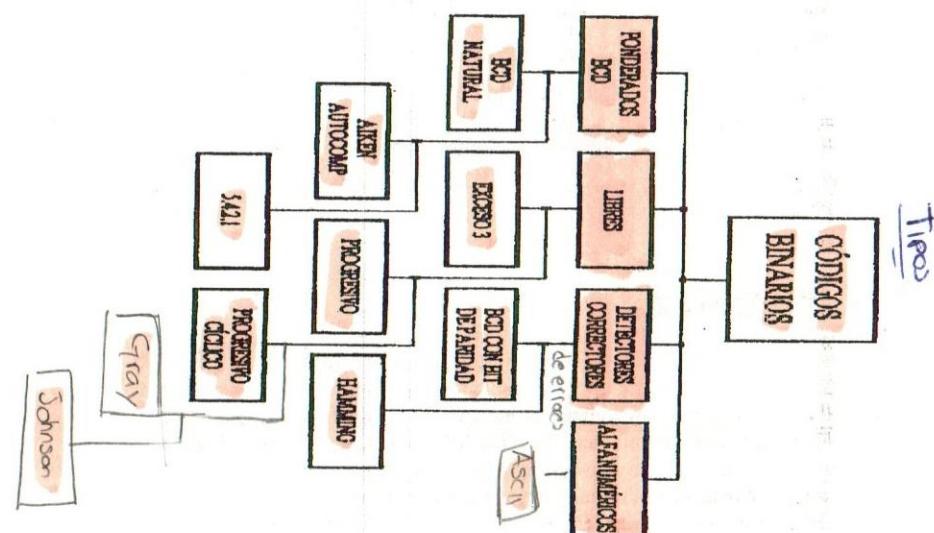
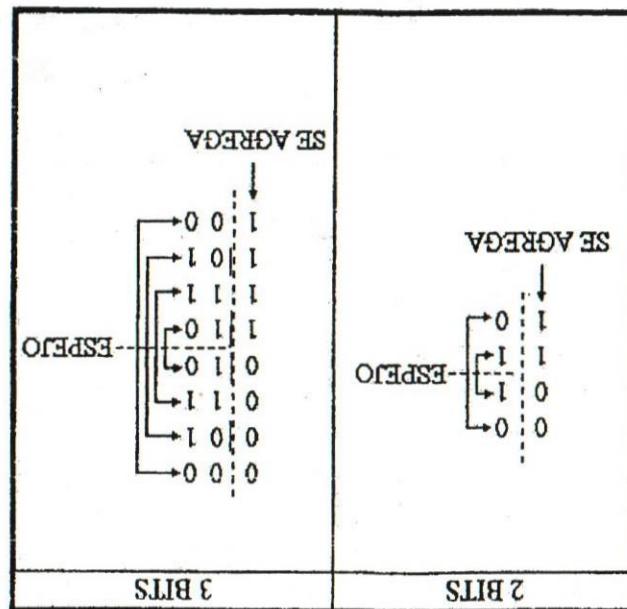


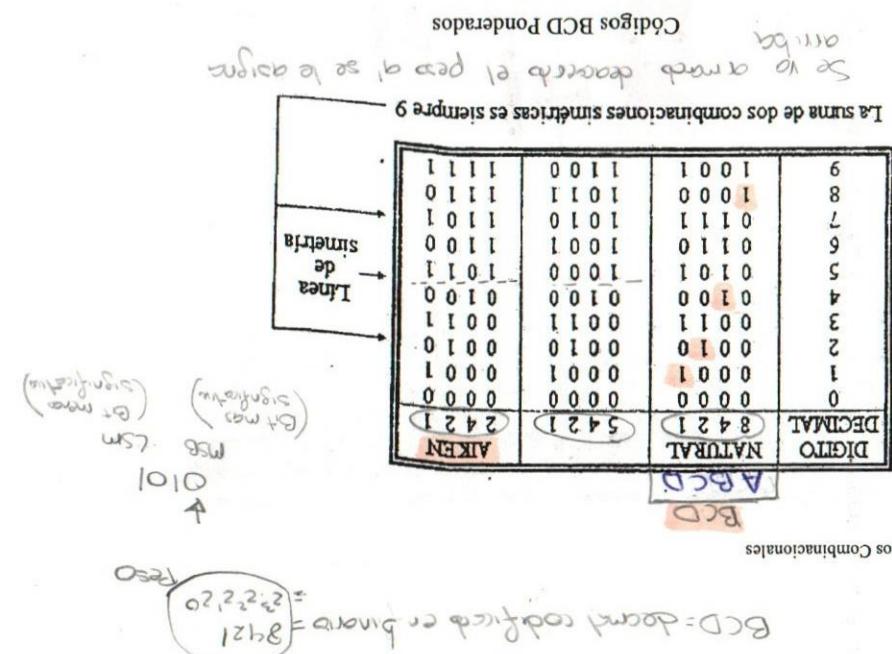
Figura 1.41.

##### 4.2.2.- CÓDIGOS PONDERADOS Tiene un peso determinado (Binario)

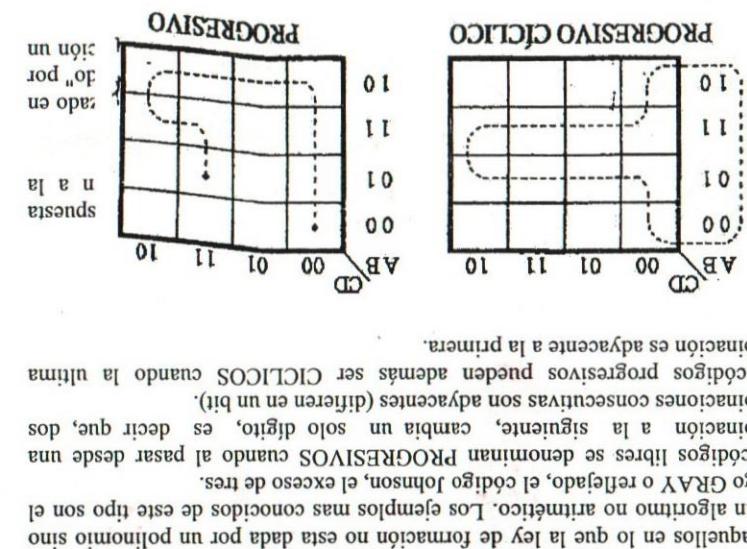
En los códigos ponderados, las reglas de formación de las combinaciones están definidas por polinomios que no solo consideran el valor propio del dígito, sino que además asignan peso o importancia a la posición que ocupa el dígito en la combinación. Algunos ejemplos son:



Circuitos Combinacionales



Circuitos Combinacionales



#### 4.2.3. CÓDIGOS LIBRES

Vemos una representación de los códigos libres que hemos mencionado que las celdillas adyacentes difieren en un bit.

También se lo puede generar a través de los diagramas de KARNAUGH, dado que las combinaciones consecutivas son adyacentes (diferen en un bit).

que las combinaciones consecutivas son adyacentes (diferen en un bit). Los códigos progresivos puden ademas ser CYCLICOS cuando la ultima combinacion es adyacente a la primera.

Los códigos progresivos se denominan PROGRESIVOS cuando al pasar desde una combinacion a la siguiente, cambia un solo digito, es decir que, dos combinaciones adyacentes son diferentes (diferen en un bit).

Son aquellos en los que la ley de formacion no esta dada por un polinomio sino por un algoritmo no aritmético. Los ejemplos mas conocidos de este tipo son el código GRAY o reflejado, el código Johnson, el exceso de tres.

que las combinaciones consecutivas son adyacentes (diferen en un bit). Los códigos progresivos puden ademas ser CYCLICOS cuando la ultima combinacion es adyacente a la primera.

Los códigos progresivos se denominan PROGRESIVOS cuando al pasar desde una combinacion a la siguiente, cambia un solo digito, es decir que, dos combinaciones adyacentes son diferentes (diferen en un bit).

Son aquellos en los que la ley de formacion no esta dada por un polinomio sino por un algoritmo no aritmético. Los ejemplos mas conocidos de este tipo son el código GRAY o reflejado, el código Johnson, el exceso de tres.

Copia de acuerdo a la tabla de verdad  
las posiciones

NÚMERO DECIMAL	EXCESO TRES	PROGRESIVO	PROGRESIVO CÍCLICO	CÓDIGO JOHNSON
0	0 0 1 1	0 0 0 0	0 0 0 0	0 0 0 0 0 0
1	0 1 0 0	0 0 0 1	0 1 0 0	0 0 0 0 1
2	0 1 0 1	0 0 1 1	0 1 0 1	0 0 0 1 1
3	0 1 1 0	0 0 1 0	0 1 1 1	0 0 1 1 1
4	0 1 1 1	0 1 1 0	0 1 1 0	0 1 1 1 1
5	1 0 0 0	0 1 1 1	1 1 1 0	1 1 1 1 1
6	1 0 0 1	0 1 0 1	1 1 1 1	1 1 1 1 0
7	1 0 1 0	0 1 0 0	1 1 0 1	1 1 1 0 0
8	1 0 1 1	1 1 0 0	1 1 0 0	1 1 0 0 0
9	1 1 0 0	1 1 0 1	1 0 0 0	1 0 0 0 0

Ya no tienen peso, no son ponderadas, son libres

#### 4.2.4.- CONVERSIÓN DE CÓDIGOS - TRANSCODIFICACIÓN

En múltiples ocasiones es necesario cambiar la representación actual, a otra perteneciente a otro código; esto se denomina transcodificación y el circuito que lo realiza transcodificador o conversor de código. Aquí presentamos un ejemplo muy simple donde se utiliza un circuito combinacional, pero es común el uso de C.I. de memoria para esta tarea

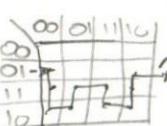
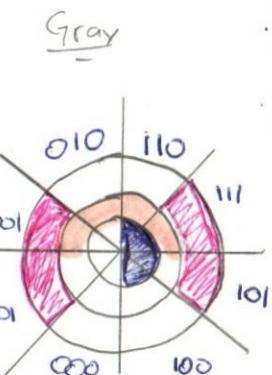
Puede pasarse fácilmente de binario natural a GRAY y viceversa mediante la función O-EXCLUSIVA.

Ejemplo para tres bits:

NÚMERO DECIMAL	BINARIO			GRAY		
	B2	B1	B0	G2	G1	G0
0	0	0	0	0	0	0
1	0	0	1	0	0	1
2	0	1	0	0	1	1
3	0	1	1	0	1	0
4	1	0	0	1	1	0
5	1	0	1	1	1	1
6	1	1	0	1	0	1
7	1	1	1	0	1	0

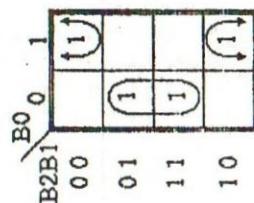
como si pongo un cepejo, rota 10

1 1 0 0  
1 1 0 1  
1 1 1 1  
1 1 1 0  
1 1 0 0  
1 0 1 1  
0 1 1 1  
0 0 1 1



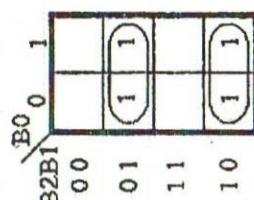
tiene flaque de salida  
si es progresivo cíclico

ABCD  
0 1 0 0  
1 1 0 0  
1 0 0 0



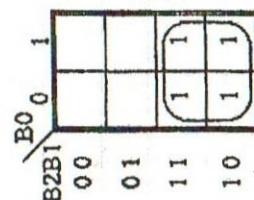
$$G0 = B1 B\bar{0} + \bar{B}1 B0$$

$$G0 = B1 \oplus B0$$



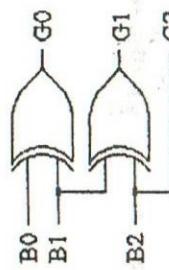
$$G1 = \bar{B}2 B1 + B\bar{2} \bar{B}1$$

$$G1 = B2 \oplus B1$$



$$G2 = B2 B\bar{2}$$

Figura 1.42.



Circuito:

Figura 1.43.

5/05/15

#### 4.3.- DETECCIÓN Y CORRECCIÓN DE ERRORES

Cuando se realiza la transmisión de información digital, es de gran importancia poder detectar en el extremo receptor, un error en la transmisión, esto dará lugar a ciertas acciones como pedir retransmisión o desechar el error, etc. En muchos casos, la retransmisión no es posible, entonces es imprescindible la corrección del error.

Para poder comprender como es posible detectar y corregir los errores que pueden producirse en una transmisión de información digital, es necesario introducir el concepto de distancia y utilizar los diagramas K para analizar y elegir

Figura 1.46.

Figura 1.47.

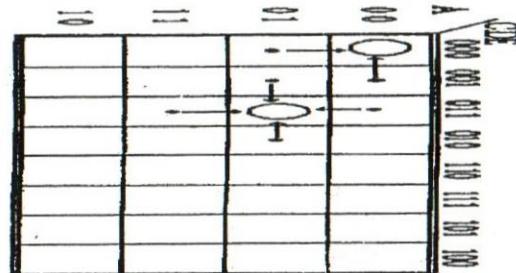


Figura 1.45.

I <sub>6</sub>	I <sub>7</sub>	I <sub>5</sub>	I <sub>4</sub>
I <sub>2</sub>	I <sub>3</sub>	I <sub>1</sub>	I <sub>0</sub>

En este caso, es imposible detectar errores de un bit, pues si un bit cambia en la combinación transmitida, se transforma en otra combinación que también pertenece al código y no hay forma de diferenciarla. La solución sería una combinación suficiente para alteración de un bit, se transforme en una combinación que no pertenezca al código y entonces se la podría reconocer como equivocada.

Cuando establecemos un código, este puede presentar variaciones distancias entre sus distintas combinaciones, nosotros llamaríamos **distancia mutuam** a la menor distancia que presenta el código.

Figura 1.44.

The figure consists of three separate state transition diagrams, each showing a 4x4 grid of states defined by the bit pairs AB and CD. The states are arranged as follows:

- Diagram 1 (dm=3):** States are (00,00), (01,01), (11,11), (10,10).
- Diagram 2 (dm=2):** States are (00,00), (01,01), (11,11), (10,10).
- Diagram 3 (dm=1):** States are (00,00), (01,01), (11,11), (10,10).

Each diagram shows arrows representing transitions between adjacent states. In Diagram 1, there are diagonal transitions from (00,00) to (11,11) and (11,11) to (00,00). In Diagram 2, there are horizontal transitions between columns. In Diagram 3, there are vertical transitions between rows.

Se demuestra **distancia** entre los combinatorios al numero de bits que se deben ser modificados para pasar desde una combinacion a otra (esto es realidad indicativa que separa a los cuadrados representativos de los combinatorias en el diagrama de KARNAUGH).

CONDICION: Para que un código sea corrector de error su distancia mínima debe ser 3.

**BIT DE PARIDAD**

*Si cambia solo 1 bit lo puedo detectar*

Una técnica muy simple para la detección de errores consiste en fijar como condición para la transmisión que la cantidad de unos que contenga la palabra transmitida sea PAR, en cuyo caso hablamos de PARIDAD PAR: se podría fijar también que la cantidad de unos sea IMPAR y hablamos de PARIDAD IMPAR. Para lograr esto basta simplemente con adicionar un bit extra al final de cada palabra código, este es llamado bit de control de paridad y se elige de modo que la cantidad de unos en cada palabra de transmisión sea par si la paridad es (o impar si la paridad fijada es impar).

PALABRA CODIGO + BIT DE PARIDAD = PALABRA DE TRANSMISIÓN

En el receptor se controla la paridad de la palabra recibida y si no coincide con la paridad fijada para la transmisión estamos en presencia de un error en la transmisión. No estamos en condición de corregirlo.

Este sistema NO DETECTA errores de dos bits pues este tipo de alteración puede suceder y no modificará la paridad.

Veamos algunos ejemplos, tomemos palabras código del BCD y preparémoslas para la transmisión con paridad par y también hágámoslo con paridad impar.

NÚMERO DECIMAL	BCD				BIT PARIDAD	
	A	B	C	D	PAR (Pp)	IMPAR (Pi)
0	0	0	0	0	0	1
1	0	0	0	1	1	0
2	0	0	1	0	1	0
3	0	0	1	1	0	1
4	0	1	0	0	1	0
5	0	1	0	1	0	1
6	0	1	1	0	0	1
7	0	1	1	1	1	0
8	1	0	0	0	1	0
9	1	0	0	1	0	1

↑      ↑  
Utilizamos uno u otro

$dm = 2$

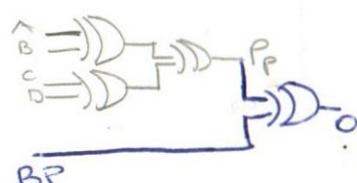
La obtención del bit de paridad es:

$$Pi = \Sigma 0, 3, 5, 6, 9$$

$$Pp = \Sigma 1, 2, 4, 7, 8$$

$$Pi = A \oplus B \oplus C \oplus D$$

$$Pp = A \oplus B \oplus C \oplus D$$



*s10 = 0 está bien el dato enviado*

**CÓDIGO DE HAMMING**

El código de HAMMING utiliza también el control de paridad, pero no sobre la palabra completa que se va a transmitir, sino por grupos de bits. Cada grupo posee un bit de paridad, al existir varios grupos, hay varios bits de paridad que deben agregarse a la palabra código, para formar la palabra de transmisión.

$$\text{Bits de palabra CODIGO} + \text{bits de PARIDAD} = \text{bits de palabra de TRANSMISION}$$

$$NC + NP = NT$$

Como la cantidad de bits de la palabra código esta definida por la propia información que se desea transmitir, debemos averiguar la cantidad de bits de paridad que se deben adicionar, para determinar la longitud de la palabra de transmisión.

Como el código de HAMMING es corrector, en el punto receptor se debe conocer

de algún modo cuando se produce un error y cual es el bit equivocado. Para ello consideremos un grupo de controladores que verifican la paridad de cada grupo y su salida, tomada en conjunto, nos indicara si la información recibida es correcta o no y si no lo es, cual es el bit que fallo.

Si hay NT bit en la palabra de transmisión y cualquiera de ellos puede fallar, necesito NT+1 indicaciones posibles en la salida de los controladores, en el punto de recepción. Entonces necesitaremos Ci controladores, de modo que:  $2^{Ci} = NT+1$ , pero como cada controlador controla la paridad en cada grupo y en cada grupo hay un bit de paridad, entonces  $Ci = NP$ , por lo tanto buscaremos un NP que satisfaga la siguiente condición:

$$2^h \geq h+m+1$$

*m = datos  
h = bit de Paridad*

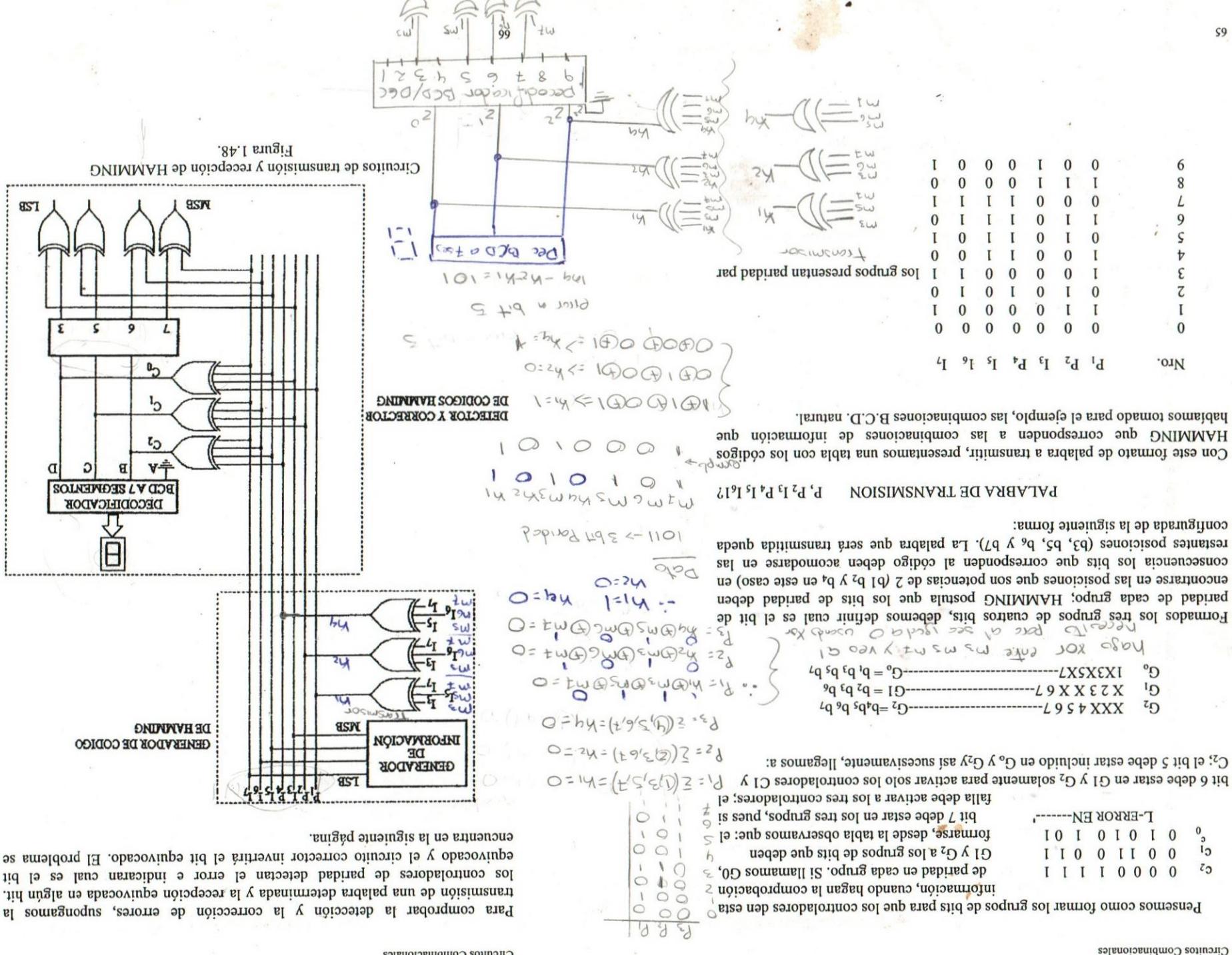
$$2^{NP} > NT+1 \text{ o } 2^{NP} > (NC+NP)+1 \text{ o } 2^{NP}-NP > NC+1$$

*Sample*  
 $m=2$   
 $2^3 \geq 3+2+1 \rightarrow 8 \geq 5$   
 $m=3$   
 $2^3 \geq 3+3+1 \rightarrow 8 \geq 6$

(donde NP es un número entero y debe tomarse el menor posible, para obtener la mas pequeña longitud de la palabra de transmisión)

Si consideramos una palabra código de 4 bits, tendremos que utilizar 3 bits de paridad, habrá que formar al menos 3 grupos de bits, habrá 3 controladores de grupo y una palabra de transmisión de 7 bits.

Llegados a este punto, cabe preguntarnos como formaremos los grupos de bits. Supongamos que para el caso considerado, fijamos las lecturas de los controladores de la siguiente manera:



Posición	1 2 3 4 5 6 7
Información transmitida	1 1 1 0 0 0 0 (la combinación del Número 8 en
Información recibida	1 0 1 0 0 0 0 B.C.D.)
Controlador $C_2 = 0$	
Controlador $C_1 = 1$	
Controlador $C_0 = 0$	

Con el peso binario asignado a los controladores, la posición equivocada es la segunda.

Tanto para la generación de los bits de paridad en el transmisor, como para el control de la paridad de los grupos en el receptor, utilizaremos compuertas EXOR.

Pedir forma matemática  
nigadas de copiar  
fotos

## 5.- ARITMÉTICA BINARIA

### 5.1.- COMPARADORES BINARIOS

Comparadores de Magnitud

Los comparadores son circuitos combinacionales que permiten determinar si dos combinaciones binarias de  $N$  bits, que representan números del sistema binario natural, son iguales o no y en este último caso cual de ellas es mayor.

Comenzaremos analizando el problema con números de un solo dígito y luego extenderemos los conceptos a números de más dígitos. Veamos entonces la comparación de dos números  $A$  y  $B$ , de un dígito cada uno:

A	B	$A < B$	$A = B$	$A > B$
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

$$A < B = \overline{A} \cdot B$$

$$A = B = \overline{A} \oplus B$$

$$A > B = A \cdot \overline{B}$$

El circuito y símbolo representativo del comparador son los siguientes:

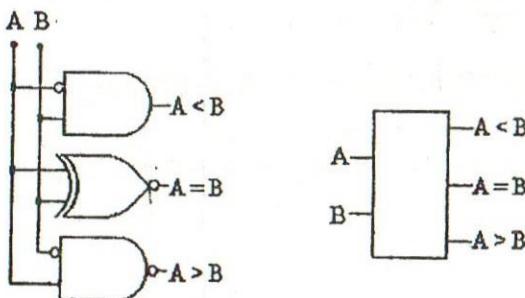


Figura 1.49.

### COMPARADOR DE DOS NÚMEROS DE CUATRO DÍGITOS

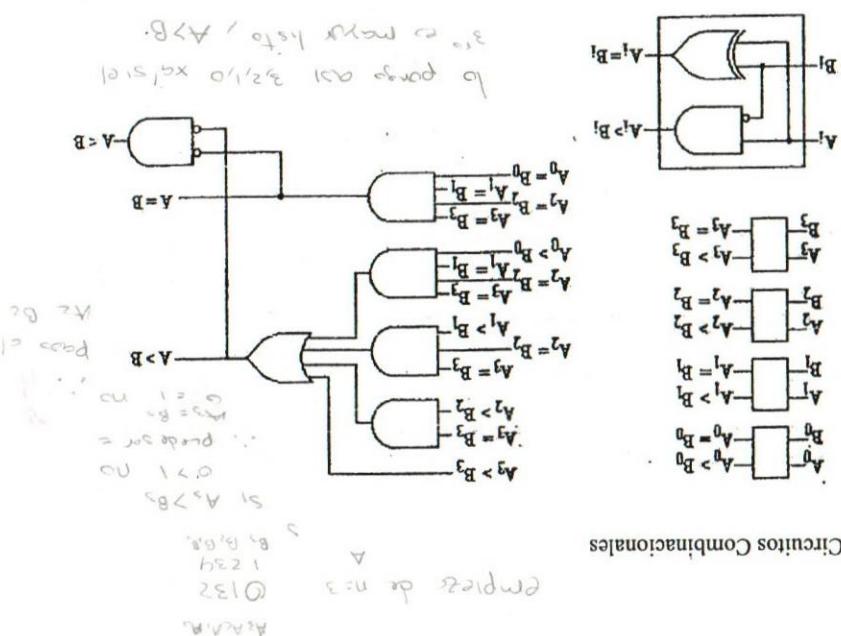
Consideremos ahora un circuito más complicado, debemos comparar dos números A y B, de cuatro dígitos cada uno, que simbolizaremos por A<sub>3</sub>, A<sub>2</sub>, A<sub>1</sub>, A<sub>0</sub> y B<sub>3</sub>, B<sub>2</sub>, B<sub>1</sub>, B<sub>0</sub> respectivamente. Para ello el circuito contará con dos grupos de cuatro

(Las Tablas de Verdad deben ser bien conocidas para poder utilizar los C.I. adecuadamente).

ENTRADAS AUXILIARES		COMPARADOR DE 4 BITS CON				
		COMPARADOR DE 5 BITS				
		A <sub>4</sub> > B <sub>4</sub>	X	x	L	H
L	A <sub>4</sub> > B <sub>4</sub>	L	L	H	L	L
L	A <sub>4</sub> = B <sub>4</sub>	L	H	L	H	L
L	A <sub>4</sub> < B <sub>4</sub>	H	L	L	H	L
H	x	x	L	L	x	L
EI	A <sub>4</sub>	B <sub>4</sub>	A<B	A=B	A>B	A <sub>0</sub> >B <sub>0</sub> )
			Entradas	Salidas	Entradas	

Como se observa, este circuito es bastante complicado para implementarlo con compuertas individuales, sin embargo esta función se utiliza con mucha frecuencia en diseño de circuitos lógicos y por ello, su disponibilidad como función individual (Circuito integrado MSI) permite simplificar en gran medida la complejidad de la implementación del circuito total. En escala de integración existe un dispositivo que cumple la misma función pero en menor medida.

Figura 1.51.



Circuitos Combinacionales

Circuitos Combinacionales

de cada grupo están ponderadas) y tres salidas para determinar la relación que entra para los dígitos de los números A y B (observemos que las entradas guardan ambos números entre sí).

Alta Velocidad comparadora

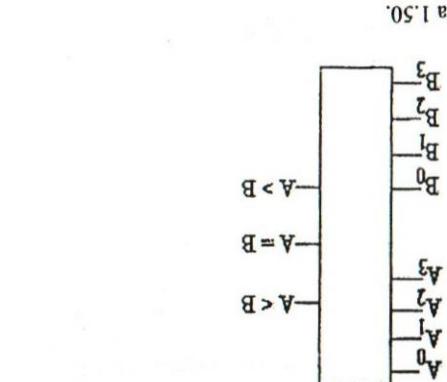


Figura 1.50.

Estas condiciones nos llevan al siguiente circuito:

- A < B si:  $\underline{A} = \underline{B}$  y  $\underline{A} > \underline{B}$

- A = B si simultáneamente:  $A_3 = B_3$  y  $A_2 = B_2$  y  $A_1 = B_1$  y  $A_0 = B_0$

Si bien podríamos realizar una tabla de verdad para 8 variables y tres funciones, dicha procedimiento es largo y no asegura la solución más simple. Nosotros procederemos a plantear las condiciones de comparación y de allí deducir las expresiones lógicas que correspondan.

Si bien podríamos realizar una tabla de verdad para 8 variables y tres funciones, dicha procedimiento es largo y no asegura la solución más simple.

Si bien podríamos realizar una tabla de verdad para 8 variables y tres funciones, dicha procedimiento es largo y no asegura la solución más simple.

**EXPANSIÓN A "N" BITS CON C.I. COMERCIALES**

Los comparadores comerciales tienen una cantidad fija de entradas para los dígitos de los números que deseamos comparar, por lo tanto realizan una comparación directa con números de hasta esa cantidad de bits. Si necesitamos comparar números cuya cantidad de bits es superior a la cantidad de entradas que disponemos en el C.I. debemos realizar una interconexión de varios de estos bloques funcionales, para expandir el número de entradas disponibles en el circuito final y llevarlo al número de bits que se requiere.

Estudiaremos algunas maneras de realizar la interconexión de estos bloques para lograr una expansión generalizada y comparar números de "N" bits, los métodos son la expansión en árbol, la expansión en cascada y la utilización de los C.I. con entradas auxiliares.

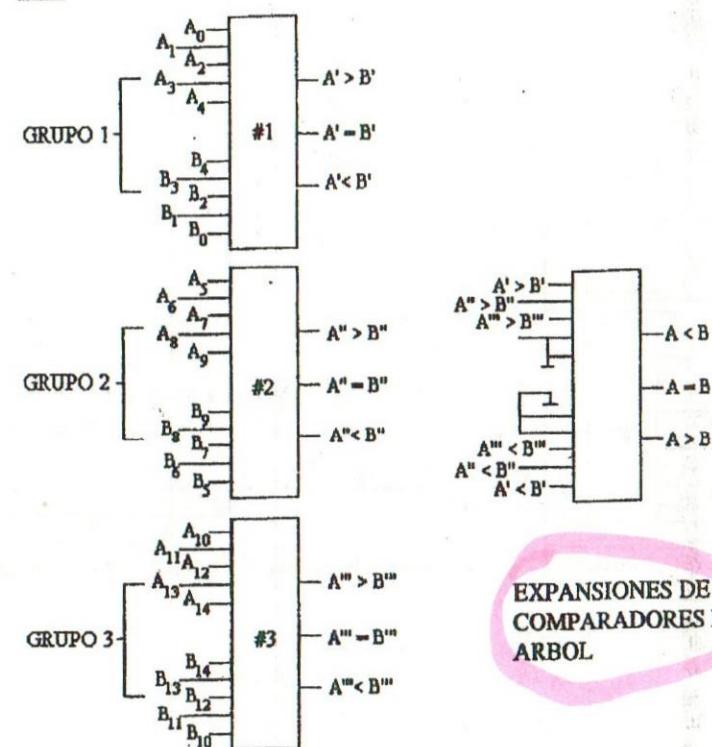
**EXPANSIÓN EN ÁRBOL:** Aquí la idea consiste en tomar los N bits de ambos números y separarlos en grupos de P bits, siendo P el número de entradas disponibles en el C.I. considerado. El cociente  $N/P$  números indicará la cantidad Q de grupos posibles y en consecuencia el número de bloques funcionales necesarios para aceptar a los números A y B (en caso que el cociente no sea un número entero se redondea al número superior siguiente y nos sobraran algunas entradas que no utilizaremos). Tomemos por ejemplo la comparación de dos números de 15 bits con C.I. comparadores de cinco entradas.

$N=15 \quad P=5$  entonces  $Q=3$  (se requerirán tres C.I. comparadores de cinco entradas)

Obviamente los grupos están jerarquizados, pues los grupos están organizados por bits de determinados pesos dentro de cada número (se supone que se toman los bits del mismo peso, en ambos números, para formar los grupos de igual jerarquía). Luego se aparean los grupos de igual jerarquía de ambos números y se realiza la comparación de cada uno de los pares de grupos, en cada uno de los C.I. comparadores. En este primer nivel de comparación se obtiene una señal de salida por cada uno de los pares de los grupos, que indica la relación que existe entre ambos.

En el primer nivel de comparación, hemos realizado comparaciones parciales, por grupos de bits de igual jerarquía de ambos números; vamos a utilizar esa

información para determinar la condición final entre los números A y B a través de un segundo nivel de comparación. Es evidente que toda comparación debe comenzar por los grupos que incluyen a los bits de mayor significación y si estos no definen la condición por ser iguales, se debe seguir comparando los sucesivos grupos de menor significación. Esto nos definirá el orden en que deben ingresarse las señales de salida del primer nivel, al segundo nivel para conocer la condición final.



**EXPANSIONES DE COMPARADORES EN ARBOL**

Figura 1.52.

**EXPANSIÓN EN CASCADA:** Aquí también se considera a los números A y B de N bits cada uno, separados en grupos y se cumple la regla general de comenzar

Comparación por los bits de menor peso, si estos no definen seguir la combinación con los grupos de menor peso. Sin embargo, la diferencia constante entre el grupo inicial incluye entradas de **superpuesto** que reúnen **P** bits de menor significación (provenientes de C<sub>1</sub>, anterior) y estos subgrupos tienen combinaciones que permiten expandirlos en cascada sin disminuir las entradas de bits al presente de entradas adicionales C<sub>1</sub>, C<sub>2</sub> y C<sub>3</sub> que actúan cuando los bits de este grupo no definen la condición de salida de este C<sub>1</sub>. Anterior, pues para ello dispone de entradas adicionales A<sub>10</sub>, A<sub>9</sub>, A<sub>8</sub>, A<sub>7</sub>, A<sub>6</sub>, A<sub>5</sub>, A<sub>4</sub>, A<sub>3</sub>, A<sub>2</sub>, A<sub>1</sub> y A<sub>0</sub> que restablecen las salidas de este C<sub>1</sub>, excepto el último, el de menor peso. Beste inconveniente se elimina cuando utilizamos los C<sub>1</sub>, con entradas auxiliares. Beste C<sub>1</sub>, es esta especialmente todos los C<sub>1</sub>, excepto el último, el de menor peso.

La comparación por los bits de menor peso, si estos no definen seguir la combinación con los grupos de menor peso. Sin embargo, la diferencia constante entre el grupo inicial incluye entradas de **superpuesto** que reúnen **P** bits de menor significación (provenientes de C<sub>1</sub>, anterior) y estos subgrupos tienen combinaciones que permiten expandirlos en cascada sin disminuir las entradas de bits al presente de entradas adicionales C<sub>1</sub>, C<sub>2</sub> y C<sub>3</sub> que actúan cuando los bits de este grupo no definen la condición de salida de este C<sub>1</sub>. Anterior, pues para ello dispone de entradas adicionales A<sub>10</sub>, A<sub>9</sub>, A<sub>8</sub>, A<sub>7</sub>, A<sub>6</sub>, A<sub>5</sub>, A<sub>4</sub>, A<sub>3</sub>, A<sub>2</sub>, A<sub>1</sub> y A<sub>0</sub> que restablecen las salidas de este C<sub>1</sub>, excepto el último, el de menor peso.

**EXPANSIÓN UTILIZANDO C<sub>1</sub>, CON ENTRADAS AUXILIARES:** En la primera expansión debemos utilizar N+1 C<sub>1</sub>. La expansión en cascada pierde una entrada de cada grupo para hacer ingresar la señal del subgrupo anterior, en una aplicación a números de varios dígitos.

Figura 1.53.

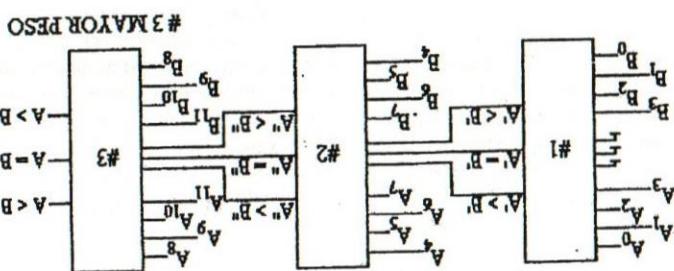
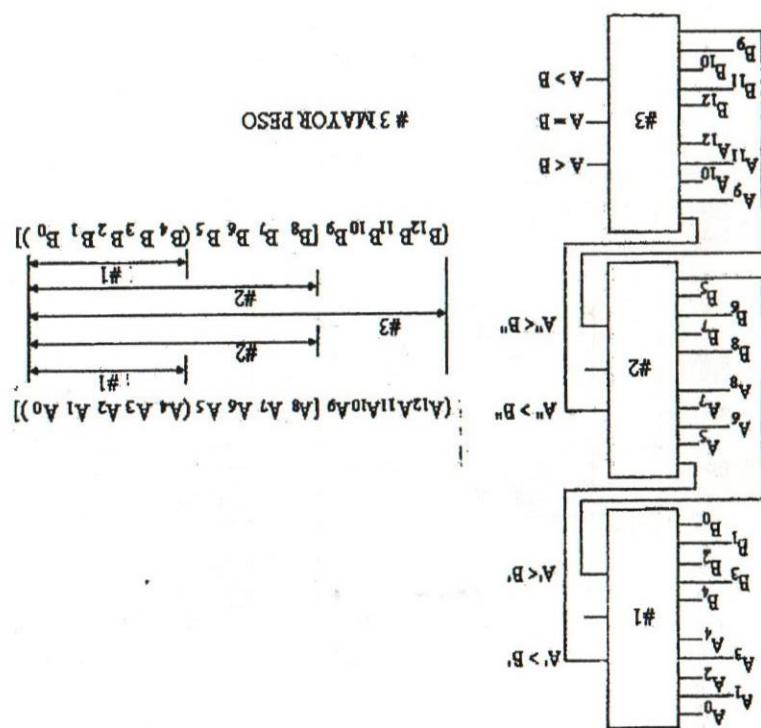


Figura 1.54.

## 5.2. SUMADORES Y RESTADORES BINARIOS

En la mayoría de los sistemas digitales, desde el más simple hasta un gran computador, se realizan operaciones aritméticas. Dado que los niveles lógicos "alto" y "bajo" pueden representar a los dígitos 0 y 1 del sistema de numeración binaria, es posible operar aritméticamente con dicho sistema de numeración binaria. De la misma manera que una operación aritmética entre dos números da como resultado otro número, un circuito combinacional puede transformar dos combinaciones de dígitos y mapearlas a otra combinación que resulta de la suma o resta de los dígitos. Una combinación de dígitos, en otra combinación que coincide con el resultado de dicha operación.

Analizaremos ahora los circuitos combinacionales que nos permiten realizar las sumas básicas de las operaciones a números de un dígito y luego extenderemos la aplicación a números de varios dígitos.

$\Rightarrow$  Suma lógicamente

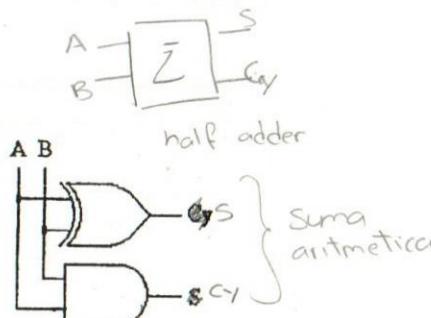
## Circuitos Combinacionales

### 5.2.1.- SUMADORES

Sumador de dos números de un dígito:

A	B	S	C <sub>y</sub>
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Observamos la salida para la suma y para el acarreo  
 Sun vari Si circ  
 $S = A \oplus B$   
 $C_y = A \cdot B$



de varios dígitos, colocando varios de ellos (uno por cada columna de dígitos que conformen la operación) encontramos que no puede ser utilizado, pues no posee una entrada de acarreo que admita el acarreo desde una columna anterior; es por eso que lo llamamos SEMISUMADOR.

Consideremos ahora un circuito que complete la posibilidad de admitir el acarreo desde una columna anterior, lo llamamos SUMADOR COMPLETO.

A	B	C <sub>y</sub> <sub>in</sub>	S	C <sub>y</sub> <sub>out</sub>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

hago hornos y obtengo  $S, C_{y\text{out}}$

$$S = A \oplus B \oplus C_{y\text{in}} \quad C_{y\text{out}} = (A \cdot B) + C_{y\text{in}}(A \oplus B)$$

full adder

$$S = \bar{A}\bar{B}C_{y\text{in}} + \bar{A}\bar{B}C_{y\text{in}} + \bar{A}B\bar{C}_{y\text{in}} + ABC_{y\text{in}} = C_{y\text{in}}(\bar{A}B + AB) + \bar{C}_{y\text{in}}(\bar{A}B + A\bar{B}) \\ = C_{y\text{in}} A \oplus B + \bar{C}_{y\text{in}} A \oplus B = A \oplus B \oplus C_{y\text{in}}$$

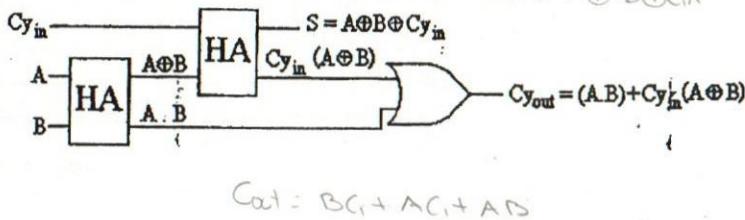
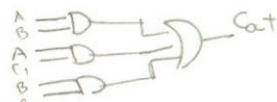


Figura 1.56.

Desde la tabla de verdad sintetizamos una expresión que en realidad nos permite utilizar el semisumador que ya habíamos visto. Apliquemos el SUMADOR



## Circuitos Combinacionales

COMPLETO a la realización de un circuito que permita sumar dos números de cuatro bits.

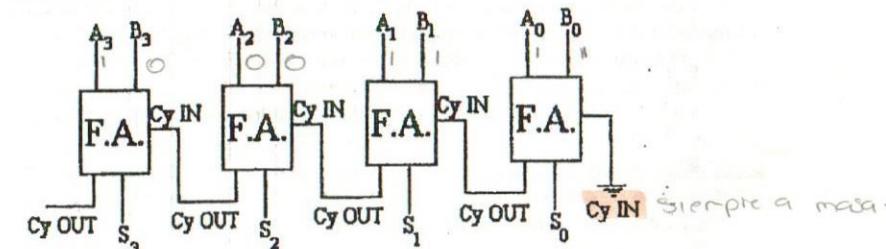


Figura 1.57.

Este circuito está disponible como C.I. en forma comercial, por lo tanto lo utilizaremos para realizar una expansión y obtener un sumador de N bits,

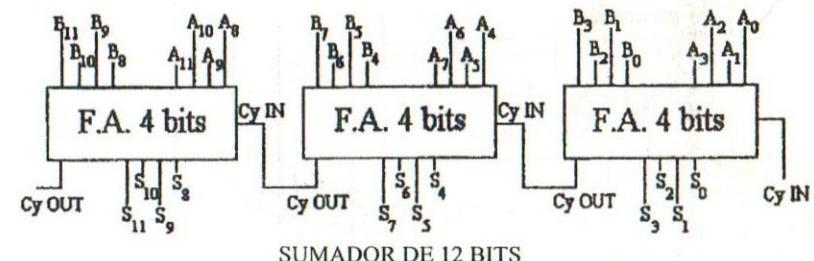


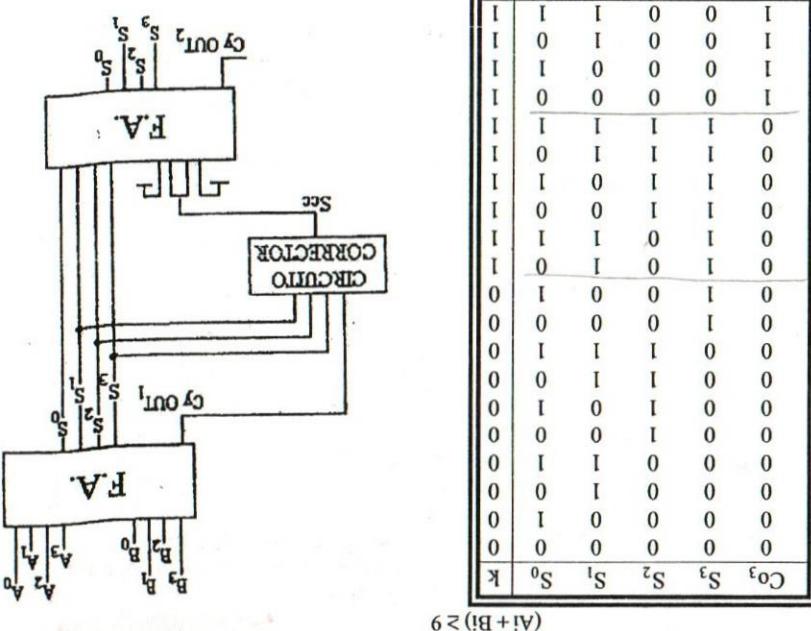
Figura 1.58.

### 5.2.2.- SUMADORES RAPIDOS

Análisis del tiempo de establecimiento del resultado en un sumador "serie": El inconveniente principal de estos sumadores es el transporte "en serie" del acarreo a través de las distintas etapas, después de pasar la última etapa se dispone por fin del acarreo final y se establece el resultado. El tiempo de establecimiento

del resultado está fijado por la cantidad de etapas que conforman el contador, si el contador consta de muchas etapas, el tiempo de establecimiento será muy grande y se considera al contador muy "lento".

### Circuitos Combinacionales



$$(A_i + B_i) \geq 9$$

### Circuitos Combinacionales

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
C0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
S3	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
S2	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
S1	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
S0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

En los sumadores "rápidos" se utiliza la técnica del "acarreo anticipado". En esta técnica, los bloques binariales que utilizaremos son distintos, ellos generan: el resultado de la columna que corresponde, el "acarreador" y el "propagador".

Todos los acarreadores y los propagadores están disponibles al mismo, pues solo pasan por la etapa sumadora que les corresponde y se aplican simultáneamente a un circuito combinacional AND / OR (igual retraso); este es el encargado de generar "instantáneamente" el acarreo de salida. Es obvio que el tiempo de establecimiento es "rápido", pero si consideramos un sumador serie con mas de un criterio mas rápido, pero lo tanto, un sumador serie de pasos prede establecimiento es "lento", por lo tanto, en cada etapa de acuerdo a la etapa de etapas, la ventaja es del sumador de acuerdo anticipado.

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
C0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
B3	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
B2	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
B1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
B0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
A3	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
A2	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
A1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
A0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
C0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G3	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G2	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P3	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P2	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
C0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G3	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G2	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P3	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P2	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
C0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G3	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G2	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P3	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P2	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
C0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G3	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G2	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P3	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P2	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
C0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G3	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G2	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P3	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P2	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
C0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G3	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G2	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
G0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P3	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P2	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
P1	0	1	0	1												

**5.2.4.- RESTA BINARIA**

Considerando las reglas básicas de la sustracción, aplicadas al sistema de numeración binario, podemos establecer la tabla de verdad de un circuito restador binario de dos números de un bit y de allí implementar un circuito.

A	B	R	Co
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Observemos la salida para la diferencia y la salida para el pedido del préstamo.

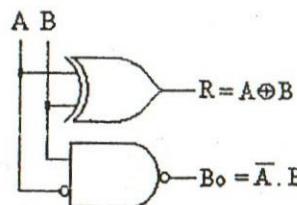


Figura 1.61.

Al igual que en el caso del semisumador este semirestador no posee una entrada para el "pedido de préstamo" desde una columna anterior, por ello debemos hacer la tabla de verdad de un RESTADOR COMPLETO.

A	B	B <sub>in</sub>	R	B <sub>out</sub>
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

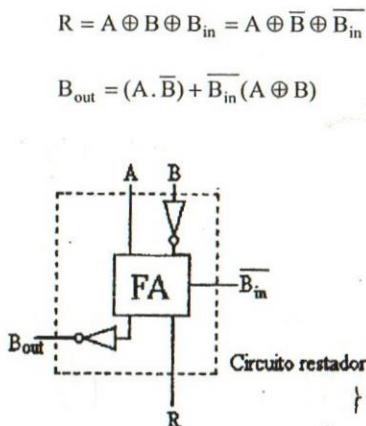
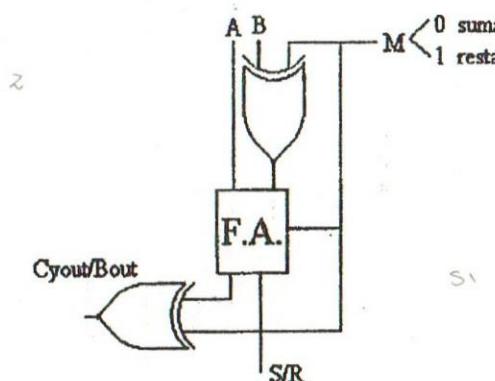


Figura 1.62.

Observamos que hemos sintetizado una expresión muy particular desde la tabla de verdad, esta expresión **nos permite utilizar al circuito sumador**, con algunas modificaciones, **para la operación de resta**. Además nos abre la opción de realizar un circuito único que pueda efectuar, mediante una entrada de selección, una u otra operación, (podemos decir que el circuito realiza una "suma algebraica"). Al restar, en realizar esta sumando el complemento a la base del sustraendo, es decir esta sumando un número negativo.



Circuito Sumador Restador Simétrico

Sumador - Restador de 1 bit

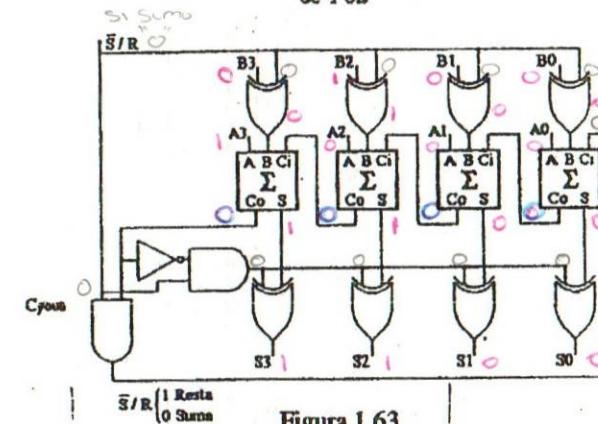


Figura 1.63.

el Co del  
ultimo sumand  
me da el  
signo del n  
cuando Resta  
Ej Co = 1  
Resta = -4  
Co = 0  
Resta = 4

Aún cuando los dos números sean positivos pueden presentarse los siguientes casos: Minuendo > Sustraendo, Minuendo < Sustraendo, en el primer caso el

Se:

Caso en que :

$(A - B) > 0$

Ejemplo:

$$A + \underline{B} = 00101$$

$$2^n 10000$$

$$A + B + 1 = 10101$$

$$+ 11$$

$$A + B = 10100$$

$$B = 0111 \leftarrow \underline{B} = 1000$$

$$A = 1100 \leftarrow A = 1100$$

$$A - B = 1100$$

$$A - B = 1100$$

$$(Bit de Overflow)$$

$$A - B = A + \underline{B} + 1 - 2^n$$

$$A - B = A - B + 1$$

$$(Bit de Overflow)$$

$$A - B = A - (2^n - B - 1)$$

$$A - B = A - B + 1$$

$$(Bit de Overflow)$$

$$A - B = A + \underline{B} - 1 - 2^n$$

$$A - B = A - B - 1$$

$$(Bit de Overflow)$$

$$B = 2^n - B - 1$$

$$B = 2^n - \underline{B} - 1$$

$$B = 2^n - B - 1$$

$$B + \underline{B} + 1 = 10000 = 2^n$$

$$+ 1$$

$$B + \underline{B} = 1111$$

$$\underline{B} = 0100$$

$$B = 1011$$

$$A + \underline{B} = 1100$$

$$A = 1100$$

$$A - B = 1100$$

$$A - B = 1100$$

$$(Bit de Overflow)$$

$$A - B = A + \underline{B} + 1 - 2^n$$

$$A - B = A - B + 1$$

$$(Bit de Overflow)$$

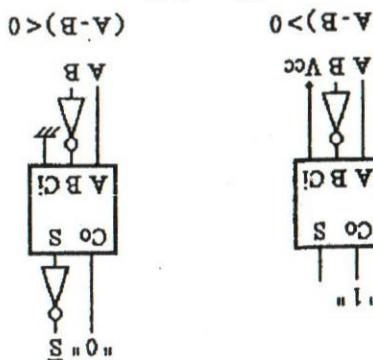
$$A - B = A - (2^n - B - 1)$$

$$A - B = A - B - 1$$

$$(Bit de Overflow)$$

Figura 1.64.

$(A - B) < 0$   
 $\underline{A} = 1$ , indica q. la operación  
es correcta y  $A > B$



Circuitos Representativos:

$(A - B) > 0$   
 $\underline{A} = 0$ , indica q. la operación  
es correcta y  $A < B$



$$A - (B - 1 + 2^n) = 10 \text{ (correcto)}$$

$$A - B = -B + 1 - 2^n$$

$$A - B = B + 1 - 2^n$$

$$(Bit de Overflow)$$

$$A - B = A + \underline{B} + 1 - 2^n$$

$$A - B = A - B + 1$$

$$(Bit de Overflow)$$

$$A - B = A - (2^n - B - 1)$$

$$A - B = A - B - 1$$

$$(Bit de Overflow)$$

$$B = 2^n - B - 1$$

$$B = 2^n - \underline{B} - 1$$

$$B = 2^n - B - 1$$

$$B + \underline{B} + 1 = 10000 = 2^n$$

$$+ 1$$

$$B + \underline{B} = 1111$$

$$\underline{B} = 0100$$

$$B = 1011$$

$$A + \underline{B} = 1100$$

$$A = 1100$$

$$A - B = 1100$$

$$A - B = 1100$$

$$(Bit de Overflow)$$

$$A - B = A + \underline{B} + 1 - 2^n$$

$$A - B = A - B + 1$$

$$(Bit de Overflow)$$

$$A - B = A - (2^n - B - 1)$$

$$A - B = A - B - 1$$

$$(Bit de Overflow)$$

Circuitos Combinacionales

Circuitos Combinacionales

Circuitos Combinacionales

Circuitos Combinacionales

Circuitos Combinacionales

Circuitos Combinacionales

La existencia del overflow indica que el resultado es negativo o sea  $A < B$ . Si no existe ningún overflow indica que el resultado es positivo o sea  $A > B$ . Si no existe ningún overflow indica que el resultado es negativo ( $A < B$ ).

resultado es positivo, en el segundo caso es negativo y esta expresado en complejamente a dos.

### 5.3.- CIRCUITO DE MULTIPLICACION BINARIA

La multiplicación binaria también puede ser realizada a través de circuitos digitales, pero su implementación es más compleja que los simples circuitos vistos anteriormente para las operaciones de suma y resta.

A continuación se muestra un circuito desarrollado a partir del mecanismo básico de la multiplicación, que toma a cada dígito del multiplicador y lo multiplica por los dígitos del multiplicando y luego suma todos los resultados parciales. Esta método es posible pues las reglas del producto booleano (operación AND) son idénticas a los de la multiplicación binaria, entonces es posible utilizar compuertas AND para formar los productos parciales que se generan en el proceso de multiplicación y luego con sumadores realizar las sumas de los productos parciales.

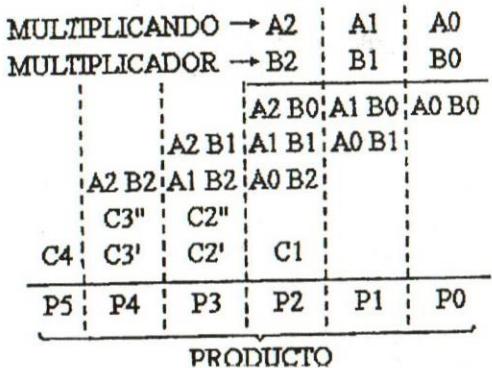
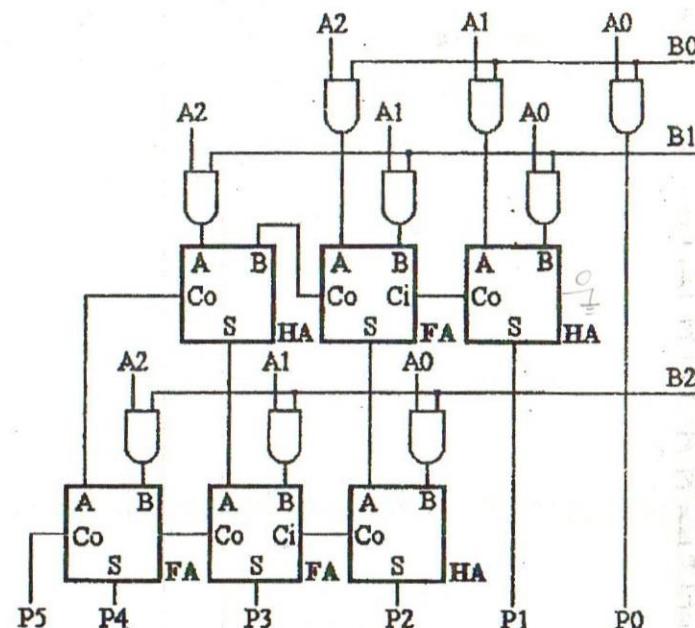


Figura 1.65.

$$\begin{array}{r}
 \begin{array}{c} 7 \\ \times 7 \\ \hline 49 \end{array}
 \begin{array}{c} 111 \\ \hline 110001 \end{array}
 \end{array}
 \begin{array}{l}
 \text{z2}^4 \cdot z^0 \\
 34+16+1=49
 \end{array}$$



**HA:** Half Adder (Semisumador)  
**FA:** Full Adder (Sumador Completo)

Figura 1.66.

### 5.4.- UNIDAD LOGICA ARITMETICA (ALU)

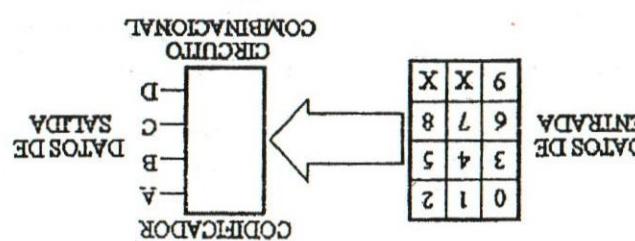
Una unidad aritmética lógica es un circuito combinacional que acepta en su entrada dos palabras de  $n$  bits, los cuales pueden ser números o representar alguna información arbitraria codificada en binario y genera un resultado en su salida, relacionando las entradas en forma lógica o aritmética, con distintas operaciones posibles en cada tipo de vinculación. En consecuencia, además de las entradas de datos, la ALU posee una entrada "M" de modo y una serie de bits  $S_0, S_1, \dots, S_n$ , de selección de operación; la entrada M determina si la operación a realizar es lógica ( $M = 0$ ) o aritmética ( $M = 1$ ) y los bits de selección de operación determinan que operación específica, dentro del grupo de operaciones posibles de ese modo, se ejecutara. Al igual que con los circuitos integrados anteriores, es posible interconectar varias etapas idénticas para realizar una expansión.

Ver CI74147

$$\begin{aligned} A &= I_1 + I_1 \\ B &= I_1 + I_3 + I_1 + I_1 \\ C &= I_2 + I_1 + I_1 + I_1 \\ D &= I_1 + I_3 + I_1 + I_1 \end{aligned}$$

ENTRADAS SALIDAS			
AB CD			
1011 12 13 14 15 16 17 18 19			
0000	000000000000	000000000001	10001
0000	000000000010	10000	01111
0000	000000001000	01100	01110
0000	000000100000	01001	01001
0000	000010000000	00111	00111
0000	000100000000	00100	00100
0000	001000000000	00010	00010
0000	010000000000	00001	00001
100000000000	000000000000	00000	00000

Figura 1.68.



Código binario decimal a BCD

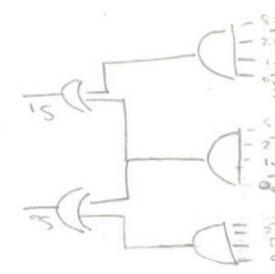
Un codificador es un circuito combinacional que posee hasta 2<sup>n</sup> entradas para recibir un conjunto de informaciones y n salidas para producir la combinación que corresponde. Cuando una de las informaciones esas presencie, cambia el estado lógico de la entrada asignada a esa información y el codificador entrega en la salida la combinación específica que le corresponde a dicha información.

### 6.1.- CODIFICADORES

### 6 - CODIFICADORES-DECODIFICADORES Y MULTIPLEXORES

Circuitos Combinacionales

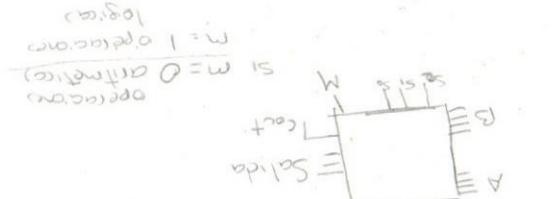
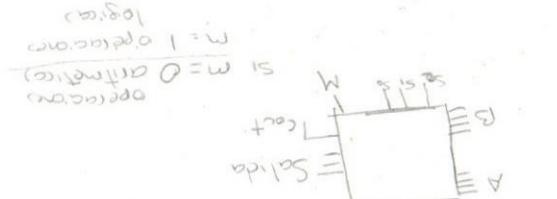
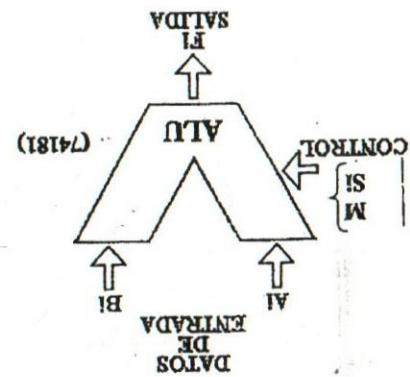
26/05/15



A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	S <sub>0</sub>	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>
0	0	0	0	1	0	0	0
0	0	0	1	0	1	0	0
0	0	1	0	0	0	1	0
0	0	1	1	0	0	0	1
0	1	0	0	1	1	0	0
0	1	0	1	0	0	1	1
0	1	1	0	0	1	1	0
0	1	1	1	1	0	0	1
1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0
1	0	1	0	1	0	1	0
1	0	1	1	0	0	0	1
1	1	0	0	1	1	1	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	0	1
1	1	1	1	1	0	0	1

### 5.5.- FUNCIONES LOGICAS Y ARITMETICAS GENERADAS POR LA

Figura 1.67.



Circuitos Combinacionales

ENTRADA DE SELECCION		M=1	M=0
funciones lógicas		C <sub>q</sub> =0	C <sub>q</sub> =1
R=000	F=A <sub>-1</sub>	F=A	F=A
R=001	F=I <sub>1</sub>	F=AB	F=AB
R=010	F=I <sub>1</sub>	F=A <sub>-1</sub>	F=A <sub>-1</sub>
R=011	F=I <sub>1</sub>	F=0	F=0
R=100	F=I <sub>1</sub>	F=A+B	F=A+B
R=101	F=I <sub>1</sub>	F=A+(A+B)	F=A+(A+B)
R=110	F=I <sub>1</sub>	F=A-B	F=A-B
R=111	F=I <sub>1</sub>	F=(A+B)+1	F=(A+B)+1
R=000	F=I <sub>2</sub>	F=A+(A+B)+1	F=A+B+1
R=001	F=I <sub>2</sub>	F=A+B	F=A+B
R=010	F=I <sub>2</sub>	F=A <sub>-1</sub> +B	F=A <sub>-1</sub> +B
R=011	F=I <sub>2</sub>	F=A+B	F=(A+B)+1
R=100	F=I <sub>2</sub>	F=A+B+A	F=AB+A
R=101	F=I <sub>2</sub>	F=A+B+A	F=AB+A+1
R=110	F=I <sub>2</sub>	F=A+B+A+1	F=AB+A+1
R=111	F=I <sub>2</sub>	F=A+B+A+1	F=A+B+1

SN5474181

5.5.- FUNCIONES LOGICAS Y ARITMETICAS GENERADAS POR LA

Figura 1.67.

ALU (T4181)

DATOS DE ENTRADA

CONTROL

Si

B1

B2

SALIDA

FI

M

Si

M

OP(EACCQ)

SI M=0 (CIRCUITO)

M=1 (OP(EACCQ))

10g(cas)

0.000-9

0.000

0.000

A partir de las expresiones anteriores para las salidas podemos implementar el siguiente circuito:

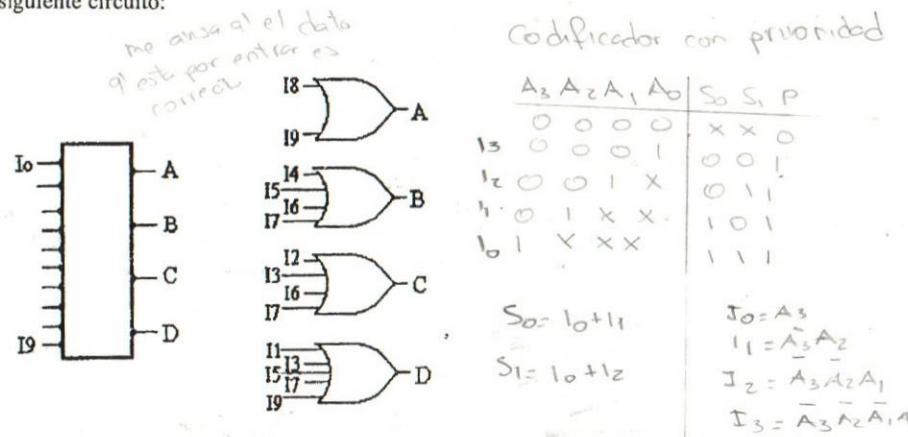


Figura 1.69.

Este circuito básico presenta varios inconvenientes:

- 1) Si no hay información presente en ninguna entrada, la salida presenta la misma combinación que se obtiene al activar la entrada 0 y el circuito que sigue después del codificador no puede discernir sobre cual de las dos situaciones se trata y no sabe qué acción realizar, tomar la combinación que sale o desecharla.
- 2) No tiene PRIORIDAD, si se activan dos o más entradas simultáneamente, la combinación de la salida no es representativa de ninguna de las entradas activadas. La PRIORIDAD da una de ellas como validas según una condición prefijada.
- 3) No hay modo de bloquear a este C.I. en caso que sea necesario, por razones de funcionamiento o para realizar expansiones.
- 4) No está prevista la interconexión de este circuito con otros similares para formar un conjunto de mayor tamaño (expansiones).

Los C.I. comerciales vienen diseñados para una "función específica" y con un "tamaño fijo" de trabajo, si necesitamos un circuito de mayor capacidad que la que posee el integrado, debemos realizar una interconexión de varios de estos C.I. que funcionen coordinadamente y se presenten como un bloque que cumpla con la función pedida y la capacidad requerida. Esta interconexión de varios C.I. del mismo tipo se denomina expansión.

Para resolver estos inconvenientes, los C.I. comerciales adicionan dos señalizadores además de las salidas de combinación y una entrada de habilitación o bloqueo. Ejemplo de ello es el codificador con prioridad, que viene en sus dos versiones activo por bajo en T.T.L. (74148) y activo por alto en su versión C-MOS (CD-4532). Estos C.I. comerciales vienen preparados para realizar interconexiones entre varios C.I., esto permite obtener una mayor capacidad. Se deja como ejercicio la realización de expansiones de codificadores de 16 a 4 y 32 a 5 utilizando este tipo de integrados.

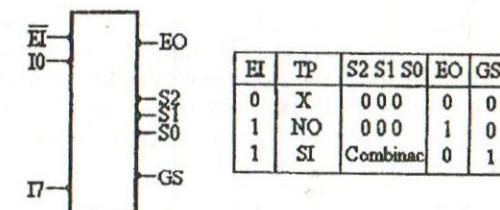


Figura 1.70.

## 6.2.- DECODIFICADORES

Un decodificador es un circuito combinacional que posee  $n$  entradas para recibir un código (combinación de ceros y unos) y hasta  $2^n$  salidas posibles. Cuando colocamos un código en la entrada, es decir una combinación específica de ceros y unos, se activa una determinada salida, la que corresponde al código colocado en la entrada.

$n$   $\rightarrow 2^n$   
entradas  $\rightarrow$  Salidas

Los decodificadores BCD de calidad tipo a decodificar se basan en el caso de los decodificadores BCD de calidad tipo a decodificar de 4 a 16 elígenido adecuadamente las salidas que se tomarán para este caso el decodificador no activa una sola salida sino un conjunto de salidas as necesarias para encender los segmentos que conforman un número decimal en su visualizador de 7 segmentos. Además de las entradas para el bcdigo BCD y la habilitación, el integrado posee otras entradas adicionales como LT (lamp test = prueba de los segmentos, enciende todos los segmentos para comprobar que todos los segmentos, enciende todos los segmentos para el tablero de los dígitos no significativos cuando se han introducido variaciones para el tablero de los dígitos que forman un número decimal) y otros.

11

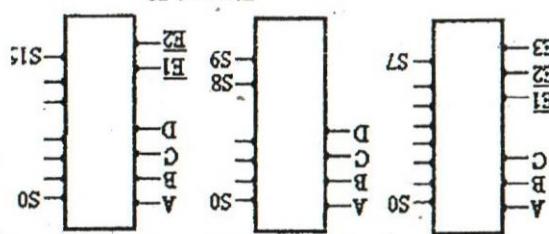


Diagrama de los decodificadores de 3 a 8, de 4 a 16 y DECA BCD

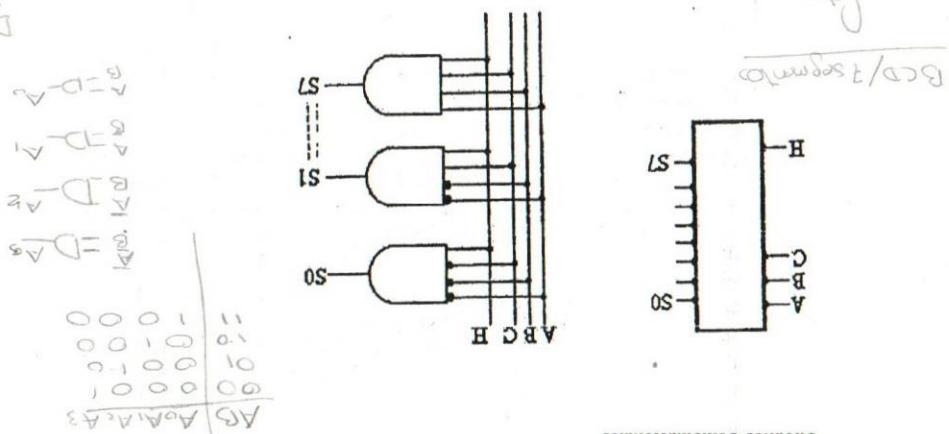
## Circuitos Combinacionales

Los criterios comerciales dispensen de entradas de "habilitar" al C.I., operación imdispensable cuando se deban interconectar variuos de estos integrados para realizar expansiones. Algunos de estos decodificadores comerciales, presentan dentro del mismo integrado un "latch" o circuito que retiene la combinación de entrada aplicada, permitiendo la combinación de entradas sobre el C.I., ademas pueden presentar salidas de mantener la memoria de los datos que colocan en el dispositivo. Los circuitos de "drives" o excitadores que permiten una mayor capacidad de control de salida.

#### 6.2.1.- CIRCUITOS COMERCIALES

Obviamente el circuito consiste de un minítem para cada salida, obteniendo el consumo de minímenos que corresponde al número de entradas de variables de el circuito debé ser activo por bajo, cada minítem será implementado con NAND. Es posible dotar al circuito de varias entradas de habilitación para facilitar la realización de las expansiones.

Figura 1.71.



Circuitos Combinacionales

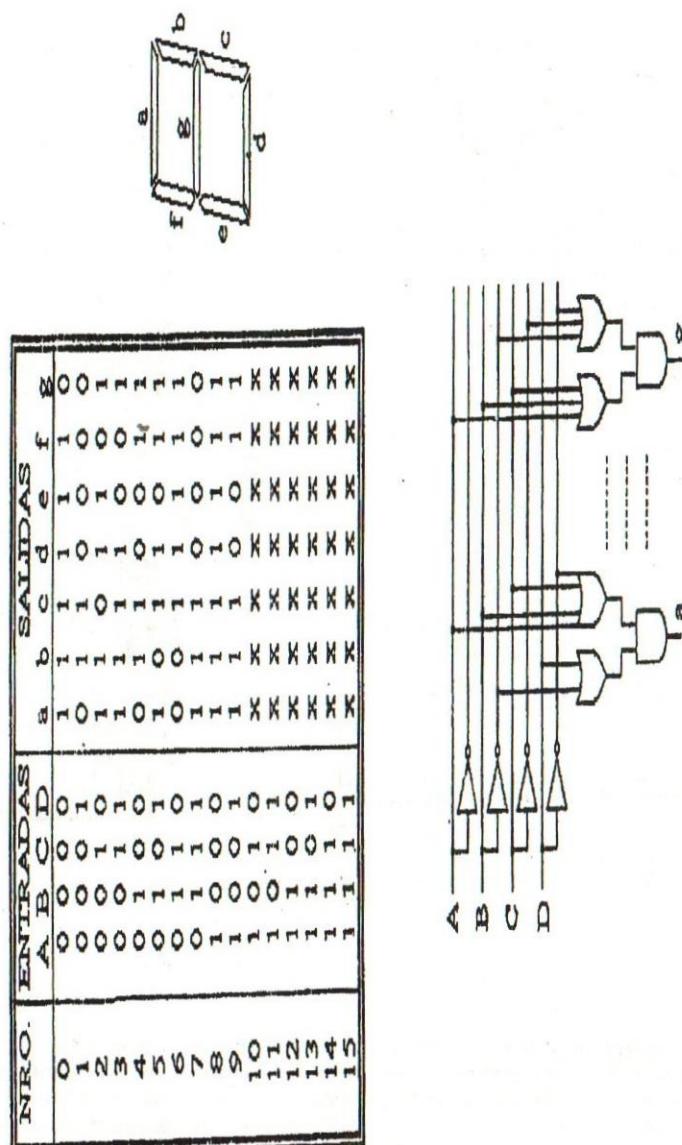


Figura 1.74

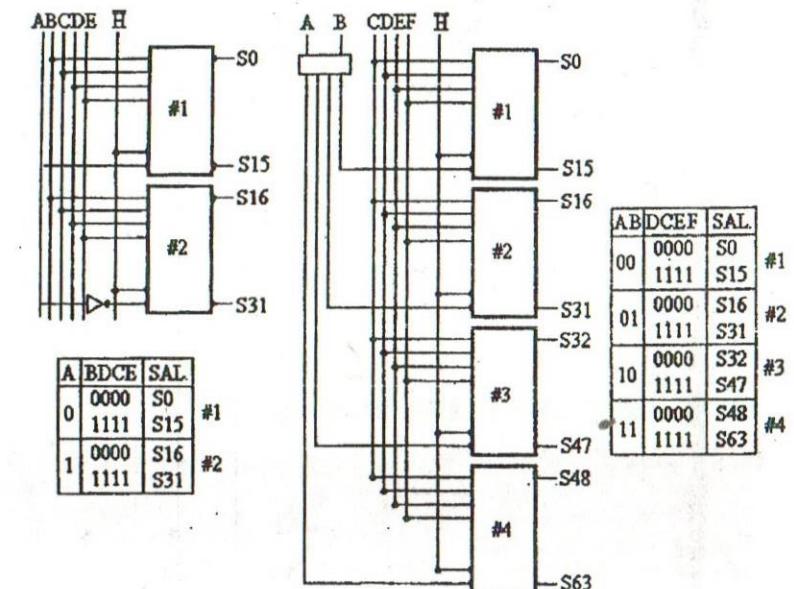
**6.2.2.- EXPANSIONES DE DECODIFICADORES**

Figura 1.75.

**6.2.3.- EL DECODIFICADOR COMO GENERADOR DE FUNCIONES**

Como ya habíamos mencionado, un decodificador es un generador de miniterms (productos canónicos) de las variables de entrada, en consecuencia se lo puede utilizar para realizar las funciones canónicas. Esto se logra simplemente conectando las salidas que correspondan a los miniterms que figuran en la expresión canónica, a una compuerta que sume dichos miniterms.

Ejemplo:

$$f = \square 0, 3, 5, 7, 9$$

La entrada  $H$  nos permite habilitar o bloquear al multiplexor, en el ejemplo anterior, si  $H=1$  no importan en que estado se encuentren  $A$  y  $B$ , el multiplexor adopta un nivel bajo en su salida ("0" forzado), si  $H=0$  el multiplexor queda habilitado para functionar como tal, pudiendo encaminar cualquier canal de entrada hacia la salida, a través de las variables de selección.

En un demultiplexor tenemos una entrada de información específica en selección y 2<sup>n</sup> posibles salidas. Cuando aplicamos una combinación específica en las variables de selección, la información de entrada aparece en una salida determinada.

Basicamente un multiplexor es un circuito combinacional que posee 2<sup>n</sup> entradas de información determinada de selección y una salida. Cuando se aplica una combinación de selección, n entradas de selección, una entrada específica accede a la salida.

*multiplexor entradas → 0 canales*

MULTIPLEXOR	
CONTROL	SALIDA
A B 0 0	Z D0
0 1	D1
1 0	D2
1 1	D3

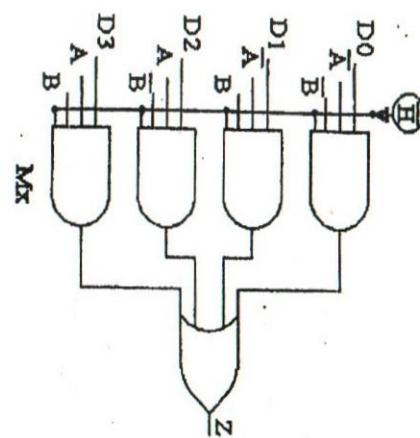


Figura 1.78.

DEMULTIPLEXOR	
CONTROL	SALIDA
A B 0 0	D0 D1 D2 D3 0 0 0 0
0 1	0 1 0 0
1 0	1 0 0 0
1 1	0 0 0 0

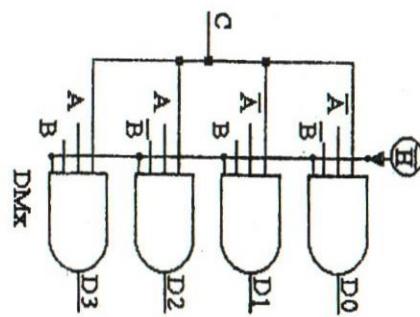


Figura 1.76.

### 6.3. MULTIPLEXORES Y DEMULTIPLEXORES

Un multiplexor o demultiplexor es un circuito combinacional que nos permite combinar una señal de entrada, entre varias entradas posibles, hacia una única salida. Un demultiplexor realiza la operación opuesta, hacia una señal de entrada una señal de salida específica, entre varias salidas posibles. Los multiplexores y demultiplexores pueden ser analógicos o digitales.

Un multiplexor digitaliza una señal de entrada operación opuesta, una señal de entrada entre varias salidas posibles. Los multiplexores y demultiplexores pueden ser analógicos o digitales. Los multiplexores y demultiplexores basados en operaciones lógicas, entre variables de selección y variables de salida.

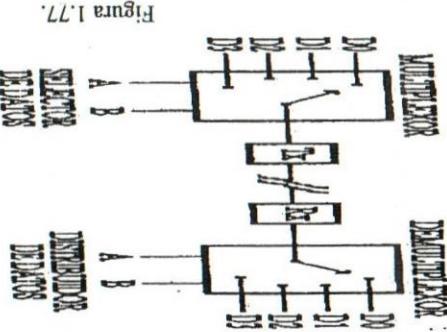


Figura 1.77.

### ESQUEMA DE LAVES

2/06/15

**6.3.1.- CIRCUITOS COMERCIALES**

Los circuitos integrados comerciales que realizan la función de multiplexor poseen algunas características adicionales, útiles para ciertas aplicaciones,

Multiplexores con entrada de habilitación: la entrada de habilitación permite "habilitar" o "bloquear" al circuito integrado, cuando el multiplexor está bloqueado, no importa el estado de las entradas de selección y de información. Cuando esta habilitado funciona normalmente.

Es muy sencillo dotar a un MUX de una entrada de habilitación, solo debemos disponer una conexión común desde todas las compuertas que permiten el paso de las distintas informaciones y aplicar allí una señal que bloquee a todas las compuertas.

Multiplexores con salida de tercer estado: también es sencillo dotar a un MUX de una salida de tercer estado, tornando la salida desde un elemento de tercer estado, en cuyo caso, el terminal de habilitación "conectara" la salida del MUX al circuito siguiente o dejara la salida en estado de alta impedancia, quedando la salida "desconectada". El multiplexor con salida de tercer estado es utilizado en los circuitos con buses.

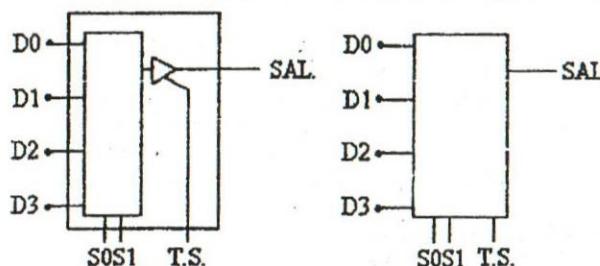


Figura 1.79.

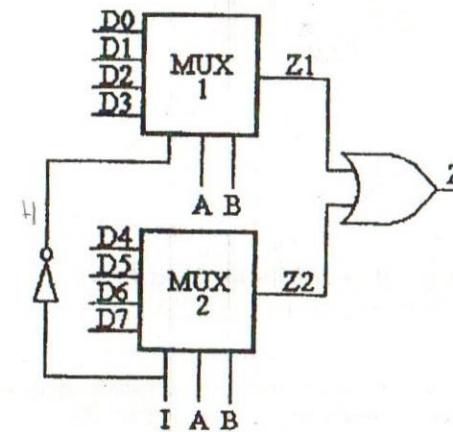
**6.3.2.-EXPANSIONES**

Los multiplexores realizados en circuitos integrados comerciales son de 2, 4, 8 y 16 canales, pero es posible interconectar varios circuitos de este tipo mediante el uso de las entradas de habilitación y obtener así un bloque funcional con un

mayor número de canales que los que poseen los circuitos integrados individuales. Veamos, a modo de ejemplo, como se puede implementar un multiplexor de 8 canales con dos multiplexores de 4 canales:

Podemos aumentar el número de canales interconectando multiplexores.

ENTRADA	SALIDA
I A B 0 0 0	D0
0 0 1	D1
0 1 0	D2
0 1 1	D3
1 0 0	D4
1 0 1	D5
1 1 0	D6
1 1 1	D7



I = Entrada de Habilitación

Figura 1.80.

$F = 0, 1, 2$

Suponemos la siguiente función:

Ejemplo:

$$Z = D_0.m_0 \leftarrow -D_1.m_1 + D_2.m_2 + D_3.m_3$$

$$Z = D_0.A.B + D_1.A.B + D_2.A.B + D_3.A.B$$

Además del encaminamiento de las informaciones, otra gran aplicación de los multiplexores es la generación de funciones lógicas. Es posible implementar con un MUX circuitos que cumplan con una tabla de verdad determinada, para ello combinaremos escribiendo la ecuación general de un circuito multiplexor, luego se descomponen las ecuaciones para los niveles iguales debemos ajustar los términos adecuadamente, esto nos dejará los niveles iguales que deseamos implementar y para escribirnos la ecuación canónica de la función que se desea implementar, luego se combinarán los términos que cumplen con la tabla de verdad determinada, para ello combinaremos escribiendo la ecuación general de un MUX pude escribirse de la siguiente forma:

En este circuito, según donde se coloque la información de entrada y donde se tome la salida, podemos considerarlo como un MUX o como un DEMUX.

#### 6.3.4. MULTIPLEXORES/DEMULITPLEXORES ANALÓGICOS

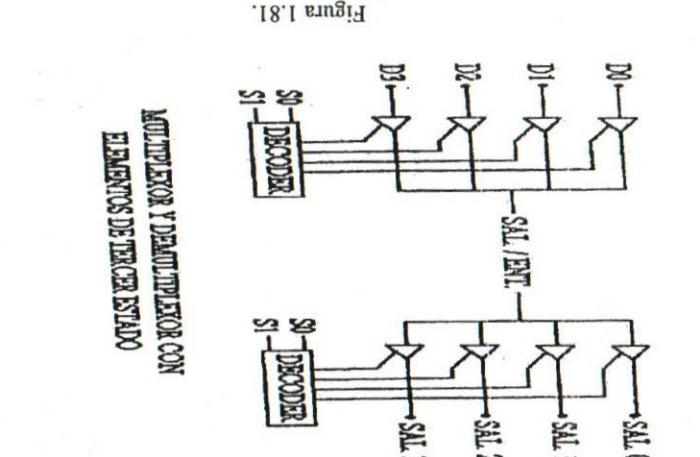


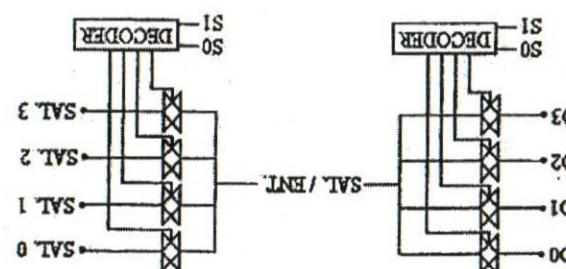
Figura 1.81.

MULTIPLEXOR Y DEMULTIPLEXOR CON ELEMENTOS DE TERCER ESTADO

La función del DEMUX, se puede obtener con un decodificador, por ejemplo, conectando las salidas de  $Z_n$  buffers de tercer estado a un punto común y habilitándolas a través de un decodificador para formar un MUX que conectando todas las entradas a un punto común, habilitándolas también con un decodificador, podemos formar un DEMUX con  $2^n$  salidas.

#### 6.3.3. DEMULTIPLEXORES

Circuitos Combinacionales

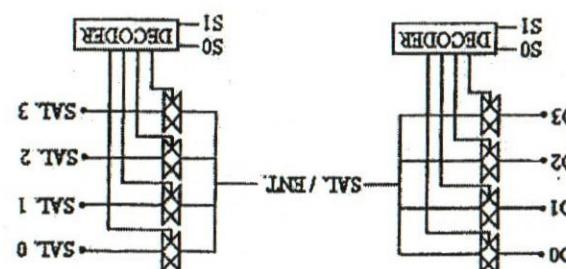


Circuitos Combinacionales

#### 6.3.5. GENERACION DE FUNCIONES CON MULTIPLEXORES

Figura 1.82.

#### MULTIPLEXOR Y DEMULTIPLEXOR CON TG.



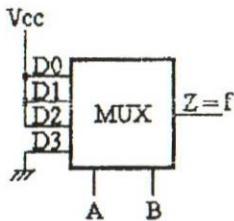
MULTIPLEXOR Y DEMULTIPLEXOR CON TG.

Comparémosla con la ecuación del multiplexor e igualemos:

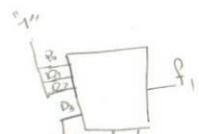
$$\text{Para } Z = f \rightarrow D_0 = 1; D_1 = 1; D_2 = 1; D_3 = 0$$

El multiplexor puede generar una función con  $n+1$  variables ( $n = \text{número de variables de control}$ ).

El desarrollo circuitual es:



$$f = \Sigma(0, 1, 2)$$



$$f_1 = \bar{A}\bar{B} + \bar{A}B + A\bar{B}$$

Figura 1.83.

Ejemplo:

$$f = \Sigma(0, 1, 3, 6)$$

$$f = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}BC + ABC$$

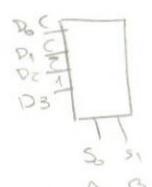
$$m_0 = D_0, m_1 = D_1, m_2 = D_2, m_3 = D_3$$

$$f = D_0\bar{B}\bar{C} + D_1\bar{B}C + D_2BC + D_3B\bar{C}$$

$$f = \Sigma(1, 3, 4, 6, 7)$$

$$\bar{A}\bar{B}C + \bar{A}BC + A\bar{B}C + ABC + A\bar{B}C$$

$$m_0 = D_0, m_1 = D_1, m_2 = D_2, m_3 = D_3$$



Otro formato

$$D_0 = \bar{A}, \quad D_1 = \bar{A}, \quad D_2 = \bar{A}, \quad D_3 = A$$

$$f = \Sigma(1, 3, 5, 7, 8, 9, 10, 13, 14, 15)$$

$$f = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D + A\bar{B}C\bar{D} + ABC\bar{D}$$

$$+ ABCD + ABC\bar{D} + ABCD$$

	BC	00	01	11	10
A	0	1	1	0	1
	1	0	0	1	0

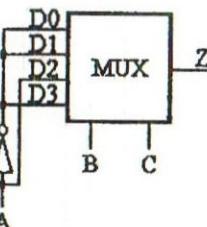
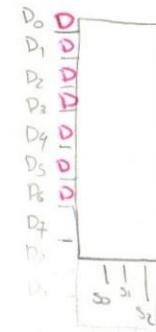
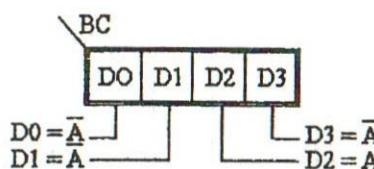


Figura 1.84.

$$f = \Sigma 0, 1, 2, 8, 10, 11$$

Otro ejemplo:

$$\overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + A\overline{B}\overline{C}\overline{D} + A\overline{B}C\overline{D} + A\overline{B}CD$$

$$m_0 \quad m_1 \quad m_2 \quad m_0 \quad m_2 \quad m_3$$

$$Z = D_0\overline{B}\overline{C}\overline{D} + D_1\overline{B}\overline{C}D + D_2\overline{B}C\overline{D} + D_0B\overline{C}\overline{D} + D_2B\overline{C}D + D_3B\overline{C}D$$

para  $f = Z$ :

$$D_0 = \overline{A} + A = 1; D_1 = \overline{A}; D_2 = A + \overline{A} = 1; D_3 = A;$$

$$D_4 = 0; D_5 = 0; D_6 = 0; D_7 = 0$$

A	B	C	D	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	D <sub>4</sub>	D <sub>5</sub>	D <sub>6</sub>	D <sub>7</sub>
0	1	1	0	0	1	0	0	0	0	0	0
1	0	1	1	1	0	1	0	0	0	0	0

Figura 1.85.

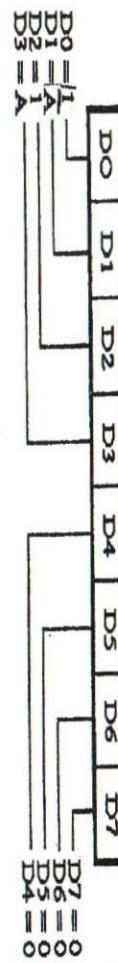
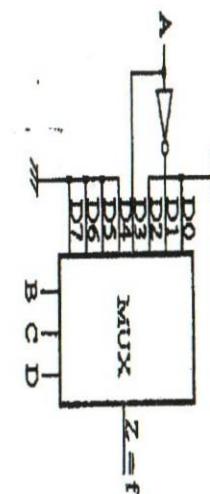


Diagrama circuital:



## BIBLIOGRAFIA

Circuitos Combinacionales

Sistemas Electrónicos Digitales, E. Mandado  
Circuitos Digitales y Microprocesadores, Héber Tabo  
Diseno de Logica Digital, B. Holdsworth  
Técnicas Digitales con C.I., M. C. Ginzburg

Circuitos Digitales y Microprocesadores, Heriberto Tabo

Diseno de Logica Digital, B. Holdsworth

Técnicas Digitales con C.I., M. C. Ginzburg

Circuitos Combinacionales

## *CAPÍTULO II*

*Tecnología de los Dispositivos Digitales*

En este capítulo haremos un estudio de las distintas tecnologías empleadas en la construcción de los dispositivos digitales. Veremos, a modo de introducción, los conceptos básicos sobre transistores BIPOLARES Y UNIPOLARES, lo que nos permitirá ahondar luego en los detalles constructivos de cada una de las familias lógicas. Finalmente describiremos algunos dispositivos visualizadores, tales como los DISPLAY de LED y de CRISTAL LÍQUIDO.

### 1.1. EL TRANSISTOR BIPOLEAR

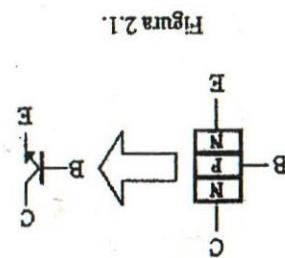


Figura 2.1.

Ganancia de corriente en C. C. (hFE):

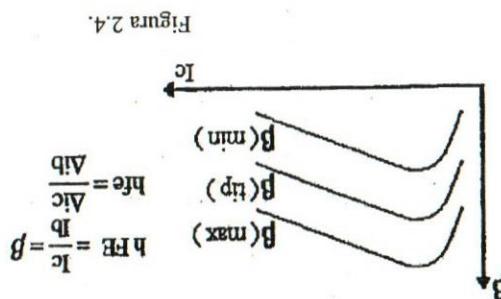
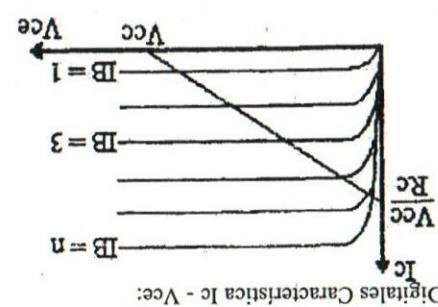


Figura 2.3.

Digitales Característica Ic - Vce:



Circuitos Combinacionales

Figura 2.2.

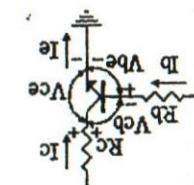
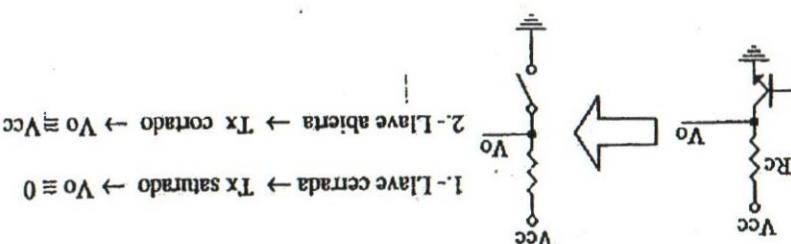


Figura 2.2.

Rb: Resistencia de polarización de la base  
Rc: Resistencia limitadora de Ic  
 $Ic = \beta \cdot Ib$   
 $Vce = Vcb + Vbe$   
 $Ie = Ib + Ic$

Figura 2.5.



### 1.1.1. EL TRANSISTOR COMO INTERRUPTOR

Figura 2.4.

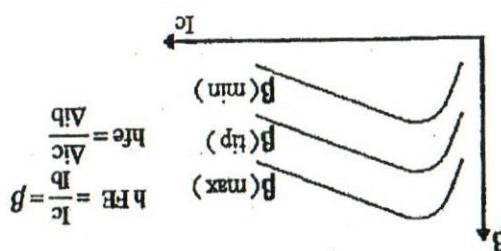
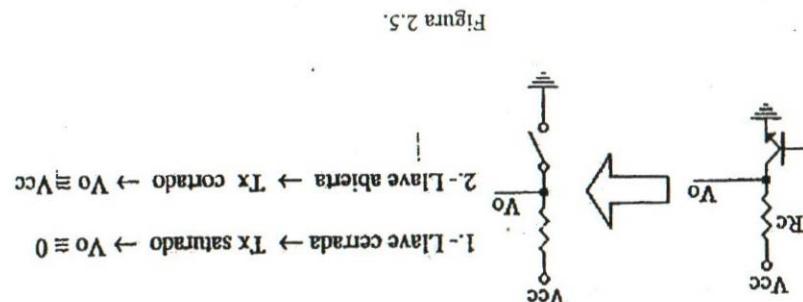


Figura 2.4.

Figura 2.5.



## Tecnología de los Dispositivos Digitales

En este modo de operación existen dos regiones perfectamente diferenciadas las que se pueden observar en la figura que sigue. Ellas son: CORTE Y SATURACIÓN.

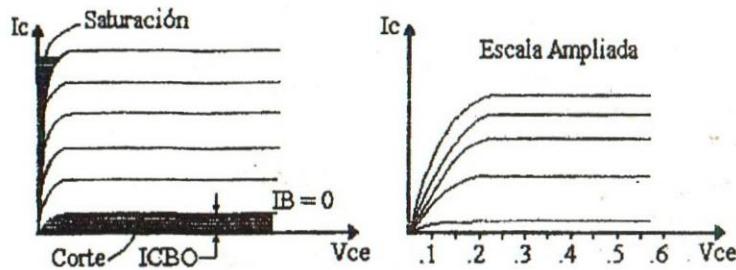


Figura 2.6.

El transistor cortado: Un Tx está cortado si  $I_b = 0$ . Por lo tanto en el circuito de la Figura 2.7.:

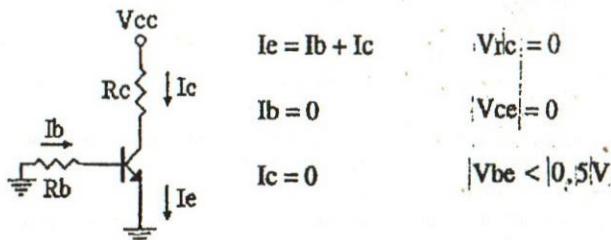


Figura 2.7.

En este análisis hemos despreciado la corriente inversa de saturación colector-base (ICBO).

## Tecnología de los Dispositivos Digitales

El transistor saturado: Se dice que un transistor está saturado cuando:

$$\frac{V_{cb}}{V_{be}} \quad a) - I_b > \frac{I_c}{hFE} = \frac{I_c}{\beta}$$

b)- Si la juntura COLECTOR - BASE se polariza en forma directa.

Figura 2.8.

Las ecuaciones de gobierno para el circuito son las siguientes:

$$\begin{aligned}
 V_{ce} &= V_{ce\text{ sat}} \text{ (ver manual)} \\
 I_c &= I_{c\text{ sat}} \\
 I_b &= I_{b\text{ sat}} \\
 I_{c\text{ sat}} &= \frac{(V_{cc} - V_{ce\text{ sat}})}{R_c} \\
 I_{b\text{ sat}} &= \frac{I_{c\text{ sat}}}{\beta_{\min}} \\
 R_b &= \frac{(V_{cc} - V_{be\text{ sat}})}{I_{b\text{ sat}}}
 \end{aligned}$$

Figura 2.9.

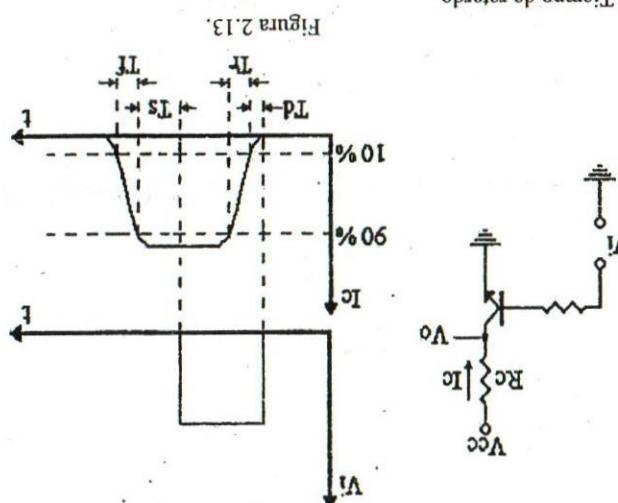
### 1.1.2 - VARIACIÓN DE LOS PARÁMETROS DE SATURACIÓN CON LA TEMPERATURA

La  $V_{ce\text{ sat}}$  para bajas corrientes de colector ( $I_c$ ), tiene poca variación con la temperatura, debido a que ambas junturas están directamente polarizadas, por lo tanto sus efectos se cancelan.

$$\frac{V_{cb}}{V_{be}} \quad \Delta V_{cb} + \Delta V_{be} = 0$$

Figura 2.10.

Pero para corrientes elevadas entran a jugar las resistencias de emisor y colector, propios del material, y sus efectos se suman.



td: Tiempo de retraso.

tf: Tiempo de crecimiento (rise time)

tfall: Tiempo de caída (fall time)

ts: Tiempo de almacenamiento

tr: Tiempo de recrimiento: (rise time)

td: Depende del tiempo requerido para cargar las capacidades de la unión para

que el Tx pase de la zona de coré a la activa, mas el tiempo necesario para los

portadores lleguen a la unión de colector.

tr: Tiempo requerido para cargar la colectora que la corriente de colector sea el 90% al 100%.

ts: Este tiempo depende de la carga de exceso. Cuanto mayor es la

satiración mayor será la carga en exceso.

tr: Tiempo requerido para que la corriente de colector sea el 10% al 90%.

td: Tiempo requerido para la unión de colector.

tr: Tiempo requerido para la unión de colector que la corriente de colector sea menor que 0,5V.

Un diodo que cumple con esa característica es el diodo de BARRETA SCHOTTKY ( $V_D = 0,2 \text{ V}$ ). De esta forma, se disminuye notablemente el tiempo de almacenamiento, ya que no permitemos la sobreestación del transistor.

La característica de entrada-salida se puede observar en el gráfico siguiente, conjuntamente con los tiempos.

**11.4.- CARACTERÍSTICA ENTRADA = SALIDA**

Figura 2.12.

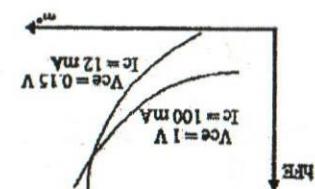
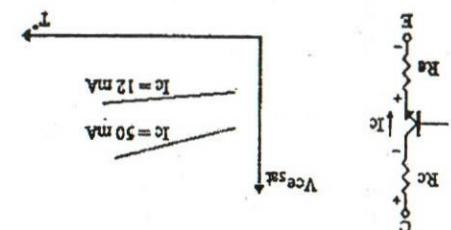
**11.3.- VARIACIÓN DEFFE CON LA TEMPERATURA**

Figura 2.11



## Tecnología de los Dispositivos Digitales

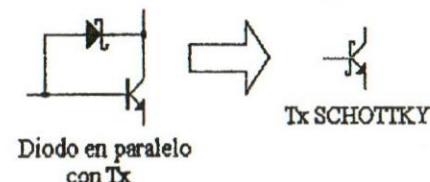


Figura 2.14.

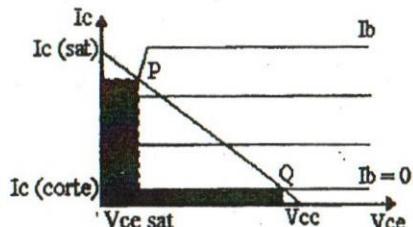
1.1.5.- POTENCIA ESTÁTICA DISIPADA

Figura 2.15.

En saturación:

$$P_{sat} = V_{ce\ sat} * I_{c\ sat}$$

En corte:

$$P_{cor} = V_{cc} * I_{CBO}$$

Estos valores están representados en la figura anterior.

1.1.6.- POTENCIA DINÁMICA DISIPADA

La potencia disipada PM esta dada en función de la potencia del Tx al corte( $P_{cor}$ ) y la potencia del Tx en saturación ( $P_{sat}$ ).

$$PM = \frac{(P_{cor} * T_1 + P_{sat} * T_2)}{AT}$$

## Tecnología de los Dispositivos Digitales

Los picos de potencia pueden superar la máxima potencia de disipación de un transistor con tal que la potencia media disipada no supere esta última,

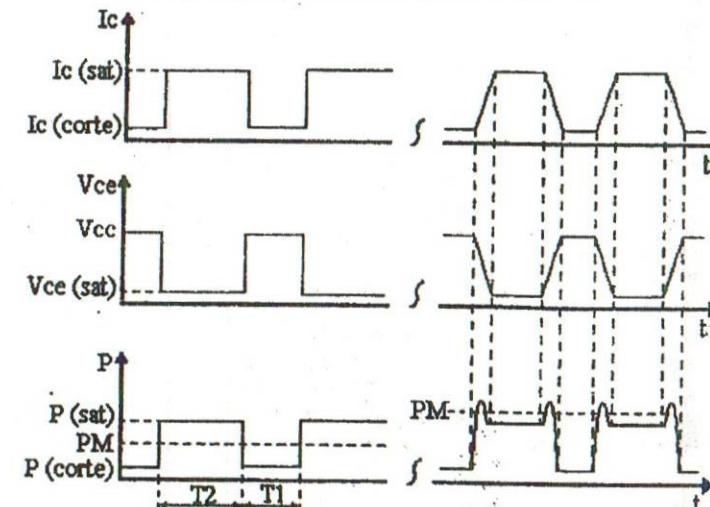


Figura 2.16.

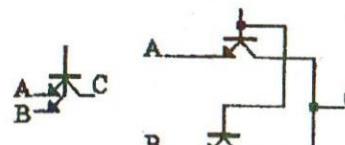
1.1.7.- EL TRANSISTOR MULTIELEMISOR

Figura 2.17.

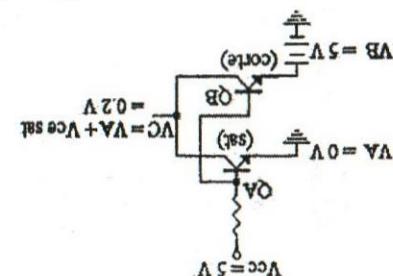
Funcionamiento:

Su funcionamiento es similar a dos transistores conectados de la siguiente forma:

Tecnología de los Dispositivos Digitales

Circuitos Combinacionales

Figura 2.18.



La junta BB de QA es una polarizada en forma directa por lo tanto QA conduce, en cambio la junta BB de QB es una polarizada en forma inversa, por lo que QB esta cortado.

## 2.1.-DEFINICIONES

Familia lógica ideal:

- Retardo = 0

- Potencia dissipada = 0

- Inmunidad al ruido = 50%



Función de transferencia en la Familia Lógica Ideal. 114

114

## 2-FAMILIA TTL

Circuitos Combinacionales

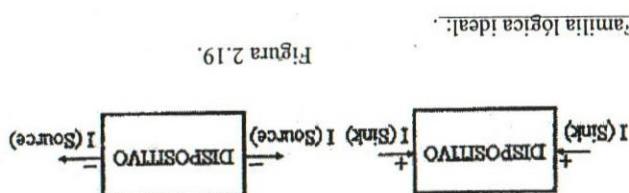
Familia lógica ideal:

- Retardo = 0

- Potencia dissipada = 0



Figura 2.19.



Familia lógica ideal:



Figura 2.20.

Función de transferencia en la Familia Lógica Ideal. 114

114

## Tecnología de los Dispositivos Digitales

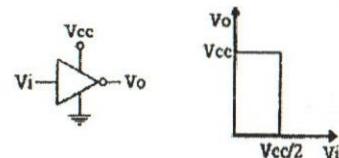


Figura 2.21.

Familias lógicas:

.- TTL (transistor Transistor Logic)

.- ECL (Emited Coupled Logic)

.- CMOS (Complementary MOS)

Familia TTL:

.-STANDARD Serie 74xx y 54xx

.-SCHOTTKY Serie 74Sxx y 54Sxx

.-LOW SCHOTTKY Serie 74LSxx y 54LSxx

2.2.-COMPUERTA TTL

Analizaremos el funcionamiento del Tx en la siguiente conexión:

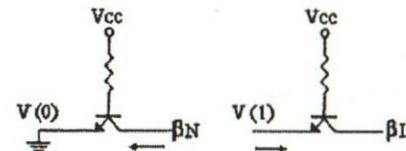


Figura 2.22.

## Tecnología de los Dispositivos Digitales

Como se puede apreciar, la señal de entrada se aplica en el emisor y según sea la misma un 0 o un 1, el Tx se comporta como en funcionamiento normal o inverso respectivamente. Debemos considerar que en funcionamiento normal le corresponde al Tx un factor de amplificación normal ( $\beta_N$ ) y en funcionamiento inverso un factor de amplificación inverso ( $\beta_I$ ), el cual es sensiblemente menor al normal.

Analizaremos el siguiente circuito:

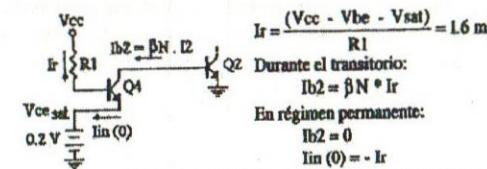
Corte de 02:

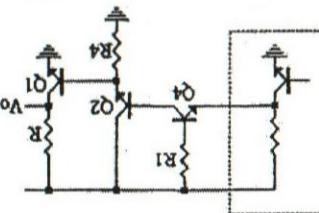
Figura 2.23.

Las cargas almacenadas en la base de Q2 son eliminadas por la acción de Q4. Cuando mayor es la corriente inversa IB2 mas rápidamente se desatura Q2. Una vez que Q2 no conduce mas, el transistor Q4 queda con el colector flotando e  $I_{in}(0) = -Ir$ .

Activación de 02: Una entrada de tensión  $> V_{BE}$  lleva al transistor Q4 a una condición de conexión inversa y activa Q2. Es importante disminuir el  $\beta_I$  de Q4 ya que en régimen permanente  $V(l)$ , la salida de la compuerta previa debe proveer la corriente  $I_{in}(l)$  proporcional al  $\beta_I$  de Q4.

Salida "TOTEM - PULSE" de la computadora TTL: Se utiliza Q2 como inversor de fase para alimentar un seguidor emisorico (50 - 75 Ω). Esto se reduce así la impedancia de salida para ambas emisiones (50 Ω) y por lo tanto al simplificacón importante de los problemas asociados a la  $I_{m(l)}$ .

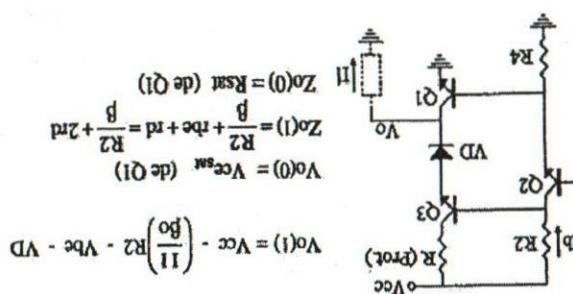
Figura 2.25.



Salida "TOTEM - PULSE" de la computadora TTL: Se utiliza Q2 como inversor de fase para ambas emisiones (50 - 75 Ω). Esto se reduce así la impedancia de salida para alimentar un seguidor emisorico (50 - 75 Ω). Esto se reduce en una simpleficacón importante de los problemas asociados a la  $I_{m(l)}$ .

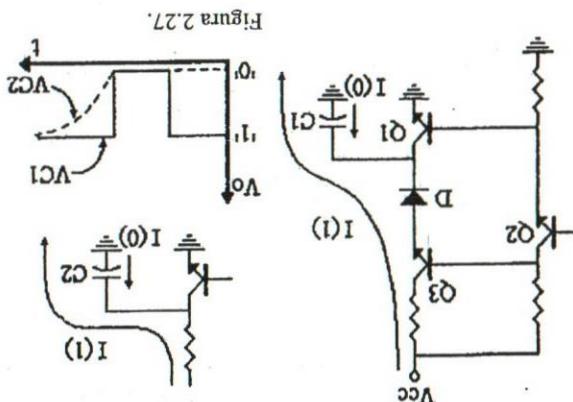
El beneficio del TOTEM - PULSE se nota particularmente en el pasaje de 0 a 1 lógico a la salida con carga capacitiva.

Figura 2.26.



Tecnología de los Dispositivos Digitales

Además al mantener baja la impedancia de salida en todo momento, se aseguran muy bajas tensiones de ruido inducidas en las líneas de interconexión. La salida de carga necesaria es provista rápidamente en el TTL gracias a Q3 y D.

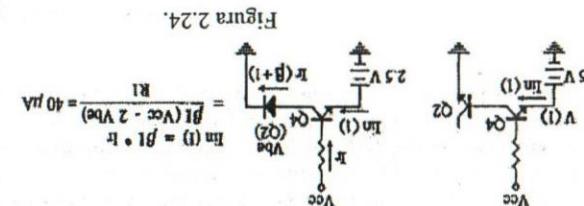


El beneficio del TOTEM - PULSE se nota particularmente en el pasaje de 0 a 1 lógico a la salida con carga capacitiva.

Figura 2.27.

Circuito de entrada de una computadora TTL: El seguidor emisorico Q2 aumenta la tensión umbral llevandola aproximadamente a  $I_{be} = 2 Vbe$ , (la tensión de condensador Q2 y Q1). Las cargas acumuladas en Q1 se descargan conjuntamente con Q2 a través de Q4 como ya se vio.

Figura 2.25.



Tecnología de los Dispositivos Digitales

## Tecnología de los Dispositivos Digitales

Compuerta TTL final: Estudiaremos la función de transferencia en la cual a medida que  $V_{in}$  aumenta se produce la siguiente secuencia:

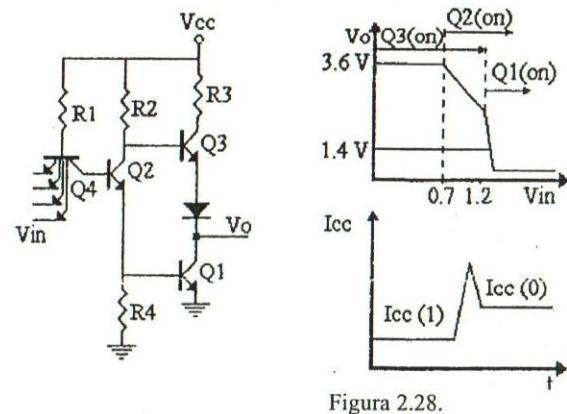


Figura 2.28.

- Al llegar  $V_{in}$  a una tensión de aproximadamente 0,7V el transistor Q2 empieza a conducir y la salida  $V_o$  disminuye debido a la caída en R2. La ganancia en la región es de:

$$G = \frac{R_2}{R_4}$$

(Usualmente 1,5 veces)

- Al alcanzar  $V_{in}$  una tensión aproximada a 1,4V, Q1 empieza a conducir y la ganancia de Q2 aumenta rápidamente debido a la baja impedancia de entrada de Q1.

- Un pequeño aumento adicional de  $V_{in}$  provocara la saturación de Q1. El diodo D permite que se alcance esta saturación sin saturar a Q2 y por lo tanto con plena ganancia de Q2.

- Un aumento ulterior de  $V_{in}$  provoca una reducción del potencial de colector de Q2 y el corte de Q3 y del diodo D.

119

## Tecnología de los Dispositivos Digitales

Al final de la región de transición Q2 y Q1 quedan saturados y Q3 y D sin conducir. El diodo D asegura que Q3 y Q1 no conduzcan simultáneamente en el estado 0.

Sin embargo tal situación ocurre en una estrecha región de la transición provocando una cresta en la corriente de alimentación  $I_{cc}$ . El consumo de corriente es mayor en el estado 0 (generalmente 2 veces) que en el estado 1 debido al consumo adicional de Q2.

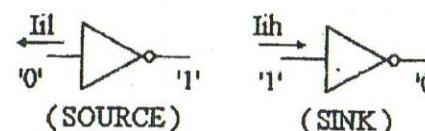
Especificaciones corriente de entrada:

Figura 2.29.

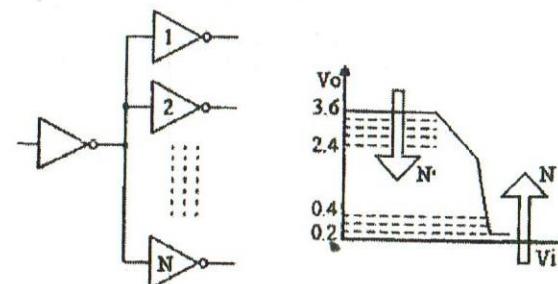
2.3.- CIRCUITO TTL CON CARGA

Figura 2.30.

#### **2.5 - TIEMPOS DE CONVERSACIÓN**

Tecnología de los Dispositivos Digitales

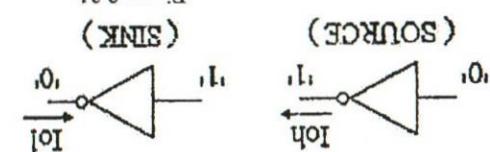
Circuitos Combinacionales

Tecnología de los Dispositivos Digitales

A medida que aumenta el número de cargas "N" se observa que disminuye V<sub>OH</sub> (salida de "I" lógico) y aumenta V<sub>OL</sub> (salida de "0" lógico).

FAN-OUT (Factor de carga de entrada): Es el numero de cargas unitarias que representa cada entrada, calculando en base al nivel de corriente de cada entrada, calculando en base los valores máximos de FAN - OUT dados por el fabricante para no degredar los niveles lógicos máximos y mínimos.

Especificaciones de contiene máxima de salida:



2.4.- MARGENES DE RUIDO

causar efectos indeseables a la salida.

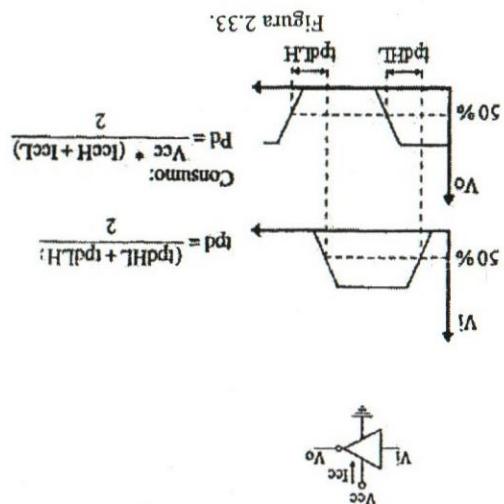


Figura 2

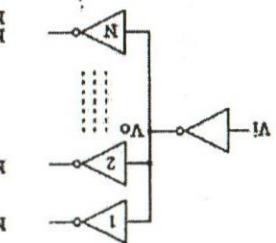
En la gráfica que sigue observamos que la potencia aumenta con la frecuencia:



Figura 2.34.

The figure consists of two parts. The left part is a plot of NMH (Y-axis, 0 to 0.8) versus  $V_d$  (X-axis, 0 to 3.6). It shows two curves: one for  $N=0$  (solid line) and one for  $N=10$  (dashed line). The  $N=0$  curve starts at (0,0) and ends at approximately (3.6, 0.75). The  $N=10$  curve starts at (0,0) and ends at approximately (3.6, 0.4). The right part is a circuit diagram for a three-stage NMH converter. It shows a series of operational amplifiers (op-amps) connected in a feedback loop. The input voltage  $V_i$  is applied to the first op-amp. The output of the first op-amp is fed into the second op-amp, and so on. The final output is labeled  $V_o$ . The circuit uses resistors labeled 1, 2, and 3, and a capacitor labeled C.

Figura 2.32.



## Tecnología de los Dispositivos Digitales

La respuesta del porque la apreciamos en los siguientes gráficos, en donde vemos que a muy baja frecuencia los aportes de los picos de potencia a la potencia media son insignificantes, pero a medida que aumenta la frecuencia disminuye el período entre picos y como estos tienen siempre la misma área, se ve que su contribución es importante.

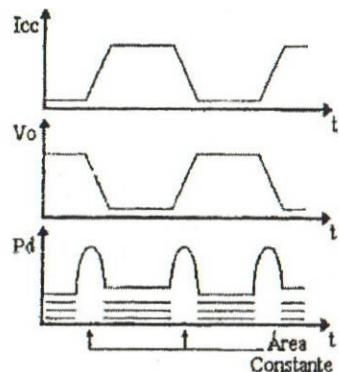


Figura 2.35.

## 2.6.- VALORES TÍPICOS EN LA FAMILIA TTL

	I <sub>ih</sub> μA	I <sub>il</sub> mA	V <sub>oh</sub> V	V <sub>ol</sub> V	N	t <sub>pd</sub> ns	P <sub>d</sub> mW	Z <sub>oh</sub> Ω	Z <sub>ol</sub> Ω	N <sub>MH</sub> V	N <sub>ML</sub> V
STANDARD 74xx	40	-1.6 2.4	3.4 0.4	0.2 0.4	10	9	10	70	10	0.4	0.4
SCHOTTKY 74Sxx	50	-2.0 2.4	3.4 0.4	0.2 0.4	10	3	19	50	8	0.7	0.3
LOW SCHOTTKY 74LSxx	20	-0.4 2.4	3.4 0.4	0.2 0.4	20	9.5	2	50	30	0.7	0.3

La serie 74 es de rango comercial y trabaja entre 0 y 70 °C. La 54 es rango militar y trabaja entre -55 °C y 125 °C.

## Tecnología de los Dispositivos Digitales

2.7.- FAN-OUT ENTRE LAS SERIES

	NÚMERO DE CARGAS		
DISPOSITIVO	74LSxx	74xx	74Sxx
74LSxx	20	5	4
74LS - BUFFER	60	15	12
74xx	40	10	8
74 - BUFFER	60	30	24
74Sxx	50	12	10
74S - BUFFER	150	37	30

2.8.- OPEN COLECTOR (Colector Abierto)

Permite la conexión en paralelo, de tal modo que se puede obtener el producto lógico de ambos (requiere la conexión de un resistor entre la salida y V<sub>cc</sub>) (PULL-UP RESISTOR).

Ejemplo:

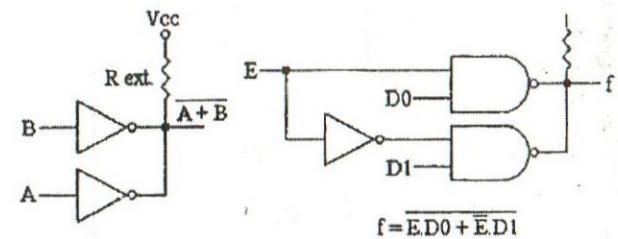


Figura 2.36.

Esta estructura de colector abierto presenta el problema de una alta impedancia de salida, por lo tanto es menos inmune al ruido, y es de baja velocidad (esta relacionado con la capacidad asociada que debe manejar).

## 2.9 - LÓGICA DE TRES ESTADOS

Tecnología de los Dispositivos Digitales

Circuitos Combinacionales

COLLECTOR.  
Es un circuito que permite la conexión en paralelo de las mismas sin las limitaciones del OPEN

- 1.- 0 lógico de baja impedancia
- 2.- 1 lógico de alta impedancia
- 3.- Salida de alta impedancia

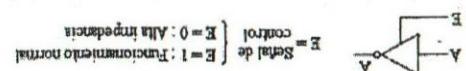


Figura 2.37.

La lógica de tres estados se presenta en todas las tecnologías.

- Aplicaciones:
- Conexión paralela.

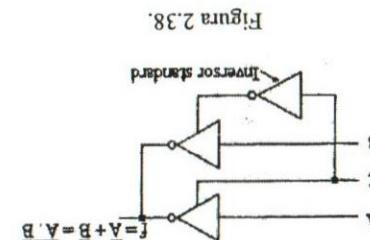


Figura 2.38.

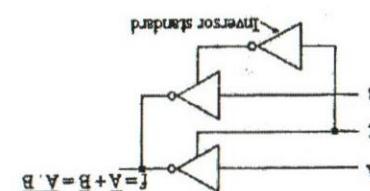


Figura 2.38.

Tecnología de los Dispositivos Digitales

Circuitos Combinacionales

CONTROL	DATO	1	→
0			←
E			
1			

Línea bidireccional:

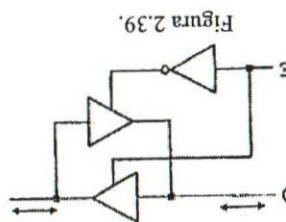


Figura 2.39.

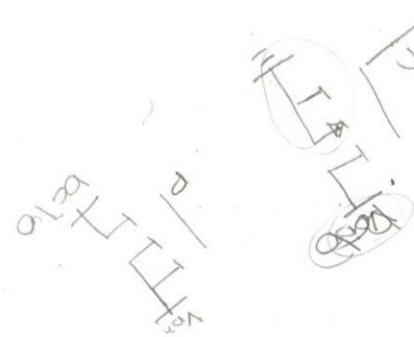


Figura 2.39.

CONTROL	DATO	1	→
0			←
E			
1			

Línea bidireccional:

Tecnología de los Dispositivos Digitales

## Tecnología de los Dispositivos Digitales

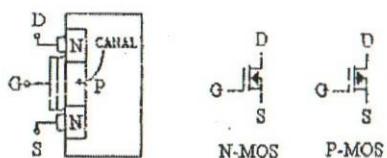
3-EL TRANSISTOR UNIPOLAR

Figura 2.40

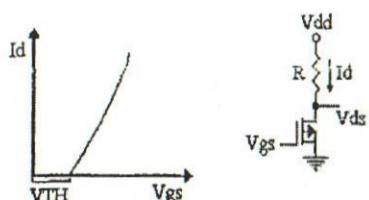


Figura 2.41.

El principio de funcionamiento del TRANSISTOR EFECTO DE CAMPO se basa en el control de la resistencia que presenta un material semiconductor al paso de la corriente por medio de un campo eléctrico. El transistor efecto de campo con electrodo de control aislado (gate aislado del canal por una capa de óxido de silicio) se denomina MOSFET o simplemente MOS.  
En el gráfico observamos la variación de la corriente de drenador en función de la tensión de control.

3.1.- REGIONES DE OPERACIÓN DE UN N-MOSRegión de CORTE:

$$V_{gs} < 0$$

Cuando  $V_{gs} = V_{TH}$  (tensión umbral) comienza a conducir y se establece una corriente  $I_{ds}$ . La resistencia del canal para esta condición es:

$$r_{ds(off)} = 10^{10} \Omega$$

## Tecnología de los Dispositivos Digitales

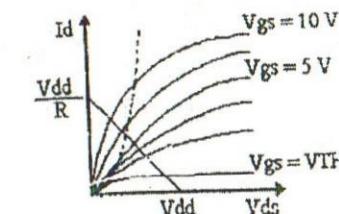


Figura 2.42.

Region de SATURACION

$$V_{gs} > 0$$

Es la región comprendida a la izquierda de la parábola. Allí la corriente  $I_{ds}$  es proporcional a  $V_{ds}$ , comportándose el canal como un simple resistor de conductancia:

$$G = \frac{I_{ds}}{V_{ds}}$$

La resistencia del canal para esta condición es:

$$r_{ds(on)} = 10^3 \Omega$$

En esta región al variar  $V_{gs}$ , el dispositivo no presenta variación de corriente  $I_{ds}$ . Operando de este modo un MOS con una resistencia de carga  $R$  en el terminal D, tal que:

$$r_{ds(on)} < R < r_{ds(off)}$$

se comporta como un inversor lógico. El MOS presenta una altísima impedancia de entrada del orden de  $10 \Omega$

Respecto del transistor bipolar, el MOS ocupa menor superficie (20%) con lo que se consigue mayor densidad de integración (aprox. 5 veces más). La potencia disipada es bajísima. Si bien en un principio el tiempo de retardo ( $t_{pd}$ ) era considerablemente mayor que el de los Tx bipolares, en la actualidad ese problema está ampliamente superado.

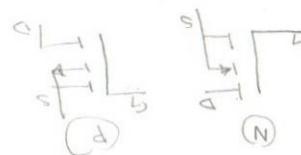


Tecnología de los Dispositivos Digitales

Circuitos Combinacionales

28/02

#### 4.1. CARACTERÍSTICAS PRINCIPALES



- Alta inmunidad al ruido ( $0.3 \text{ Vdd}$ )
- Alimentación  $3 \text{ V} < \text{Vdd} > 18 \text{ V}$
- Elivado FANOUT  $\rightarrow 400$
- Tensión de salida:

#### 4-FAMILIA CMOS

- se abre
- se cierra
- se abre
- se cierra
- se cierra
- se abre

- $\text{VOL} = 0 \text{ V}$
- $\text{VOH} = \text{Vdd}$
- $\text{IH} = \text{IL} = 0$
- Corriente de entrada:
- Impedancia de salida:
- Corriente de salida:

$\text{VI}$	<b>CIRCUITO</b>	<b>EQUIVALENCIAS</b>	$\text{Vo}$
0		$\text{Vo} = \text{Vdd} - \frac{\text{Vdd}}{10^3} \text{R}_\text{in}$	$\text{Vo} = \text{Vdd}$
1		$\text{Vo} = \frac{\text{Vdd}}{10^3} \text{R}_\text{in}$	0

Tecnología de los Dispositivos Digitales

Circuitos Combinacionales

La máxima corriente de salida dependerá de no sobrecargar la máxima potencia de dissipación de la pastilla

( $\text{V}_{\text{MNH}} = \text{V}_{(\text{O})\text{min}} - \text{V}_{(\text{A})\text{min}}$ )

$$\text{V}_{\text{MNH}} = \text{V}_{(\text{O})\text{max}} - \text{V}_{(\text{A})\text{max}}$$

$$\text{V}_{\text{MNL}} = \text{V}_{(\text{O})\text{max}} - \text{V}_{(\text{A})\text{min}}$$

En la siguiente tabla se muestra un inversor CMOS y su equivalencia

$\text{I}_{(\text{max})} * \text{V}_\text{o} = 0 \text{ mW}$

$$\text{V}_{\text{MNL}} = \text{V}_{(\text{O})\text{max}} - \text{V}_{(\text{A})\text{min}} = 15\text{V} - 3.5\text{V} = 11.5\text{V}$$

$$\text{V}_{\text{MNH}} = \text{V}_{(\text{O})\text{min}} - \text{V}_{(\text{A})\text{max}}$$

$$\text{V}_{\text{MNH}} = \text{V}_{(\text{O})\text{min}} - \text{V}_{(\text{A})\text{max}}$$

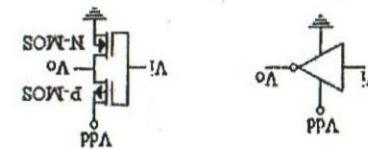
Figura 2.44.

$\text{Vdd}$	$\text{Vo}$	$\text{I}_\text{o}$	$\text{Vdd}$
15 V	15 V	0.8 mA	15 V
10 V	10 V	1 mA	10 V
5 V	5 V	2.6 mA	5 V
1 V	1 V	26.8 mA	1 V

Figura 2.45.

Comportamiento del inversor con  $\text{Vi}$ :

Figura 2.43.



#### 4.2. EL INVERSOR CMOS

- $\text{VOL} = 0 \text{ V}$
- $\text{VOH} = \text{Vdd}$
- $\text{IH} = \text{IL} = 0$
- Corriente de salida :
- Corriente de entrada :
- Impedancia de salida :
- Corriente de entrada :
- Corriente de salida :
- $\text{ZOH} = \text{ZOL} = 0$

- Alta inmunidad al ruido ( $0.3 \text{ Vdd}$ )
- Alimentación  $3 \text{ V} < \text{Vdd} > 18 \text{ V}$
- Elivado FANOUT  $\rightarrow 400$
- Tensión de salida:

#### 4-FAMILIA CMOS

Tecnología de los Dispositivos Digitales

Circuitos Combinacionales

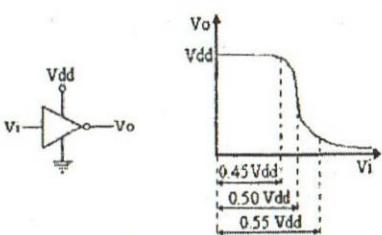
4.3 . CARACTERÍSTICA DE TRANSFERENCIA

Figura 2.46.

4.4.- TENSIONES DE ENTRADA

$$V_{i(\max)} = V_{dd} + 0.5V$$

$$V_{i(\min)} = V_{dd} - 0.5V$$

Si se supera esos valores conducen los diodos de entrada, con lo que se carga el circuito excitador.

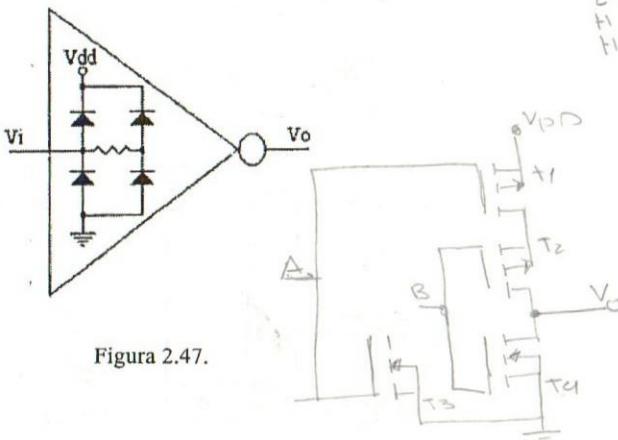
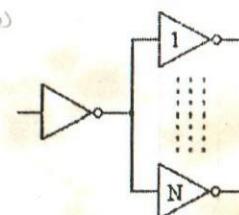
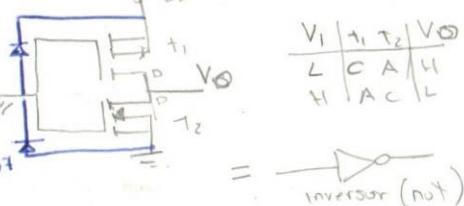


Figura 2.47.



N: Elevado (estático)

N: Limitado por la máxima frecuencia de operación pues cada salida agrega 5 pF.

Cada salida suma un retardo aproximadamente de 3 ns para  $V_{dd} = 5V$ 

Figura 2.48.

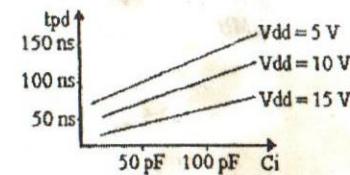


Figura 2.49.

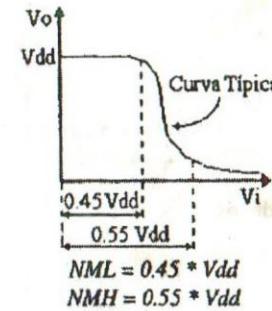


Figura 2.50.

Tecnología de los Dispositivos Digitales

Circuitos Combinacionales

Teniendo en cuenta la dispersión de la curva de transferencia debido al proceso de fabricación adoptamos:

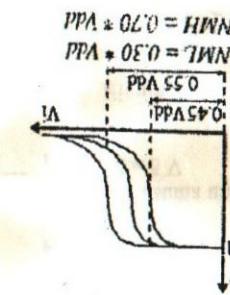


Figura 2.51.

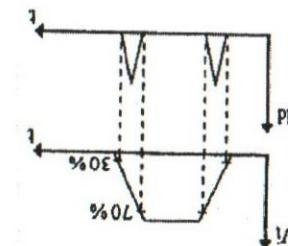
Tiempo de conmutación:  $t_{pd} = 60 \text{ ns}$

- Diamétrico: El mayor consumo se produce en la transición de 0 a 1 y de 1 a 0 y presenta dos aspectos como se explica a continuación:

- Estático: aproximadamente 10 nW

I.- Operación en la zona activa de los Tx de salida

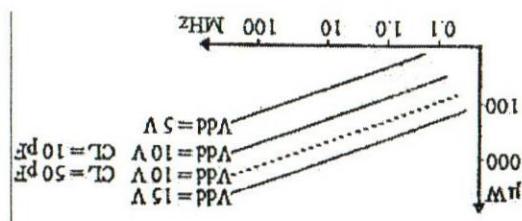
Figura 2.52.



Para analizar las distintas interacciones, TTL - CMOS o CMOS - TTL, es importante analizar los niveles lógicos de ambas familias como se muestra en la fig. 2.54.

#### 4.8. INTERFACE ENTRE FAMILIAS LÓGICAS

Figura 2.53.

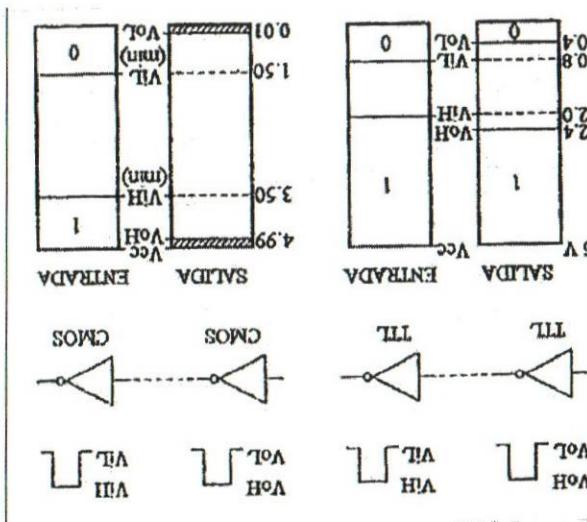


2.- Dispersion debido a la energía para cargar y descargar el capacitor de salida. A mayor capacidad mayor consumo.

Tecnología de los Dispositivos Digitales

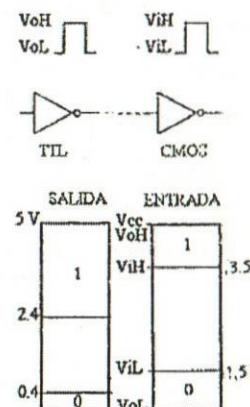
Circuitos Combinacionales

Figura 2.54.

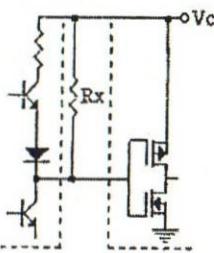


## Tecnología de los Dispositivos Digitales

Cuando se conectan entre si dos familias distintas de circuitos integrados digitales, debemos tener cuidado con la excursión de la señal, capacidad de excitación, entrada de corriente de continua, inmunidad al ruido y velocidad cic cada tipo.

4.8.1.-INTERFACE TTL-CMOS

Con los niveles de corriente no habría problema, pero el nivel de "salida alto" si tiene problemas si la tensión de salida del TTL es menor que 3.5 V, es por eso que para comparabilizar los niveles lógicos debemos conectar un resistor a la salida del TTL tal como se muestra en la figura 2.55. A este resistor se lo llama PULL-UP RESISTOR.



$$Rx(\max) = \frac{Vcc - ViH}{Icex - (M)IIH}$$

$$IIH = IIL = 10 \text{ pA (CMOS)}$$

IOL: Máxima corriente permisible en estado bajo (TTL).

Icex: Pérdida en estado alto (TTL).

M: Número de CMOS.

$$Rx(\min) = \frac{Vdd - VoL(\max)}{IOL - (M)IIL}$$

Figura 2.55.

## Tecnología de los Dispositivos Digitales

Ejemplo:

Supongamos excitar una compuerta CMOS con un TTL:

$$Vcc = 5 \text{ V} \pm 0.5 \text{ V}$$

$$Vdd = 5 \text{ V}$$

$$IOL = 16 \text{ mA (TTL)}$$

$$IIL = IIH = 10 \text{ pA (CMOS)}$$

$$Icex = 10 \mu\text{A (TTL)}$$

Con estos valores:

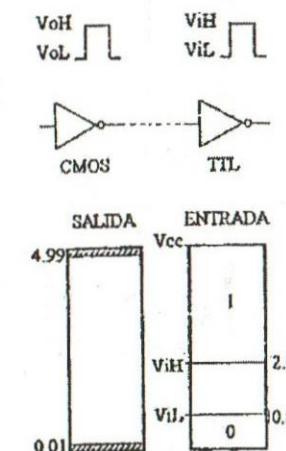
$$Rx(\min) = 330 \Omega$$

$$Rx(\max) = 15 \text{ K}\Omega$$

Cuanto mas pequeña es Rx menor el tiempo de retardo pero mayor es el consumo, adoptamos 1K5.

4.8.2.- INTERFACE CMOS - TTL

Para conectar este tipo de interfase, veamos los niveles de tensión de salida - entrada.



Al igual que la familia CMOS standard poseen la característica de bajo consumo, 74HCxxx con la CMOS 4xxx. La serie 74HCxx es compatible pin a pin con la 74LSxx (lila, TTL) y la Familia CMOS series 74HCxx / 54HCxx V 74HCxxx

#### 4.9. CMOS DE ALTA VELOCIDAD

estas familias.

La correcta, para lograr mayor capacidad de corriente, es utilizar los circuitos especiales, como ser los BUFEFRS (4007, 4009, 4010, etc.). Con respecto a la serie de baja potencia 74L y 74LS, cualquier dispositivo CMOS puede excitar a estas familias.

Figura 2.56.

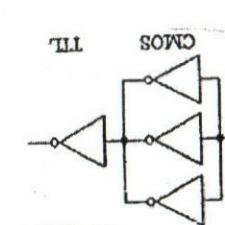


Figura 2.58.

Figura 2.58.

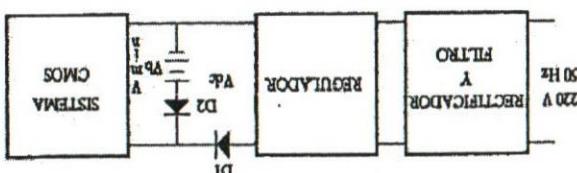
V<sub>min</sub>:

Valor mínimo de alimentación requerido por el sistema.

V<sub>max</sub>

> V<sub>dcl</sub> + 1.4 V

$$V_0 = V_{min} + 0.7 V \quad (V_d = 0.7 V)$$



Poses la ventaja de que el circuito (o sistema) permanece funcionando aun cuando el suministro de energía se corta o se produce un cortocircuito en el mismo.

#### 4.11. ALIMENTACIÓN DE APOYO PARA SISTEMAS CMOS

Figura 2.57.

$$V_{CC} = 5.0 \text{ V} \pm 10\%$$

NOTA: Estas corrientes de salida ocurren con  $V_{out} = 0.4 V$  y  $V_{out} = 4.2 V$  con

	SINK CURRENT (mA)	V <sub>OL</sub> = 0.4 V	V <sub>OL</sub> = 0.8 V
CD4001	0.3	0.6	0.6
CD4007	0.3	0.6	0.6
CD4009	3.0	6.0	6.0
CD4011	0.1	0.2	0.2

#### 4.10. COMPARACIÓN DE LAS FAMILIAS LÓGICAS

Tecnología de los Dispositivos Digitales

Velocidad a la serie 74LS.

Alta inmunidad al ruido, pero son DICE VCEs MAS VELOCES, similares en consumo observamos, los niveles de tensión están bien pero los consumos de corriente deben cuidarse.

Tecnología de los Dispositivos Digitales

No todos los CMOS poseen identica capacidad de absorción de corriente (sink current). Esto lo podemos observar en la tabla siguiente:

CD	ALIMENTACIÓN (mA)	SINK CURRENT (mA)	V <sub>OL</sub> = 0.4 V	V <sub>OL</sub> = 0.8 V
CD4000	0.3	0.6	0.6	0.6
CD4001	0.3	0.6	0.6	0.6
CD4007	0.3	0.6	0.6	0.6
CD4009	3.0	6.0	6.0	6.0
CD4011	0.1	0.2	0.2	0.2

Circuitos Combinacionales

Como observamos, los niveles de tensión están bien pero los consumos de

corriente deben cuidarse.

Al igual que la familia CMOS standard poseen la característica de bajo consumo, 74HCxxx con la CMOS 4xxx.

La serie 74HCxx es compatible pin a pin con la 74LSxx (lila, TTL) y la Familia CMOS series 74HCxx / 54HCxx V 74HCxxx

## Tecnología de los Dispositivos Digitales

**5- FAMILIA ECL**

La familia lógica ECL (Emitter Coupled Logic - Lógica Acoplada por Emisor) emplea transistores bipolares y es extraordinariamente rápida(aproximadamente 1 ns). La alta velocidad se logra evitando la saturación de los transistores. Por otra parte se usan transistores de área mínima para obtener bajas constantes de tiempo RC.

Tensión de alimentación:

$$\text{Vec} - \text{Vcc} = 5.2 \text{ V}$$

normalmente  $\text{Vcc} = 0 \text{ V}$

Tensiones de entrada y salida son aprox, iguales:

$$\text{ViH} = \text{VoH} = -0.9 \text{ V}$$

$$\text{ViL} = \text{VoL} = -1.75 \text{ V}$$

Corriente de salida máxima:

$$\text{Io} = -50 \text{ mA}$$

Picos de corriente (SPIK): A diferencia de las otras familias aquí no se presentan picos de corriente en la alimentación debido al uso de amplificadores diferenciales que permite que la corriente de alimentación se mantenga prácticamente CONSTANTE.

Impedancia:

$$Z_i = 3 ?$$

$$Z_o = 7 ?$$

Margen de ruido:

$$\text{NMH} = \text{VoH} - \text{ViH} = 145 \text{ mV}$$

$$\text{NML} = \text{ViL} - \text{VoL} = 175 \text{ mV}$$

Este pequeño margen de ruido implica una gran desventaja ya que estos circuitos deben estar convenientemente BLINDADOS.

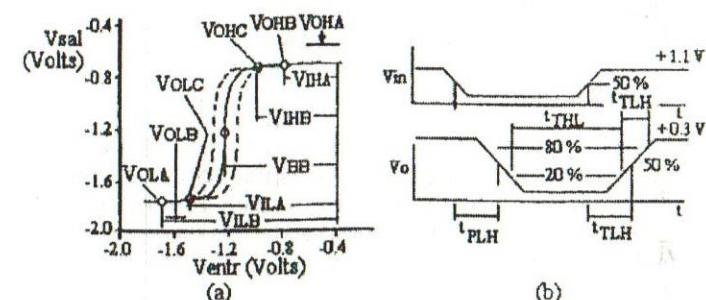
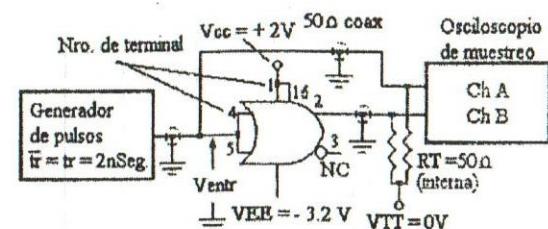
Disipación:

$$P_d = 25 \text{ mW por compuerta}$$

## Tecnología de los Dispositivos Digitales

La disipación viene dada por  $I_{ee} (\text{Vee} - \text{Vcc})$  y es basicamente independiente de la frecuencia de conmutación.

Función transferencia:



(a) Curva de transferencia de tensión  
(b) Circuito de prueba y diagrama de tiempos de propagación

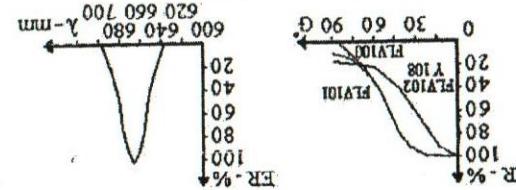
Figura 2.59.

## 6- DISPOSITIVOS VISUALIZADORES

-

### 6.1- DISPLAY TIPO LED

Tecnología de los Dispositivos Digitales  
La intensidad lumínica disminuye con el ángulo de observación.



### 6.1.1- LED (Light Emitter Diode)

Un led es un diodo que emite luz cuando se polariza en forma DIRECTA. En el efecto visible hay rojos, verdes, amarillos, etc. Existen también los infrarrojos (IR).

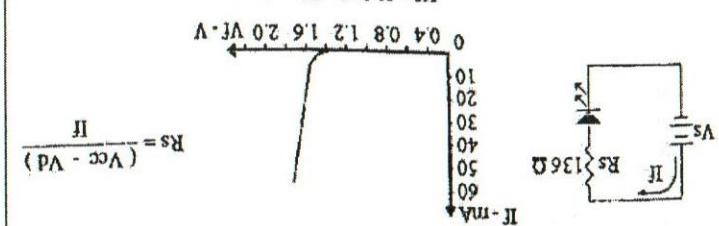


Figura 2.60.

Figura 2.62.

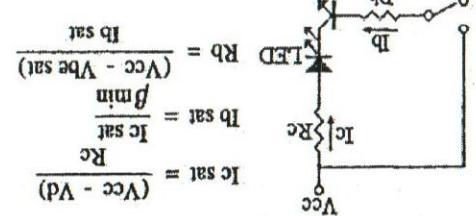
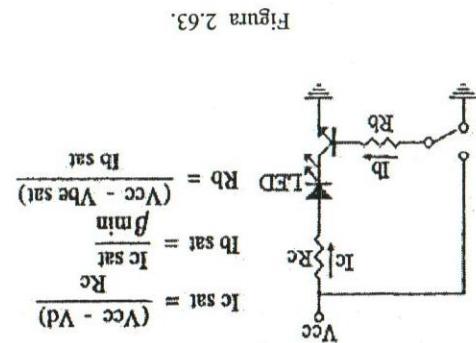
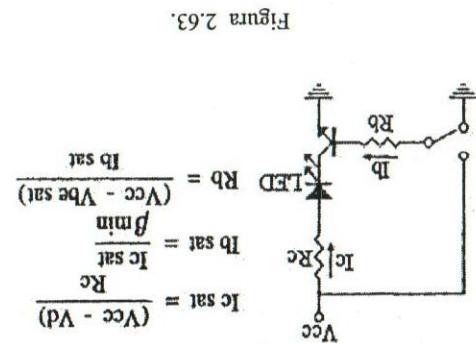


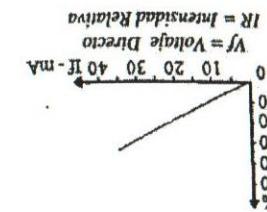
Figura 2.63.

### 6.1.2- EXCITACIÓN DEL LED CON TRANSISTORES



La brillantez lumínica se llama INTENSIDAD LUMINOSA y se mide en lumenes. La intensidad lumínica tal como se observa en la siguiente figura, es la intensidad lumínosa de 1 mCd(milicandela). A medida que aumenta la corriente If, aumenta la brillantez lumínica.

Figura 2.61.



## Tecnología de los Dispositivos Digitales

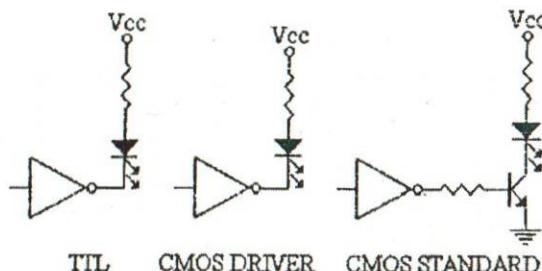
6.1.3.- EXCITACIÓN LES CON CIRCUITO INTEGRADO

Figura 2.64.

6.1.4.- DISPLAY DE 7 SEGMENTOS

DECIMAL	ENTRADAS D C B A	a	b	c	d	e	f	g
0	L L L L	L	L	L	L	L	L	H
1	L L L H	H	H	H	H	L	L	H
2	L L H L	L	L	(H)	L	L	(H)	L
3	L L H H	L	L	L	L	H	H	L
4	L H L L	H	L	L	H	H	L	L
5	L H L H	L	H	L	L	H	L	L
6	L H H L	H	H	L	L	L	L	L
7	L H H H	L	L	L	H	H	H	H
8	H L L L	L	L	L	L	L	L	L
9	H L L H	L	L	L	H	H	L	L

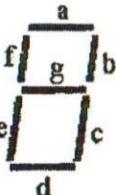


Tabla de Verdad del decodificador y distribución de segmentos

Figura 2.65.

## Tecnología de los Dispositivos Digitales

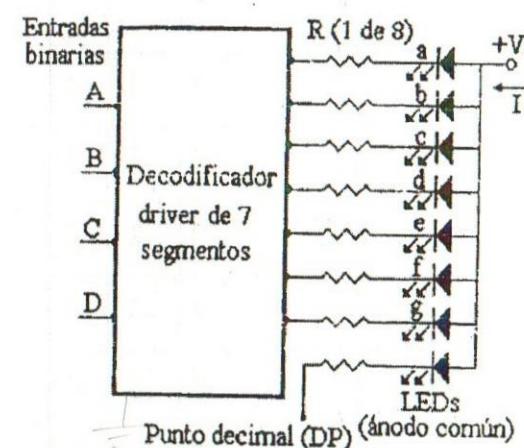


Diagrama de bloques del indicador de siete segmentos con un decodificador driver

Figura 2.66.

6.1.5.- DISPLAY MULTIPLEXADO

El ojo humano detecta el pico y la luz promedio de salida de un LED. Si los LEDs están iluminados durante un período corto de tiempo por pulsos de corriente elevada, entonces el indicador tiene la misma apariencia que se produciría por el método continuo, el cual utiliza corrientes continuas mas bajas.

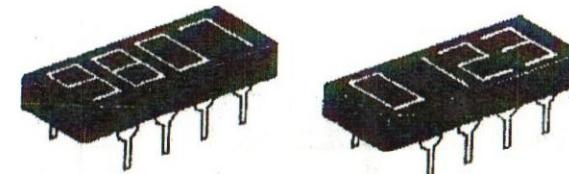


Figura 2.67.

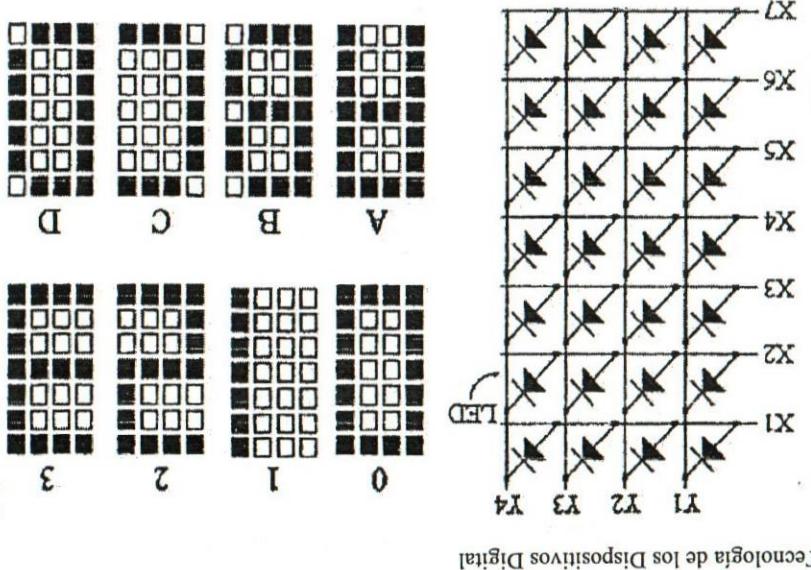
De este modo, pasa sucesivamente, por tres estados: SOLIDO, LÍQUIDO y GASEOSO. Solo en el estadio sólido se puede hallar una alineación regular de las moléculas de una sustancia. La única excepción la constituyen un pedacito de estadio líquido. Estas sustancias se conocen como CRYSTALLES LIQUIDOS. En estos cristales líquidos se puede alterar la alineación de las moléculas mediante una corriente eléctrica. Si colocamos este cristal líquido entre dos electrodos, se puede alterar la alineación de las moléculas.

Para comprender que son los cristales líquidos, debemos señalar, en primer lugar, que toda materia experimental variaciones en su manera de ser a causa de la emperatura y la presión, que influyen en la mayor o menor cohesión entre sus

### 5.1.7.- DISPLAY DE CRYSTAL LIQUIDO (LCD)

Figura 2.69.

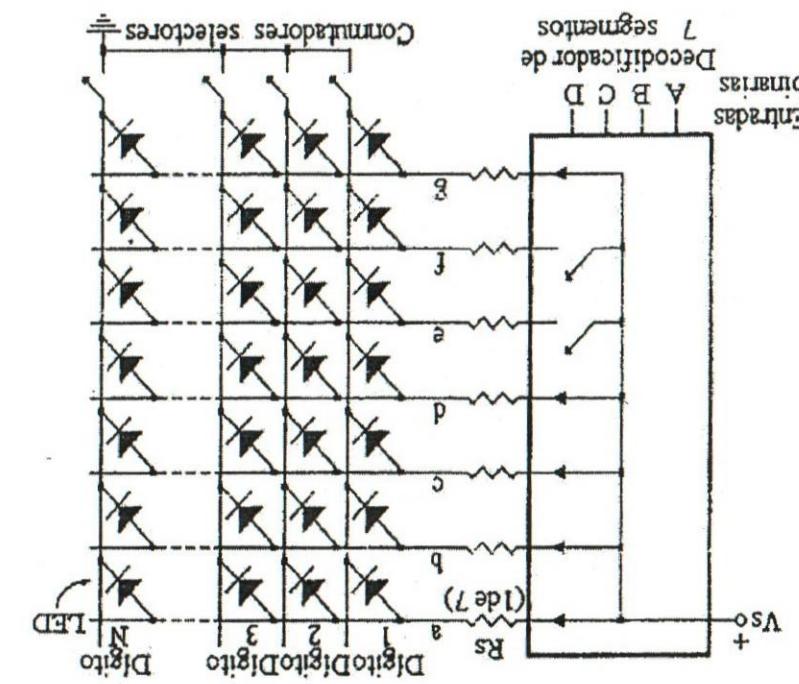
Distribución de un arreglo LFD de 4 \* 7 direcciones X - Y



En los displays alfanuméricos, es decir, no solamente muestran los números, sino además las letras del alfabeto y algunos caracteres especiales. Como toda matriz posee filas y columnas, Según como se dirijan los datos de la memoria, se obtendrá una matriz de 4x7, lo cual no es muy legible. Por lo general se utilizan matrices de 5x7.

### 5.1.6.- DISPLAY DE MATRIZ DE PUNTOS

Figura 2.68.



laminas de vidrio que sirvan como soporte y una placa reflectora tenemos el principio de los display de cristal líquido.  
Tecnología de los Dispositivos Digitales

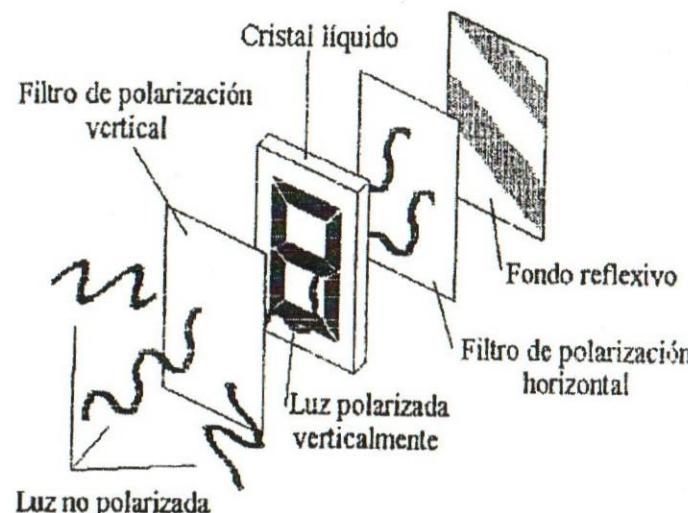


Figura 2.70.

El proceso es el siguiente:

Para la visualización se requiere que la luz pase a través del primer filtro y que, de este modo, se polarice VERTICALMENTE. Luego se desvía 90 grados, y a causa de este hecho queda concentrada en el filtro posterior. De esta manera, el área del cristal líquido a la cual se ha aplicado un voltaje aparece como un área oscura. Los electrodos están impresos en tinta TRASLÚCIDA, INCOLORA, sobre la superficie del vidrio, son prácticamente invisibles. El tiempo de respuesta de un LCD de gran calidad a la temperatura normal (20 grados) es de 70 ms para la subida de neutro a negro y 80 ms para la bajada de negro a neutro. Esto hace un total de 150 ms. El consumo es de aproximadamente 10 JJW por centímetro cuadrado de visualización.

## Tecnología de los Dispositivos Digitales

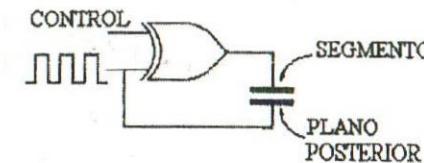
Detalle de excitación de un LCD:

Figura 2.71.

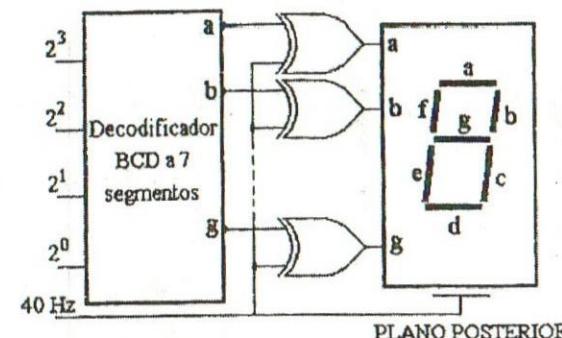
Circuito de excitación de un display de 7 segmentos:

Figura 2.72.

BIBLIOGRAFÍA

- COS - MOS, RCA Application Notes
- HS - C2MOS, Toshiba America Inc.
- Técnicas Digitales con C.I., M. C. Ginzburg
- High Speed CMOS, National Semiconductor
- Sistemas Electrónicos Digitales, E. Mandado
- Electrónica Digital Básico J. A. Dempsey

## CAPÍTULO III

*Philip Fllop - Contadores - Registros*

9/08/15

1- MEMORIAS DE UN BIT1.1.- DESARROLLO CON COMPUERTAS OR (Son Acausalas)

Sabemos que un circuito lógico combinacional es aquel en el cual su salida depende del estado actual de sus entradas. En cambio en un circuito secuencial, su salida no solo depende del estado actual de sus entradas, sino además de cómo han ido evolucionando esas entradas en el tiempo. Son circuitos lógicos realimentados. Vamos a comenzar el análisis con una simple compuerta OR realimentada, tal como se observa en la Fig. 3.1

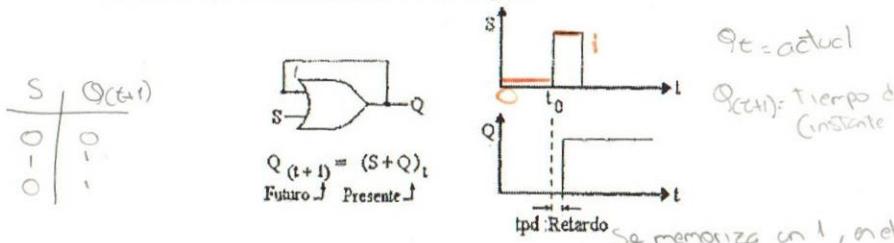


Figura 3.1.

En el diagrama temporal vemos el comportamiento de este circuito. Antes del instante  $t = t_0$ , tanto en la entrada S como en la salida Q hay un "0". En el instante  $t = t_0$  aplicamos en la entrada de S un "1", con lo que después de un tiempo de retardo  $-tpd$  la salida Q se vuelve "1". Si luego la entrada "S" va a "0", la salida Q permanece en "1", ya que Q además de ser salida es también entrada de la compuerta OR.

El comportamiento de este circuito puede ser expresado por la tabla de verdad.

Estado Presente	Estado Futuro
Entrada	Salida
$Q_t \quad S_t$	$Q'_{t+1}$
0 0	0
0 1	1
1 0	1
1 1	1

En esta tabla vemos dos columnas, una de estado presente, la cual involucra a las entradas en el instante " $t$ " y otra de estado futuro para la salida en el instante " $t + 1$ ".

Observando la salida "Q" de este circuito podemos determinar si en algún momento se activó o no la entrada "S" ya que el mismo retiene o mernoriza ese hecho o evento. Este circuito representa una memoria elemental de un BIT, pero tiene la limitación de quedar autoexitado. Una manera de desactivarlo es a través del circuito de la Fig. 3.2

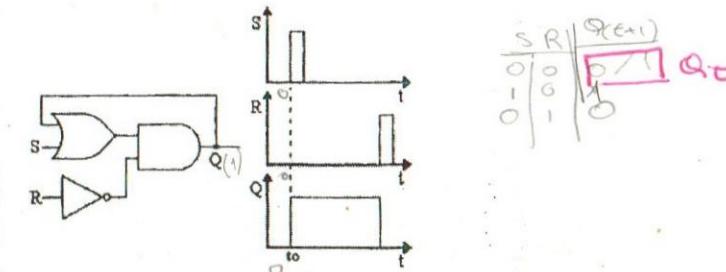
1.2.- CIRCUITO DE MEMORIA CON BORRADO-BIESTABLE SR CON NOR

Figura 3.2.

$$Q(t+1) = [Q(t) + S] \bar{R}$$

Para simplificar el análisis, suponemos que los tiempos de retardo son cero ( $tpd=0$ ).

En el diagrama temporal de la Fig. 3.3 apreciamos el comportamiento del circuito. Antes de  $t_0$ ,  $S = 0$ ,  $R = 0$ ,  $Q = 0$ , por lo que el circuito está en las siguientes condiciones

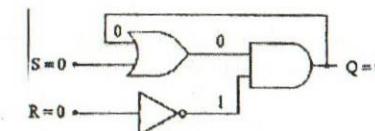


Figura 3.3.

$S = \text{set}$   
 $R = \text{reset}$

Observar que ambas entradas de la compuerta OR son cero, por lo que su salida es tambien cero, bloqueando así a la compuerta AND, por lo que cuando el cambio

Figura 3.6.

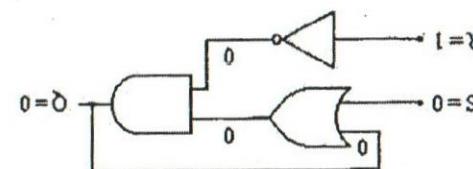
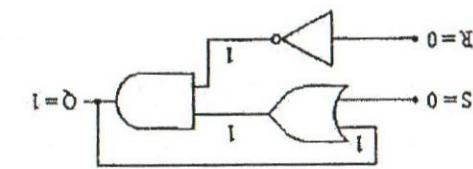


Fig. 3.6.  
Una entrada de Reset, la salida del circuito va a 0,  $Q = 0$ , observemos el circuito de

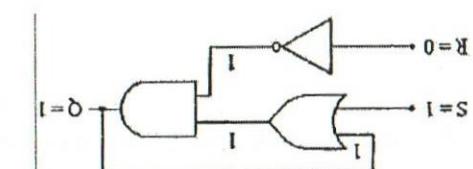
En estas condiciones activemos luego la entrada R (R: Reset, cuando se activa

Figura 3.5.



Observar la Fig. 3.5.  
Si luego al cabo de cierto tiempo,  $S$  va a uno, la salida de la compuerta AND son 1 y por lo tanto su salida  $Q$  es uno ( $Q = 1$ ).

Figura 3.4.



según la Fig. 3.4  
En el instante  $t = t_0$ ,  $S = 1$  ( $S$  viene de Set-pulse). Cada vez que se activa una entrada "S", la salida del circuito va a uno,  $Q = 1$ , con lo que el circuito queda

Flip Flop - Contadores - Registro

Este circuito se lo conoce como CERRITO (en inglés LATCH) o BIESTABLE  
en la entrada R no tiene efecto sobre la salida  $Q$ . De este modo, cuando R va a cero, la salida  $Q$  permanece en cero ( $Q = 0$ ).

Modificaremos el esquema del circuito de la Fig. 3.6, adicionando dos inversores ya que tiene dos estados estables.

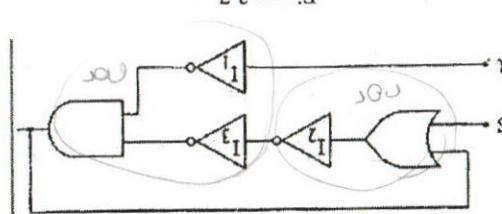


Figura 3.7.

que se activa

a su nivel

que se activa

la tabla de verdad se muestra a continuación

$$Q^{(t+1)} = \overline{(Q+S)} + R$$

Este circuito responde a la siguiente ecuación:

Figura 3.8a.

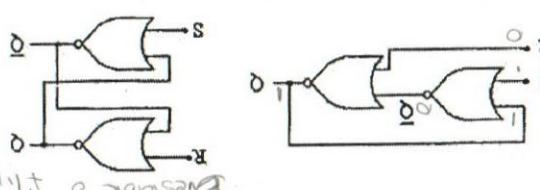


Figura 3.8b.

Figura 3.8.

La compuerta OR con el inversor 12 forma una compuerta NOR y los inversores quedan el circuito de la Fig. 3.8a. En la Fig. 3.8b la compuerta NOR con lo que nos quedan el circuito LATCH con compuerta NOR.

Figura 3.7.

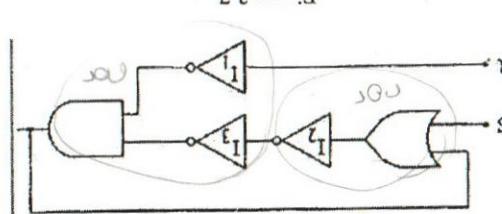


Figura 3.7.

que se activa

Flip Flop - Contadores - Registro

$Q_{t+1}$  depende de  $Q_t$

$$Q_t = 0 /$$

Estado Presente	Estado Futuro	Comentario
R S	$Q_{t+1}$	
0 0	$Q_t$	Futuro = Presente – Sin cambios
0 1	1	Futuro = 1, para cualquier presente
1 0	0	Futuro = 0, para cualquier presente
1 1	⊗	No permitido, ya que $Q = \bar{Q} = 0$

Otro circuito BIESTABLE cuya activación se produce con cero, es el implementado a partir de una compuerta AND y cuyo análisis es similar al dado en 1.2.

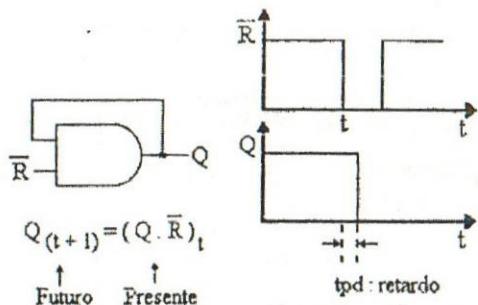


Figura 3.9.

Como se observa en el diagrama temporal de la Fig. 3.9 este circuito se activa por cero, es por ello que la entrada aparece negada ( $\bar{R}$ ), y como ello provoca que la salida  $Q$  vaya a cero ( $Q = 0$ ), esa entrada la llamamos Reset ( $R$ ). Este al igual que el circuito de la Fig. 3.1 queda autoexitado, pero con salida igual a cero ( $Q = 0$ ). Una manera de superar este inconveniente es mediante el circuito de la Fig. 3.10

$S = \text{set} \rightarrow$  iniciar (poner a 1) el flip-flop  
 $R = \text{reset} \rightarrow$  reiniciar (poner a 0)  
 ↓  
 borra todo y  
 arranca todo de  
 "0"

### 1.3.- BIESTABLE SR CON NAND

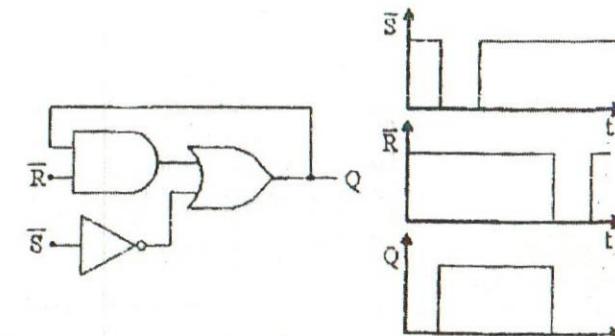


Figura 3.10.

El análisis de este circuito es similar al efectuado para el circuito de la Fig 3.2 con la diferencia de que aquí las entradas activan por nivel bajo (cero). Observe que cuando se activa  $R$  la salida va a uno ( $Q = 1$ ), ya que se activó el Set. Cuando se activa  $R$ , la salida va a cero ( $Q = 0$ ), ya que se activó el Reset. Otra forma de presentar a este BIESTABLE es el que se muestra en la Fig. 3.1.1.

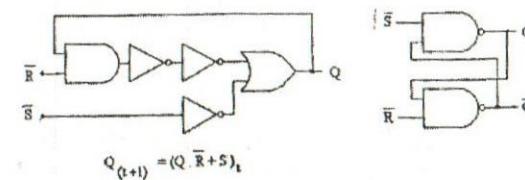


Figura 3.11.  
 La tabla de verdad se muestra a continuación:

Cuando la llave esta en posición (a)  $Q = 1$ ,  $\bar{Q} = 0$ . Levamos ahora la llave a la posición (b), pero antes veremos que ocurre cuando la llave desja la posición (a), posición (b). Cuando la llave esta en posición (a)  $Q = 1$ ,  $\bar{Q} = 0$ . Levamos ahora la llave a la llave, el cual puede estar en la posición (b), (a) o en ninguna (libre) cambios a la salida ya que el estado presente es igual al estado futuro segun la tabla de verdad.

Este comportamiento lo podemos en la gráfica de la Fig. 3.14 en donde en ordenadas tenemos la salida  $Q$  y en absisas la ubicación del punto medio de la llave, el cual puede estar en la posición (b), (a) o en ninguna (libre)

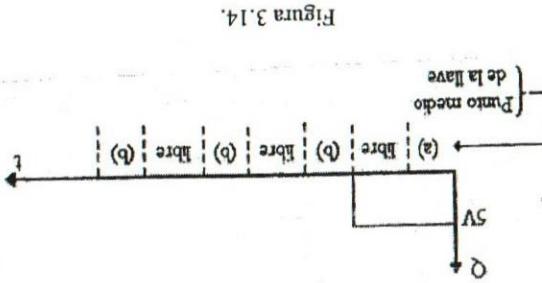


Figura 3.14.

Hasta aquí hemos visto el circuito LATCH-SR implementado con dos tipos de computadoras, uno con NOR cuya activación se produce con UNO lógico y otro con NAND que se activa con NOR lógico. En este tipo de circuitos, apena se produce la señal de entrada tiene efecto el circuito, apena se resetean el mismo. Estos circuitos se denominan ASINCRONOS. Existen otros tipos de circuitos en los cuales, para que una señal de entrada active sobre el circuito, debe ir acompañada por un pulso de sincronismo o de reloj. Son los llamados circuitos SINCRONOS.

Si a esta señal la aplicamos como entrada a un circuito digital, lo más probable es que nos cause problemas, los que pueden ser solucionados si adoptamos el siguiente circuito que supera esos inconvenientes.

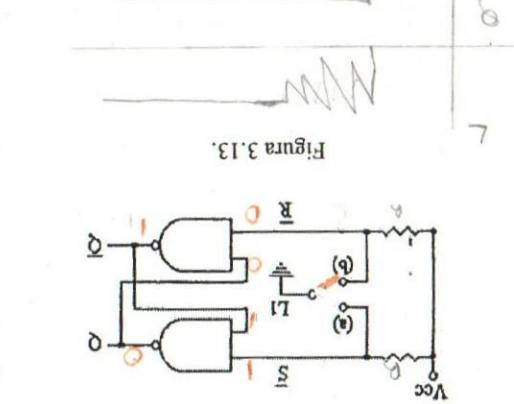


Figura 3.13.

R=10K

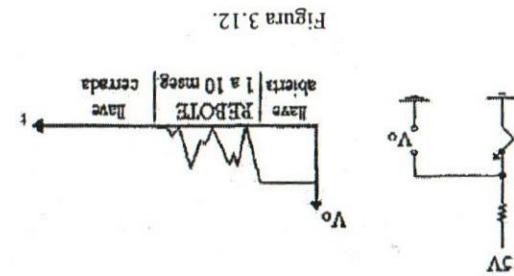


Figura 3.12.

Si observamos el transistor que produce cuando comunitamos una llave como deseamos los que son causados por el rebote mecánico entre los contactos de la llave.

#### 1.4- APLICACIONES DE UN BIESTABLE-S-R CIRCUITO

Estate	R	$Q_{+1}$	Comienzo	No permite, ya que $Q = \bar{Q} = 1$	Futuro = Presiente - Sin cambios	Futuro = Presiente - Sin cambios
0 0	0	1	Presiente	0 y si allí, por efecto de rebote, se abre el contacto son $S_l$ , $R = 0$ , con lo que $Q = 0$ y esto nos dice que no hay de la posición (b), entonces queda que $S_l = 0$ y esto es igual al estado futuro segun la tabla de verdad.	0	0
0 1	1	1	Permitido, ya que $Q = \bar{Q} = 1$	0 y si allí, por efecto de rebote, se abre el contacto son $S_l$ , $R = 1$ , con lo que $Q = 1$ y esto nos dice que no hay de la posición (b), cuando la llave alcance la posición (b), las condiciones deci, no hay cambios. Cuando la llave alcance la posición (b), las condiciones de ci, para cumplir presiente	1	1
1 0	0	0	Permitido, ya que $Q = \bar{Q} = 0$	1 y esto nos dice que no hay de la posición (b), entonces queda que $S_l = 1$ , por efecto de rebote, se abre el contacto son $S_l$ , $R = 0$ , con lo que $Q = 0$ y esto es igual al estado futuro segun la tabla de verdad.	1	0
1 1	1	0	Permitido, ya que $Q = \bar{Q} = 0$	1 y esto nos dice que no hay de la posición (b), entonces queda que $S_l = 1$ , por efecto de rebote, se abre el contacto son $S_l$ , $R = 1$ , con lo que $Q = 1$ y esto es igual al estado futuro segun la tabla de verdad.	0	1

con nand

Flip-Flop - Contadores - Registros

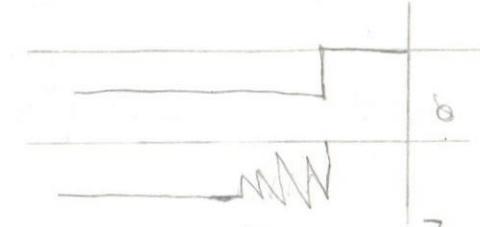
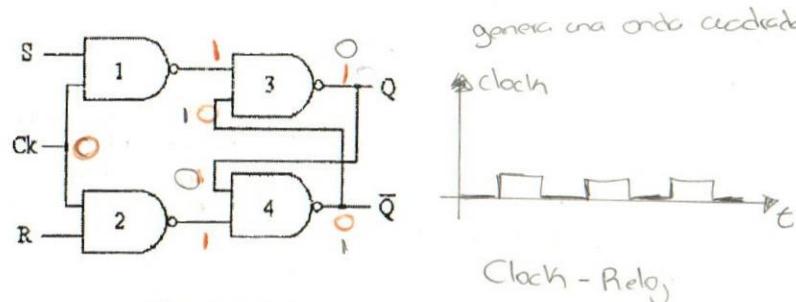


Figura 3.13.



Las entradas R y S actúan sobre el BIESTABLE (compuertas 3 y 4) solo cuando Ck está en estado lógico uno, de lo contrario ( $Ck = 0$ ) las compuertas 1 y 2 están bloqueadas y sus salidas están en uno lógico con lo que la salida del biestable es:

$$Q_{t+1} = Q_t$$

Es decir, sin cambios, ya que el estado futuro es igual al presente. La tabla de verdad y el diagrama temporal se muestra en la Fig. 3.16

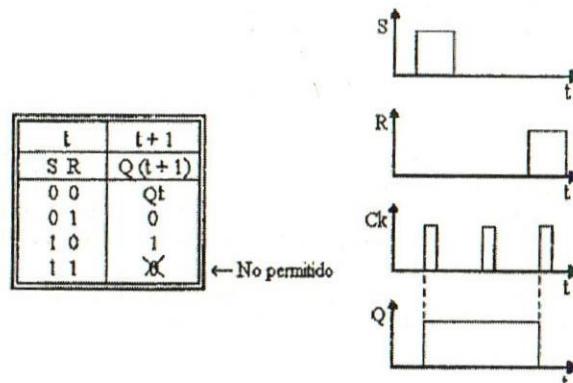


Figura 3.16.

funciona igual al el flip-flop pero es sincrono es decir necesita un pulso de reloj p/habilitar el dispositivo

### 1.6.- BIESTABLE D (SINCRÓNICO) - LATCH D (SA)

Modificando ligeramente el BIESTABLE SR obtenemos un LATCH D. Este circuito se lo conoce también como copiador, pues mientras el pulso de reloj - Ck-esta en alto a la salida del circuito tenemos exactamente lo mismo que a la entrada, la cual se memoriza cuando el pulso de reloj cae a cero, es decir, sobre el flanko negativo de Ck. En la Fig. 3.17 se muestra este BIESTABLE.

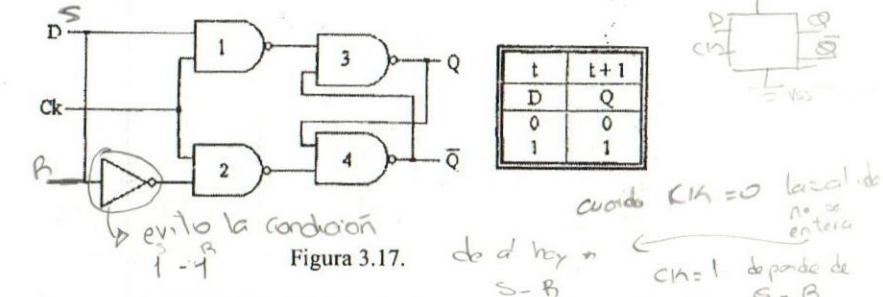


Figura 3.17.

Si comparamos este encierto con el LATCH-SR- vemos que a las entradas de las compuertas 1 y 2 se ha eliminado la posibilidad de que ambas sean iguales, es decir, 0,0 ó 1,1, ya que el inversor impide esa condición, por lo que si eliminamos esas filas de la tabla de verdad del LATCH SR obtenemos la tabla de verdad del LATCH D según se observa en la Fig. 3.18.

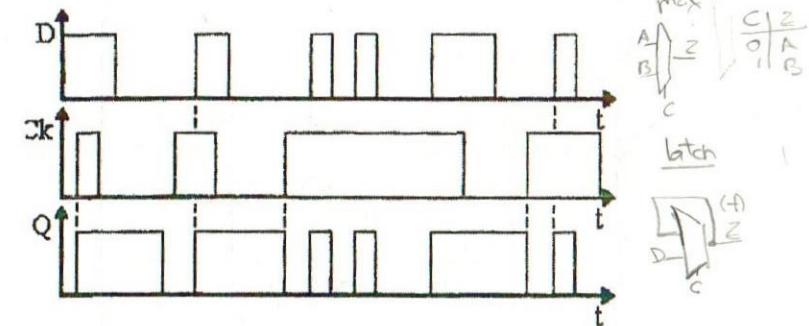
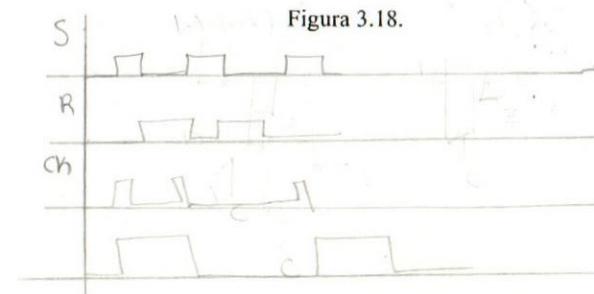
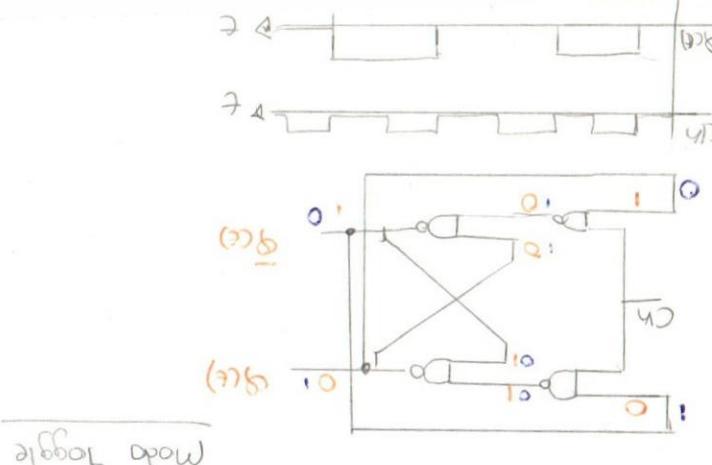


Figura 3.18.



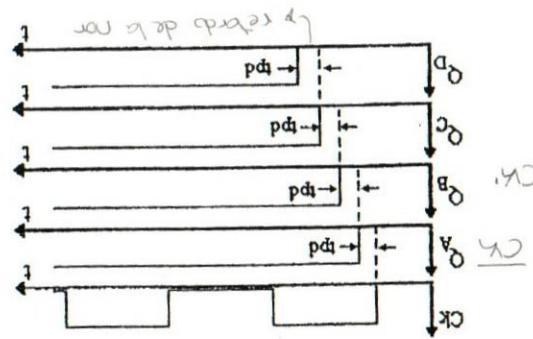


162

161

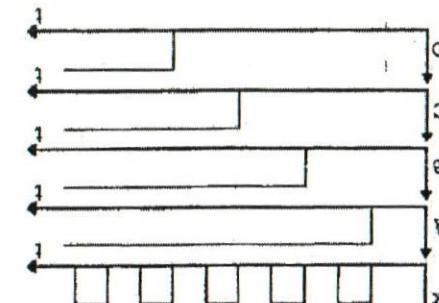
Si el pulso de relé es mayor que 4  $\mu$ s, lo que sucede es lo que se muestra en la gráfica de la Fig. 3.21. Como se ve para que ello no ocurra, la duración del pulso de relé deberá ser menor que  $4\mu$ s, lo cual es difícil. Es por ello que se requiere de un circuito que supere estos problemas. Es decir que para la conexión en cascada sin tener en cuenta las restricciones impuestas por la duración del pulso de relé. Así un circuito que satisface estos requerimientos es el Flip Flop Maestro Esclavo.

Fig. 3.21.



Para simplificar el análisis hemos supuesto que los tiempos de propagación sean nulos. Como hemos mencionado, esto es lo deseable, pero lo que ocurre realmente es otra cosa, ya que hemos dicho que mientras el circuito, o reseteando o seteando un  $Q=1$  las entradas S y R actúan sobre el circuito, o reseteando o seteando el mismo. Por lo que si en  $Q_A$  hay uno ( $Q_A=1$ ) en el 1º pulso de relé este uno es la entrada al siguiente LATCH y lo setea poniendo  $Q_B=1$  como  $Q_B$  es la entrada al otro LATCH también lo setea, y así sucesivamente. En la Fig. 3.21, en donde hemos destacado los tiempos de propagación ya que son importantes para el análisis.

Figura 3.20.



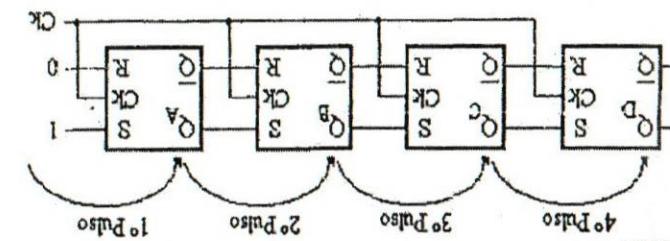
Después que llega el 1º pulso de relé el UNO de entrada se transfiere a  $Q_A(Q_A=1)$ . Luego del 1º pulso la información presente en  $Q_A(Q_A=1)$  se transfiere a  $Q_B(Q_B=1)$  y así sucesivamente. Esto puede observarse en el diagrama temporal de la Fig. 3.21.

Después que llega el 1º pulso de relé el UNO de entrada se transfiere a  $Q_A(Q_A=1)$ . Luego del 1º pulso la información presente en  $Q_A(Q_A=1)$  se transfiere a  $Q_B(Q_B=1)$  y así sucesivamente. Esto puede observarse en el diagrama temporal de la Fig. 3.21.

$$Q_A = Q_B = Q_C = Q_D = 0$$

Las condiciones de este circuito antes de que ingrese el 1º pulso de relé son:

Figura 3.19.



Este circuito presenta la limitación de no poder utilizarse en conexión cascada, no posibilitando aplicaciones tales como relojadores de desplazamiento. Es decir, la información no puede ser transferida de uno a otro LATCH por cada pulso de relé (CK). Lo deseable sería que la información se transfiera seguidamente en la Fig. 3.19.

## 2.- LIMITACIONES DEL LATCH

Flip Flop - Contadores - Registros

Flip Flop - Contadores - Registros

**3.- FLIP FLOP MAESTRO / ESCLAVO SET RESET**

Este circuito esta realizado con dos LATCH conectados en cascada, el primer llamado MASTER (MAESTRO) y el segundo SLAVE (ESCLAVO). El master se controla con un pulso de reloj directo y el slave con su complemento. El esquema circuital de Flip Flop Maestro / Esclavo se da en la Fig. 3.22.

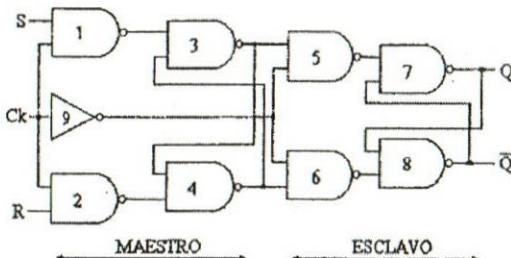


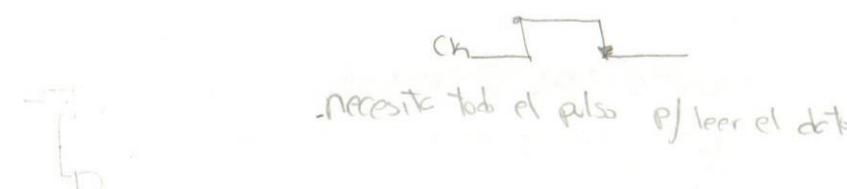
Figura 3.22.

Cuando  $C_k$  habilita las compuertas de entrada del Maestro (1 y 2), los datos de entrada ( $S$  y  $R$ ) se graban en el maestro, pero se inhabilitan las compuertas de entrada del esclavo (5 y 6) para que no exista transferencia de datos del Maestro al Esclavo.

Cuando se habilitan las compuertas de entrada de esclavo (5 y 6) el dato del Maestro se transfiere al Esclavo , pero se inhabilitan las puestas de entrada del maestro (1 y 2) y de esta forma no se graban los datos en el Maestro.

Cuando  $C_k$  cambia de nivel bajo al alto para habilitar las compuertas de entrada del maestro (1 y 2), las compuertas de entrada del Esclavo deben inhabilitarse antes para evitar la transferencia de datos del Maestro al Esclavo cuando se están grabando datos en el Maestro.

Esta sucesión de Eventos se muestra en la Fig. 3.23.



- 1) Se aísla Maestro de Esclavo, se bloquean compuertas 5 y 6.
- 2) Se habilita entrada de datos al Maestro, se abren compuertas 1 y 2.
- 3) Inhabilita entrada el Maestro, se bloquean compuertas 1 y 2.
- 4) Se transfieren datos del Maestro al Esclavo, se habilitan compuertas 5 y 6.

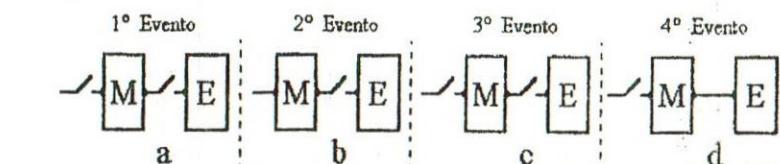


Figura 3.23.

La tabla de verdad del Flip Flop Maestro Esclavo Set Reset (FFSR) es idéntica al LATCH SR.

Observe que el dato es transferido a la salida del esclavo en el flanco negativo del pulso reloj.

**3.1.- FLIP FLOP MAESTRO / ESCLAVO JK**

Si modificaciones levemente el FFS uniendo la entrada  $S$  con  $\bar{Q}$  y  $R$  con  $Q$  logramos un dispositivo que cambien su salida por cada pulso  $C_k$ .

FFRS ORIGINAL

		$t$	$t+1$
$S$	$\bar{R}$	$Q_t$	$\bar{Q}_t$
0	0	$Q_t$	$\bar{Q}_t$
0	1	0	1
1	0	1	0
1	1	X	X

FF MODIFICADO

		$t$	$t+1$
$\bar{Q}_t$	$Q_t$	$Q_t$	$\bar{Q}_t$
S	R	$Q_t$	$\bar{Q}_t$
0	1	0	1
1	0	1	0

- a) Si ambas entradas están en nivel alto ( $J = K = 1$ ) el circuito se comporta como el ya descrito, es decir, un FRS reálimentado, cuya salida Futura es el complemento de la Presente, es decir:
- $$Q_i = 1; Q_{i+1} = 0$$
- b) Si ambas entradas están en nivel bajo ( $J = K = 0$ ) el circuito esta bloqueadó pues sus computadoras de entrada ( $J$  y  $K$ ) están bloqueadas, con lo que su estado Futuro es igual al Presente.

- c) Si  $J = 0$  y  $K = 1$ , como  $J$  está en la entrada Set, la salida Futura sera:
- $$Q_{i+1} = 0$$
- d) Si  $J = 1$  y  $K = 0$ , como  $J$  está en la entrada Reset, la salida Futura sera:
- $$Q_{i+1} = 1$$

Este comportamiento se observa en la Tabla de Verdad

$J$	$K$	$Q$	$t$	$t + 1$
0	0	Q <sub>i</sub>		
0	1	0		
1	0	0		
1	1	1		

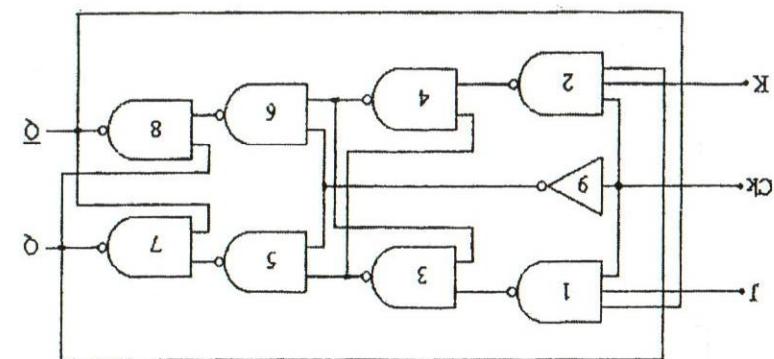
→ Sin cambio  
→ Complementa la salida

Si a un FFJK le unimos la entrada  $J$  con la entrada  $K$  a través de un inversor, lo transformamos en un FFD.

### 3.2.- FLIP FLOP MAESTRO / ESCLAZO D

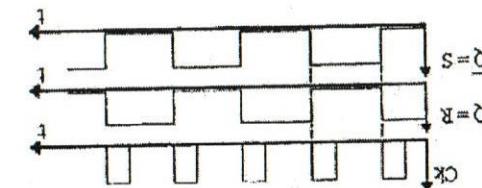
Observando las entradas de las computadoras 1 y 2 podemos decir que:

Figura 3.25.



Modificuemos nuevamente este circuito agregando una entrada en la computadora (Maestro) que llamaremos "J", y otra en la computadora 2 (Maestro) que lo llamaremos "K".

Figura 3.24.

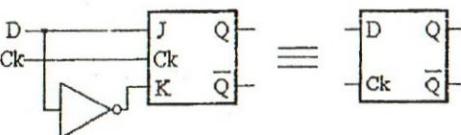


En el diagrama temporal de la Fig. 3.25, se observa este comportamiento.

$$Q_{i+1} = 1 \text{ y } Q_{i+1} = 0$$

Como puede apreciarse en la tabla de verdad del Flip Flop Modificado, si los valores de las entradas son  $S = 0$  y  $R = 1$ , la salida Futura sera  $Q_{i+1} = 0$  y  $Q_{i+1} = 1$  como para el siguiente pulso de reloj, estas salidas serán las entradas del próximo para el siguiente pulso de reloj, esas salidas cambian con lo que: presente ( $R = 0$  y  $S = 1$ ), la salida Futura cambia con lo que:

## Flip Flop – Contadores - Registros



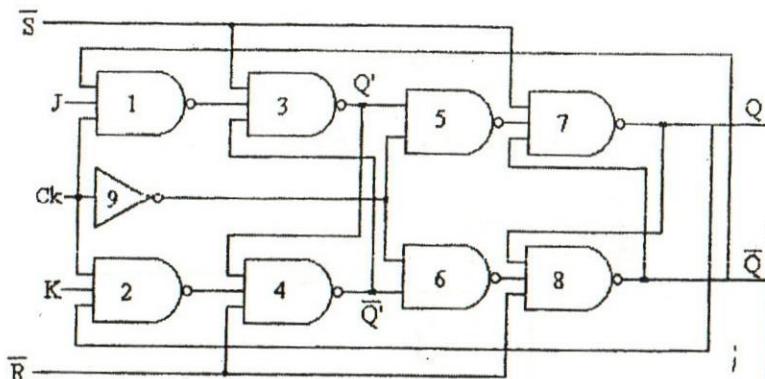
t	t + 1	
J	K	Q
0	1	0
1	0	1

t	t + 1
D	Q
0	0
1	1

Figura 3.26

### 3.3.- ENTRADAS ASÍNCRONAS

Las entradas, son aquellas que actúan sobre el circuito en el momento en que se aplican sobre el mismo, no requiriendo por lo tanto el concurso de un pulso de reloj. En el circuito de la Fig. 3.27 observamos un esquema circuital de un FFJK con sus entradas asincronicas ( $\bar{S}$  y  $\bar{R}$ ).



los flip-flop comunes disponen de las entradas asincronas

Figura 3.27.

## Flip Flop – Contadores - Registros

Estas entradas asíncronas se aplican sobre el biestable básico, tanto del Maestro (compuertas 3 y 4), como del Esclavo (compuertas 7 y 8). Como se ve en la Fig. 3.27 ambas entradas  $\bar{S}$  y  $\bar{R}$  se activan por debajo.

Analicemos este circuito suponiendo que :

$$\begin{aligned} Q &= 0; \bar{Q} = 1 \\ J &= X; K = X, Ck = X \\ \bar{S} &= 0; \bar{R} = 1 \end{aligned}$$

En estas condiciones:

$$\begin{aligned} Q' &= 1; \bar{Q} = 0 \\ Q &= 1; \bar{Q} = 0 \end{aligned}$$

Luego cuando la entrada de Set se desactiva ( $\bar{S} = 1$ ), es decir, ambas están en estado alto ( $\bar{S} = \bar{R} = 1$ ), el circuito está listo para responder según la Tabla de Verdad de un FFJK. La Tabla de Verdad de este circuito es:

PRESENTE	FUTURO $Q_{(t+1)}$				
		$\bar{S}$	$\bar{R}$	J	K
1 1 0 0	$Q_t$				
1 1 0 1	0				
1 1 1 0	1				
1 1 1 1	$\bar{Q}_t$				
0 1 X X	1				
1 0 X X	0				

← Sin cambio

← Complementa la salida

{ Entradas asincronicas activadas

El símbolo lógico para un FJK con sus entradas asincronicas se da en la Fig. 3.28.

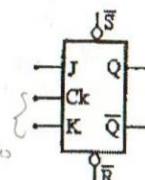
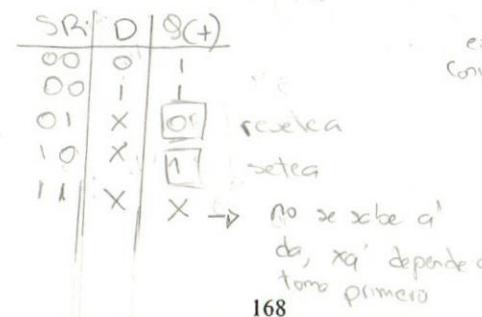


Figura 3.28.

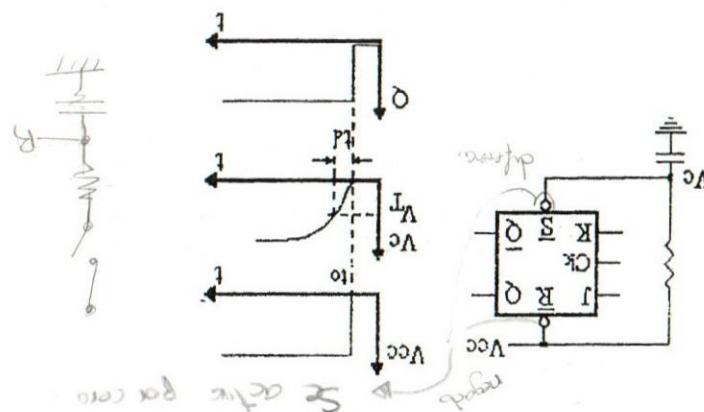
3.4.- CONDICIONES INICIALES (CI)

Philip Fllop - Contadores - Registros

#### 1) ACTIVACION CON CERO LOGICO

Se conoce como CI al estadio en que se encuentra la salida Q del Flip-Flop, cuando se energiza el circuito. Mediante las entradas asincronicas podemos predisponeer la salida de un FF. Vemos algunos ejemplos:

Figura 3.29.

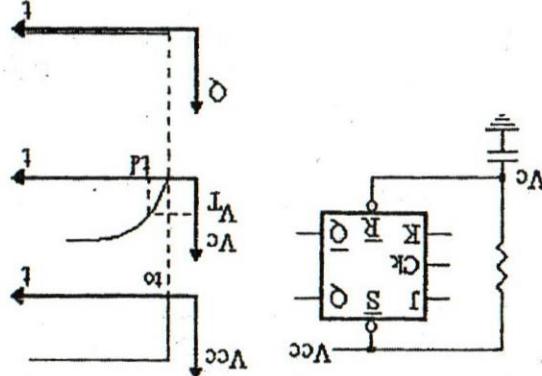


a)  $C_1 = 1$  ( $Q = 1$ ) Activamos la entrada Set.

## 2) ACTIVACION CON UNO LOGICO

El análisis del circuito de la Fig. 3.31 es similar al de la Fig. 3.30. -

Figura 3.30.



Flip Flop - Contadores - Registros

b)  $C_1 = 0$  ( $Q = 0$ ) Activamos la entrada Reset.

Para este análisis consideramos que el capacitor esta descargado y que en el instante  $t_0$  damos la alimentación al circuito, tal como se observa en la Fig. 3-29. como el capacitor esta descargado y ante una señal escalon en la entrada no sucede variar su carga instantáneamente, su potencial es cero y comienza a crecer exponencialmente.

Es así que despues de  $t_0$  y hasta un instante despues que llamamos  $t_1$ , el potencial en  $V_C$  es menor que la tensión umbral de la entrada  $V_C < V_T$  por lo que esa tensión ( $V_C < V_T$ ) es considerada como un cero lógico (0,) y como este circuito activa con cero, la salida Q esta en estado alto ( $Q = 1$ ).

691



Figura 3.31.

OL 1

) CI = 1 ( $Q = 1$ ) Activamos la entrada Set.

Si el capacitor esta descargado, cuando se aplica  $V_{CC}$ , ese potencial cae en la resistencia, por lo que para  $t = t_0^+$ ,  $V_R = V_{CC}$ , a partir de allí el capacitor va cargando, por lo que el potencial sobre R disminuye según se carga el capacitor. Entre  $t_0$  y  $t_d$  el potencial en  $V_R$  es superior a  $V_T$  ( $V_R > V_T$ ), por lo que se considera aplicada a la entrada 'S' un uno lógico con lo cual se Setea al circuito, poniendo la salida en estado (Q = 1).

- b) CI = 0 (Q = 0) Activamos la entrada Reset.

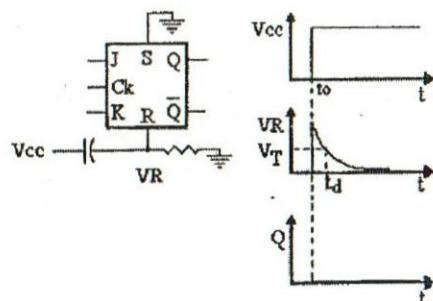


Figura 3.32.

El análisis del circuito de la Fig. 3.33 es similar al de la Fig. 3.32.

### 3.5.- ACTIVACION COMBINADA

Supongamos que además de utilizar las entradas asincronicas para las condiciones iniciales, necesitamos Resetear (ó Setear) un FF con algún pulso, resultado de algún evento. Ello se consigue mediante la implementación de lógica externa .

Proponemos los siguientes circuitos.

- (a) Entradas activadas por cero (0) y pulso externo – CI = 0.

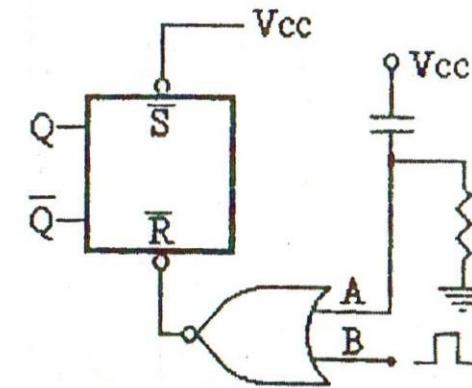


Figura 3.33.

- (b) Entradas activadas por uno (1) y un pulso de entrada.

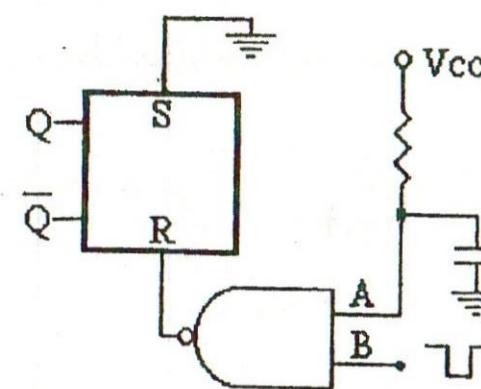
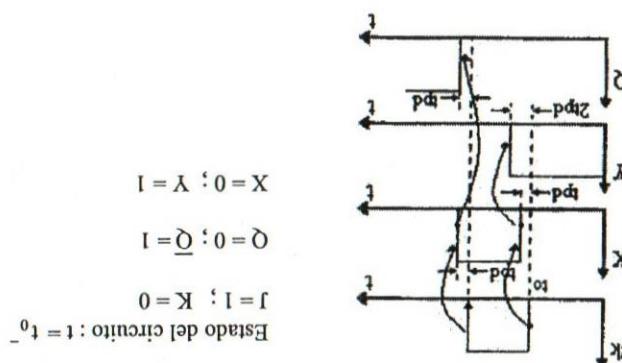


Figura 3.34.

### 3.6.- FLIP FLOP JK ACTIVADO POR FLANCO (Edge Triggered)

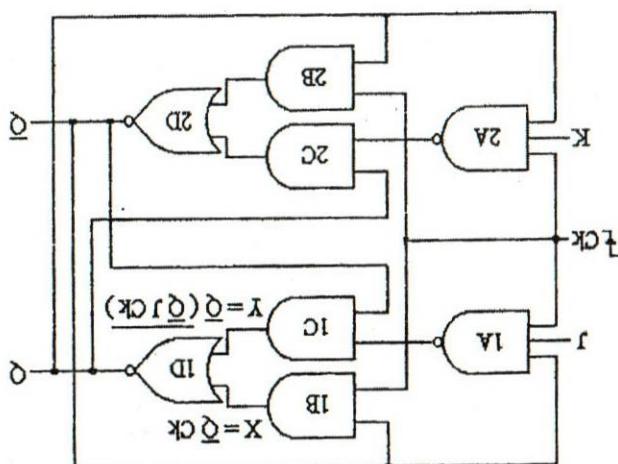
Si analizaramos el FFJK de la Fig. 3.25 podemos ver que este circuito es sensible a los cambios en las entradas sincrónicas cuando el pulso de CLOCK (Ck) esta en alto.

Figura 3.38.



Alamilcemos el circuito de la Fig. 3-37 y observemos que ocurre en la Fig. 3-38.

Figura 3.37.



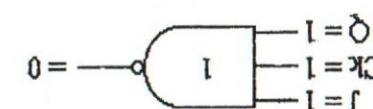
Clip Flop - Contadores - Registros

Ello hace que la salida de 3 sea 1 y  $Q = 0$ . Esto se conoce como la propriedad de captar unos zeros, la salida  $Q = 1$  y  $Q = 0$ , con lo que el car el pulso de Ck a del Filip Meastro Escalavo.

Para salvar este problema se ha diseñado un FF activado por flancos cuya salida sea una respuesta al dato de entrada pero solo al dato de entrada presente immediatamente antes de la transición de disparo de la señal de reloj.

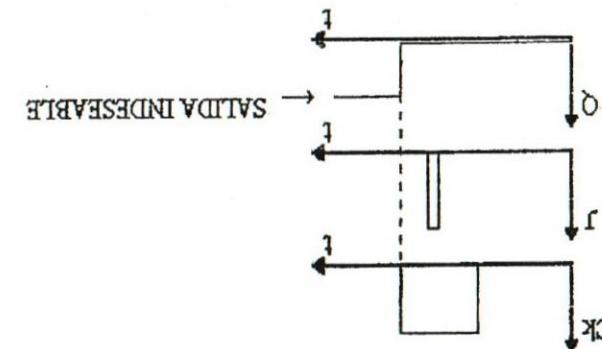
El funciónamiento se basa en el retraso de programación de las computadoras que conforman el FF.

Figura 3.36.



Lo que ocurre es que cuando  $j = 1$ , la situación de la computadora 1 de la Fig. 3.23

Figura 3.35.



Supongamos que las mitinas  $C_k = 1$  y  $K = 0$  la entrada de  $j$  va a uno y luego cae a cero tal como se observa en la Fig. 3.36.

Clip Flop - Contadores - Registros

Como puede verse en la Fig. 3.38 el cambio en las salida 'X' se observa después de un tiempo de retardo a partir del cambio de Ck. Ese tiempo de retardo (tpd) esta dado en la compuerta '1B'. Con respecto a la salida Y vemos que el cambio se produce después de dos tiempos de retardo (2tpd), que es consecuencia de la compuerta 1A y 1C, por los que debe atravesar el pulso de Ck.

Un tpd después de que X va a cero la salida Q cambia de 0 a 1 (Q = 1) ya que a la entrada 1 D, X = 0 e Y = 0.

Analicemos un instante antes de la transición de 1 a 0 del pulso de reloj, si estando el pulso de reloj en alto la entrada J cambia, por ejemplo de J = 1 a J = 0, la entrada Y cambia de Y = 0 a Y = 1, la salida Q sigue siendo Q = 0. Así vemos que este es un Flip Flop disparado por flancos, el cual supera el inconveniente de Flip Flop Maestro Esclavo visto anteriormente.

### 3.7.- DIAGRAMAS Y TABLA DE ESTADO

Una forma de representar el comportamiento de un FF es mediante una representación gráfica llamada Diagramas de Estado, o a través de Tablas de Estado.

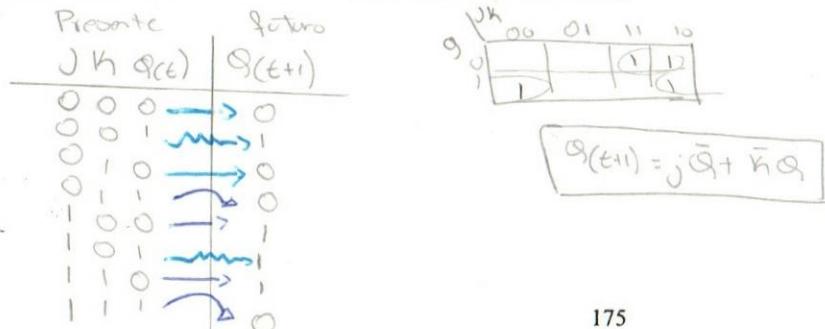
Para confeccionar las Tablas de Estado es necesario partir del conocimiento de la Tabla de Verdad.

#### FLIP FLOP JK

t		
J	K	$Q_{t+1}$
0	0	$Q_t$
0	1	0
1	0	1
1	1	$\bar{Q}_t$

Esta Tabla de Verdad nos dice que para determinados valores de las entradas en el Presente, obtendremos determinadas salidas (Q) después de la llegada del pulso de reloj.

Teniendo como base esta Tabla de Verdad construimos la Tabla de Estados, la cual nos indica que podemos predeterminar la salida Futura conociendo el presente y actuando sobre las entradas. Observemos la Tabla de Estados de la Fig. que sigue.



t	$t + 1$	t	
$Q_t$	$Q_{t+1}$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

X: valores irrelevantes

TABLA DE ESTADOS FFJK

Tomemos la 1º línea de la Tabla en la cual  $Q_t = Q_{t+1} = 0$ , esto quiere decir que si el estado Presente es cero ( $Q_t = 0$ ) y deseo que el estado Futuro sea también cero ( $Q_{t+1} = 0$ ) debo posicionar J y K con los valores J = 0, K = 0 ó J = 0, K = 1. Ambos son válidos.

Volvamos a la Tabla de Verdad y observemos que ocurre cuando J = 0 y K = 0, allí vemos que el estado Presente es igual al Futuro, con lo cual no hay cambios. Por otro lado si J = 0 y K = 1, vemos que el estado Futuro será cero Q = 0, con lo cual cualquier valor de K nos da como salida Futura Q = 0.

Observando esa Tabla de Estados podemos construir el Diagrama de Estados.

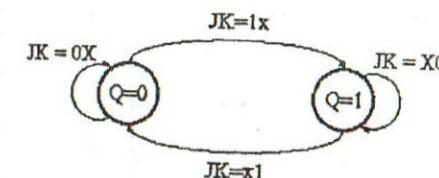
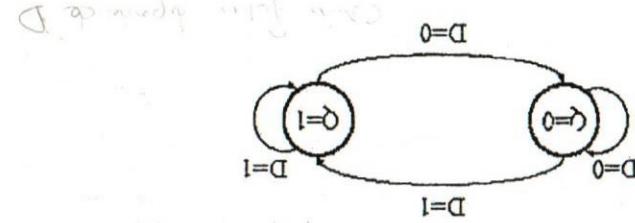


DIAGRAMA DE ESTADOS FFJK

Figura 3.39.

Los círculos representan los estados por los cuales atraviesa el Flip Flop las flechas indican hacia qué estado evoluciona el circuito cada vez que llega un pulso de reloj.

Si estando en el estado Q = 0, y las entradas JK = 1X, luego de que llegue el pulso de reloj FF pasara al estado Q = 1. Si estando en el estado Q = 0 y JK = 0X, luego de que llegue el pulso de reloj, el FF permanecerá en ese estado.



Flip Flop - Contadores - Registros

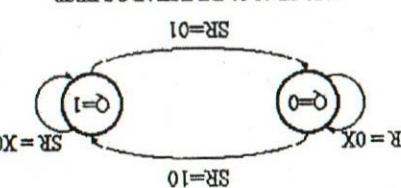


TABLA DE ESTADOS FRSR			
Q <sub>i</sub>	Q <sub>i+1</sub>	S	R
0	0	1	X
0	1	0	1
0	0	0	X
0	0	X	0
1	1	1	X
1	0	0	1
0	1	1	1
0	0	0	0
1	1	1	1

Utilizamos idéntico procedimiento al realizado para el FFJK, y obtenemos:

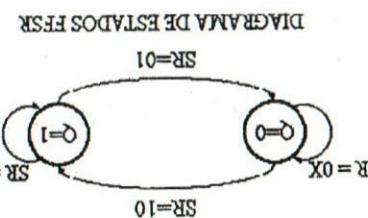
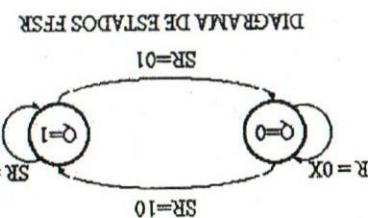


TABLA DE ESTADOS FFD			
Q <sub>i</sub>	Q <sub>i+1</sub>	D	t
0	0	0	1
0	1	1	1
1	0	0	0
1	1	1	1

Figura 3.40.



FLIP FLOP D

TABLA DE ESTADOS FFD			
Q <sub>i</sub>	Q <sub>i+1</sub>	D	t
0	0	0	1
0	1	1	1
1	0	0	0
1	1	1	1

TABLA DE ESTADOS FFSR			
Q <sub>i</sub>	Q <sub>i+1</sub>	t	t+1
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

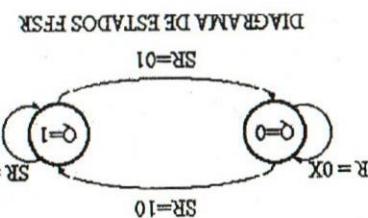


TABLA DE ESTADOS FFSR			
Q <sub>i</sub>	Q <sub>i+1</sub>	t	t+1
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

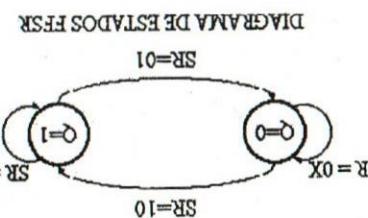


TABLA DE ESTADOS FFSR			
Q <sub>i</sub>	Q <sub>i+1</sub>	t	t+1
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

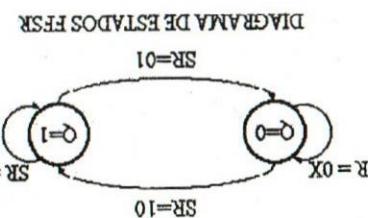


TABLA DE ESTADOS FFSR			
Q <sub>i</sub>	Q <sub>i+1</sub>	t	t+1
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

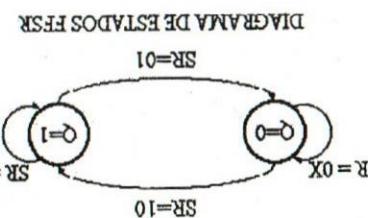


TABLA DE ESTADOS FFSR			
Q <sub>i</sub>	Q <sub>i+1</sub>	t	t+1
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

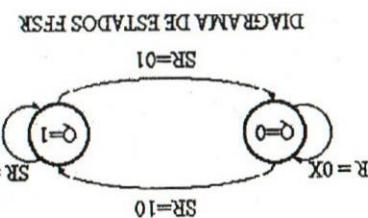


TABLA DE ESTADOS FFSR			
Q <sub>i</sub>	Q <sub>i+1</sub>	t	t+1
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

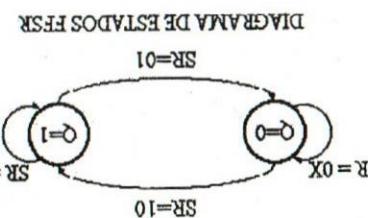


TABLA DE ESTADOS FFSR			
Q <sub>i</sub>	Q <sub>i+1</sub>	t	t+1
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

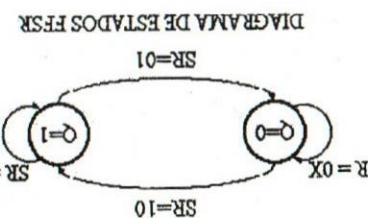


TABLA DE ESTADOS FFSR			
Q <sub>i</sub>	Q <sub>i+1</sub>	t	t+1
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

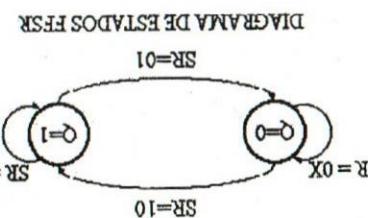


TABLA DE ESTADOS FFSR			
Q <sub>i</sub>	Q <sub>i+1</sub>	t	t+1
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

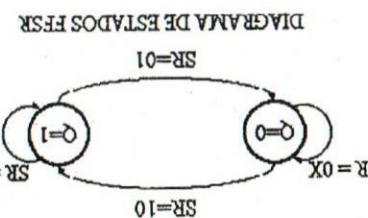


TABLA DE ESTADOS FFSR			
Q <sub>i</sub>	Q <sub>i+1</sub>	t	t+1
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

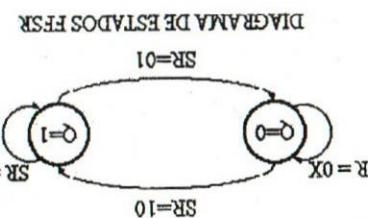


TABLA DE ESTADOS FFSR			
Q <sub>i</sub>	Q <sub>i+1</sub>	t	t+1
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

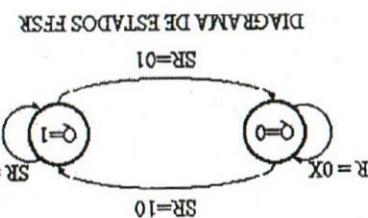


TABLA DE ESTADOS FFSR			
Q <sub>i</sub>	Q <sub>i+1</sub>	t	t+1
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

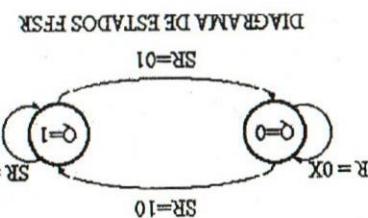


TABLA DE ESTADOS FFSR			
Q <sub>i</sub>	Q <sub>i+1</sub>	t	t+1
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

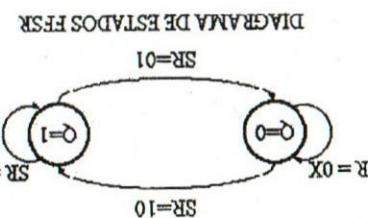
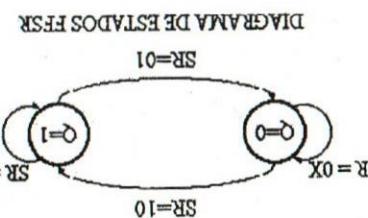


TABLA DE ESTADOS FFSR			
Q <sub>i</sub>	Q <sub>i+1</sub>	t	t+1
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1



4.- CONTADORES

1/09/15

El contador es el circuito secuencial más sencillo de obtener. Esta compuesto de elementos de memoria y lógica combinacional. Los contadores pueden ser SÍNCRONOS o ASÍNCRONOS, según estén sincronizados por un pulso de reloj o no. La función básica de un contador es contar los pulsos de reloj y almacena el número de cuenta.

Sabemos que un Flip Flop posee dos estados que son  $Q = 0$  ó  $Q = 1$ . La cantidad de estados Máximo de un contador está dado por el número de Flip Flops que conforman ese contador. Por ejemplo un contador con 4FF posee:  $2^4 = 16$  estados, es decir, almacena hasta 16 pulsos de reloj, no siempre utilizamos el máximo número de estados que posee el contador. Supongamos que deseamos contar solo hasta diez (10), lo cual solo lo podemos hacer con un contador que tenga 4FF, ya que con ello logramos 16 estados. Al número de estados se lo conoce como módulo ( $M$ ) del contador.

Veamos el contador más sencillo de todos que es un contador binario natural (asíncrono) el que por simplicidad lo desarrollamos con Módulo 8 ( $M = 8$ ).

Como sabemos requerimos de 3FF, ya que:

$$2^n = 8$$

$$n = \frac{\ln 8}{\ln 2} = 3FF$$

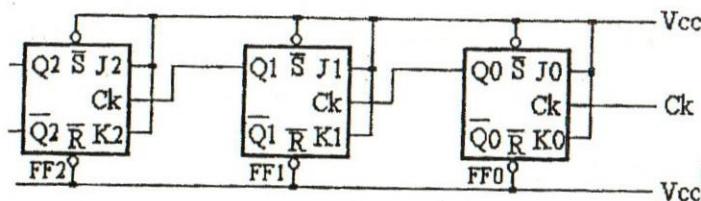


Figura 3.42.

Como puede observarse en la Fig. 3.42 cada uno de estos FF esta funcionando en el modo Toggle (% 2) y sus entradas asíncronas activan por bajo, y como todos están conectadas a  $V_{CC}$  están desactivadas.

Por otro lado vemos que la salida del FF0 se utiliza como CLOCK del FF1 y la salida de este como CLOCK del FF2. Así el diagrama temporal de este circuito es:

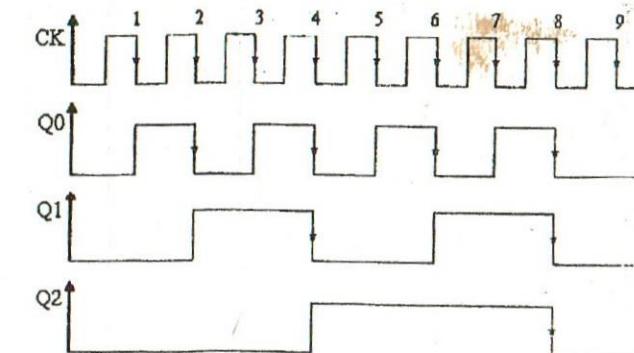


Figura 3.43.

Si establecemos de que antes de que llegue el 1º pulso de reloj  $Q_0 = Q_1 = Q_2 = 0$  entonces sabemos en cada instante de tiempo cuantos pulsos de reloj (Ck) han entrado al contador. Por ejemplo si tomamos los valores de la salida del contador entre el 4º y 5º pulso de Ck, observamos que:

$$\begin{matrix} Q_1 & Q_0 \\ 1 & 0 \end{matrix} \quad \begin{matrix} Q_1 & Q_0 \\ 0 & 0 \end{matrix} \quad \begin{matrix} Q_1 & Q_2 \\ 1 & 1 \end{matrix} \quad \leftarrow \text{que es el N}^{\circ} 4$$

Con lo que certificamos que han entrado 4 pulsos de reloj (Ck). Podemos utilizar las entradas asíncronas para:

Asegurar las Condiciones Iniciales.  
Modificar el Módulo del Contador.

## 1) Asegurar las Condiciones Iniciales.

Normalmente es deseable de que el contador comience su cuenta en un valor predeterminado cuando se energiza el circuito. Supongamos que establecemos ese valor en:

$$Q_0 = Q_1 = Q_2 = 0$$

Ello se consigue con la siguiente configuración:

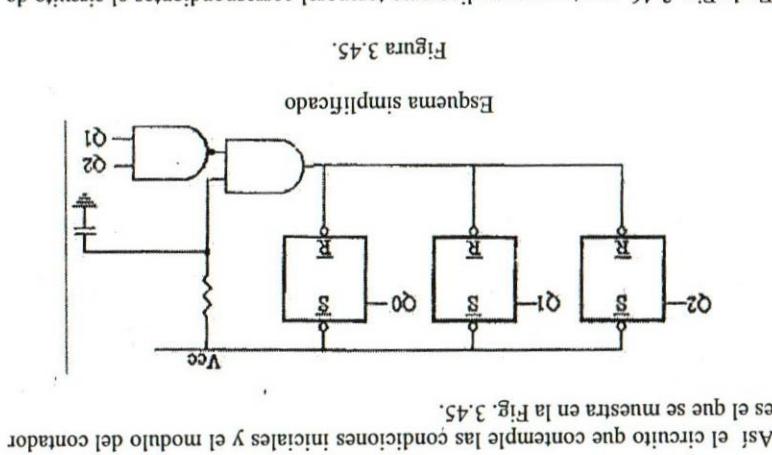


Figura 3.45.

Estructura simplificada

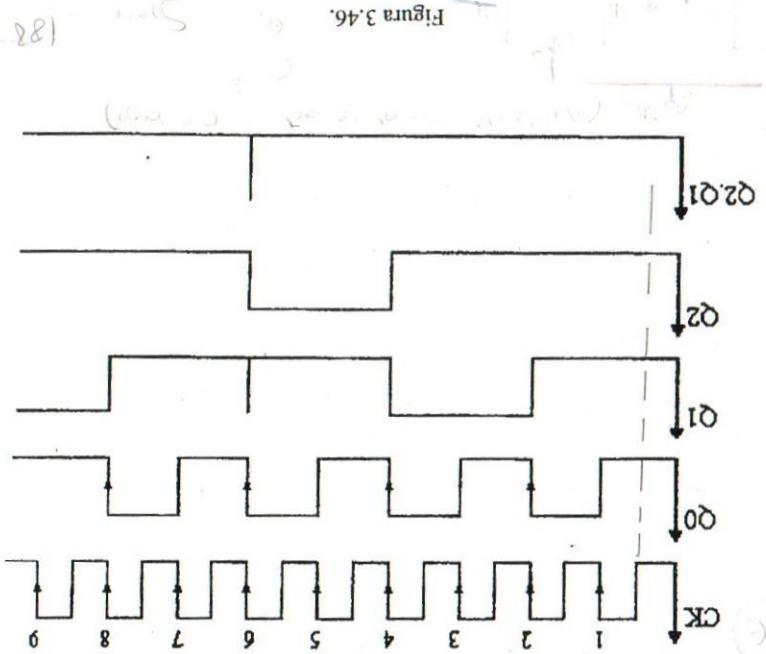


Figura 3.46.

Figura 3.46.

181

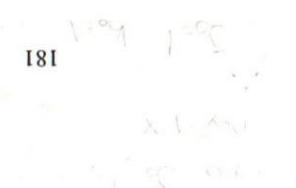


Figura 3.46.

182

183

184

185

186

187

188

189

190

191

192

193

194

195

196

197

198

199

200

201

202

203

204

205

206

207

208

209

210

211

212

213

214

215

216

217

218

219

220

221

222

223

224

225

226

227

228

229

230

231

232

233

234

235

236

237

238

239

240

241

242

243

244

245

246

247

248

249

250

251

252

253

254

255

256

257

258

259

260

261

262

263

264

265

266

267

268

269

270

271

272

273

274

275

276

277

278

279

280

281

282

283

284

285

286

287

288

289

290

291

292

293

294

295

296

297

298

299

300

301

302

303

304

305

306

307

308

309

310

311

312

313

314

315

316

317

318

319

320

321

322

323

324

325

326

327

328

329

330

331

332

333

334

335

336

337

338

339

340

341

342

343

344

345

346

347

348

349

350

351

352

353

354

355

356

357

358

359

360

361

362

363

364

365

366

367

368

369

370

371

372

373

374

375

376

377

378

379

380

381

382

383

384

385

386

387

388

389

390

391

392

393

394

395

396

397

398

399

400

401

402

403

404

405

406

407

408

409

410

411

412

413

414

415

416

417

418

419

420

421

422

423

424

425

426

427

428

429

430

431

432

433

434

435

436

437

438

439

440

441

442

443

444

445

446

447

448

449

450

451

452

453

454

455

456

457

458

459

460

461

462

463

464

465

466

467

468

469

Veamos con el detenimiento que ocurre cuando llega el 6º pulso de Ck

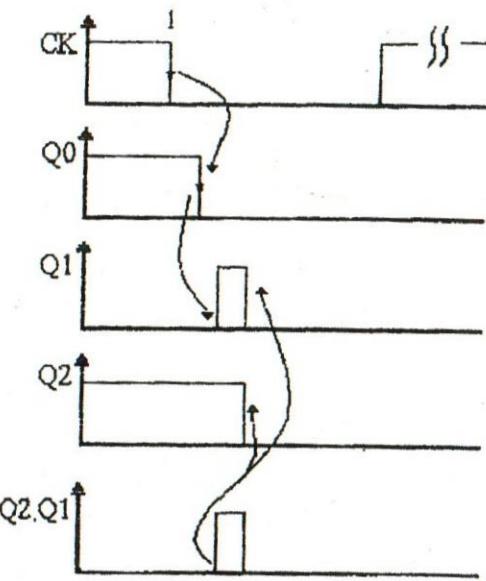


Figura 3.47.

Observe que una caída del flanco de Ck no coincide con la caída de  $Q_0$ , ello es debido al retardo del FF0. el FF0 dispara al FF1 y como este también tiene retardo la subida de  $Q_1$ , esta retardado respecto del flanco descendente de  $Q_0$ .

Cuando  $Q_1$  se hace uno,  $Q_2$  que ya estaba en uno provoca un pulso de Reset a la salida de la compuerta, con lo que:

$$Q_0 = Q_1 = Q_2 = 0$$

#### 4.1.- CONTADORES SÍNCRONOS

8/9

Un contador sincrónico es aquel en el pulso de reloj (Ck) se aplica simultáneamente a todos los Flip Flops. Este tipo de contador hace uso de las entradas sincrónicas (J, K, D, S, R) de los Flip Flops para predeterminar el estado futuro hacia el cual evolucionará el contador luego de que se aplique un pulso de reloj.

La secuencia de estados por los cuales atraviesa un contador puede ser arbitraria siguiendo un código preestablecido.

Vemos algunas secuencias de conteo, comenzando con un código binario natural en secuencia ascendente (cada círculo representa un estado, por lo que estos diagramas se conocen como Diagramas de Estado).

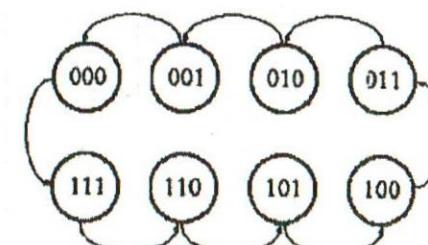


Figura 3.48.

A continuación de una secuencia descendente

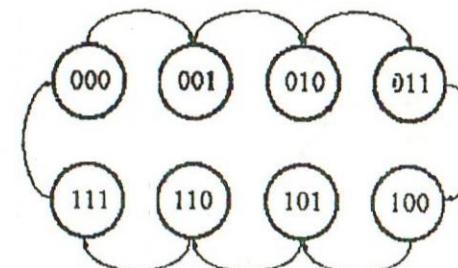


Figura 3.49.

El siguiente diagrama de estados muestra una secuencia arbitraria de conteo.

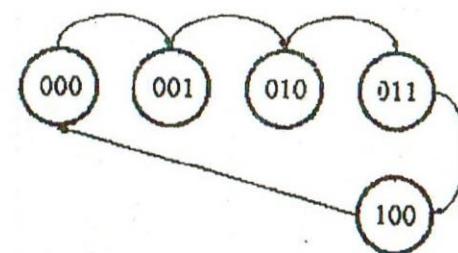


Figura 3.50.

$$^1(\mathfrak{z}m + ^1x + ^0x) = ^1K$$

$$^1(m_1 + x_1 + x_2) = 1$$

De la Tabla de Estados obtenemos los valores de las entradas que posibilitarán la evolución del condador segun el Diagrama de Estados presentado.

**B6er.** Paseo: Determinar los valores de  $j$  y  $K$  de cada FF.

meccanica con la cual se va llenando la Tabla.

Vemos que en el no hay cambios, observando la tabla del F<sub>JK</sub>, se observa que corresponde a una entienda de JK = 0X, por lo que colocamos esos valores en la tabla de Estados del contador en el lugar correspondiente a J<sub>1</sub>, K<sub>1</sub>. Esta es la tabla de Estados del contador en el lugar correspondiente a J<sub>1</sub>, K<sub>1</sub>.

$$0 = {}^{(l+1)l} \circ \quad 0 = {}^{(1)l} \circ$$

En la primera columna, ESTADIO PRESIDENTE, colocamos los estadios por los que debe ser atravesar el contador, se puden colocar en forma arbitraria (por ejemplos: 01 - 11 - 00 - 10 6 11 - 00 - 10 - 01 ), pero es conveniente por simplicidad hacerlo de la siguiente forma:

En la segunda columna, ESTADIO FUTURO, colocamos el estadio hacia el cual evolucionara el contador luego de la llegada del pulso CK. Por ejemplo si somos la fila de estadios numero 2, tenemos que el estadio presente es Q<sub>0</sub>=1, observemos luego el diagrama de estados y vemos que luego de Q<sub>0</sub>=1, los estadios numero 2, llegan al pulso CK. Por ejemplo si tenemos la fila de estadios numero 2, tenemos que el estadio presente es Q<sub>0</sub>=1, viene el estadio Q<sub>1</sub>, Q<sub>0</sub>=10, por lo que colocamos en la segunda fila y segunda columna (ESTADIO FUTURO) el valor de Q<sub>1</sub>, Q<sub>0</sub>=10. Asi se vale la tabla de elaboracion de la columna ENTRADAS, nos referimos a la Tabla de Estados dada para el FFJK.

Comenzamos con Q<sub>1</sub> del Estadio Presente y del Estadio Futuro cuyos valores son 0 y 10 (linea):

Figura 3.52.

TRABLA DE ESTADOS DEL CONTADOR

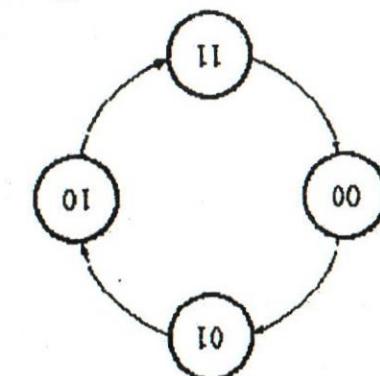
TABLA DE ESTADOS FFIK

Philip Fllop - Contadores - Registros

0	X	I	I
1	X	0	I
X	I	I	0
X	0	0	I
0	I	I	I

ESTADÔ	ESTADÔ	FUTURO	PRESENTE	ENTRADAS	$Q_1 Q_0$	$Q_1 Q_0$	$J_1 K_1$	$J_0 K_0$
I	I	I	I	X	0 0	0 0	X 1	X 1
1	1	1	1	X	X 0	X 1	0 1	1 X
0	0	1	0	X	X 1	0 1	1 X	1 X
0	0	0	1	X	0 X	0 1	X 1	X 1
0	0	0	0	K	K 0	J 0	K 0	J 0

Figura 3.51.



A continuación elaboramos la Tabla de Estados:

bitártia

2do. Paso: Construcción de Diagramas y Tablas de Estado:

En este caso tiene 4 estados con 2 FF es suficiente, ya que "2" = numero de estados. Eligemos un FF JK.

Ley. Paso: Determinar numero y tipo de FF a utilizar.

Ejemplo: Diseñar un contador sincrónico creciente de Modulo cuatro ( $M = 4$ )

Con el siguiente ejemplo, damos los pasos a seguir para el diseño de un contador.

entrad as sincrónicas, ecuaciones que utilizaremos para la implementación

Estatos, partiendo de un Diagrama de Estados, tal como lo desarollado para los

#### 4.2.- DISEÑO DE CONTADORES SINCRONICOS

$$J_0 = (m_0 + x_1 + m_2 + x_3)_t$$

$$K_0 = (x_0 + m_1 + x_2 + m_3)_t$$

Construimos los Mapas de Karnaugh

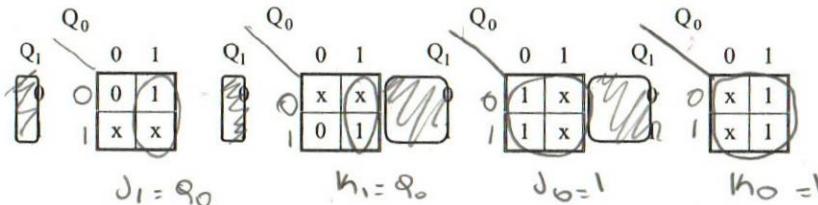


Figura 3.53.

**4to. Paso:** Implementación. Es necesario establecer las condiciones iniciales a partir de la cual el circuito evolucionara una vez que se energice. Elegimos el estado  $Q_1Q_0 = 00$ .

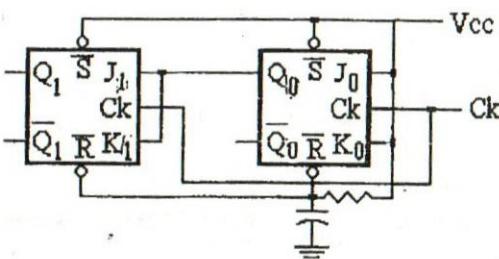


Figura 3.54.

Este es el ultimo paso del diseño. Un diagrama temporal de este circuito se da en la Fig. 3.55.

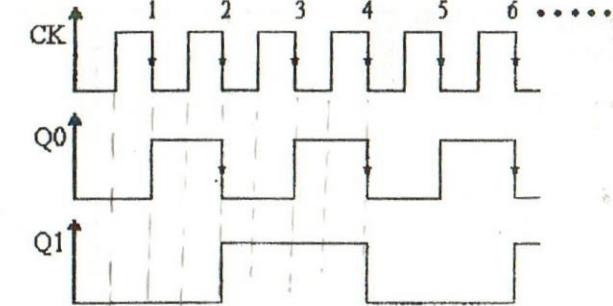


Figura 3.55.

#### 4.3.- DISEÑO CONTADOR CRECIENTE MODULO 5

Usamos 3 FF JK, con lo que podemos obtener 8 estados. Solo usamos 5, con lo que nos quedan 3 estados no usados que denominaremos 'fu', proponemos el siguiente Diagrama de Estados.

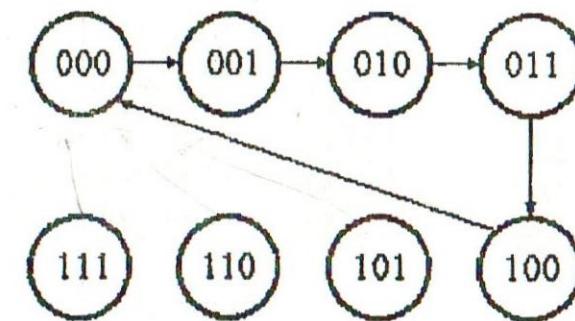


DIAGRAMA DE ESTADOS

Figura 3.56.

Seguidamente construimos la Tabla de Estados:

Figura 3.59.

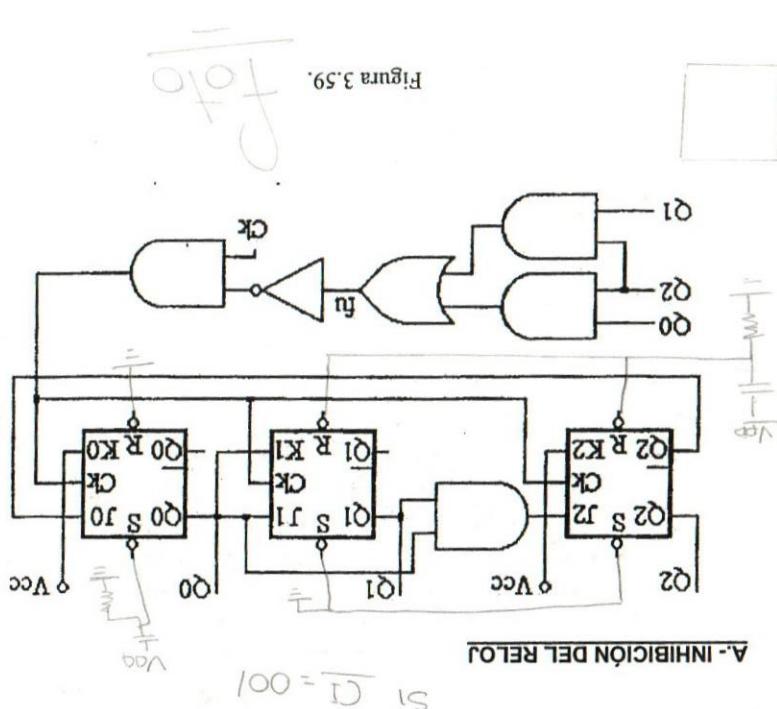


Figura 3.58.

Si debido a una falla el circuito entra en un estado NO USADO, pude suceder que el mismo entre en un lazo determinado por esos estados y no salta nunca, o que al cabo de algunos pulsos de reloj vuelve a su funcionamiento normal. Esos debenede de como se ha diseñado el circuito.

Estados no usados: 101 - 110 - 111

Lip Flap - Contadores - Registros

Figura 3.57.

Diagram illustrating four Karnaugh maps for functions  $f_1$ ,  $f_2$ ,  $f_3$ , and  $f_4$ . The maps are arranged in a 2x2 grid. Each map has variables  $Q_1Q_2$  on the columns and  $Q_2Q_3$  on the rows.

- $f_1 = \overline{Q}_1 \overline{Q}_2 \overline{Q}_3 = 1$ : All cells are 1.
- $f_2 = \overline{Q}_1 \overline{Q}_2 Q_3 = \overline{Q}_1 \overline{Q}_2 \overline{Q}_3 + \overline{Q}_1 Q_2 \overline{Q}_3 + Q_1 \overline{Q}_2 \overline{Q}_3 + Q_1 Q_2 \overline{Q}_3$ : Minterms are at (000), (011), (100), (111).
- $f_3 = \overline{Q}_1 Q_2 \overline{Q}_3 = \overline{Q}_1 \overline{Q}_2 \overline{Q}_3 + \overline{Q}_1 Q_2 \overline{Q}_3 + \overline{Q}_1 \overline{Q}_2 Q_3 + Q_1 \overline{Q}_2 Q_3$ : Minterms are at (000), (010), (100), (110).
- $f_4 = Q_1 \overline{Q}_2 \overline{Q}_3 = Q_1 \overline{Q}_2 \overline{Q}_3 + Q_1 \overline{Q}_2 Q_3 + Q_1 Q_2 \overline{Q}_3 + Q_1 Q_2 Q_3$ : Minterms are at (000), (010), (100), (110).

**B:** Fijar el circuito a entrar en un estadio permitido a través de las entradas asternas.

**A:** inhibir el reloj.

de todos modos se pueden detectar esos estadios a través de la ejecución de etección. A partir de allí podemos.

El siguiente paso es determinar el valor de las entidades  $f$ ,  $y$ ,  $k$ , para lo cual se realizan los mapas de Karmann para cada una de las funciones booleanas de  $f$  en función de  $y$  y  $k$ .

ABLA DE ESTADOS

Lip Flop - Contadores - Registros

Las entradas asíncronas deberán ser conectadas de modo tal de establecer las condiciones iniciales que se impongan.

#### B.- UTILIZACIÓN EN ENTRADAS ASÍNCRONAS CON LA FUNCIÓN DE DETECCIÓN.

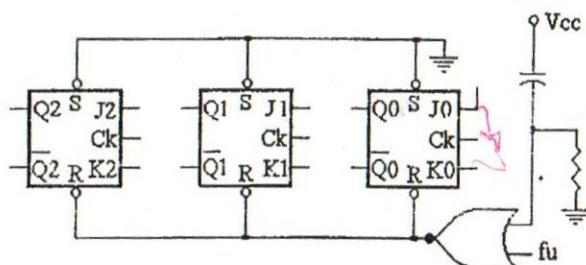


Figura 3.60.

Hemos tomado arbitrariamente el estado 000, con lo que forzamos al circuito a entrar en ese estado.

#### 4.4.- DISEÑO CONTADOR SÍNCRONO CRECIENTE BCD

Es un contador de  $M = 10$ . siguiendo las pautas de diseño establecidas e implementando con FFJK, encontramos las siguientes funciones booleanas correspondientes a las entradas síncronicas, para el Diagrama de Estado que se muestra a continuación:

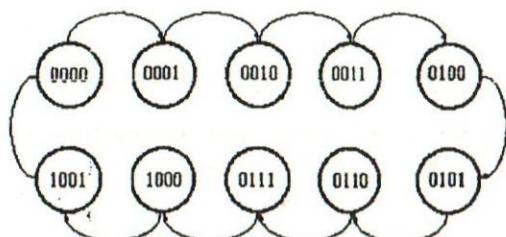


Figura 3.61.

Estados no usados: 1010 – 1011 – 1100 – 1101 – 1110 – 1111

$$\begin{array}{lll} J_3 = Q_2 Q_1 Q_0 & J_2 = Q_1 Q_0 & J_1 = \bar{Q}_3 Q_0 \\ K_3 = Q_0 & K_2 = Q_1 Q_0 & K_1 = Q_0 \\ & & K_0 = 1 \end{array}$$

El siguiente paso es la implementación circuitual. Vamos a suponer que  $C_1 = 0011$  (arbitraria). Para mayor claridad en el esquema, a algunas conexiones las dejamos indicadas.

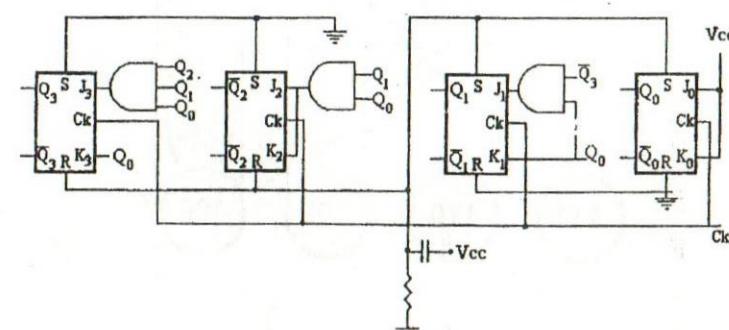


Figura 3.62.

Las entradas asíncronas activan por alto (1).

La detección de un estados no usado, puede llevar al circuito a responder según el diseñador haya previsto:

- a) Parar el reloj.
- b) Forzar un estado determinado.

10/09

#### 4.5.- DISEÑO CONTADOR SINCRÓNICO CRECIENTE – DECRECIENTE (UP / DOWN) MÓDULO = 5

Este contador deberá tener una entrada extra para controlar el sentido de la cuenta. Así si la entrada de Control X, esta en nivel bajo ( $X = 0$ ), el conteo es ascendente (creciente), de otro modo es decreciente.

Con la ayuda de comparadores podemos preselccionar el módulo del contador.

#### 4.6.- SELECCIÓN DEL MÓDULO POR CLEARING DIRECTO

El siguiente paso es la implementación.

$$K^2 = 1 \quad ; \quad K^1 = x Q^0 + \bar{x} Q^0 ;$$

$$J_0 = \bar{x}Q^2 + x\bar{Q}^2 + Q_1$$

Construyendo el resto de los mapas encontramos

Figura 3.64.

$$^0\partial^1\partial^0 x + ^0\partial^1\partial^0 x = f^2$$

0	0	0	1	0	1
x	x	x	x		11
x	x	x	x		01
0	1	0	0		00
0	0	1	1	0	010

Como podemos observar existen 6 estados no usados, 3 para  $x=0$  y 3 para  $x=1$ . Las funciones booleanas correspondientes son las siguientes:

Estasadas no usados 0101 - 0110 - 1101 - 1110 - 1111 . Por tabla los llevaremos a condición 0000.

Philip Fllop - Contadores - Registros

A continuación el Diagrama y Tabla de Estados:

Clip Flap - Contadores - Registros

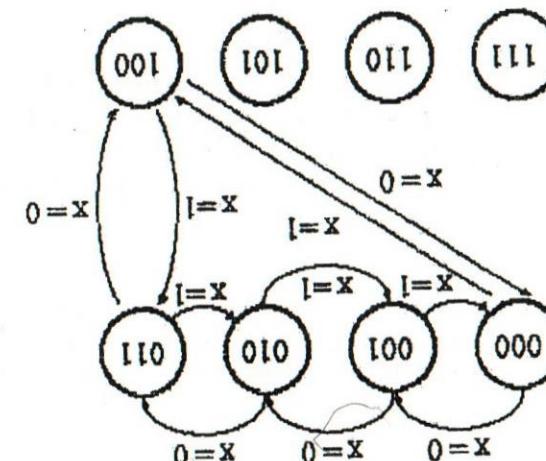


Figura 3.63.

CON  
2004-08-26

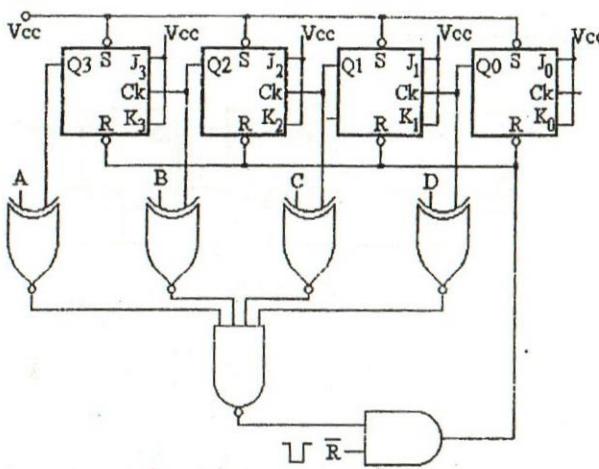


Figura 3.65.

Un pulso de Reset se genera cuando:

$$A = Q_3, \quad B = Q_2, \quad C = Q_1, \quad D = Q_0$$

De esta forma podemos establecer el máximo número de estados del contador. Otro circuito que podemos utilizar para seleccionar el módulo de cuenta es el que utiliza un decodificador y una llave de 'n' posiciones tal como se muestra en el siguiente circuito.

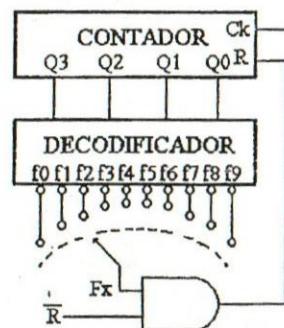


Figura 3.66.

El pulso de Reset se genera cuando:

$$F_x = f(ABCD)$$

#### 4.7.- CONTADORES PROGRAMABLES

Este tipo de contadores (chips comerciales) permiten memorizar el DATO de entrada mediante un pulso de carga. A partir de ese valor el contador iniciará su cuenta UP o DOWN según su entrada de control.

Veremos a continuación un diagrama temporal de CD 4029.

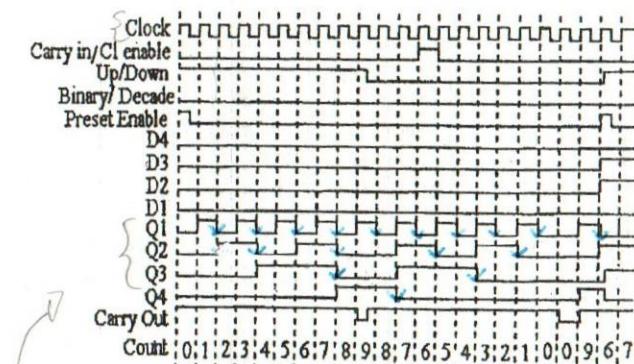


Figura 3.67.

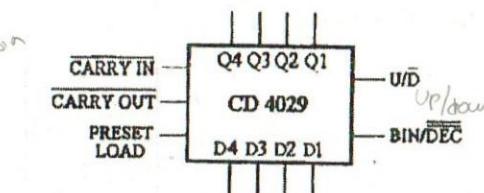
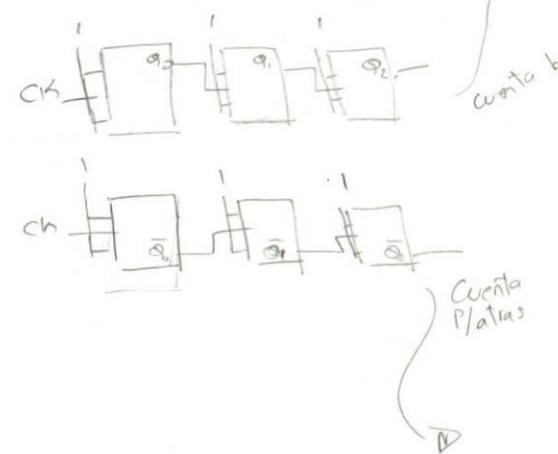
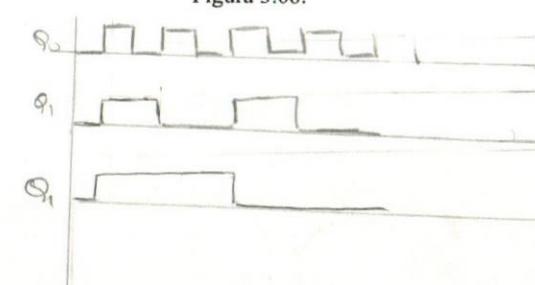


Figura 3.68.

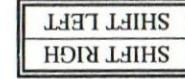


**5.- REGISTRO DE DESPLAZAMIENTO**

El SHIFT, es una conexión en cascada de una serie de FF. Por cada pulso de reloj la información se desplaza de un FF a otro FF.

Su aplicación es en las operaciones binarias de multiplicación, división, como almacenablemiento temporal de datos, conversión serie-paralelo y paralelo-serie, contadores, generadores de secuencia, circuitos de retraso, etc. Según el ingreso y salida de la información pueden clasificarse en:

ENTRADA	SALIDA
Paralelo	Paralelo
Serie	Serie
Paralelo	Paralelo



Según se desplace la información en el registro:

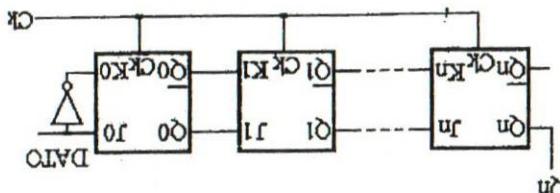


Figura 3.69.

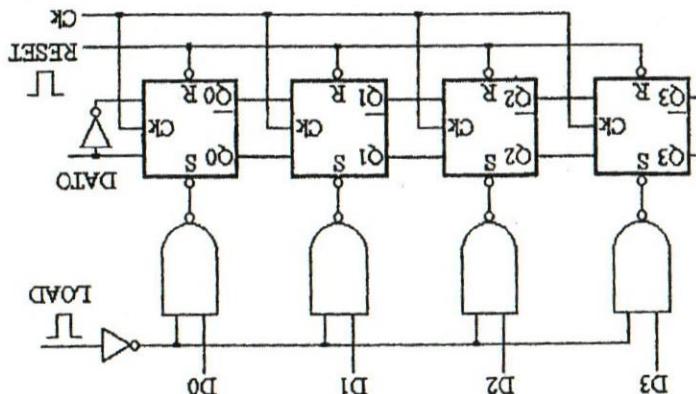
Un circuito comercial que realiza las operaciones de desplazamiento izquierdo - REGISSTER MC 140194B, que permite, además, el modo HOLD. Este circuito derriba, carga paralela es el 4 BIT BIIDIRECTIONAL, UNIVERSAL SHIFT

es equivalente pin a pin con el 74LS194.

Secuencia de pasos para el funcionamiento:

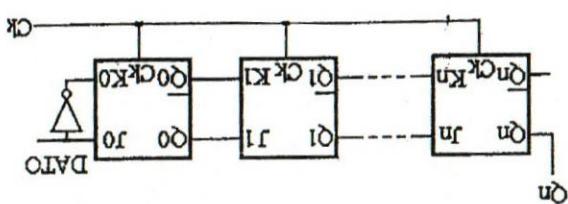
- 1.- Aplicar RESET
- 2.- Aplicar LOAD
- 3.- Aplicar CLK

Figura 3.71.



Shift entrada paralelo:

Figura 3.70.



Shift entrada serie-salida paralelo:

Flip Flop - Contadores - Registros

Figura 3.71.

Shift entrada serie - salida serie:

Figura 3.69.

Tabla de verdad:

CLOCK	ENT. CONTROL S <sub>0</sub>	S <sub>1</sub>	RESET	ACCIÓN
x	0	0	1	Sin cambio
	1	0	1	Shift Right
0	1	1	1	Shift left
1	1	1	1	Carga paralela
x	x	x	0	Reset

### 5.1.1.- EL SHIFT COMO CONTADOR

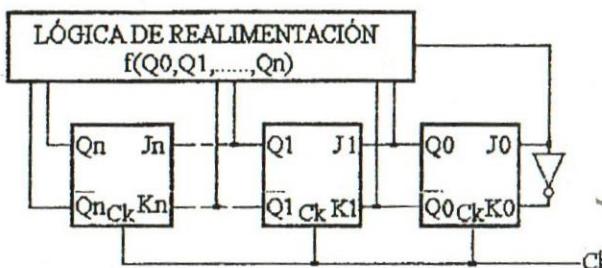


Figura 3.72.

Las relaciones entrada – salida del contador mostrado están definidas por las siguientes ecuaciones

$$Q_{0_{(t+1)}} = f(Q_0, Q_1, \dots, Q_n)$$

$$Q_{1_{(t+1)}} = Q_{0_t}$$

$$Q_{n_{(t+1)}} = Q_{(n-1)_t}$$

Diagrama de estados universal para SHIFT: A continuación una tabla de transición para un shift de 2 etapas.

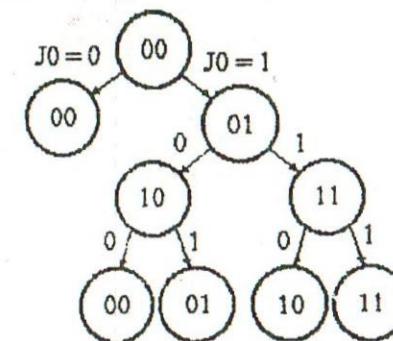


Figura 3.73.

De la tabla de transición se puede pasar al diagrama de estados o diagrama de BRUIJN.

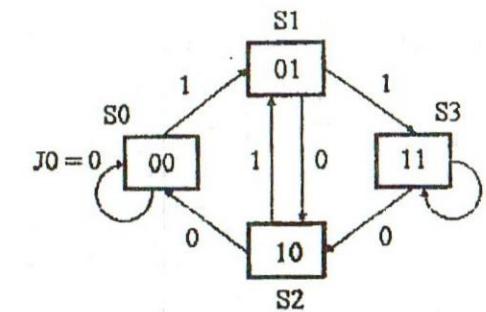


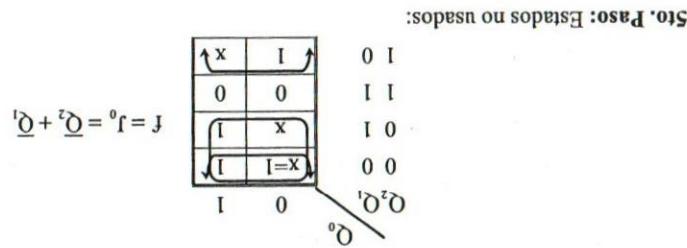
Figura 3.74.

3er. Paso: Tabla de estados. En la columna de FUNCION LOGICA se coloca el valor que debe tomar la entrada  $J_0$  para cuando llegue el pulso de clock evolucionar al otro estado.

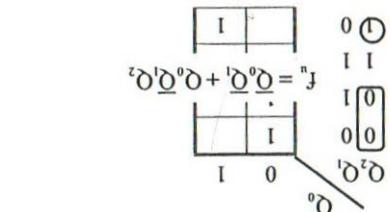
ESTADOS	ASIGNACION	FUNCION LOGICA
000	Q <sub>0</sub> = 0	$f = J_0$
001	Q <sub>0</sub> = 1	$f = Q_0 \bar{Q}_1 + \bar{Q}_0 Q_1$
010	Q <sub>0</sub> = 1	$f = 1$
011	Q <sub>0</sub> = 0	$f = 0$
100	Q <sub>0</sub> = 0	$f = 1$
101	Q <sub>0</sub> = 1	$f = Q_0 \bar{Q}_1 + \bar{Q}_0 Q_1$
110	Q <sub>0</sub> = 0	$f = 0$
111	Q <sub>0</sub> = 1	$f = 1$

4to. Paso: Mapa de KARNAUGH. En este tipo de contador la celda 0 debe ser

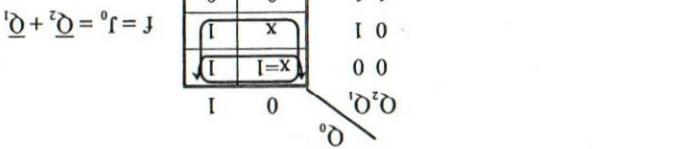
siempre 1 y la celda 7 siempre 0, independientemente si están o no en la secuencia de conteo.



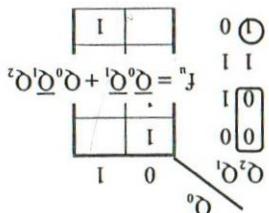
5to. Paso: Estados no usados:



6to. Paso: Estados no usados:



7to. Paso: Estados no usados:



8to. Paso: Realizar el diagrama de estados. (Elejimos la Lera. secuencial).

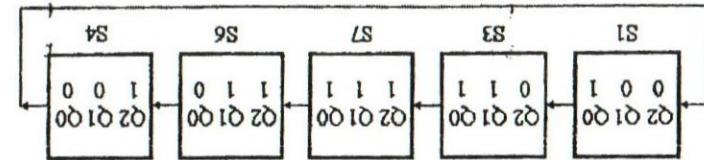


Figura 3.76.

DISENO DE UN CONTADOR MODULO 5 CON SHIFT:

Ler. Paso: Escoger secuencia de cinco pasos. Del diagrama de estados para 3 etapas encontramos las siguientes secuencia:

- \* S<sub>6</sub>, S<sub>4</sub>, S<sub>0</sub>, S<sub>1</sub>, S<sub>3</sub>, S<sub>6</sub>, .....
- \* S<sub>1</sub>, S<sub>3</sub>, S<sub>7</sub>, S<sub>6</sub>, S<sub>4</sub>, S<sub>1</sub>, .....

Figura 3.75.

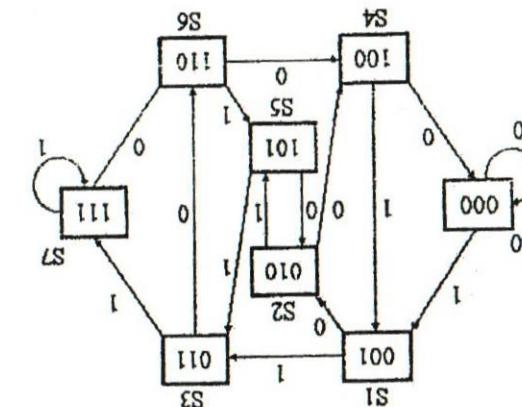


Diagrama de BRUJIN para 3 etapas:

Flip Flop - Contadores - Registers

**6to. Paso:** Implementación.

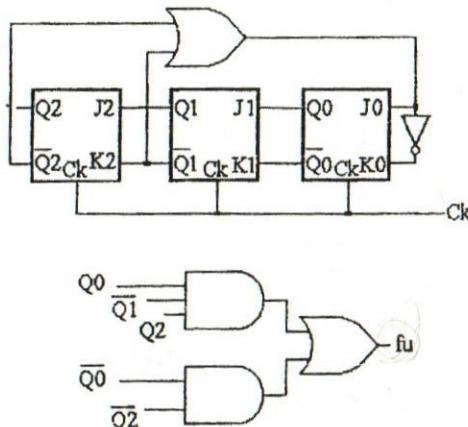


Figura 3.77.

#### 5.1.2.- EL SHIFT COMO GENERADOR DE SECUENCIAS

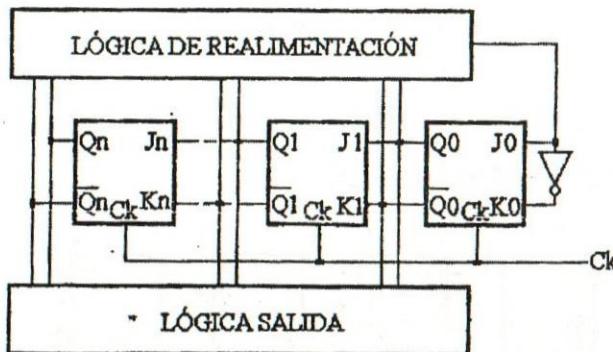


Figura 3.78.

**Diseño:** Consideremos la siguiente secuencia a generar:

1 0 1 1 0 1 1 0

**1er. Paso:** Selección del número de etapas. En este caso hay 8 bits en la secuencia por lo tanto se necesitan 3 etapas.

**2do. Paso:** Desarrollo de secuencia de estados. Desarrollaremos una secuencia de 8 estados utilizando la LÓGICA DE REALIMENTACIÓN DIRECTA, obteniendo solo la secuencia de conteo, a partir de esta secuencia de 8 estados y con la ayuda de una lógica de SALIDA obtenemos la secuencia requerida del diagrama de Bruijn.

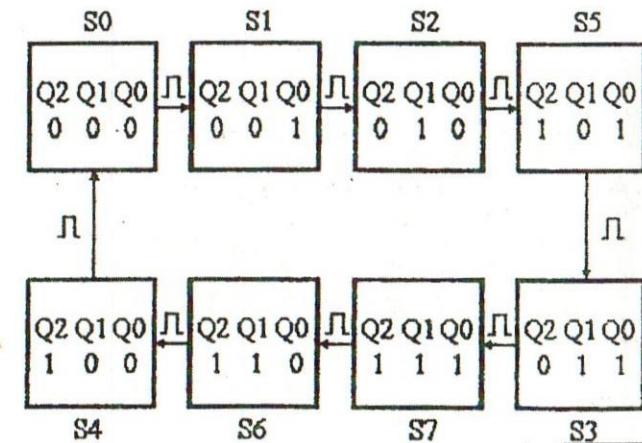


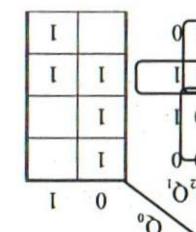
Figura 3.79.

**3er. Paso:** Función realimentación. Construimos al fin la tabla de estados.

5to Paso: Implementación

$$FA = \overline{Q_2}Q_0 + \overline{Q_2}Q_1 + Q_2\overline{Q_0}$$

S <sub>4</sub>	S <sub>3</sub>	S <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	F = A
1	0	0	0	0	0	0	0	0
1	1	0	0	1	1	1	1	1
1	1	1	1	1	1	1	1	1
0	1	1	0	0	0	0	0	0
1	0	1	1	1	0	1	1	1
0	0	0	1	0	0	0	1	0
0	1	0	0	1	0	0	1	1
1	0	0	0	0	1	0	0	1

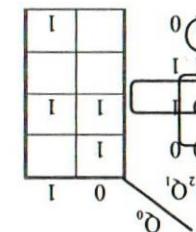


10 11 0 110

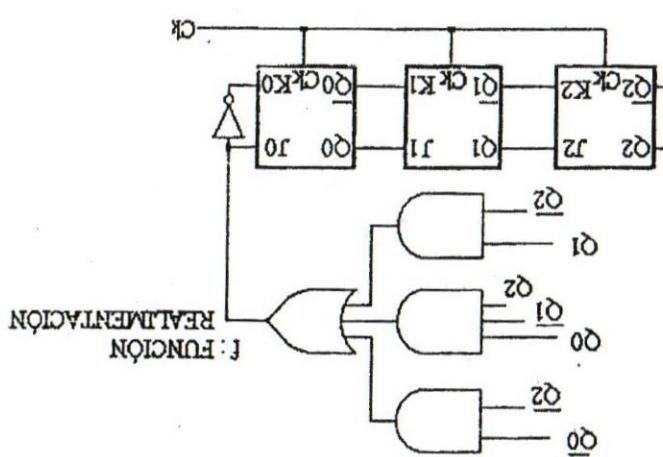
4to. Paso: Función salida: En la 3<sup>a</sup> columna ( $F = j_0$ ) colocamos la secuencia que deseamos generar.

$$F = \overline{Q_2}Q_0 + \overline{Q_2}Q_1 + Q_2\overline{Q_0}$$

S <sub>4</sub>	S <sub>3</sub>	S <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	F = j <sub>0</sub>
0	0	0	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0
1	1	1	1	1	0	0	0	1
0	0	1	1	1	1	1	1	1
1	0	0	1	0	0	1	1	1
0	1	0	0	1	0	0	1	0
0	0	0	0	1	0	0	1	1
1	1	1	1	0	1	1	0	0



Flip Flop - Contadores - Registros

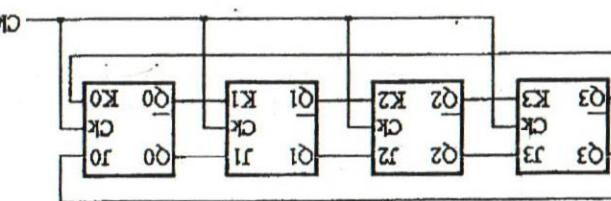


206

Figura 3.81.

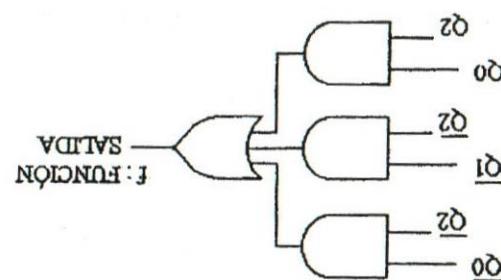
205

206



5.1.3.- CONTADOR ANILLO (M = n)

Figura 3.80.



**NOTA:** Al inicio debe迫使器se al contador para:

$$Q_3 = Q_2 = Q_1 = 0 \quad , \quad Q_0 = 1$$

Si diseñamos el contador por el método establecido encontramos que el circuito mostrado responde a la decisión de haber considerado el estado  $S_{15}(1111)$  igual a 1 en el mapa de Karnaugh contrariamente a lo que oportunamente propusieron.

El circuito propuesto es el clásico contador anillo o RING COUNTER.

IMPULSO RELOJ	$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	1	0	0	0
4	0	0	0	1

#### VENTAJA:

Es muy fácil visualizar la cuenta de este tipo de contador. Simplemente colocamos un indicador luminoso cada FF y obtenemos la lectura inmediata de la cuenta sin necesidad de decodificador.

#### DESVENTAJA:

Requiere  $N$  FF para  $N$  estados, por ejemplo para una década se necesitan 10 FF, contra 4 FF del convencional. Para el caso del contador de década posee  $2^{10} - 10 = 1014$  estados no utilizados y si entra en alguno de ellos es muy difícil que retorne por sí solo a la secuencia requerida. La detección de los estados no usadas requiere demasiada lógica adicional.

#### 5.1.4.- CONTADOR JONSON ( $M = 20$ )

IMPULSO RELOJ	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$f = J_0$
0	0	0	0	0	1
1	0	0	0	1	$\bar{Q}_2 Q_1$
2	0	0	1	1	$\bar{Q}_0 Q_1$
3	0	1	1	1	$\bar{Q}_0 Q_1$
4	1	1	1	1	0
5	1	1	1	0	$\bar{Q}_1 Q_0$
6	1	1	0	0	$\bar{Q}_1 Q_0$
7	1	0	0	0	0

$Q_0$

0 0 0 1 1 1 1 0

1 1 1 x

x x 1 x

0 x 0 0

0 x x x

$$f = \bar{Q}_3 J_0$$

#### 5.1.5.- GENERADOR PSEUDO RANDOM

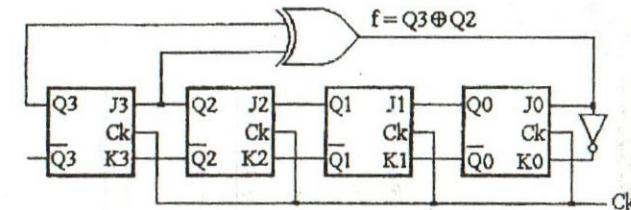


Figura 3.82.

El estado  $S_0$  no está incluido en la secuencia dado a que es un estado sin salida, ya que:

$$J_0 = 0 \oplus 0 = 0$$

Y al registro le es imposible salir de ese estado. La máxima longitud:

$$L = 2^N - 1$$

La realimentación aquí mostrada tiene máxima longitud. No todas las realimentaciones con O- EXCLUSIVA tienen máxima longitud.

**Técnicas Digitales con C.I.**, M. C. Günzburg  
**Sistemas Electrónicos Digitales**, E. Mandado  
**Editorial Marcombo**  
**Diseño de Lógica Digital**, B. Holdsworth  
**Editorial G.G.**

### BIBLIOGRAFIA:

$S_1$	$Q_3$	$Q_2$	$Q_1$	$Q_0$	F
1	0	0	0	0	1
0	0	0	1	1	1
1	1	1	0	0	0
1	1	1	1	0	0
0	1	1	1	1	0
0	1	1	1	1	1
1	0	1	1	1	1
1	0	1	1	1	1
0	1	0	1	1	1
1	0	1	1	0	1
1	1	0	1	0	0
0	1	1	0	1	0
0	0	0	1	1	0
1	0	0	1	1	1
0	1	0	0	1	0
0	0	0	0	0	0
1	0	0	1	0	0
0	0	0	0	1	0
0	0	0	0	0	1

## ***CAPÍTULO IV***

*Circuito de Tiempo*

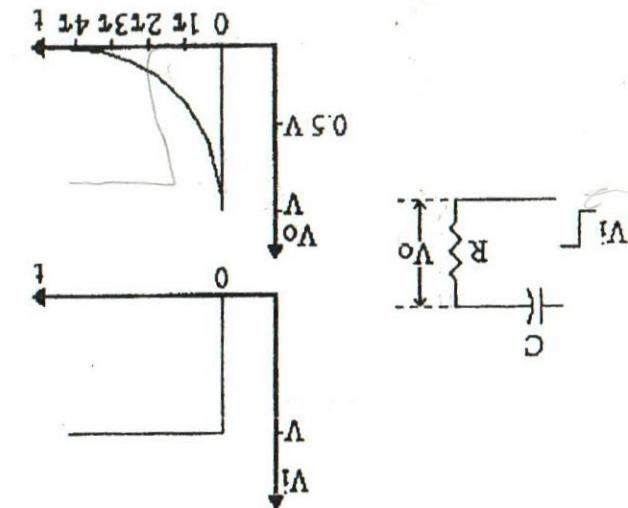
donde:

$$V_o = V_i + (V_i - V_o) e^{-\frac{t}{RC}} \quad (1)$$

La solución general para este circuito se nombra es:

Como se puede apreciar  $V_i = 0$  para  $t = 0$  y  $V_o = V$  para  $t = 0^+$

Figura 4.1.



### 1.1. CIRCUITO RC PASA ALTO

Vamos a analizar este circuito suponiendo que a la entrada del mismo se aplica una SENAL ESCALON tal como se muestra en la Fig. 4.1.

Los circuitos de tiempo que se estudian en este capítulo requieren el conociimiento de redes pasivas RC. Por ello haremos una breve introducción a estos circuitos.

### Circuitos de Tiempo

El valor de  $t$  será:

$V_f$ : valor final  
 $V_i$ : valor inicial

Circuitos de Tiempo

$$t = RC \cdot \ln \left[ \frac{(V_f - V_i)}{(V_i - V_f)} \right]$$

Ahora debemos determinar los valores de  $V_i$  y  $V_f$ . Una vez cargado el capacitor (lo que sucede para  $t = \infty$ ), por el circuito no circula más corriente, por lo que la caída de potencial en  $R$  es cero. Así vemos que la tensión final es instantáneamente, por lo que si el capacitor estaba descargado la tensión de salida es constante.

Con respecto a  $V_i$ , conocemos que la tensión en un capacitor no puede cambiar para  $t = 0^+$  siendo el valor de:

$$V_o = V_i = V$$

Ahora debemos determinar los valores de  $V_i$  y  $V_f$ . Una vez cargado el capacitor (lo que sucede para  $t = \infty$ ), por el circuito no circula más corriente, por lo que la caída de potencial en  $R$  es cero. Así vemos que la tensión final es constante.

( $=\infty$ ) de salida es cero.

Al aplicarlos a la entrada una señal escalon. La respuesta del circuito (según puede apreciarse en la Fig. 4.2.) es una exponencial con una constante de tiempo  $RC$ .

### 1.2. CIRCUITOS RC PASA BAJO

$$V_o = V_i e^{-\frac{t}{RC}} \quad (2)$$

Reemplazando los valores de  $V_i$  y  $V_f$  en la ecuación (1) se obtiene:

$$V_o = V_i = V$$

Con respecto a  $V_f$ , conocemos que la tensión en un capacitor no puede cambiar para  $t = 0^+$  siendo el valor de:

$$V_o = V_i = 0V$$

Al aplicarlos a la entrada una señal escalon. La respuesta del circuito (según puede apreciarse en la Fig. 4.2.) es una exponencial con una constante de tiempo  $RC$ .

## Circuitos de Tiempo

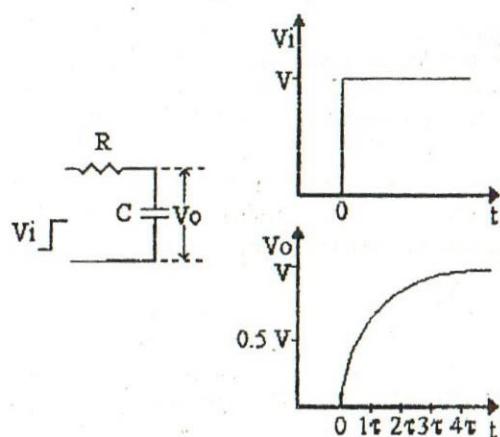


Figura 4.2.

La ecuación de gobierno de este circuito se obtiene de aplicar la ecuación (1). Para ello debemos determinar el valor inicial ( $V_i$ ) y el valor final ( $V_f$ ). Consideremos el capacitor descargado, por lo que:

$$V_s = 0$$

La tensión a la que se carga el capacitor (valor final  $V_f$ ), es  $V$ , por lo que:

$$V_f = V$$

Reemplazando estos valores en la ecuación (1) obtenemos:

$$V_o = V \left[ 1 - e^{-\frac{t}{\tau}} \right] \quad (3)$$

## Circuitos de Tiempo

El tiempo de crecimiento ( $\tau$ ) esta definido como el tiempo transcurrido entre el 10 % y el 90 % del valor final.

El tiempo empleado para alcanzar el 10 % es:

$$0.1 V = V \left[ 1 - e^{-\frac{-\tau_1}{\tau}} \right]$$

$$\tau_1 = 0.1 RC$$

El tiempo empleado para alcanzar el 90 % es:

$$0.9 V = V \left[ 1 - e^{-\frac{-\tau_2}{\tau}} \right]$$

$$\tau_2 = 2.3 RC$$

$$\tau = \tau_2 - \tau_1 = 2.2 RC$$

### 1.3.- CIRCUITO PASAALTO / PASABAJO

Observemos el circuito de la Fig. 4.3, el cual simplemente es una malla RC como las ya vistas. Según estén conectadas las llaves  $L_1$  y  $L_2$ , corresponderá a una circuito pasabajos o un pasaalto.

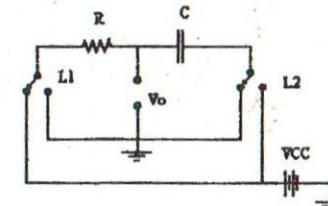


Figura 4.3.

Las llaves  $L_1$  y  $L_2$  trabajan sincrónicamente y en conexión opuesta, una a VCC y la otra a Masa. En el caso del circuito de la Fig. 4.3 vemos que corresponde a un circuito pasabajos, por lo que el comportamiento de la tensión de salida  $V_o$  es el que se muestra en la Fig. 4.4.

A medida que transcurre el tiempo, la carga del capacitor tiende a cero, para este nuevo ciclo, corresponde a una tensión  $V_o = V_i + V_{CC}$ . Comuntemos nuevamente las llaves para el instante  $t = t_1$ , pero primero analicemos la situación un instante antes de  $t_1$  ( $t_2$ ). Las condiciones del circuito son las mostradas en la Fig. 4.6.

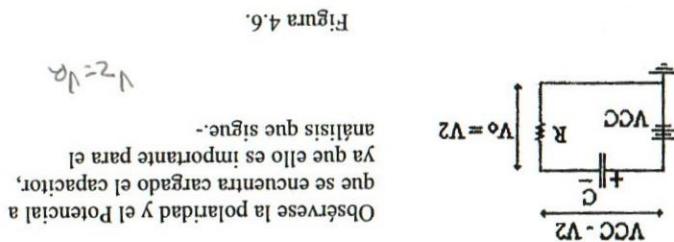


Figura 4.6.

Observese la polaridad y el Potenciómetro que se encuentra cargado el capacitor, ya que ello es importante para el análisis que sigue.

Comuntemos nuevamente las llaves para el instante  $t = t_2$ , que es el instante en que comunitamos ambas llaves, el circuito que queda es el que se muestra en la Fig. 4.5.

Figura 4.7.

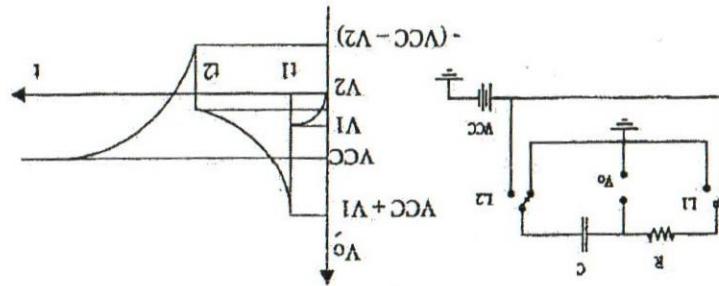


Figura 4.7.

### Circuitos de Tiempo

### Circuitos de Tiempo

Como observamos en el diagrama temporal de la Fig. 4.7, la tensión de salida ( $V_o$ ), que por debajo del cero vale ( $V_o < 0V$ ), alcanza un valor que es igual a ( $V_o$ ), caso por debajo del cero voltios ( $V_o < 0V$ ), y alcanza un valor que es igual a ( $V_o$ ).

Figure 4.5.

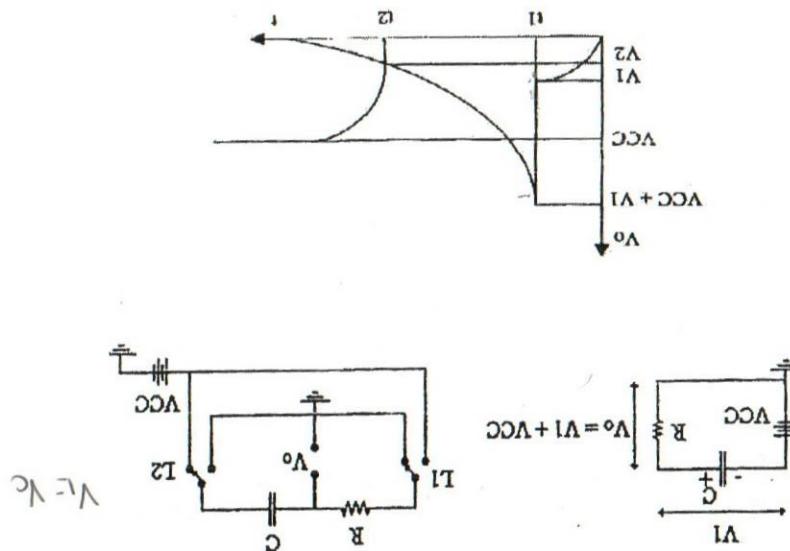
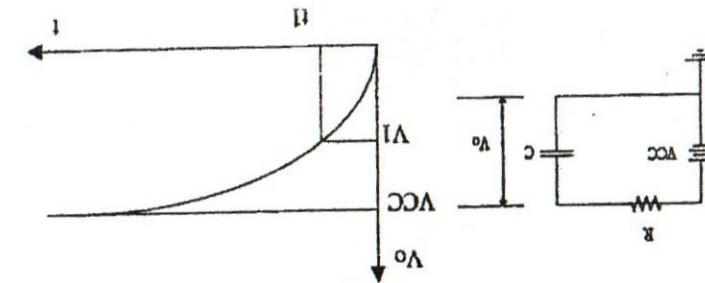


Figura 4.4.



Las llaves  $L_1$  y  $L_2$  trabajan sincrónicamente y en conexión opuesta, una a VCC y la otra a Masa. En el caso del circuito de la Fig. 4.3 vemos que corresponde a un circuito pasabajos, por lo que el comportamiento de la tensión de salida  $V_o$  es el que se muestra en la Fig. 4.4.

$$V_o = -V_{cc} - V_2$$

el cual es el valor inicial de este nuevo ciclo. A partir de allí el capacitor continua cargándose hasta alcanzar su valor final, es decir  $V_{cc}$  ( $V_o = V_{cc}$ ).

#### 1.4.- EJEMPLOS

Supongamos el siguiente circuito:

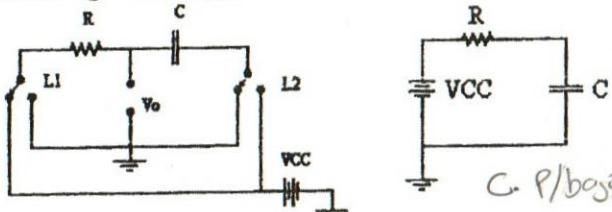


Figura 4.8.

Datos:  $R = 10K$ ;  $C = 0.1\mu F$ ;  $V_{cc} = 5V$

Se pide calcular el valor de  $V_o$  para  $t = t_1 = 1 \text{ mseg}$ .

Sabemos que:

$$V_o = V_f - (V_s - V_f)e^{\frac{-t}{RC}}$$

$$V_o = 5(1 - e^{-\frac{1}{0.01}}) = 3.16$$

Cuando energizamos el circuito ( $t = 0$ ), el capacitor se encuentra descargado por lo que:

$$V_o = V_s = 0V$$

A partir de allí, el capacitor se va cargando y  $V_o$  crece en forma exponencial hasta llegar al valor de  $V_{cc}$ , para 't' que tiende a infinito;

$$V_o = V_f = V_{cc}$$

reemplazando valores

$$V_o = V_{cc} + (0 - V_{cc})e^{\frac{-t}{RC}}$$

$$V_o = 5(1 - e^{-1}) = 5(1 - 0.368)$$

$$V_o = 3.16 \text{ V}$$

Para ese instante de tiempo ( $t = t_1$ ) el circuito queda en las siguientes condiciones:

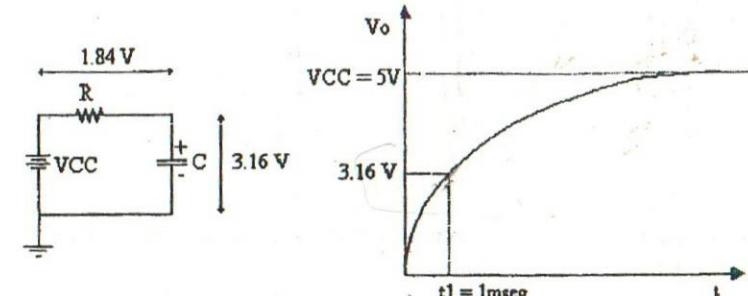


Figura 4.9.

Comutamos ahora las llaves y observamos la salida para el instante  $t = t_1+$ , que como ya sabemos es infinitésimo después del  $t_1$ .

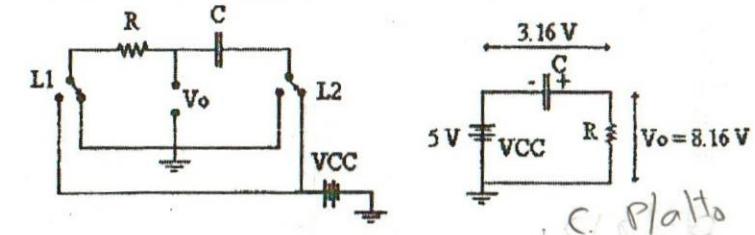
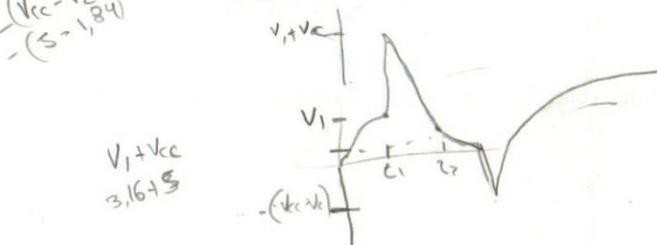


Figura 4.10.

$$\begin{aligned} &V_1 + V_{cc} \\ &3.16 + 5 \\ &8.16 \end{aligned}$$



222

- Estabilidad relativamente buena respecto a  $V_{Dd}$
  - Altitud de garantizada
  - Rango amplio de alimentación ( $V_{Dd}$ )

siguiéntes características:

En esta sección describiremos drivers de memoria que proveen mejor rendimiento con elementos lógicos CMOS. Estos circuitos ofrecen las

2. - OSCILADORES CON C.I. CMOS

A prima de 1<sup>2</sup>, el es

A parte de la capacidad comienza a cargar hasta el valor de V<sub>c</sub> para que

Figura 4.13.

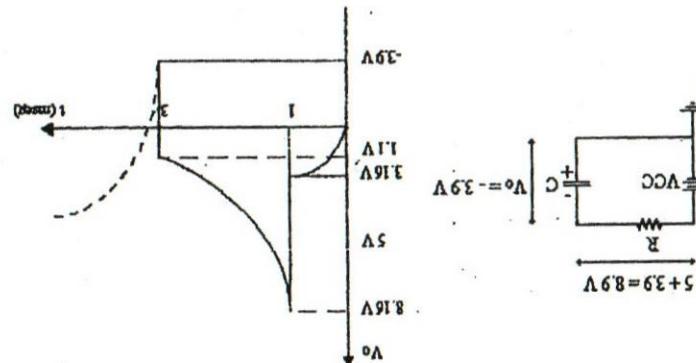
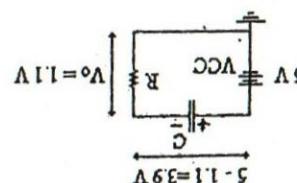


Figura 4.12.

Comuntemos ahoras las llaves ( $t = t_2$ ) y observemos lo que ocurre un infinitésimo despues ( $t = t_2 + \epsilon$ )

**NOTA: OBSERVE EL VALOR DE  
TENSIÓN QUE PRESENTA EL  
CAPACITOR Y LA POLARIDAD**



Circuitos de Tiempo

$$\Delta QI \cdot I = {}^0\Delta$$

$$\frac{1}{10} \cdot e(0 - 0.8) + 0 = {}^0A$$

$$\frac{1}{\epsilon} \partial (\mathbf{^j}\Lambda - \mathbf{^s}\Lambda) + \mathbf{^j}\Lambda = \mathbf{^0}\Lambda$$

emplazando en:

$$\Lambda 0 \equiv {}^j\Lambda$$

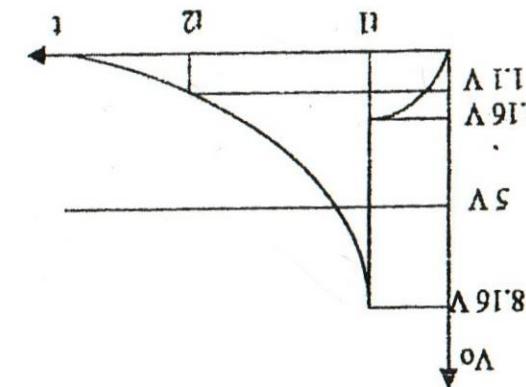
✓ la tensión final:

$$(+1=1) \wedge 91.8 = 9$$

Comuntemos nuevamente las llaves ahora para  $t = t_2 = 3$  mseg, pero antes debemos analizar el comportamiento del circuito entre  $t_1$  y  $t_2$ . De la gráfica podemos apreciar que el valor inicial para este ciclo es:

A partir de  $t = t_1$ , comienza a aumentar el valor de tensión en el capacitor por lo que disminuye la tensión de salida  $V_o$ .

Figura 4.11.



la grafica correspondiente es:

Circuitos de Tiempo

- Frecuencia de operación hasta 15 MHz
- Bajo consumo
- Facilidad de interface con otras familias lógicas

### 2.1.- OSCILADOR CON INVERSORES

Cualquier número impar de inversores lógicos oscilará si se conectan en ANILLO, según se muestra en la fig. 4.14.

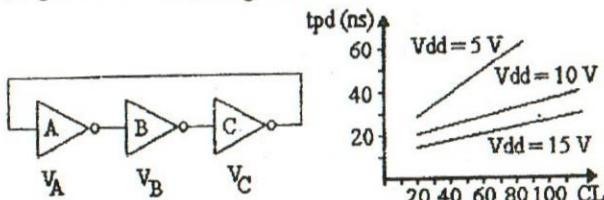


Figura 4.14.

Realicemos un diagrama temporal, para lo cual supondremos que en  $V_c$  se ha producido un '1'. Ese '1' se aplica al inversor 'A' y al cabo de tpd (retardo del inversor) aparece un cero en  $V_A$ , el cual es aplicado al inversor 'B', y después de tpd aparece un '1' en  $V_B$ , que es aplicado al inversor 'C', que luego de tpd aparece un cero en  $V_c$ , y así sucesivamente. Este comportamiento lo vemos en la Fig. que sigue:

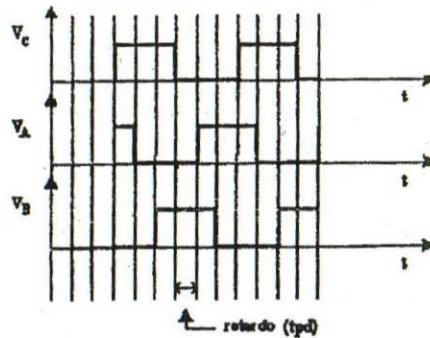


Figura 4.15.

La frecuencia de operación está determinada por el tiempo total de retardo de propagación a través del anillo y está dado por:

$$f = \frac{1}{2 n tpd}$$

donde

$\left\{ \begin{array}{l} f: \text{frecuencia de oscilación} \\ tpd: \text{tiempo de propagación por inversor} \\ n: \text{número de inversores} \end{array} \right.$

Este no es un oscilador práctico, ya que la única forma de variar la frecuencia es agregar o quitar inversores. Por otra parte la frecuencia de oscilación es fuertemente dependiente de la alimentación y la capacidad de carga total como se observa en la gráfica tpd/CL.

### 2.2.- OSCILADOR CON INVERSORES Y RED RC

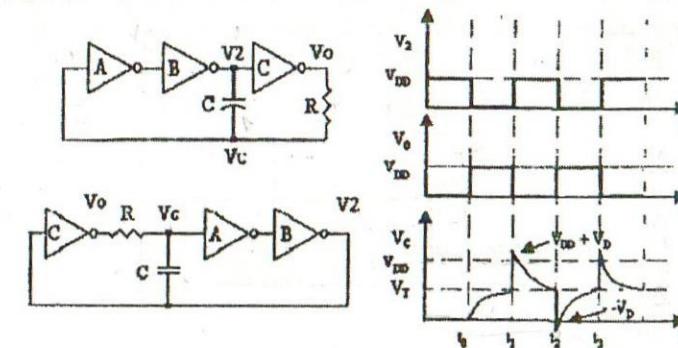


Figura 4.16.

En la Fig. 4.16, observamos un oscilador muy conveniente que supera los problemas del anterior ya que la frecuencia de operación depende de la red RC.. Mayor estabilidad se consigue cuanto más grande sea R, ya que de esa forma será independiente (la cte. RC) de cualquier variación de la resistencia de salida del

Circuitos de Tiempo  
A partir de  $T_1$ , la malla RC actúa como derivadora (pasivo) y el potencial  $V_c$  va disminuyendo hasta alcanzar nuevamente el valor de  $V_t$ , en donde se produce una nueva conmutación ( $t=t_2$ ).

para  $t=t_2+$ , la situación es la siguiente:  
 $V_c \equiv V_t$

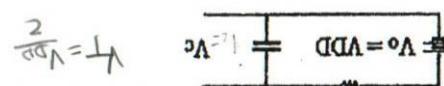
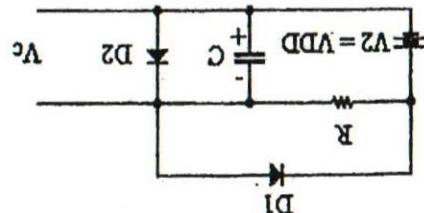


Figura 4.17.

Circuitos de Tiempo  
CMOS. La función de transferencia se considera ideal, es decir el umbral se encuentra en  $V_{DD}/2 = V_t$ . Como se puede observar, la malla RC responde a un circuito integrador, al energizar el circuito, para  $t=t_0+$ ,  $V_2=0$ ,  $V_0=V_{DD}$ , entonces:

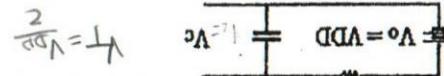


Figura 4.18.

Obsérvese que el  $1^o$  semiperíodo es distinto a los demás, por lo que la señal se considera periódica a partir de  $t_1$ , en donde el período es igual a

$$T = T_1 + T_2$$

donde:

$$T_2 = t_3 - t_2$$

$$T_1 = t_2 - t_1$$

Los diodos representan parte del circuito de protección de entrada de la CMOS. Cuando el circuito comunita ( $t_1$ ), si no estuviese  $D_1$ ,  $V_c$  alcanzaría el valor de:

$$V_c = V_{DD} + V_d \quad V_d = 0.7V$$

con el diodo incluido:

$$V_c = V_{DD} + V_t$$

### CALCULO DE TIEMPOS

$$V_c = -V_d = -0.7V$$

Incluyendo  $D_2$ :  
Si no existe  $D_2$ :  $-V_c = -V_t = -V_{DD}/2$

Figura 4.19.

Figura 4.19.

Vemos en el diagrama temporal que,  $V_c$  comienza a crecer hasta llegar a  $V_t$ , en el tiempo  $t=t_1$ . Entre  $t_1$  y  $t_2$ , el potencial a la entrada del inversor 'A' se corresponde a un '0', pero cuando  $V_c = V_t + \Delta V$  (para  $t = t_1+$ ) ese potencial considera un '0', entre  $t_1$  y  $t_2$ , el potencial a la entrada del inversor 'A' se corresponde a un '1', por lo que  $V_c = V_{DD}$  y  $V_o = 0V$ , con lo que esta malla RC comporata ahora como un circuito derivador, tal como se muestra a continuación.

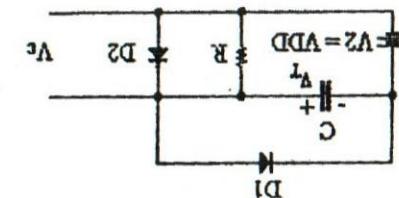
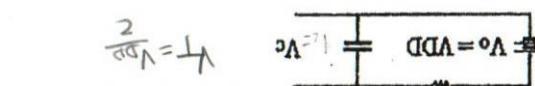


Figura 4.18.

Vemos en el diagrama temporal que,  $V_c$  comienza a crecer hasta llegar a  $V_t$ , en el tiempo  $t=t_1$ . Entre  $t_1$  y  $t_2$ , el capacitor se encuentra cargado al valor  $V_t$ . Para  $t=t_2-$ , el capacitor se encuentra descargado al valor  $V_{DD}$ . Considerando un '0', el tiempo  $t=t_1$ , el potencial a la entrada del inversor 'A' se corresponde a un '1', por lo que  $V_c = V_{DD}$  y  $V_o = 0V$ , con lo que esta malla RC comporata ahora como un circuito derivador, tal como se muestra a continuación.

Figura 4.17.



$$V_0 = V_f + (V_s - V_f) e^{-\frac{t}{\tau}}$$

CALCULO 1º SEMIPERIODO

$$\begin{aligned} T_0 &= t_1 - t_0 \\ V_0 &= V_c \end{aligned}$$

Despejando t:

$$t = \tau \ln \frac{V_f - V_s}{V_f - V_c}$$

$$\text{para } t = t_1; V_f \rightarrow VDD; V_s = 0; V_c = \frac{VDD}{2}$$

reemplazando

$$T_0 = R_c \ln \frac{VDD - 0}{VDD - \frac{VDD}{2}}$$

$$T_0 = 0.69RC$$

CALCULO 2º SEMIPERIODO

$$T_1 = t_2 - t_1$$

$$\text{para } t = t_2; V_f \rightarrow 0; V_s \rightarrow VDD + VD; V_c = \frac{VDD + VD}{2}$$

reemplazando

$$T_1 = R_c \ln \frac{0 - (VDD + VD)}{0 - \frac{VDD}{2}}$$

$$T_1 = R_c \ln 2 \frac{VDD + VD}{VDD}$$

Si consideramos VDD &gt;&gt; VD

$$T_1 \approx 0.69RC$$

CALCULO 3º SEMIPERIODO

$$T_2 = t_3 - t_2$$

$$\text{para } t = t_3; V_f \rightarrow VDD; V_s \rightarrow -VD; V_c = \frac{VDD}{2}$$

reemplazando

$$T_2 = R_c \ln \frac{VDD + VD}{VDD - \frac{VDD}{2}}$$

$$T_2 = R_c \ln 2 \frac{VDD + VD}{VDD}$$

Si consideramos VDD &gt;&gt; VD

$$T_2 \approx 0.69RC$$

CALCULO DEL PERIODO

$$T_2 = T_1 + T_2$$

$$T \approx 1.38 RC$$

$$f = \frac{1}{T} = \frac{0.725}{RC}$$

2.3.- OSCILADOR CON DOS INVERSORES

Un oscilador muy popular es el que se muestra en la Fig. 4.20. la única característica indeseable de este circuito es que puede no oscilar. Esto se demuestra fácilmente permitiendo que el capacitor alcance el valor cero. Esto demuestra que existiría algún valor de C en el cual el circuito dejará de oscilar. El oscilador de tres inversores oscilará independientemente del valor de C.

$$VT \equiv 0.5 VDD$$

$$VDD \gg VD$$

Podemos simplificar la ecuación (6) si aceptamos que:

Como podemos observar en la ecuación (6) el periodo  $T$  es dependiente de los cambios de  $VDD$  y  $VT$ . Sabemos que  $VT$  podrá variar de un integrador a otro del 30% al 70% de  $VDD$ .

$$T = R_c * \ln \left( \frac{VDD - VT}{VDD + VD} \right) \quad (6)$$

$$T = T_1 + T_2$$

El periodo será:

$$T_2 = R_c * \ln \left( \frac{VDD - VT}{VDD + VD} \right) \quad (5)$$

Desejando:

$$V_t = VDD + (-VD - VDD)e^{-\frac{t}{T_2}}$$

Reemplazando:

$$\begin{aligned} V_f &= VDD \\ V_s &= -VD \\ V_o &= V_t \end{aligned}$$

$$\text{Para } t = T_2$$

$$T_1 = R_c * \ln \left( \frac{VDD + VD}{VDD - VT} \right) \quad (4)$$

Desejando  $T_1$ :

Circuitos de Tiempo

Circuitos de Tiempo

$$VT = 0 + (VDD + VD - 0)e^{-\frac{t}{T_1}}$$

Reemplazando:

$$V_f = 0V$$

$$V_s = VDD + VD \quad (VD : \text{caída diodo})$$

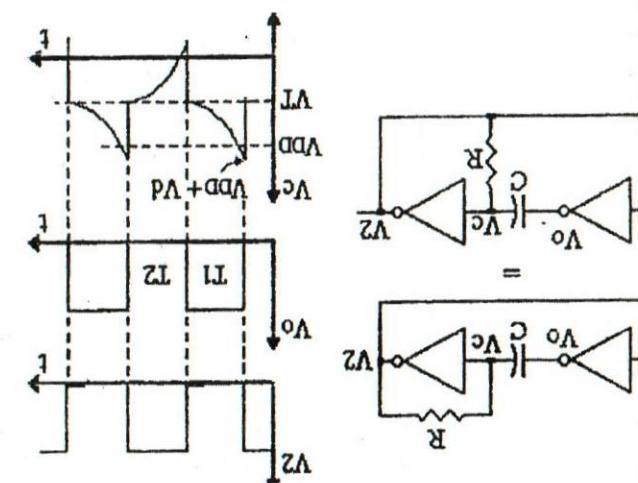
$$V_o = VT \quad (\text{Tensión umbral})$$

$$\text{Para } t = T_1$$

$$V_o = V_f + (V_s - V_f)e^{-\frac{t}{T_1}}$$

A continuación presentamos el análisis circuital de este oscilador:

Figura 4.20.



$$T = 1.4 \text{ RC}$$

El análisis hecho es válido solo para bajas frecuencias (hasta 50 KHz). Arriba de la frecuencia mencionada debe ser tenido en cuenta que:

- 1.- El diodo de protección de entrada a VDD posee una resistencia y capacidad que deberán ser tenidos en cuenta, ya que no pueden ser despreciables respecto de RC.
- 2.- Se deberá tener en cuenta además el diodo de entrada a Vss por el mismo motivo.
- 3.- Hay una impedancia de salida finita asociada a cada inversor la que está en serie con la resistencia en la malla RC. Ya que esta resistencia cambia con VDD (a alta frecuencia donde el resistor externo se vuelve pequeño) la estabilidad del oscilador decrece con pequeñas variaciones de VDD.
- 4.- Debemos sumar el tiempo de retardo de los inversores. Y como los mismos varían con VDD, un pequeño cambio en VDD hará lo propio con la frecuencia. Las características negativas del circuito de protección de entrada pueden ser parcialmente compensadas con la adición de una resistencia serie tal como se muestra en la Fig. 4.21 y cuyo análisis circuital y forma de ondas veremos a continuación.

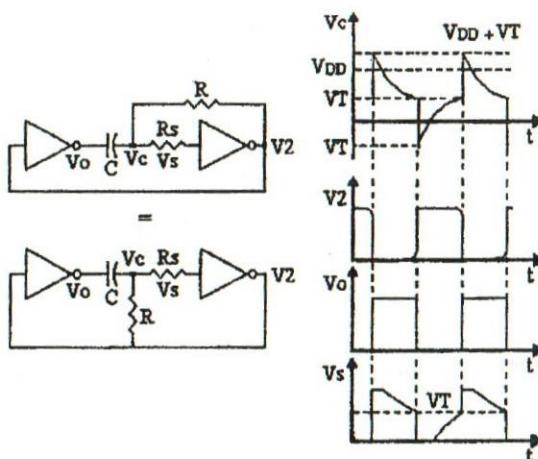


Figura 4.21.

**2.4.- CONTROL CICLO DE TRABAJO**

El ciclo de trabajo está definido como la relación existente entre el NO pulso y el período tal como se muestra en la fig. 4.22.

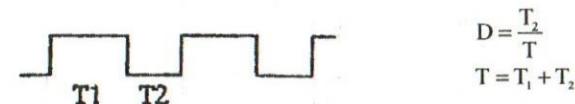


Figura 4.22.

Podemos lograr controlar el ciclo de trabajo de un oscilador tal como se muestra en la fig. 4.23.

El resistor  $R_1$  queda parcialmente en corto según circule la corriente, por lo tanto tendremos dos constantes de tiempo:

$$\begin{aligned} \tau_1 &= C(R_1 + R_2) \\ \tau_2 &= C(KR_1 + R_2) \end{aligned}$$

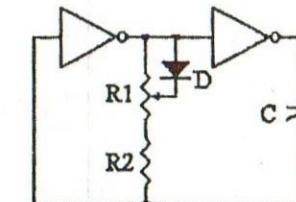


Figura 4.23.

1&gt;&gt;K&gt;&gt;0

Se podría agregar otro resistor en serie con  $R_1$  y  $R_2$  con el objeto de ajustar la frecuencia. (Fig. 4.24.)

El valor de  $V_o = 2V_{DD}$  se alcanza debido a que existe la resistencia de entrada  $R_s$ , en la compuerta NAND que demanda el siguiente circuito equivalente:

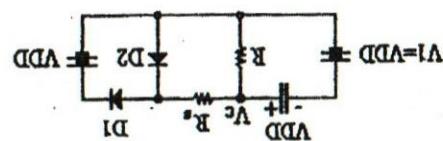


Figura 4.26.

$D_1$  y  $D_2$ : diodos entrada compuerta

Si  $R_s = 0$ ; entonces  $V_o \equiv V_{DD} + V_0$

$$V_o = 0; V_s = 2V_{DD}; V_c = V_t = \frac{V_{DD}}{2}$$

CALCULO DE  $T_o$

$$T_o = RC \ln \frac{V_o - V_s}{V_{DD}}$$

$$T_o = RC \ln \frac{0 - 2V_{DD}}{V_{DD}}$$

$$T_o = 1.38 RC$$

$$T_o = RC \ln 4$$

Reemplazando

$$T_o = RC \ln \frac{V_o - V_s}{V_{DD}} = RC \ln \frac{V_{DD} + V_t - V_s}{V_{DD}}$$

$$V_o = V_{DD}; V_s = -\frac{V_{DD}}{2}; V_t = \frac{V_{DD}}{2}$$

CALCULO DE  $T_o$

$$T_o = RC \ln \frac{V_{DD} + V_t - V_s}{V_{DD}} = RC \ln \frac{V_{DD} + \frac{V_{DD}}{2} + \frac{V_{DD}}{2}}{V_{DD}} = RC \ln \frac{2V_{DD}}{V_{DD}}$$

$$T_o = RC \ln 4$$

Figura 4.24.



Circuitos de Tiempo

## 2.5. OSCILADORES CON ENTRADA DE HABILITACION

El oscilador implementado con dos inversores puede ser modificado a los efectos de que oscile o no segün una entrada de control. Tal circuito se observa en la Fig. 4.25. Comencemos el análisis para  $t = t_0$ . A la salida de la compuerta NAND se encuentra cargado a  $V_{DD}$ . Cuando la entrada  $E$ , de la compuerta NAND se tienemos un  $t_1$  ( $V_{DD}$ ), por lo que  $V_o = 1V$ , en esas condiciones el capacitor se conecta a  $V_{DD}$ , la cual es la tensión de trabajo del circuito. La tensión de la compuerta NAND se incrementa a  $V_{DD}$  y en la salida  $V_o = 0$ . La salida  $V_o = V_{DD}$  se suma al potencial del capacitor, hace que el circuito comunique en la salida de la compuerta NAND, tenemos un  $t_2$ , el circuito comunita y en la salida de la compuerta NAND, tienemos un  $t_3$  ( $V_{DD}$ ) y en  $V_o = 1$  y en  $V_s = 0$ . La salida  $V_o = V_{DD}$  es la suma de ambos, es decir:

$$V_o = 2V_{DD}$$

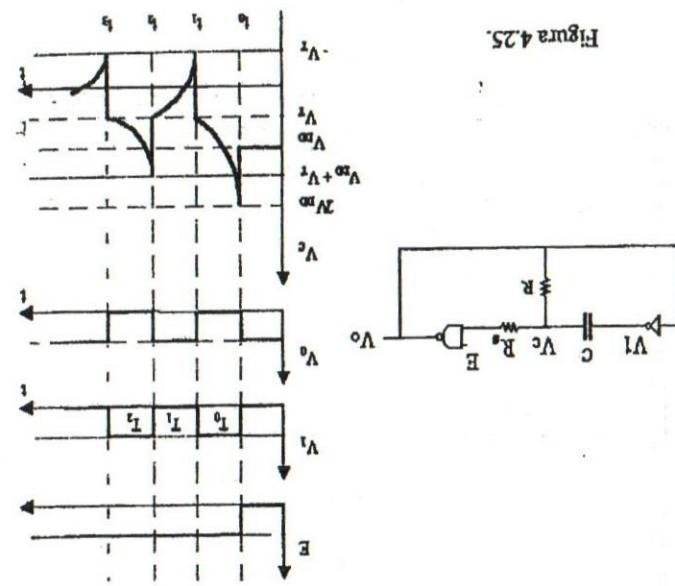


Figura 4.25.

$$T_1 = RC \ln 3$$

$$T_1 = 1.1 \text{RC}$$

## CALCULO DE T<sub>2</sub>

$$V_f = 0; V_s = V_{DD} + \frac{V_{DD}}{2}; V_e = \frac{V_{DD}}{2}$$

$$T_2 = RC \ln \frac{0 - \frac{3}{2}V_{DD}}{0 - \frac{V_{DD}}{2}}$$

$$T_2 = RC \ln 3$$

$$T_2 = 1.1 RC$$

$$\underline{\text{PERIODO:}} \quad T = T_1 + T_2$$

## **FRECUENCIA:**

$$f = \frac{1}{T} = \frac{0.4545}{RC}$$

El circuito anterior habilita con un '1' de entrada. El circuito que sigue habilita con un '0'. Su análisis es exactamente igual.

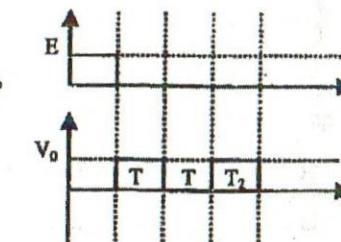
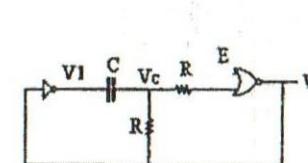


Figura 4.27

En estos circuitos la duración del pulso de salida depende del instante en que se da la señal para deshabilitar al oscilador. Para evitar esto se propone el circuito de la Fig. 4.28.

Analicemos el circuito de la Fig. 4.28. y comencemos suponiendo que  $C_k=0$

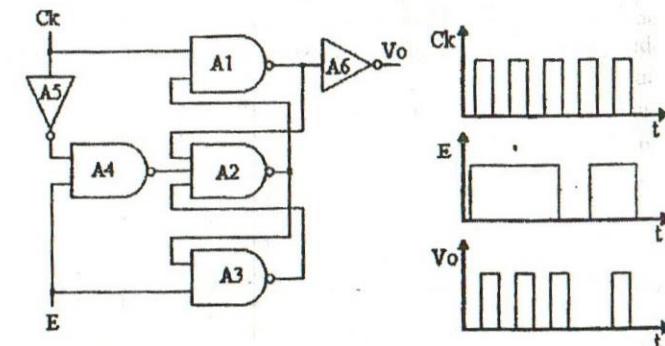


Figura 4.28

Si  $Ck = 0$ ,  $V_0 = 0$  (ya que la salida de  $A_1 = 1$ ), la compuerta  $A_4$  esa abierta y a la salida  $A_2$  se tiene  $E$  y la salida de  $A_3 = \bar{E}$ . Si  $E = 1$  la salida de  $A_2 = 1$ , la compuerta  $A_1$  esta abierta por lo que  $V_0 = Ck$ . Supongamos la siguiente situación  $Ck = 1$ ;  $E = 1$ , con lo que las salidas de las compuertas quedan:

$$A_4 = 1; \quad A_2 = 1; \quad A_3 = 0; \quad A_1 = 0; \quad V_0 =$$

Circuitos de Tiempo

Si aumentamos el potencial de entrada, la salida  $V_o$  es igual a  $V_{dd}$  hasta tanto no se supere  $V_{tu}$ , que es el nivel de disparo ( $V_o = V_{dd}$ ). Si estando por encima de  $V_u$  ( $V_o > V_u$ ), comienza a disminuir  $V_o$ , su salida superior.

Un incremento a partir de ese potencial ( $V_{tu}$ ) hace que  $V_o = 0$ .

Suponemos partir con  $V_i = 0$  y aumentamos el potencial de entrada, la salida  $V_o$  es igual a  $V_{dd}$ , y comienza a cargarne nivamente el capacitor repitiendo nuevamente el ciclo.

### APLICACION EN OSCILADORES

Figura 4.30.

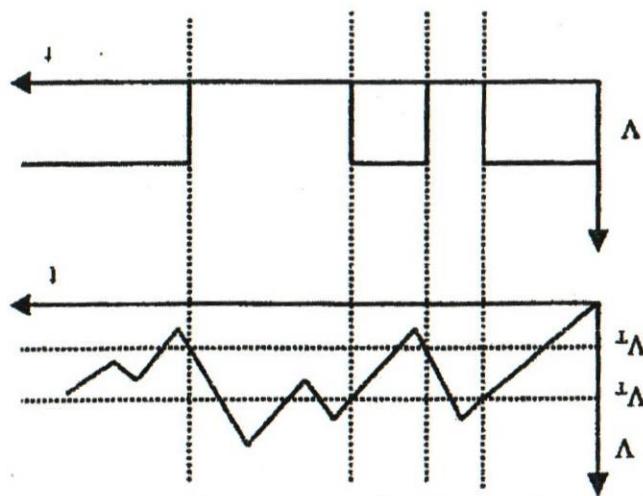


Figura 4.30.

### Circuitos de Tiempo

Si ahora cambia  $E$  antes que  $CK$ , es decir  $CK=1$ ;  $E=0$ , las salidas son:

$A_1 = 1; A_2 = 1; A_3 = 1; A_4 = 0; V_o = 1$

Como vemos la salida de  $A_1$  sigue siendo 1 con lo que  $A_1$  esta abierto, es decir  $V_o = CK = 1$ . De esta forma vemos que no se puede cortar la salida cuando  $E$  va a cero.

Si en estas condiciones, ahora además de  $E = 0$ ,  $CK$  va a cero, entonces

$A_1 = 1; A_2 = 0; A_3 = 1; A_4 = 0; V_o = 0$

Con  $A_2 = 0$  se bloquea  $A_1$  y se completa en  $V_o$ , el pulso de  $CK$ .

Vemos ahora que cuando la entrada de  $E$  va a 1 mientras  $CK = 0$

$A_1 = 0; A_2 = 0; A_3 = 0; A_4 = 1; V_o = 1$

Esto significa que la computadora  $A_2$  cuya salida es 1 habilita a la computadora  $A_1$ , permitiendo que pase el siguiente pulso de  $CK$ .

Si  $E$  va a 1 mientras  $CK=1$ ,  $A_1$  esta cerrada y  $A_3$ , no pueden responder al cambio hasta que  $CK$  vaya a 0. La situación es:

$A_1 = 1; A_2 = 0; A_3 = 1; A_4 = 1; V_o = 0$

Con lo que  $A_1$  y  $A_3$  están bloqueadas.

Solo cuando  $CK$  va a 0, se habilita  $A_1$ , dejando pasar el siguiente pulso de  $CK$ .

En estas condiciones:

$A_1 = 1; A_2 = 1; A_3 = 0; A_4 = 0; V_o = 0$

De esta forma bloqueamos un pulso 'parcial' en  $CK$  al comienzo de la habilitación.

### 2.6.- OSCILADORES CON TRIGGER DE SCHMITT

El Trigger de Schmitt o disparador de Schmitt es un dispositivo que presenta dos niveles de comparación y entrega un '0' o un '1', según se supere o no esos valores.

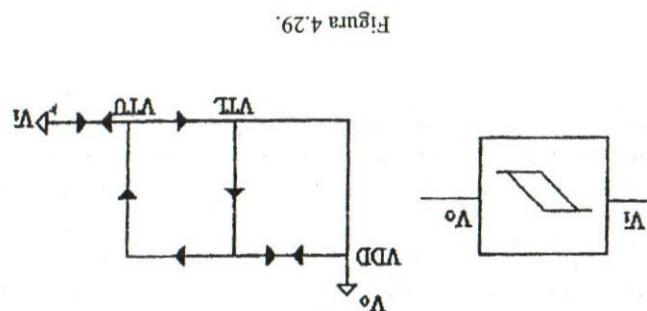


Figura 4.29.

La interpretación de esta función de Transferencia es la siguiente:

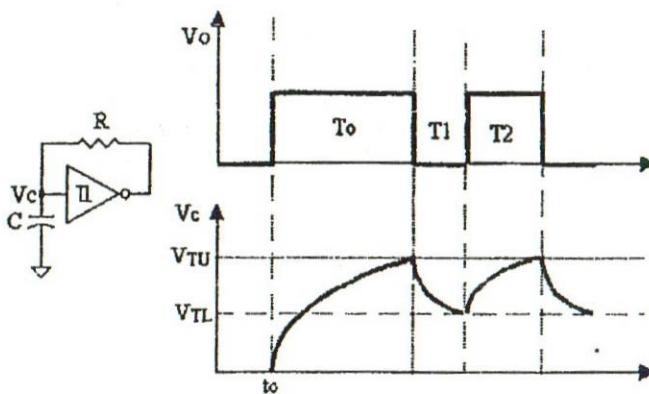


Figura 4.31.

CALCULO DE TIEMPOSPara el semiperíodo  $T_0$ 

$$V_s = 0 ; V_f = V_{DD} ; V_c = V_{TU}$$

$$T_0 = RC \ln \frac{V_f - V_s}{V_f - V_c}$$

Fórmula general del tiempo

$$T_0 = RC \ln \frac{V_{DD} - 0}{V_{DD} - V_{TU}}$$

para  $t = T_1$ 

$$V_s = V_{TU} ; V_f = 0 ; V_c = V_{TL}$$

Reemplazando:

$$T_1 = RC \ln \frac{V_{TU}}{V_{TL}}$$

para  $t = T_2$ 

$$V_s = V_{TL} ; V_f = V_{DD} ; V_c = V_{TU}$$

Reemplazando:

$$T_2 = RC \ln \frac{V_{DD} - V_{TL}}{V_{DD} - V_{TU}}$$

CALCULO DE LA FRECUENCIA

$$f = \frac{1}{T} = \frac{1}{T_1 + T_2}$$

VALORES TÍPICOS DE LA TENSIÓN UMBRAL			
	$V_{DD} = 5 \text{ V}$	$V_{DD} = 10 \text{ V}$	$V_{DD} = 15 \text{ V}$
$V_{TL}$	1.4 V	3.2 V	5.0 V
$V_{TU}$	3.0 V	6.0 V	9.0 V

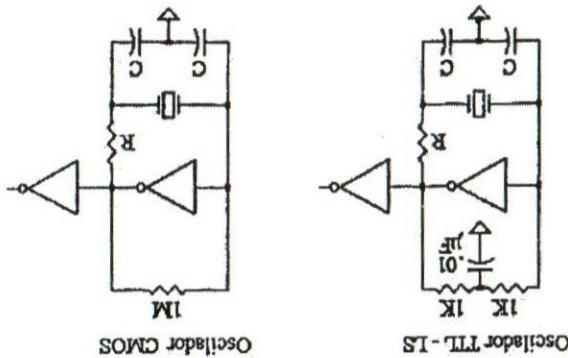
2.7.- OSCILADORES A CRISTAL

La estabilidad de frecuencia de un oscilador depende de la malla de realimentación. Para alta estabilidad se usan en dicha malla de CRISTALES DE CUARZO. Un cristal es una delgada pieza de cuarzo montada entre dos electrodos. Del punto de vista eléctrico se asemeja a un pequeño capacitor de 5 o 6 pF, excepto en que en ciertos rangos de frecuencia el cristal presenta una reactancia positiva (inductiva). En este rango de reactancia positiva se originan las propiedades piezoelectricas del cuarzo: comprimiéndolo genera un capo eléctrico y exitándolo se observa una deflexión mecánica. Si se aplica un campo eléctrico alterno y es tal que se aproxima a la resonancia mecánica, en ese caso la reactancia que se presenta al cristal se vuelve positiva (inductiva).

la frecuencia a la cual  $L_1$  y  $C_1$ , están en resonancia.

Figura 4.34.

$$10\text{ pF} < C < 30\text{ pF}$$



Los circuitos resonantes paralelos trabajan mejor con amplificadores que tienen una muy alta impedancia de entrada, por lo que son más adecuados para trabajar con C.I.CMOS.

$$f_a = 1.0002 \text{ fs}$$

superior a fs:

Para operar el cristal a fs, el amplificador tiene que ser un NO INVERSOR. Si un cristal SERIE se coloca en un oscilador que tiene un amplificador INVERSOR, este oscilará en resonancia paralelo a una frecuencia ligeramente superior a fs:

$$f_a = \frac{2\pi}{L_1 C_1 (C_1 + C_0)}$$

La frecuencia de resonancia paralela ( $f_a$ ) o de ANTIRRESONANCIA, es la dada por la inclusión de  $C_0$ , más las capacidades extremas asociadas ( $C_1$ ). Los circuitos resonantes paralelos oscilan entre fs y  $f_a$ :

$$fs = \frac{2\pi}{\sqrt{LC}}$$

Circuitos de Tiempo

Circuitos de Tiempo

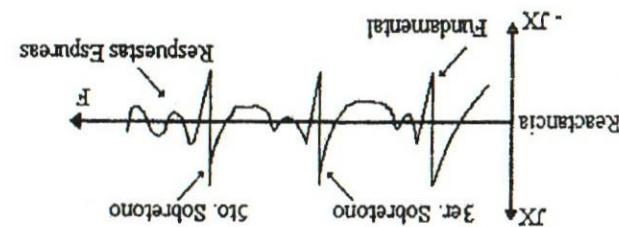
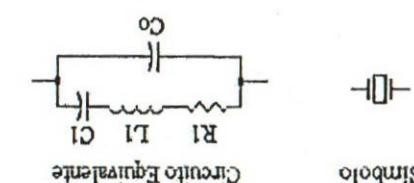


Figura 4.32.



Símbolo Circuito Equivalente

Figura 4.33.

$R_1$ ,  $C_1$ ,  $L_1$ : representan las propiedades eléctricas del cristal y dependen de las propiedades mecánicas.  $C_0$ : capacidad de los electrodos y del montaje mecánico

VALORES TIPICOS			
MHz	OHM	mH	pF
11.250	19	8.38	0.024
4.608	36	111.00	0.010
2.000	100	520.00	0.012
			4.0

Cristales Serie Vs. Paralelo: La frecuencia de resonancia serie (fs) de un cristal es

$$1K < R < 10K$$

Resonancia Serie: Los osciladores resonantes serie utilizan amplificadores NO INVERSORES.

VALORES TÍPICOS DE R EN OHMS		
TTL	TTL - LS	CMOS
330	1K	1M

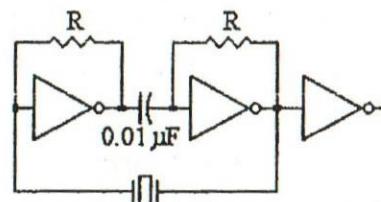


Figura 4.35.

### 3.- CIRCUITO MONOESTABLE

El circuito monoestable posee un solo estado estable

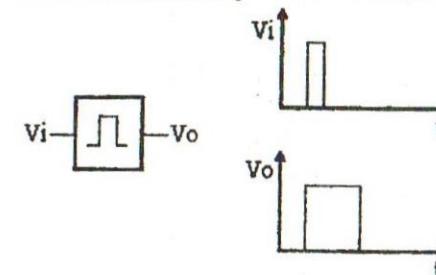


Figura 4.36.

Es un circuito muy sensible al ruido, por lo que se aconseja tomar las siguientes precauciones:

- 1.- Conservar la longitud de los terminales RC tan cortas como sea posible con el objeto de minimizar las capacidades parásitas.
- 2.- Coloque un capacitor de  $0.1\mu F$  de cerámica entre  $V_{DD}$  y MASA, lo más cerca posible de los terminales del monoestable.
- 3.- La salida del monoestable debe estar lo más lejos posible del capacitor C.
- 4.- Conserve el monoestable lejos de fuentes de ruido y de todos los conductores que contengan señales de ruido o transporten fuertes corrientes comutadas.

A continuación describiremos algunos circuitos típicos con compuertas CMOS.

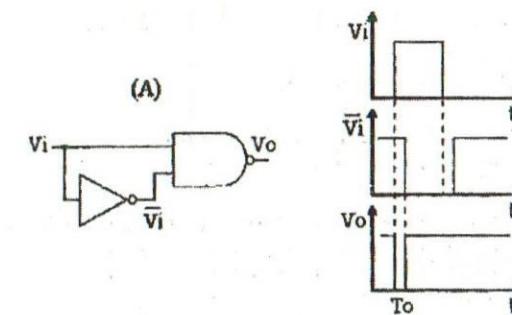


Figura 4.37. A

El circuito de la Fig. 4.38 permite que la duración del pulso de entrada ( $T_i$ ) sea menor que el de salida ( $T_o$ ).

$$T_o = t * \ln 2 = 0.69 RC$$

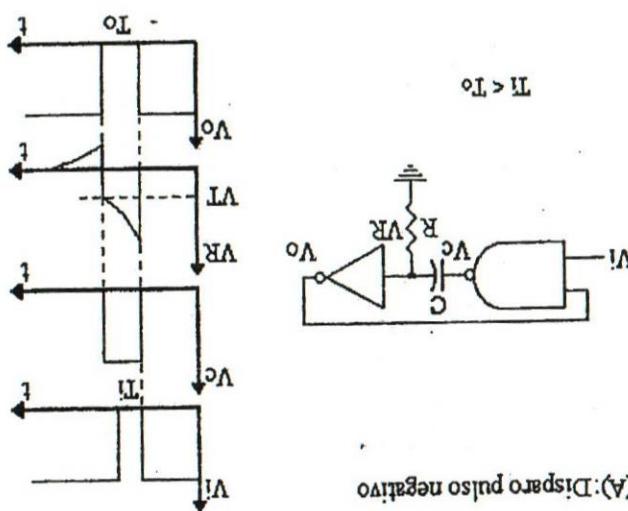
$$\frac{V_{dp}}{2} = 0 + (V_{dp} - 0)e^{-\frac{t}{T_o}}$$

$$\text{Para } t = T_o \rightarrow V_R = VT = \frac{2}{V_{dp}}$$

$$V_r = 0 ; V_s = V_{dp}$$

$$VR = V_r + (V_s - V_r)e^{-\frac{t}{T_o}}$$

Figura 3.38.



(A): Dispersion de pulso negativo

$$T_o = t * \ln 2 = 0.69 RC$$

$$\frac{V_{dp}}{2} = 0 + (V_{dp} - 0)e^{-\frac{t}{T_o}}$$

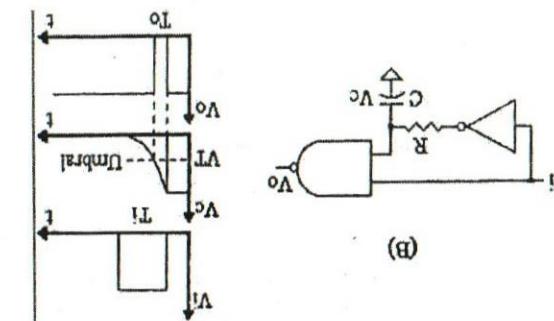
$$\text{Para } t = T_o \rightarrow V_o = VT = \frac{2}{V_{dp}}$$

$$V_r = 0 ; V_s = V_{dp}$$

$$V_o = V_r + (V_s - V_r)e^{-\frac{t}{T_o}}$$

En la Fig. 4.37.B.,  $T_i$  siempre es mayor que  $T_o$ .

Figura 3.37.B



(B)

(B): Disparo pulso positivo

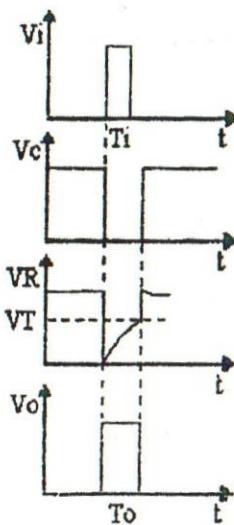
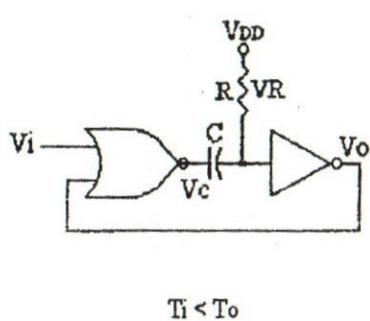


Figura 4.39.

Debido a que el umbral (VT) puede variar de un integrado a otro, es que el cálculo del tiempo es bastante impreciso, tal como se observa en la Fig. 4.39.

### 3.1.- MONOESTABLE COMPENSADO

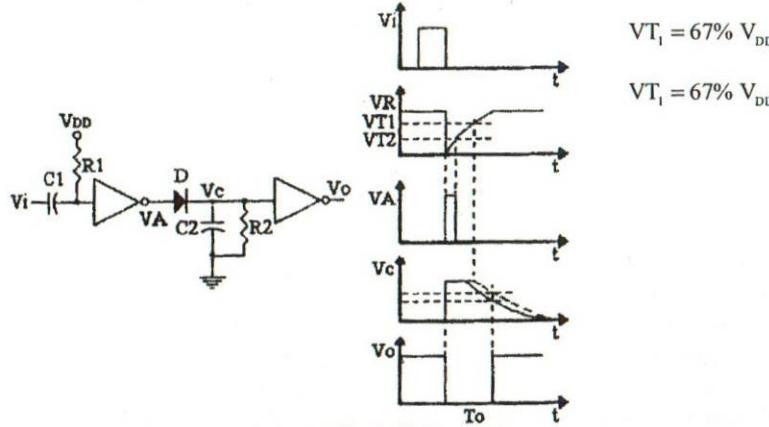


Figura 4.40.

La ventaja de usar dos inversores de un mismo chip (pastilla) es que tienen similar VT. En ese caso si  $R_1 \cdot C_1 = R_2 \cdot C_2$ , los efectos de variaciones en el umbral son cancelados, tal como puede apreciarse en el gráfico de tiempos. Los circuitos hasta aquí vistos (monoestables) se denominan NO REDISPARABLES ya que una vez disparado, (mientras su salida permanece en alto) no aceptan nuevos pulsos de disparo.

### 3.2.- MONOESTABLE REDISPONIBLE

Puede Ser disparado cuando su salida está en estado alto. Cada vez que se dispara comienza el ciclo.

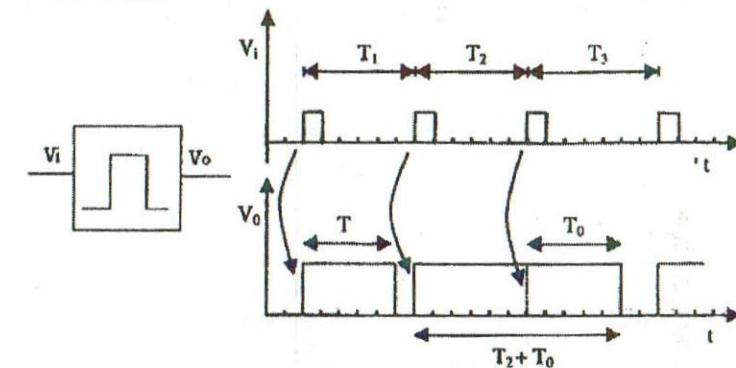


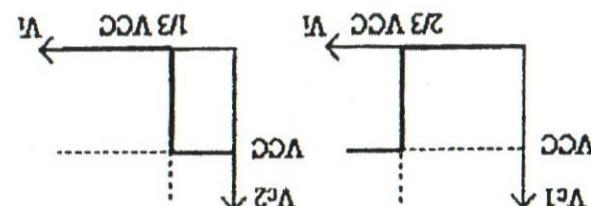
Figura 4.41.

Los siguientes son Circuitos Integrados comerciales : CD 4528 - CD 4538 - 74HC121 - 74HC123 - 74121 - 74123.

### CIRCUITO TIMER (555)

Un circuito muy popular que se utiliza básicamente como oscilador o circuito monoestable, es el CI 555. Un diagrama de este circuito se muestra en la fig. 4.42.

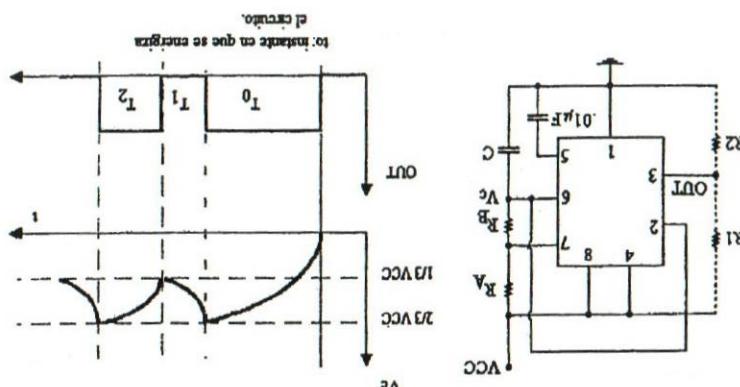
Figura 4.43.



los que el FF esta seteado. Hasta tanto el potencial sobre el capacitor no alcance el debajo de  $1/3 V_{CC}$ , la salida (out-pm 3) se encuentra a  $V_{CC}$ , ya que  $V_{C2} = 1$ , por lo que el circuito se descarga y comienza a la unión de RB y C.

Al energizar el circuito ( $t_0 = 0$ ), el capacitor se encuentra del comparador 2 descargado y comienza a cargar a través de RA + RB. Como la entrada del comparador 2 es la unión de RB y C. Obsérvese que las entradas de los comparadores están unidas y conectadas a la

Figura 4.44.



#### FUNCIONAMIENTO ESTABLE

La función del transistor  $T_x$ , es el de una llave, que está abierta (si  $Q = 0$ ) o cerrada (si  $Q = 1$ ). Hechas estas consideraciones, podemos analizar el funcionamiento de los circuitos de aplicación que se muestran a continuación.

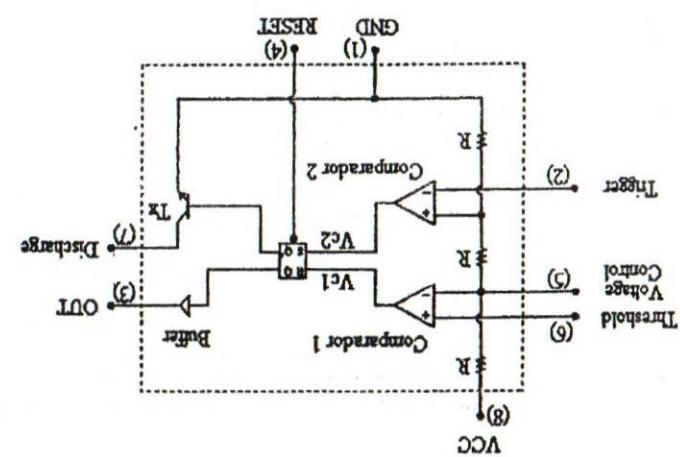
RESET	SR	Q
0	X X	0
1	1 1	-
1	1 0	1
1	0 1	0
1	0 0	$Q_u$

TABLA DE VERDAD DEL FFSR

Circuitos de Tiempo

Circuitos de Tiempo

Figura 4.42.



Circuitos de Tiempo

### Circuitos de Tiempo

valor de  $2/3 V_{CC}$ , no hay cambios. Cuando  $V_C = 2/3 V_{CC}$ , la salida del comparador 1 se vuelve '1' y resetea al FF con lo que la salida OUT (pin 3) va a 0V y el  $T_x$  (pin 7) se satura, descargando el capacitor a través de  $RB$ ; así continúa el ciclo hasta que  $V_C = 1/3 V_{CC}$  en donde el comparador 2 setea al FF y la salida OUT va a  $V_{CC}$ , el  $T_x$  se corta y el capacitor comienza a cargarse a través de  $RA + RB$  hasta que  $V_C = 2/3 V_{CC}$ .

#### CALCULO DE TIEMPOS:

$$V_0 = V_f + (V_s - V_f) e^{-\frac{t}{\tau}}$$

$$T = RC \ln \frac{V_s - V_f}{V_0 - V_f}$$

#### CALCULO $T_0$

$$V_s = 0V ; V_f = V_{CC} ; V_0 = 2/3 V_{CC}$$

$$T_0 = (R_A + R_B) C \ln \frac{0 - V_{CC}}{\frac{2}{3} V_{CC} - V_{CC}}$$

$$T_0 = (R_A + R_B) C \ln 3$$

$$[T_0 = 1.1 RC]$$

#### CALCULO $T_1$

$$V_s = 2/3 V_{CC} ; V_f = 0 ; V_0 = 1/3 V_{CC}$$

### Circuitos de Tiempo

$$T_1 = R_B C \ln \frac{\frac{2}{3} V_{CC} - 0}{\frac{1}{3} V_{CC} - 0}$$

$$T_1 = R_B C \ln \frac{6}{3}$$

$$[T_1 = 0.693 R_B C]$$

#### CALCULO $T_2$

$$V_s = 1/3 V_{CC} ; V_f = V_{CC} ; V_0 = 2/3 V_{CC}$$

$$T_2 = (R_A R_B) C \ln \frac{\frac{1}{2} V_{CC} - V_{CC}}{\frac{3}{2} V_{CC} - V_{CC}}$$

$$T_2 = (R_A + R_B) C \ln \frac{6}{3}$$

$$[T_2 = 0.693 (R_A + R_B) C]$$

#### CALCULO PERIODO: T

$$T = T_1 + T_2 = 0.693 (R_A + 2R_B) C$$

$$f = \frac{1}{T} = \frac{1.44}{R_a + 2R_b} C$$

Operación monostable

$$D = \frac{T_1}{T} = \frac{R_b}{R_a + 2R_b}$$

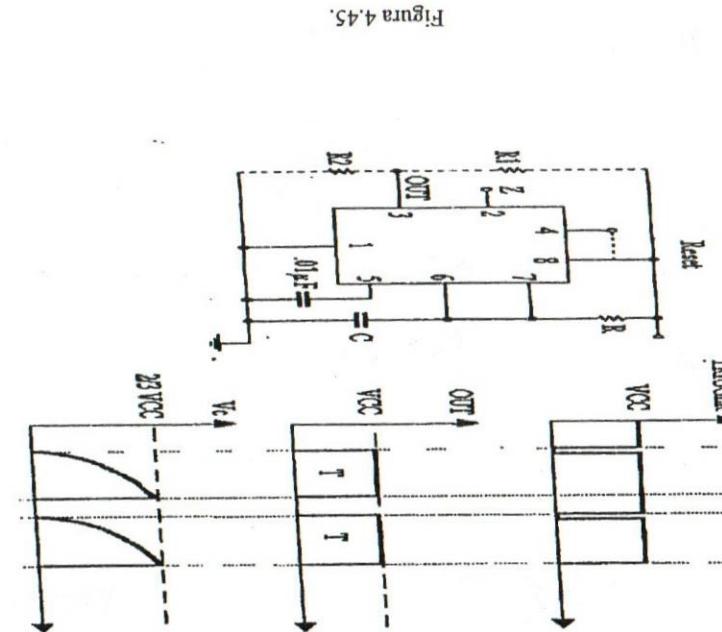


Figura 4.45.

$$V_s = 0; \quad V_f = V_{CC}, \quad V_0 = \frac{2}{3} V_{CC}$$

$$T = 1.1 RC$$

$$T = RC \ln 3$$

$$V_s = 0; \quad V_f = V_{CC}, \quad V_0 = \frac{2}{3} V_{CC}$$

## CALCULO DE T:

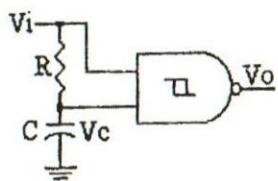
Mientras la salida (OUT) esté a  $V_{CC}$ , pulsos de disparo sobre la entrada de trigger no afectan al circuito. Sin embargo, el circuito puede ser restornado en estas condiciones ( $OUT = V_{CC}$ ) mediante la aplicación de un pulso negativo en la entrada RESET.

Trigger no afectan al circuito. Sin embargo, el circuito puede ser restornado en estas condiciones ( $OUT = V_{CC}$ ) mediante la aplicación de un pulso negativo en la entrada RESET.

Trigger no afectan al circuito. Sin embargo, el circuito puede ser restornado en estas condiciones ( $OUT = V_{CC}$ ) mediante la aplicación de un pulso negativo en la entrada RESET.

4.- CIRCUITOS VARIOS4.1.- CIRCUITOS DE RETARDO CON TRIGGEER DE SCHMITT

Tetardo Flanco Ascendente



Retardo Ambos Flancos

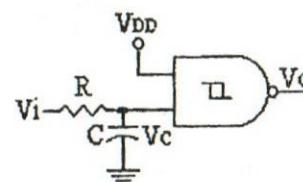


Figura 4.46.

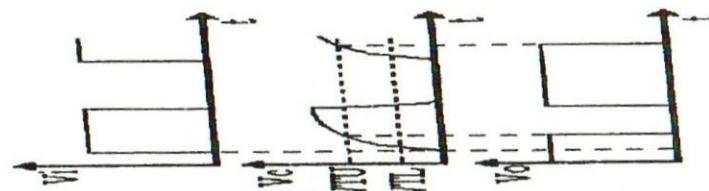
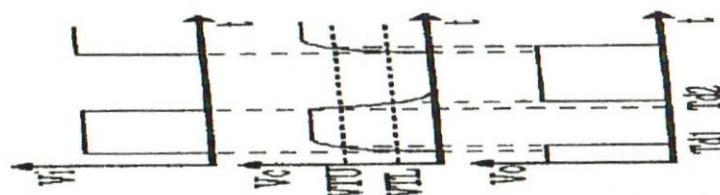


Figura 4.47.

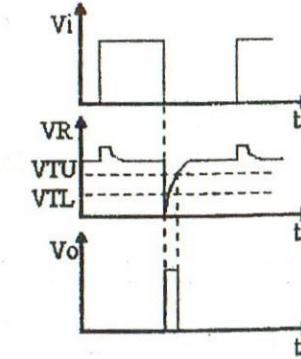
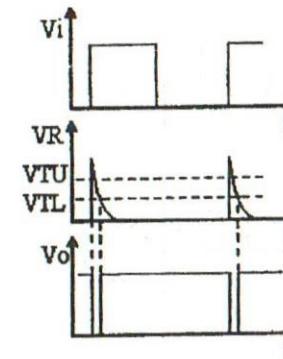
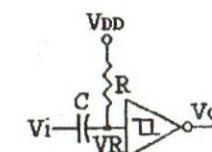
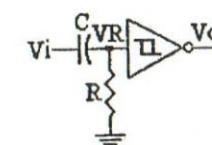
4.2.- DETECTOR DE FLANCO CON TRIGGER DE SCHMITT

Figura 4.48.

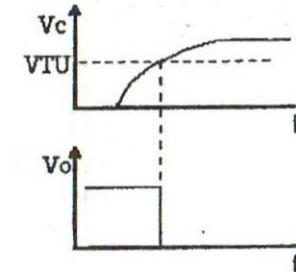
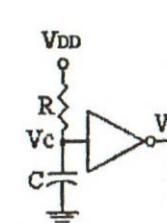
4.3.- CIRCUITO DE RESET PARA ENCENDIDO (Power On Reset)

Figura 4.49.

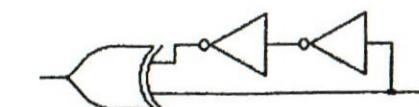
#### 4.4.- CIRCUITOS DE RETARDO CON COMPUTRAS

Ej.

El circuito de retraso puede ser realizado de la siguiente forma:

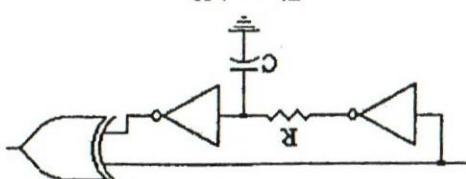
A.- Retardos pequeños

Figura 4.52.

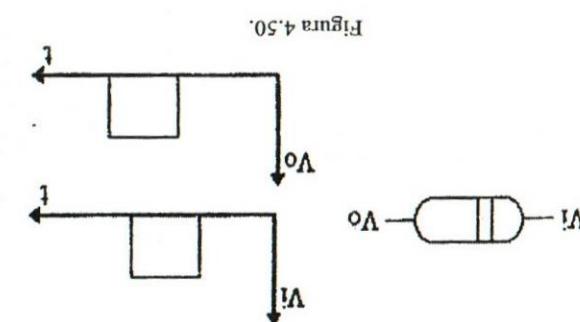


B.- Retardos Grandes

Figura 4.53.

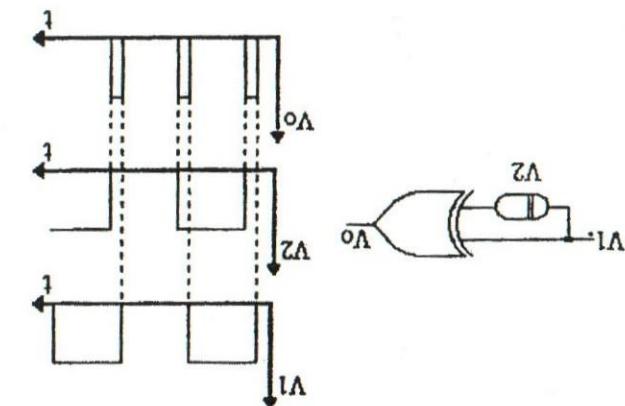


Symbolo  
Diagrama Temporal



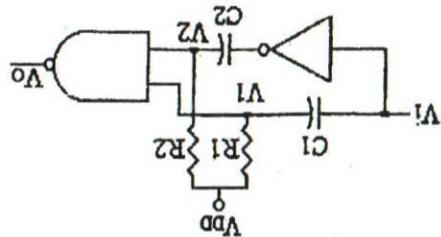
#### 4.4.1.- DOBLADOR DE FRECUENCIA I

Figura 4.51.



Ej.

Figura 4.54.



4.4.2.- DOBLADOR DE FRECUENCIA II

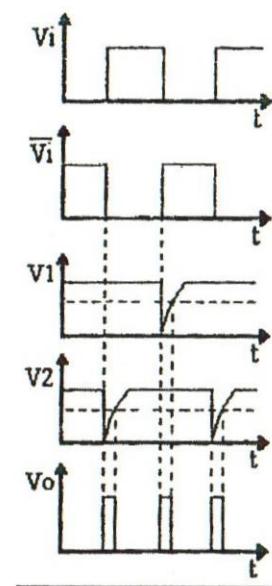


Figura 4.55.

#### 4.4.3.- DISCRIMINADOR DE PULSOS

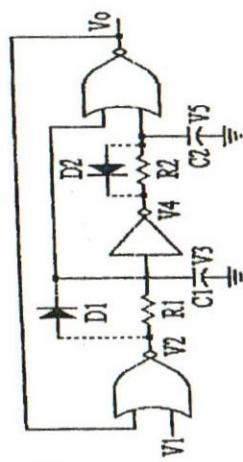


Figura 4.56.

*Circuitos Secuenciales*

## **CAPÍTULO V**

1.- INTRODUCCION

En los circuitos secuenciales, las salidas no dependen solamente del estado actual de las entradas, como en los circuitos combinacionales, sino que también dependen de cómo han ido cambiando esas entradas en el tiempo.

Existen dos tipos de cursitos secuenciales:

**SÍNCRONOS:** Necesitan del concurso de un pulso de reloj para modificar su situación actual. Según que la entrada participe o no de la salida se clasifican en circuitos MEALY o de MOORE respectivamente.

**ASÍNCRONOS:** Estos circuitos evolucionan cuando cambian sus entradas.

Las figuras 5.1. y 5.2. muestran los esquemas generales de cada uno de estos circuitos.

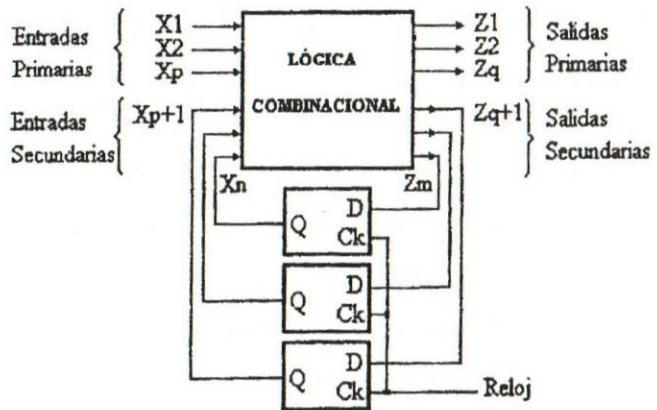
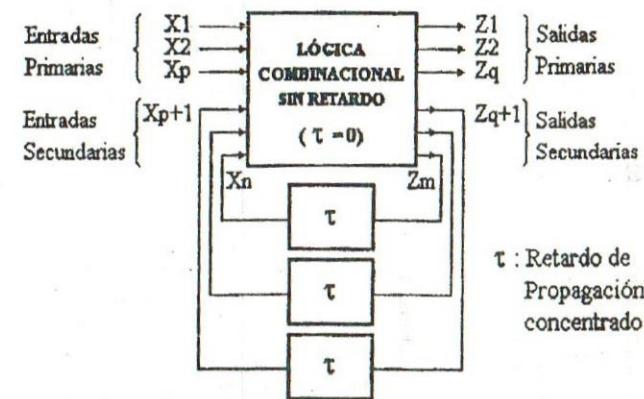
1.1.- DIAGRAMA CIRCUITO SECUENCIAL SÍNCRONO

Figura 5.1.

1.2.- DIAGRAMA CIRCUITO SECUENCIAL ASÍNCRONO

$\tau$  : Retardo de Propagación concentrado

Figura 5.2.

## 2.- ANÁLISIS Y DISEÑO DE CIRCUITOS SECUENCIALES

Suponemos como ejemplo el siguiente circuito:

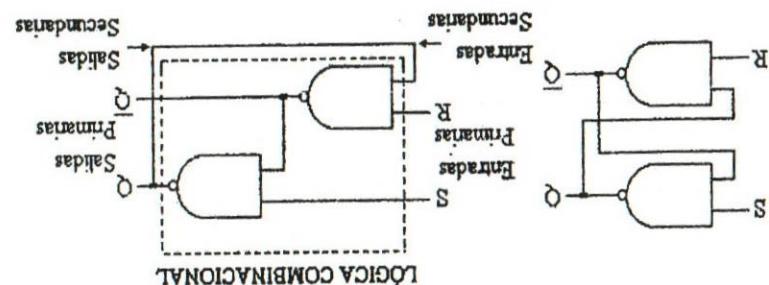


Figura 5.3.

Introduciendo este bloque en el circuito original:

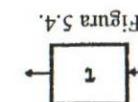
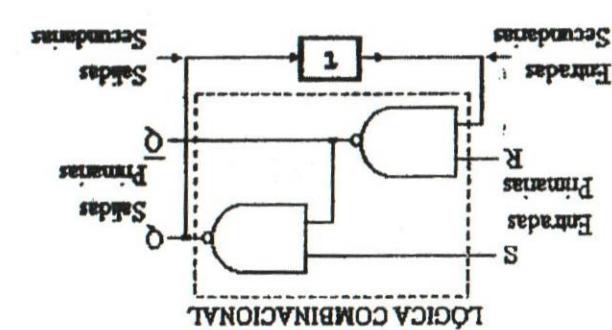


Figura 5.4.

Los retardos de propagación introducidos por las computadoras están representados por un único bloque con el símbolo:

## 2.1.- CIRCUITOS SECUENCIALES ASÍNCRONOS

Supongamos como ejemplo el siguiente circuito:



### 2.1.1.- PASOS DE ANÁLISIS

Figura 5.5.

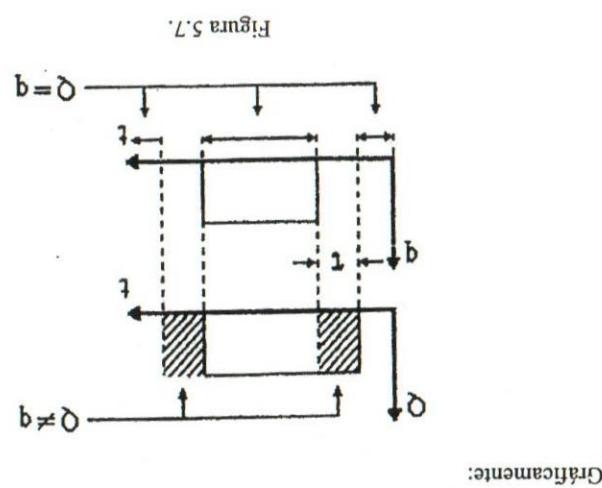


Figura 5.7.

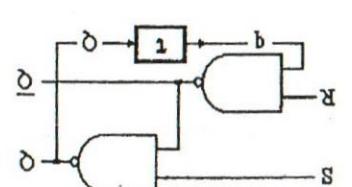
Gráficamente:

$$\text{Para } t < t_s \quad Q = q \text{ (circuito excitado - estable)}$$

$$\text{Para } t > t_f \quad Q = q' \text{ (circuito en reposo - estable)}$$

$$Q = q \cdot R + S$$

Figura 5.6.



Ecuaciones de excitación: Abriendo el lazo de realimentación:

- 1.- Ecuaciones de excitación
- 2.- Tabla de excitación
- 3.- Tabla de transición
- 4.- Tabla de salida
- 5.- Diagrama de flujo

### 2.1.2.- PASOS DE DISEÑO

Figura 5.6.

Tablas de Excitación: la tabla de excitación se obtiene de la ecuación de excitación.

The diagram shows a state transition table with SR inputs and q output. The SR inputs are labeled 00, 01, 11, and 10. The q output is labeled 0 and 1. A legend indicates that each cell represents a value of Q. An arrow points from the SR inputs to the table, and another arrow points from the q output to the table. The table values are: (0,0) = 1, (0,1) = 1, (1,1) = 0, (1,0) = 0.

		0	1
		0	1
S R	0	1	1
	1	1	1
S R	1	0	1
	0	0	0

Cada una de las celdas representa un valor de Q

Figura 5.8.

Tabla de Transición: La tabla de transición nos indica como evoluciona el circuito frente a los cambios en sus entradas primarias y secundarias. Todo circuito tiene estados ESTABLES e INESTABLES. Un estado se denomina estable cuando su salida secundaria es igual a su entrada secundaria ( $q = Q$ ). Un estado inestable es aquel en el cual la salida secundaria es distinta a su entrada secundaria ( $q \neq Q$ ).

The diagram shows a state transition table with SR inputs and Q output. The SR inputs are labeled 00, 01, 11, and 10. The Q output is labeled 0 and 1. A legend indicates that values in parentheses represent states, meaning  $Q = q$ . An arrow points from the SR inputs to the table, and another arrow points from the Q output to the table. The table values are: (0,0) = 1, (0,1) = (1), (1,1) = (0), (1,0) = (0).

		0	1
		0	1
S R	0	1	(1)
	1	1	(1)
S R	1	(0)	(1)
	0	(0)	0

Los valores de 'Q' representan estados decir  $Q = q$

Figura 5.9.

Veamos a continuación como evoluciona un circuito cuando se encuentra en un estado de inestabilidad:

Tomemos el estado inestable de la primera celda ( $SRq = 000$ ).

Al cabo de  $\tau$ ,  $q \rightarrow 1$ , lo que el circuito evoluciona según lo indica la flecha ( $SRq = 001$ ). Al igual, que la celda que le sigue ( $SRq = 010$ ) pasa a ( $SRq = 011$ ). Para la celda ( $SRq = 101$ ), al cabo de  $\tau$ ,  $q \rightarrow 0$ , por lo que la transición es hacia el estado estable de la celda ( $SRq = 100$ ).

Q

Figura 5.10.

Tabla de Salida: Provee información sobre la salida primaria y se construye mediante las ecuaciones de salida.

$$\begin{aligned} Q &= q \cdot R + \bar{S} && \rightarrow \text{Salida primaria y secundaria} \\ \bar{Q} &= \bar{q} + \bar{R} && \rightarrow \text{Salida primaria} \end{aligned}$$

The diagram shows a state transition table with SR inputs and Q outputs. The SR inputs are labeled 00, 01, 11, and 10. The Q outputs are labeled 00, 01, 10, and 11. A legend indicates that values in parentheses represent states. An arrow points from the SR inputs to the table, and another arrow points from the Q outputs to the table. The table values are: (0,0) = 11, (0,1) = 11, (1,1) = 01, (1,0) = 01. Below the table, there are two upward arrows labeled  $\uparrow\uparrow$  and a box labeled  $QQ$ .

		0	1
		0	1
S R	0	11	11
	1	11	10
S R	1	01	10
	0	01	01

$\uparrow\uparrow$   
 $QQ$

Figura 5.11.

Diagrama de Flujo: Este diagrama se construye a partir de la tabla de transiciones, indicando en este diagrama las entradas y salidas primarias.

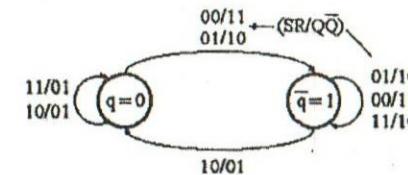
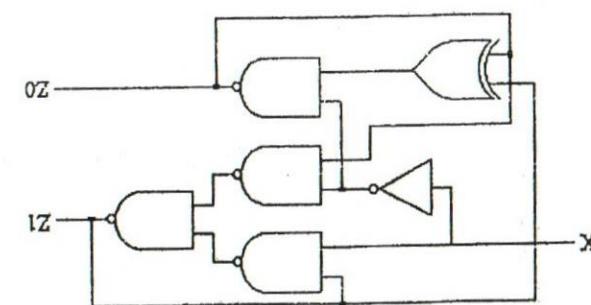


Figura 5.12.

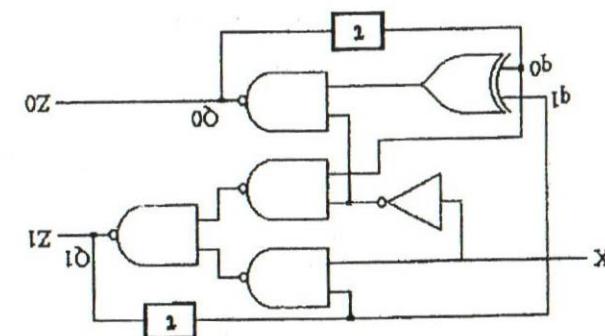
## 2.1.1. EJEMPLO DE ANÁLISIS I

Circuitos Secuenciales



Redibujando el circuito incluyendo los retrasos ( $t$ ):

Figura 5.13.



Ecuações de excitación:

$$Q_0 = \overline{x} (q_1 \oplus q_0) = \overline{x} (\overline{q}_1 \cdot q_0 + q_1 \cdot \overline{q}_0)$$

$$Q_1 = (x \cdot q_1) \cdot \overline{(x \cdot q_0)} = x \cdot q_1 + \overline{x} \cdot q_0$$

Figura 5.14.

Tabla de transición

		$Q_1 Q_0$	$Q_1 Q_0$
10	01	10	11
10	10	11	01
11	01	00	00
01	11	00	00
00	00	(0,0)	(0,0)

Figura 5.15.

	$q_1 q_0$
10	01
10	10
11	01
01	11
00	00

Tabla de excitación

	$Q_1 Q_0$	$Q_1 Q_0$
10	01	10
11	10	11
01	11	00
00	00	00

Figura 5.16.

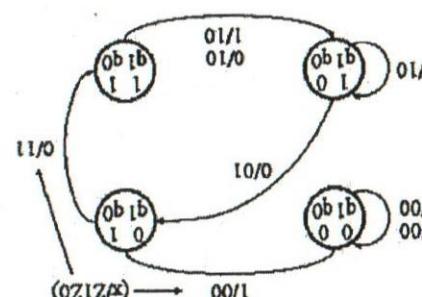
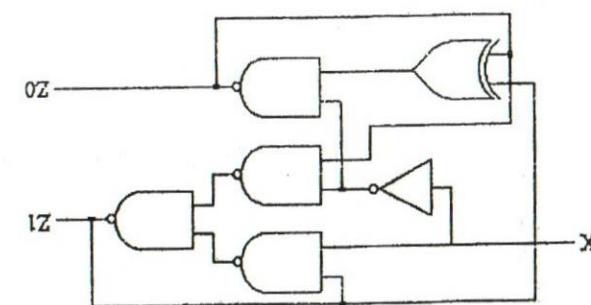


Diagrama de flujo:

Para los estados  $q_1, q_0 = 01, 110, y 100$  el circuito evoluciona en un ciclo cerrado con periodo 3  $t$  (OSCILACIÓN). Para  $q_1, q_0 = 0, 0$ , el circuito permanece en este estado indefinidamente. Tabla de Salida: Como  $Q_0 = Z_0$  y  $Q_1 = Z_1$  no necesitamos ecuación de salida y la tabla es la misma que la tabla de excitación.

Redibujando el circuito incluyendo los retrasos ( $t$ ):

Figura 5.13.



Circuitos Secuenciales

2.1.1.2.- EJEMPLO DE ANÁLISIS II

Realizaremos ahora el análisis de un sistema ya construido adecuadamente elegido, lo que nos permitirá observar todos los fenómenos que puedan presentarse en el sistema.

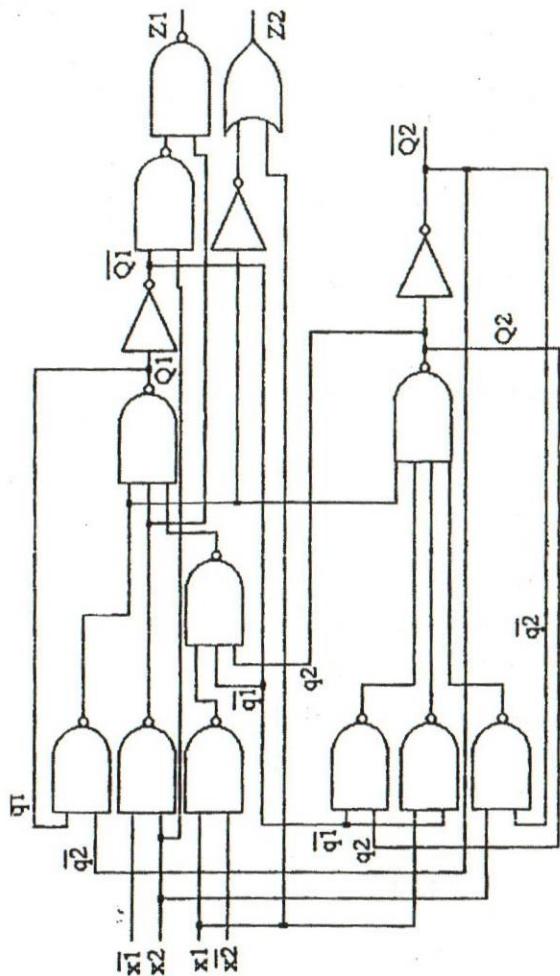


Figura 5.17.

Ecuaciones de excitación

$$Q_1 = q_1 \cdot \bar{q}_2 + \bar{x}_1 \cdot x_2 + \bar{q}_1 \cdot q_2 (\bar{x}_1 + x_2)$$

$$Q_2 = \bar{x}_1 \cdot x_2 + \bar{q}_1 \cdot q_2 + x_1 \cdot \bar{q}_1 + x_2 \cdot \bar{q}_2$$

$$Z_1 = \bar{q}_1 \cdot x_2 + \bar{x}_1 \cdot x_2$$

$$Z_2 = \bar{x}_1 \cdot \bar{q}_2 + \bar{x}_1 \cdot q_2$$

Tabla de excitación – Tabla de transición:

		x <sub>1</sub> x <sub>2</sub>	0 0	0 1	1 1	1 0
		q <sub>1</sub> q <sub>2</sub>	0 0	1 1	0 1	0 1
		0 0	(0 0)	1 1	0 1	0 1
		0 1	1 1	1 1	1 1	(0 1)
		1 1	0 0	(1 1)	0 0	0 0
		1 0	(1 0)	1 1	1 1	(1 0)

Q<sub>1</sub> Q<sub>2</sub>  
Figura 5.18.Tabla de salida:

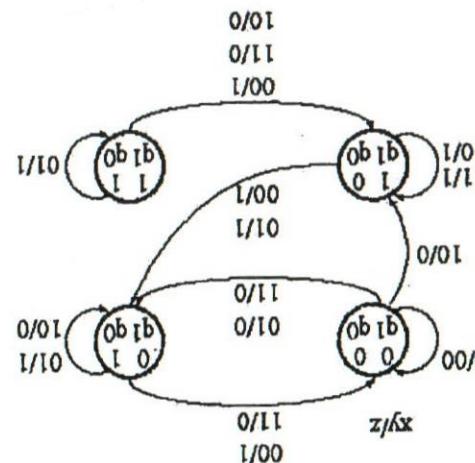
		x <sub>1</sub> x <sub>2</sub>	0 0	0 1	1 1	1 0
		q <sub>1</sub> q <sub>2</sub>	0 0	0 1	1 0	0 0
		0 0	0 1	1 1	1 0	0 0
		0 1	0 1	1 1	1 0	0 0
		1 1	0 1	1 1	0 0	0 0
		1 0	0 0	1 0	0 0	0 0

Z<sub>1</sub> Z<sub>2</sub>

Figura 5.19.

obtener caminos diferentes segun sean los retrasos.  
Existen dos transiciones de estados que pueden ser erróneas ya que podríamos

Figura 5.22.



El diagrama de flujo es:

Figura 5.21.

x	y	q1q0	00	01	11	10	10	00	01	11	10
0	0	00	01	01	(10)	10	11	01	(11)	10	10
1	0	10	11	(11)	10	10	11	00	00	01	01
0	1	01	(01)	00	00	01	00	00	01	01	01
1	1	00	00	01	01	10	11	10	11	11	11

La tabla de excitación / transición es:

Circuitos Secuenciales

Suponemos un circuito secuencial cuyas ecuaciones de excitación y salida son:

$$Z = q_1 \cdot q_0 + q_0 \underline{x}$$

$$Q_0 = q_1 \cdot q_0 \cdot x \bar{y} + \underline{q}_1 \underline{q}_0 y + \underline{x} y + \underline{q}_1 \underline{q}_0 \underline{x}$$

$$Q_1 = q_1 \cdot q_0 + q_1 x + \underline{q}_0 \underline{x}$$

El retraso en la propagación ( $t$ ) no está concentrado sino distribuido ademas no son todos iguales. Es por ello que debemos estar atentos a los cambios de estado producidos si se tiene en cuenta este hecho.

2.1.1.3. CARRERAS

Figura 5.20.

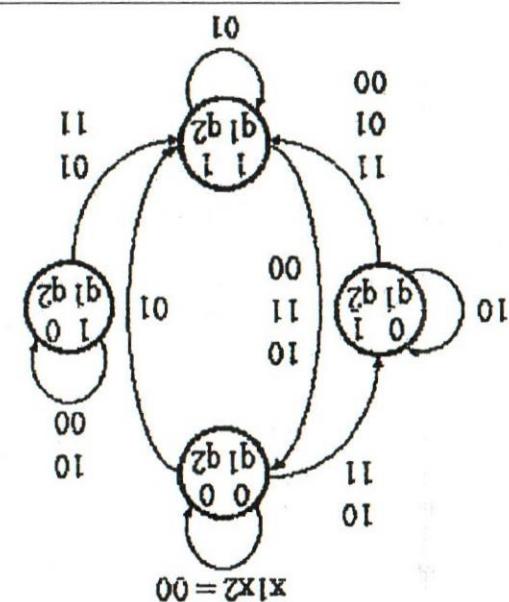


Diagrama de flujo:

Circuitos Secuenciales

$$Z = q_1 \cdot q_0 + q_0 \underline{x}$$

$$Q_0 = q_1 \cdot q_0 \cdot x \bar{y} + \underline{q}_1 \underline{q}_0 y + \underline{x} y + \underline{q}_1 \underline{q}_0 \underline{x}$$

$$Q_1 = q_1 \cdot q_0 + q_1 x + \underline{q}_0 \underline{x}$$

Veamos:

$x\ y$	0 0	0 1	1 1	1 0
$q_1\ q_0$	0 0	x	x	x
0 0	0	x	x	x
0 1	x	0	x	0
1 1	x	0	x	x
1 0	x	x	0	0

Esta transición errónea se denomina CARRERA, pues dos variables compiten por cambiar

$$\tau_0 > \tau_1$$

$$\tau_0 < \tau_1 \quad \text{CARRERA CRITICA}$$

Figura 5.23.

Otro problema asociado a la diferencia en los retardos son los denominados FENÓMENOS ALEATORIOS.

#### 2.1.1.4.- FENÓMENOS ALEATORIOS ESTÁTICOS

Sea  $f = a + \bar{a}$

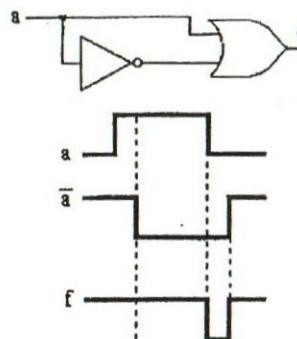


Figura 5.24.

No se tuvo en cuenta el retardo de la compuerta OR

$$\text{Sea } Z = \sum 2, 4, 5, 6$$

$$Z = q_0 \bar{x} + q_1 \bar{q}_0$$

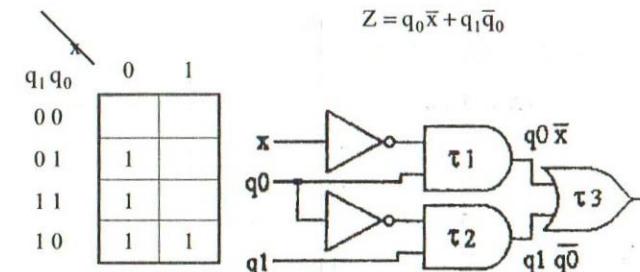


Figura 5.25.

Supongamos un cambio de estado en  $q_0$  ( $1 \rightarrow 0$ )

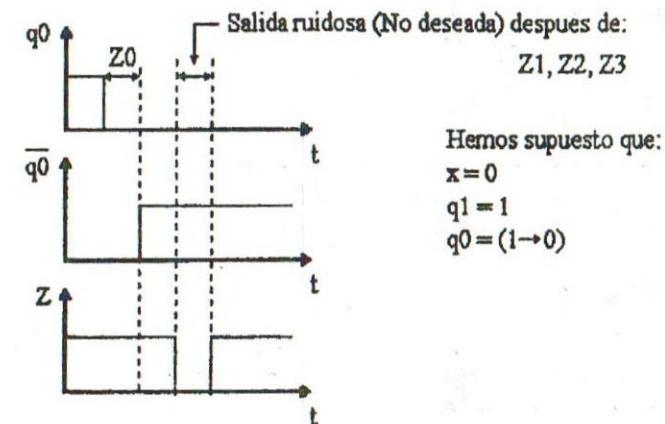


Figura 5.56.

Para evitar ello, introducimos un término redundante (en el mapa de Karnaugh un implicante no esencial) tal como el punteado en el mapa de Karnaugh, con lo que:

$$Z = q_1 \bar{q}_0 + x q_0 + q_1 \bar{x}$$

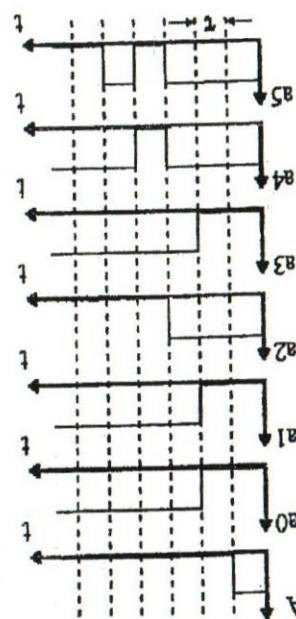
**Problema 1:** Diseñar un circuito que cuente en modulo 4, el numero de cambios de NIVELES LOGICOS de la entrada x.

Vamos a dar un ejemplo sencillo de diseño.

- 1.- Diagrama de Fujio
  - 2.- Tabla de transición
  - 3.- Tabla de excitación / salida
  - 4.- Diagrama circuital
- Consta de:

#### 2.12.- DISEÑO DE CIRCUITOS ASÍNCRONOS

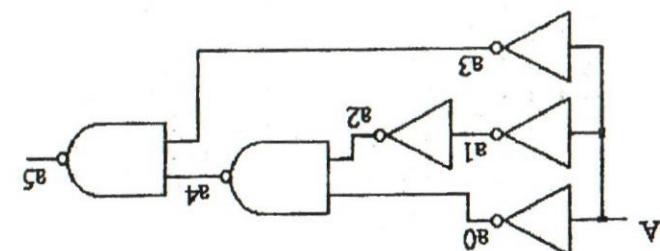
Figura 5.29.



Circuitos Secuenciales

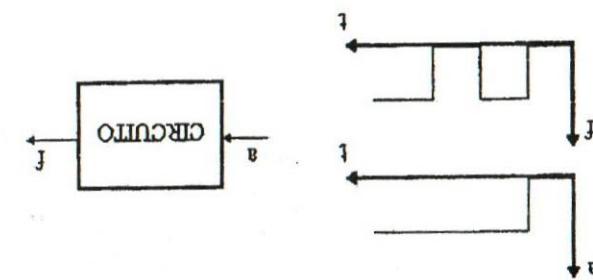
Todos los elementos poseen el mismo retraso:

Figura 5.28.



Se el siguiente circuito:

Figura 5.27.



Se produce cuando la salida al cambiar de estado lo hace pasando por un régimen transitorio

#### 2.11.5.- FENÓMENOS ALATORIOS DINÁMICOS

Circuitos Secuenciales

### Circuitos Secuenciales

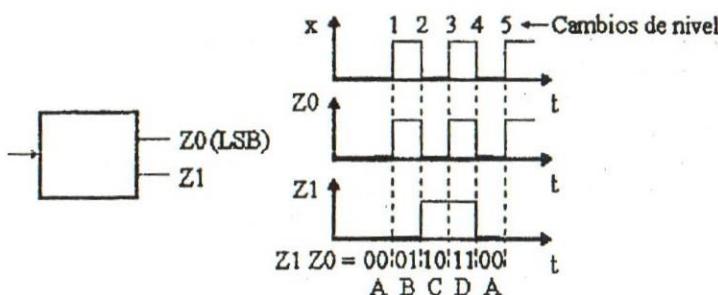


Figura 5.30.

### Diagrama de flujo:

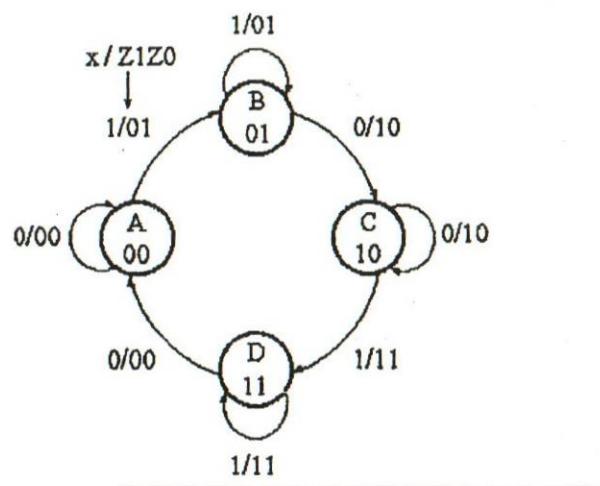


Figura 5.31.

### Circuitos Secuenciales

#### Tabla de transición

$q_1 \ q_0$	0	1
0 0	(0 0)	0 1
0 1	1 0	(0 1)
1 1	0 0	(1 1)
1 0	(1 0)	1 1

$Q_0 \ Q_1$

Hacemos coincidir las salidas primarias ( $Z_1, Z_0$ ) con las secundarias ( $Q_1, Q_0$ ).

Asignamos:

$$A = 0 0$$

$$B = 0 1$$

$$C = 1 0$$

$$D = 1 1$$

Figura 5.32.

#### Tablas de excitación:

$q_1 \ q_0$	0	1
0 0	0	0
0 1	1	0
1 1	0	1
1 0	1	1

$Q_1 = Z_1$

$q_1 \ q_0$	0	1
0 0	0.	1
0 1	0	1
1 1	0	1
1 0	0	1

$Q_0 = Z_0$

Figura 5.33.

#### Ecuaciones de excitación:

$$\bar{q}_1 = \bar{x} \bar{q}_1 q_0 + x q_1 + q_1 \bar{q}_0$$

$$Q_0 = x$$

Diagrama circuitual:

Ambias electro-válvulas deben activarse cuando el agua baja del nivel 1, y deben permanecer activadas hasta que el agua alcance el nivel 2, momento en que la electro-válvula  $V_1$  se activa hasta que el agua alcance el nivel 3, y es allí donde se desactiva  $V_1$ . Si una electro-válvula activa significa que entra agua al estanque. Permanece hasta que el agua alcance el nivel 3, y es allí donde se desactiva  $V_1$  si activa hasta que el agua cae de nuevo por debajo del nivel 1.

Señal de los sensores:

$S_1 = 1 \rightarrow$  Cuando el agua está en el nivel 1 o por encima, si no  $S_1 = 0$ .

$S_2 = 1 \rightarrow$  Cuando el agua está en el nivel 2 o por encima, si no  $S_2 = 0$ .

$S_3 = 1 \rightarrow$  Cuando el agua está en el nivel 3 o por encima, si no  $S_3 = 0$ .

Diagrama de funcionamiento:

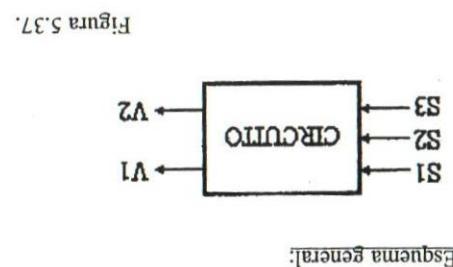


Figura 5.36.

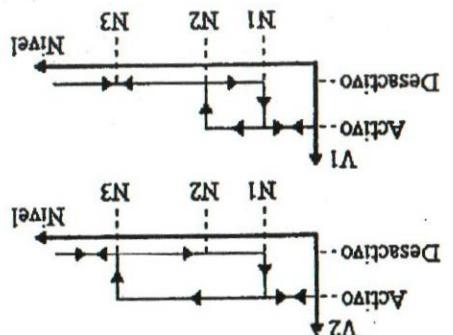


Figura 5.36.

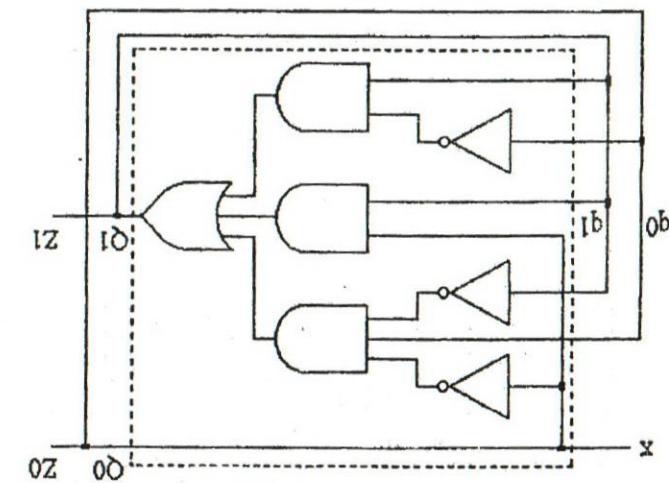
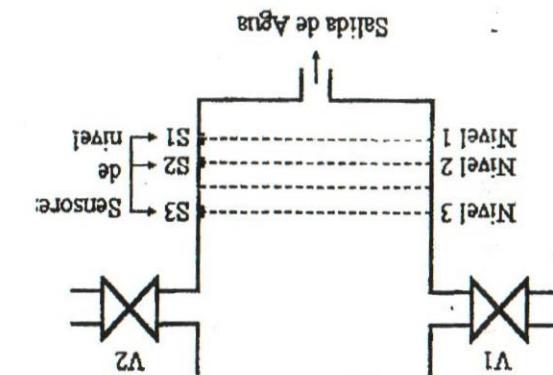


Figura 5.35.



Problema 2: Diseñar un sistema que controle la entrada de agua de un estanque, como lo muestra la figura.

Figura 5.34.

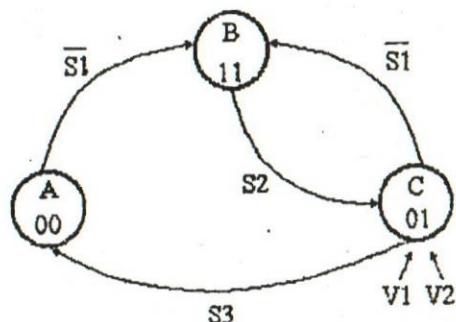
Diagrama de flujo:

Figura 5.38.

Hacemos coincidir las salidas primarias con las secundarias

$$V_1 = Q_1, \quad V_2 = Q_2$$

Tabla de transición:

		S <sub>1</sub> S <sub>2</sub> S <sub>3</sub>									
		000 001 011 010 110 111 101 100									
		q <sub>1</sub> q <sub>0</sub>	0 0	1 1	x	x	x	(00)	(00)	x	(00)
		0 0	1 1	x	x	x	(00)	(00)	x	(00)	
		0 1	1 1	x	x	x	(01)	0 0	x	(01)	
		1 1	(11)	x	x	x	0 1	0 1	x	(11)	
		1 0	x	x	x	x	x	x	x	x	
							Q <sub>1</sub>	Q <sub>2</sub>			

No existe

Figura 5.39.

Tabla de excitación:

		S <sub>1</sub> S <sub>2</sub> S <sub>3</sub>									
		000 001 011 010 110 111 101 100									
		q <sub>1</sub> q <sub>0</sub>	0 0	1	x	x	x	0	0	x	0
		0 0	1	x	x	x	x	0	0	x	0
		0 1	1	x	x	x	x	0	0	x	0
		1 1	1	x	x	x	x	0	0	x	1
		1 0	x	x	x	x	x	x	x	x	x

$$Q_1 = \bar{S}_1 + q_1 S_2$$

Figura 5.40.

		S <sub>1</sub> S <sub>2</sub> S <sub>3</sub>									
		000 001 011 010 110 111 101 100									
		q <sub>1</sub> q <sub>0</sub>	0 0	1	x	x	x	0	0	x	0
		0 0	1	x	x	x	x	0	0	x	0
		0 1	1	x	x	x	x	1	0	x	1
		1 1	1	x	x	x	x	1	1	x	1
		1 0	x	x	x	x	x	x	x	x	x

$$Q_2 = \bar{S}_1 + q_1 + q_2 \bar{S}_2 \bar{S}_3$$

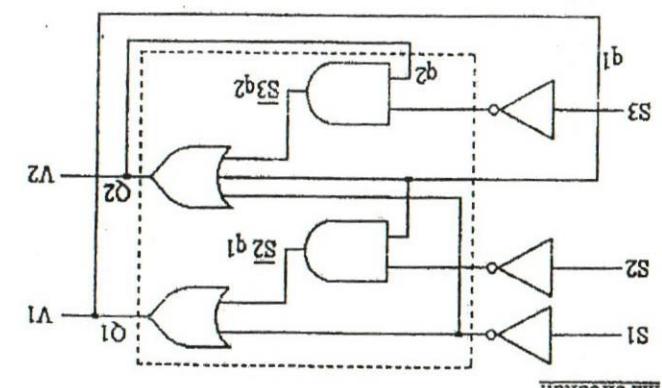
Figura 5.41.

Ecuaciones de excitación:

$$Q_1 = \bar{S}_1 + q_1 \bar{S}_2$$

$$Q_2 = \bar{S}_1 + q_1 + q_2 \bar{S}_2 \bar{S}_3$$

Diagrama Circuital:



2.2.- CIRCUITOS SECUENCIALES SÍNCRONOS

No existe posibilidad de que ocurran CARREAS y se manifiesten fenómenos aleatorios. Estos inconvenientes son resueltos utilizando un FF TEMORIZADO que combina simultáneamente y así evitamos que el máximo de propagación en cada lazo de realmacenamiento sea menor que el de este modo las entradas secundarias se presentan simultáneamente y así evitan que ocurran excitaciones falsas.

Mientras el periodo del reloj sea mayor que el máximo de propagación entre entradas y salidas secundarias no ocurrirán carreos. Lo expuesto se observa en la figura siguiente.

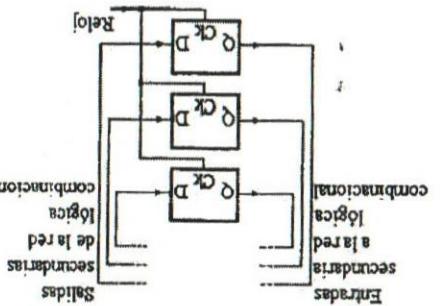


Figura 5.43.

Circuitos Secuenciales

Circuitos Secuenciales

## 2.2.1.- DISEÑO DE CIRCUITOS SECUENCIALES SÍNCRONOS

Figura 5.44.

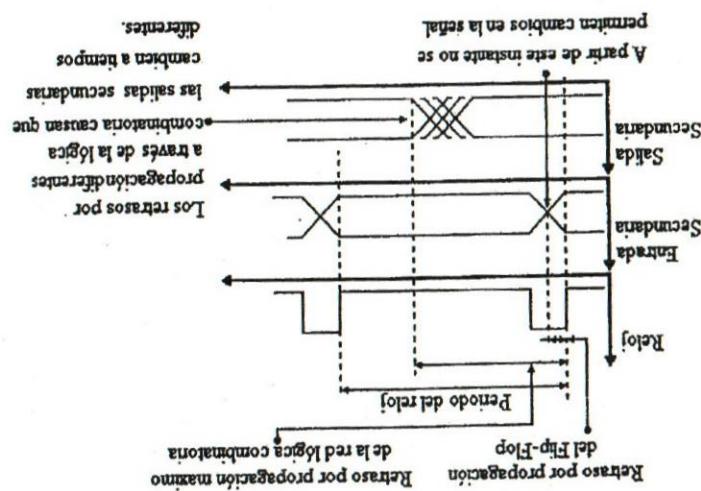


Figura 5.45.

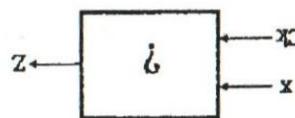


Figura 5.45.

Detectar de secuencias: si detectar un circuito tal que detecte si la entrada ha ocurrido, la salida tendrá nivel lógico "1".

Permanecido en el nivel lógica "1" durante 3 o más pulsos de reloj. Si ello

ocurre, la salida tendrá nivel lógico "1".

## 2.2.2.- CIRCUITOS SECUENCIALES SÍNCRONOS

Figura 5.42.

Diagrama Circuital:

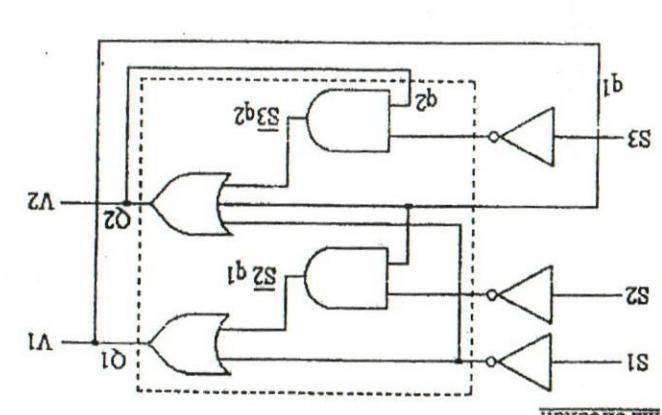


Figura 5.43.

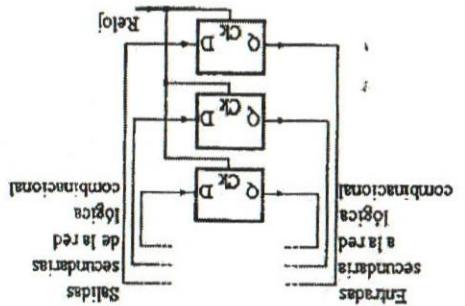


Figura 5.43.

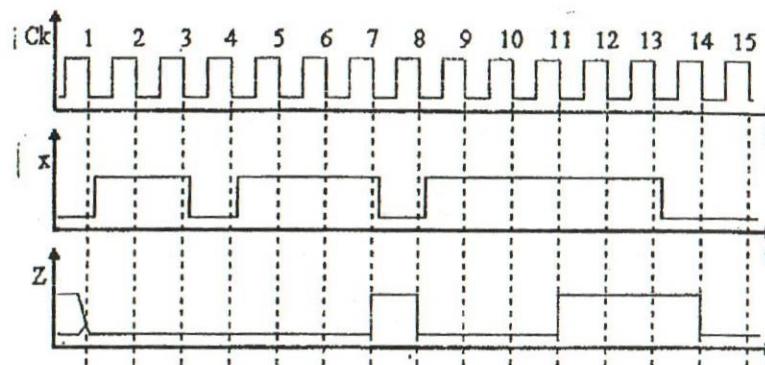
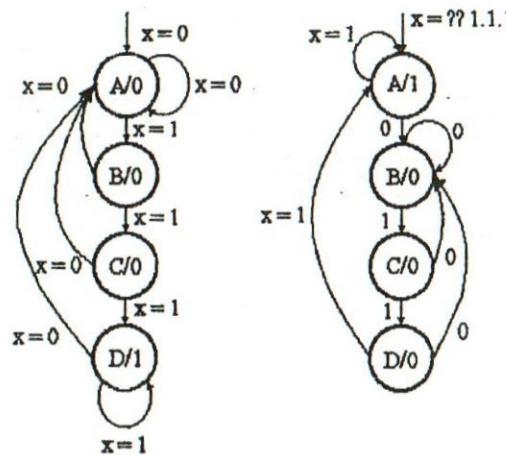


Figura 5.46.

Diagrama de estado:

1er. caso

Figura 5.47.

2do. Caso

Vamos a definir dos condiciones iniciales:

1.- Al estado inicial (A) hemos llegado después de que ha entrado un cero ("0") es decir en el instante de reloj  $t_{(n-1)}$ ,  $x = 0$ .2.- Al estado inicial (A) se llega después de que han entrado 3 unos consecutivos, es decir  $t_{(n-3)} \rightarrow x = 1$ ,  $t_{(n-2)} \rightarrow x = 1$ ,  $t_{(n-1)} \rightarrow x = 1$ .

Vamos a trabajar con el 1er. caso.

Tabla de estados:

$x$	ESTADO PRESENTE	ESTADO FUTURO	SALIDA PRESENTE
0	A	A	0
0	B	A	0
0	C	A	0
0	D	A	1
1	A	B	0
1	B	C	0
1	C	D	0
1	D	D	1

Asignación :

ESTADO	$Q_1$	$Q_0$
A	0	0
B	0	1
C	1	0
D	1	1

Tabla de ejecución:

x	ESTADO	ENTRADAS	SALIDA
	PRESENTE	FUTURO	Z
0	Q <sub>1</sub> Q <sub>0</sub>	J <sub>1</sub> K <sub>1</sub> J <sub>0</sub> K <sub>0</sub>	
0	Q <sub>1</sub> Q <sub>0</sub>	0 0 0 0	0
0	Q <sub>1</sub> Q <sub>0</sub>	0 0 0 1	0
0	Q <sub>1</sub> Q <sub>0</sub>	0 0 1 0	0
0	Q <sub>1</sub> Q <sub>0</sub>	0 0 1 1	0
0	Q <sub>1</sub> Q <sub>0</sub>	0 1 0 0	0
0	Q <sub>1</sub> Q <sub>0</sub>	0 1 0 1	0
0	Q <sub>1</sub> Q <sub>0</sub>	0 1 1 0	0
0	Q <sub>1</sub> Q <sub>0</sub>	0 1 1 1	0
1	Q <sub>1</sub> Q <sub>0</sub>	1 1 1 1	1
1	Q <sub>1</sub> Q <sub>0</sub>	1 1 1 0	1
1	Q <sub>1</sub> Q <sub>0</sub>	1 1 0 1	1
1	Q <sub>1</sub> Q <sub>0</sub>	1 1 0 0	1
1	Q <sub>1</sub> Q <sub>0</sub>	1 0 1 1	1
1	Q <sub>1</sub> Q <sub>0</sub>	1 0 1 0	1
1	Q <sub>1</sub> Q <sub>0</sub>	1 0 0 1	1
1	Q <sub>1</sub> Q <sub>0</sub>	1 0 0 0	1
1	Q <sub>1</sub> Q <sub>0</sub>	0 1 1 1	1
1	Q <sub>1</sub> Q <sub>0</sub>	0 1 1 0	1
1	Q <sub>1</sub> Q <sub>0</sub>	0 1 0 1	1
1	Q <sub>1</sub> Q <sub>0</sub>	0 1 0 0	1
1	Q <sub>1</sub> Q <sub>0</sub>	0 0 1 1	1
1	Q <sub>1</sub> Q <sub>0</sub>	0 0 1 0	1
1	Q <sub>1</sub> Q <sub>0</sub>	0 0 0 1	1
1	Q <sub>1</sub> Q <sub>0</sub>	0 0 0 0	1

Circuitos Secuenciales

Circuitos Secuenciales

$$K_0 = \bar{x} + \underline{Q}_1 = \bar{x}Q_1$$

Circuitos Secuenciales

$$J_0 = x$$

Circuitos Secuenciales

	Q <sub>1</sub> Q <sub>0</sub>	0 0	0 1	1 1	1 0
0	Q <sub>1</sub> Q <sub>0</sub>	0 0	0 1	1 1	1 0
0	Q <sub>1</sub> Q <sub>0</sub>	0 0	0 0	1 1	1 0
0	Q <sub>1</sub> Q <sub>0</sub>	0 0	0 0	0 1	1 0
0	Q <sub>1</sub> Q <sub>0</sub>	0 0	0 0	0 0	1 0
1	Q <sub>1</sub> Q <sub>0</sub>	0 1	0 1	1 1	1 0
1	Q <sub>1</sub> Q <sub>0</sub>	0 1	0 0	1 1	1 0
1	Q <sub>1</sub> Q <sub>0</sub>	0 1	0 0	0 1	1 0
1	Q <sub>1</sub> Q <sub>0</sub>	0 1	0 0	0 0	1 0
1	Q <sub>1</sub> Q <sub>0</sub>	1 1	1 1	1 1	1 0
1	Q <sub>1</sub> Q <sub>0</sub>	1 1	1 0	1 1	1 0
1	Q <sub>1</sub> Q <sub>0</sub>	1 1	0 1	1 1	1 0
1	Q <sub>1</sub> Q <sub>0</sub>	1 1	0 0	1 1	1 0
1	Q <sub>1</sub> Q <sub>0</sub>	1 0	1 1	1 1	1 0
1	Q <sub>1</sub> Q <sub>0</sub>	1 0	1 0	1 1	1 0
1	Q <sub>1</sub> Q <sub>0</sub>	1 0	0 1	1 1	1 0
1	Q <sub>1</sub> Q <sub>0</sub>	1 0	0 0	1 1	1 0

Figura 5.48.

Diagrama circuital:

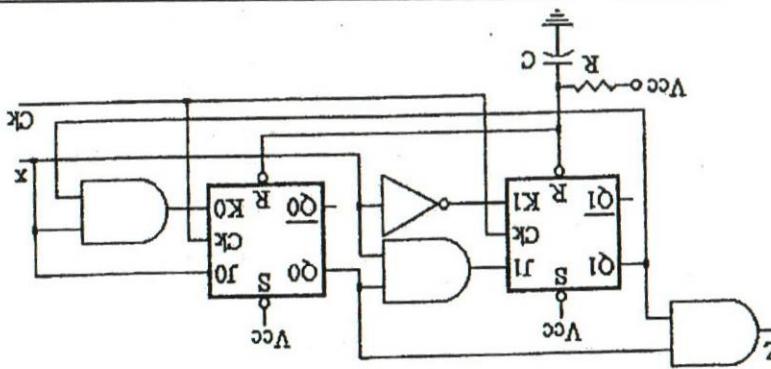
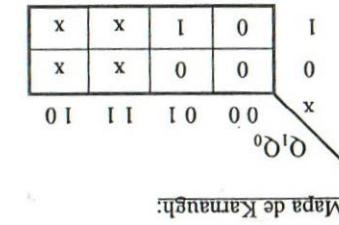
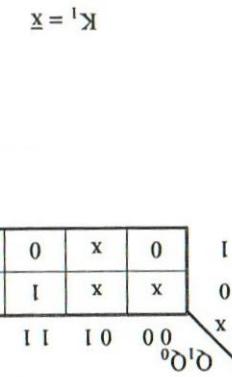
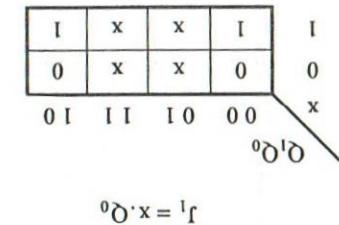


Figura 5.49.

## 2.3. CIRCUITOS DE MOORE Y MEALY

Circuitos de MOORE. La salida depende solo del estado de las memorias (FF).

Circuitos de MEALY. La salida depende no solo del estado de los FF, sino además de las entradas.



El detector de secuencias diseñado anteriormente responde a un CIRCUITO DE MOORE. Diseñaremos ahora el mismo detector pero como un CIRCUITO DE MEALY. Replanteemos el problema como sigue:

Diseñar un circuito que en el intervalo de reloj "n" produzca una salida  $Z = 1$  siempre que, teniendo en cuenta el valor de  $x$  en el intervalo "n", haya habido una secuencia de 3 o más valores consecutivos de  $x = 1$ .

Diagrama de estados:

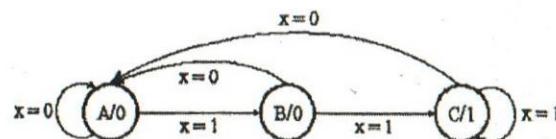


Figura 5.50.

Tabla de Estados:

x	ESTADO PRESENTE	ESTADO FUTURO	SALIDA PRESENTE
0	A	A	0
0	B	A	0
0	C	A	0
1	A	B	0
1	B	C	0
1	C	C	1

Asignación:

ESTADO	$Q_1$	$Q_0$
A	0	0
B	0	1
C	1	0

Tabla de excitación:

x	ESTADO PRESENTE		ESTADO FUTURO		ENTRADAS				SALIDA
	$Q_1$	$Q_0$	$Q_1$	$Q_0$	$J_1$	$K_1$	$J_0$	$K_0$	
0	0	0	0	0	0	x	0	x	0
0	0	1	0	0	0	x	x	1	0
0	1	0	0	0	x	1	0	x	0
1	0	0	0	1	0	x	1	x	0
1	0	1	1	0	1	x	x	1	0
1	1	0	1	0	x	0	0	x	1

Mapa de Karnaugh:

		$Q_1 Q_0$			
		00	01	11	10
x	0	0	0	x	x
	1	0	1	x	x

		$Q_1 Q_0$			
		00	01	11	10
x	0	x	x	x	1
	1	x	x	x	0

$$J_1 = x \cdot Q_0$$

$$K_1 = \bar{x}$$

		$Q_1 Q_0$			
		00	01	11	10
x	0	0	x	x	0
	1	1	x	x	0

		$Q_1 Q_0$			
		00	01	11	10
x	0	x	1	x	x
	1	x	1	x	x

Circuitos Secuenciales

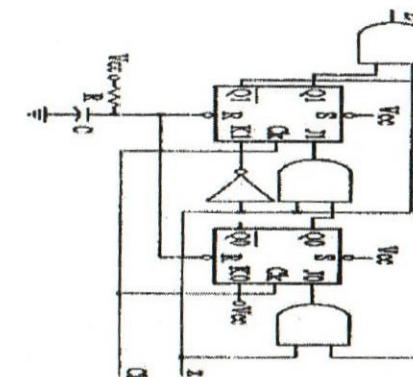
$$I = {}^0K$$

$$\underline{\Delta}^1 \cdot x = {}^0\Gamma$$

$$^1\mathcal{O} \cdot x = Z$$

I	x	0	0	I
0	x	0	0	0
0	1	1	0	0
0	0	0	1	x

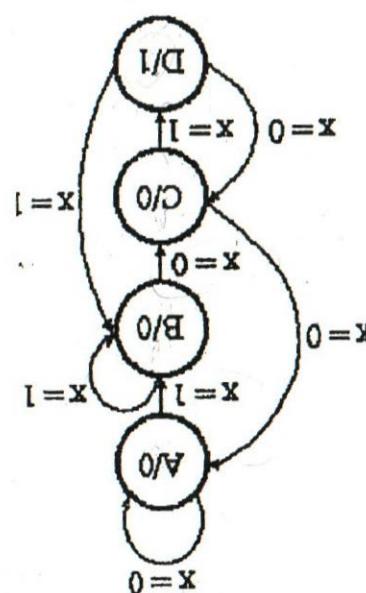
Figura 5.51.



### Diagrama circuital:

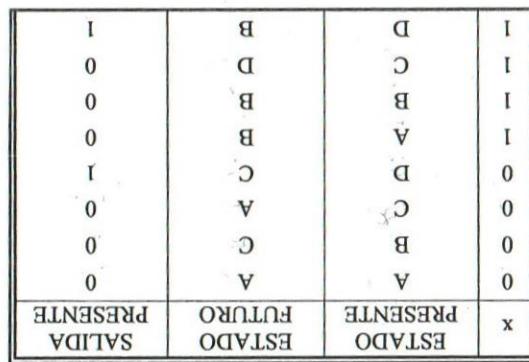
— 8 —

Pasaremos a continuación a plantear el problema en la página siguiente como circuito de MOORE:



### Tabla de Estados:

Figura 5.54.



### Tabla de Estados:

Desear un circuito tal que, dada la siguiente secuencia de datos de entrada 101 y cada vez que se produzca de como salida, un nivel lógico "1". La entrada de datos esta sincronizada con los pulsos de reloj.

DISEÑO DETECTOR DE SECUENCIAS

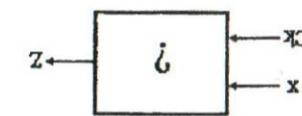
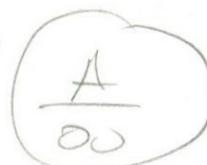


Figura 5.52.

Figura 5.53.

Asignación:

ESTADO	$Q_1$	$Q_0$
A	0	0
B	0	1
C	1	1
D	1	0

Tabla de excitación:

x	ESTADO PRESENTE		ESTADO FUTURO		ENTRADAS				SALIDA
	$Q_1$	$Q_0$	$Q_1$	$Q_0$	$J_1$	$K_1$	$J_0$	$K_0$	
0	0	0	0	0	0	x	0	x	0
0	0	1	1	1	1	x	x	0	0
0	1	1	0	0	x	1	x	1	0
0	1	0	1	1	x	0	1	x	1
1	0	0	0	1	0	x	1	x	0
1	0	1	0	1	0	x	x	0	0
1	1	1	1	0	x	0	x	1	0
1	1	0	0	1	x	1	1	x	1

Mapa de Karnaugh:

	$Q_1 Q_0$	00	01	11	10
x	00	01	11	10	
0	0	1	x	x	
1	0	0	x	x	

	$Q_1 Q_0$	00	01	11	10
x	00	01	11	10	
0	x	x	1	0	
1	x	x	0	1	

$$J_1 = x \cdot Q_0$$

$$\begin{aligned}K_1 &= \bar{x} \cdot Q_0 + x \cdot \bar{Q}_0 \\K_1 &= x \oplus Q_0\end{aligned}$$

Figura 5.55.

	$Q_1 Q_0$	00	01	11	10
x	00	01	11	10	
0	0	x	x	1	
1	1	x	x	1	

	$Q_1 Q_0$	00	01	11	10
x	00	01	11	10	
0	x	0	1	x	
1	x	0	1	x	

$$J_0 = x \cdot Q_1$$

$$K_0 = Q_1$$

	$Q_1 Q_0$	00	01	11	10
x	00	01	11	10	
0	0	0	0	1	
1	0	0	0	1	

$$Z = Q_1 \cdot \bar{Q}_0$$

Figura 5.56.

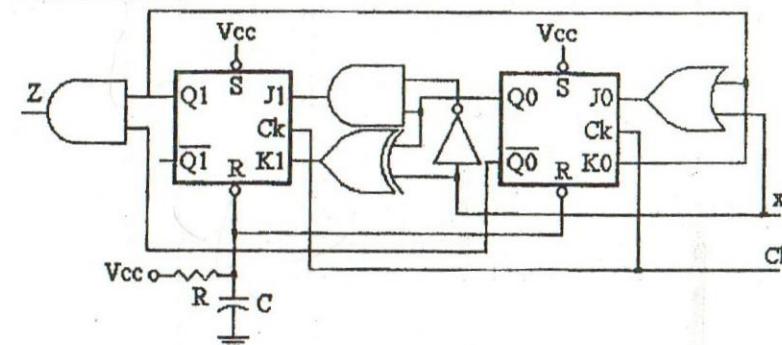
Diagrama circuitual:

Figura 5.57.



$$J_1 = \bar{x} \cdot Q_0$$

$$K_1 = 1$$

Figura 5.59.

	$Q_1 Q_0$	0 0	0 1	1 1	1 0
x	0 0	x	x	0	
0	0	x	0	1	x
1	1	x	x	0	

	$Q_1 Q_0$	0 0	0 1	1 1	1 0
x	0 0	x	0	1	x
0	x	0	0	x	
1	x	0	0	x	

$$J_0 = x \cdot \bar{Q}_1$$

$$K_0 = \bar{x} \cdot Q_1$$

	$Q_1 Q_0$	0 0	0 1	1 1	1 0
x	0 0	0	1	0	
0	0	0	1	0	
1	0	0	1	0	

$$Z = (Q_1 \cdot Q_0)x$$

Figura 5.60.

Diagrama circuitual:

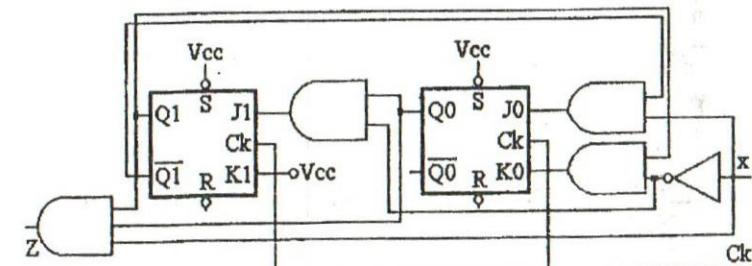


Figura 5.61.

### 3.- CONCLUSION

generalmente un sistema de MEALY tiene menos estados que uno de MOORE (por lo que su implementación es más económica).

Que sistema adoptar: MOORE o MEALY?... Lo positivo de un sistema de MOORE, es que los estados extras de este sistema y la independencia salida / entrada hacen más fácil seguir la operación del sistema en pasos a través de sus estados, con lo que se facilita la detección de errores. Además en este sistema (MOORE) la entrada necesita ser leída solamente en el instante inmediatamente anterior a la ocurrencia del flanco de reloj. Valores incorrectos de entrada en otros instantes tendrán efecto en la salida.

### BIBLIOGRAFÍA:

**Electrónica General**, C. E. Strangio  
Editorial Interamericana

**Diseño de Lógica Digital**, B. Holdsworth  
Editorial Gustavo Gili

**Circuitos Digitales y Microprocesadores**, Herbert Taud

# *Memorias*

## *CAPÍTULO VI*

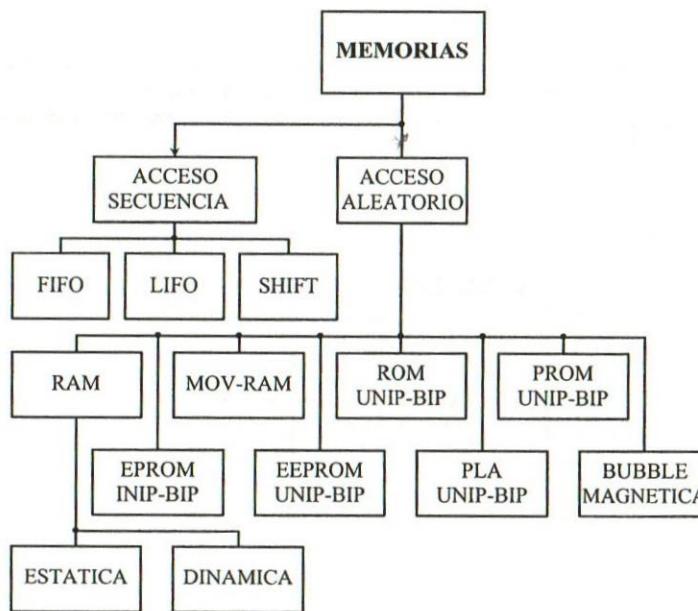
MEMORIAS

Figura 6.1.

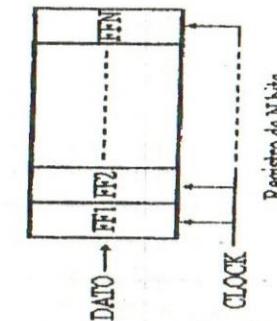
1.- MEMORIA DE DESPLAZAMIENTO (Shift Register)1.1.- REGISTRO DE DESPLAZAMIENTO (Shift Register)

Figura 6.3.

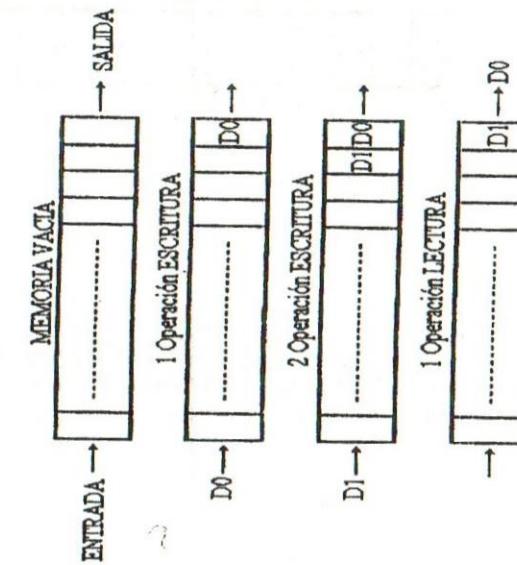
1.2.- MEMORIA FIFO (First Input First Output)

Figura 6.4.



### **2.1.- MEMORIA RAM (Random Access Memory)**

Son memorias de lectura y escritura VOLÁTILES (sí se interrumpe la alimentación se pierde la información). Al conjunto de línea de datos se la denomina BUS DE DATOS (DATA BUS) y al de direcciones BUS DE DIRECCIONES (ADDRESS BUS). El bus de datos puede ser bidireccional o unidireccional.

### **2.1.1.- BUS DE DATOS BIDIRECCIONAL**

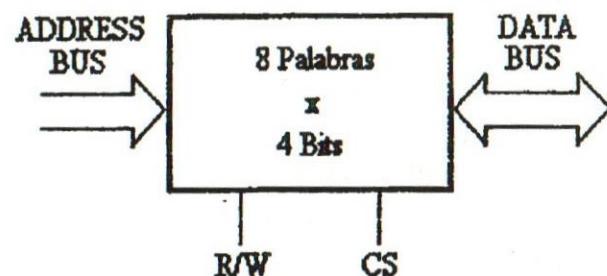
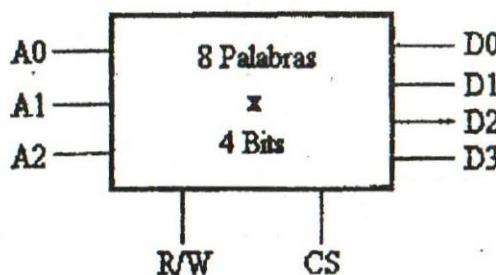


Figura 6.8.

### **2.1.2.- DESCRIPCIÓN DE PINES**

PIN	BUS DE DIRECCIONES
A <sub>0</sub> , A <sub>1</sub> , A <sub>2</sub>	Bus de Direcciones
D <sub>0</sub> , D <sub>1</sub> , D <sub>2</sub> , D <sub>4</sub>	Bus de Datos
R/W	<p><b>R/W = 1 (Read)</b>, se leen los datos de la memoria y se colocan en los D<sub>0</sub>, D<sub>1</sub>, D<sub>2</sub>, D<sub>3</sub> (Bus)</p> <p><b>R/W = 0 (Write)</b>, la información presente en el bus de datos ingresa a la memoria. Se escriben los datos.</p>
CS	<p>Chip Select.</p> <p><b>CS = 1:</b> El chip seleccionado y se puede leer o escribir.</p> <p><b>CS = 0:</b> El bus de datos se encuentra en tercer estado.</p>

### **2.1.3.- LÍNEA DE DATOS BIDIRECCIONAL**

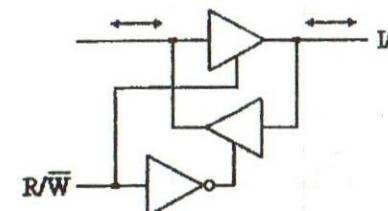


Figura 6.9

#### **2.1.4.- BUS DE DATOS UNIDIRECCIONALES**

Este tipo de memoria posee dos buses de datos, uno para entrada y uno para salida.

## 2.16. DIAGRAMA DE TIEMPOS - RAM ESTÁTICA

Las celadas de almacenamiento son Flip Flop.

CICLO DE LECTURA

DIRECCIÓN ESTABLE

CHIP SELECT

DATA OUTPUT

TAA: TIEMPO DE ACCESO (Access Time).

TOH: TIEMPO DE MANTENIMIENTO (Hold Time).

Tiempo en que la salida permanece válida aun después de un cambio en el bus de direcciones.

TCE: TIEMPO DE SELECCIÓN DE PASTILLA (Chip Selection Time).

Tiempo mínimo requerido para que una vez direccionada la memoria, la salida sea válida.

TAA: TIEMPO DE ACCESO (Access Time).

La salida (Data input) es válida solo después de transcurrido TAA.

Figura 6.12.

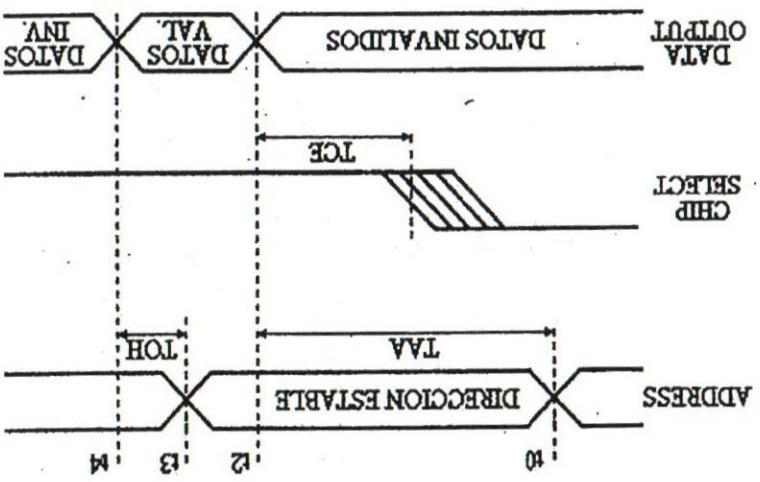
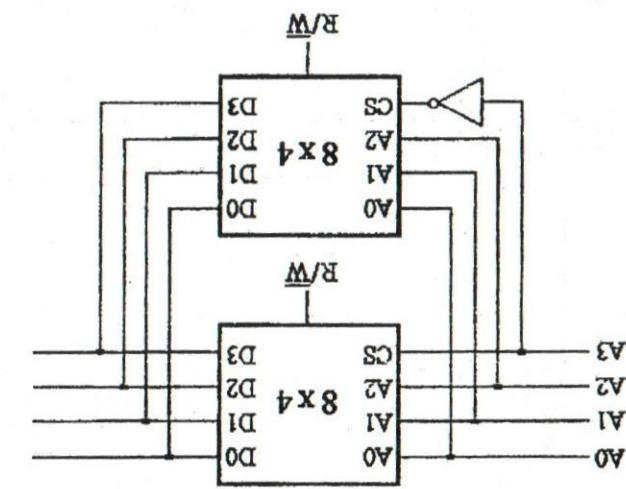


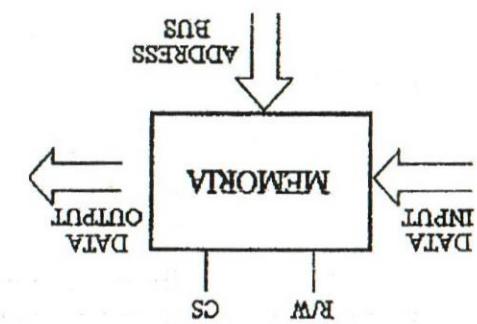
Figura 6.11.



Permite seleccionar bloques de memoria dentro de un banco. Con dos memorias de 8 x 4 construimos una de 16 x 4.

2.15. USO DEL CHIP SELECT

Figura 6.10.



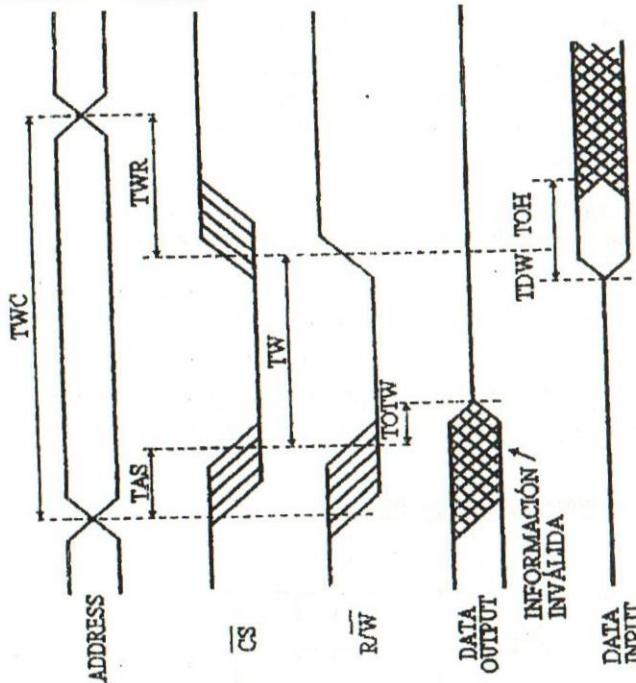
**CICLO DE ESCRITURA**

Figura 6.13.

**TWR:** TIEMPO DE RECUPERACIÓN (Recovery Time).

**TWC:** CICLO DE ESCRITURA (Write Cycle Time).

**TW:** ANCHO PULSO ESCRITURA (Write Pulse).

**TAS:** PUESTA DE DIRECCIÓN (Address Set Up Time).

**TOTW:** HABILITACIÓN ESCRITURA PARA SALIDA TERCER ESTADO.

**TDW:** PUESTA DE DATO

**TOH:** MANTENIMIENTO DEL DATO (Hold Data Time).

Las celdas de almacenamiento son capacitores.

**VENTAJA:**

- Una celda capacitiva ocupa un área menor que un FF (aprox. 1/4)
- Disipa menos potencia que la estática.
- Más veloces.

**DESVENTAJA:**

- Necesita un refresco de información, ya que los capacitores se descargan.
- El refresco requiere de un circuito externo adicional.

El refresco se logra realizando un ciclo de lectura. El circuito externo asociado consiste de un reloj y un generador de direcciones.  
En estas memorias la palabra es de 1 bit.

**DIAGRAMAS DE TIEMPOS:****CICLO DE LECTURA, ESCRITURA, Y LECTURA ESCRITURA MODIFICADAS**

Símbolo	Parámetro	Min.	Max.	Unidad
TREF	Tiempo entre refresco		2	ms
TAC	Tiempo de arranque o preparación de dirección a CE	0		ns
TAH	Tiempo retención de dirección	50		ns
TCC	Tiempo desactivado CE	130		ns
TT	Tiempo de transición	10	40	ns
TCF	Estado de alta impedancia CE fuera a salida	0		ns

**CICLO DE LECTURA**

Símbolo	Parámetro	Min.	Max.	Unidad
TCY	Tiempo de ciclo	400		ns
TCE	Tiempo activado	230	3000	ns
TCO	Retardo de salida CE		180	ns
TACC	Acceso a dirección de salida		200	ns
TWL	CE a WE	0		ns
TWC	WE a CE activada	0		ns

**CICLO DE ESCRITURA**

Símbolo	Parámetro	Min.	Max.	Unidad
TCY	Tiempo de ciclo	400		ns
TCE	Tiempo activado CE	230	3000	ns
TW	WE a CE desactivado	150		ns
TCW	CE a WE	100		ns
TDW	Dentr. a WE preparación	0		ns
TDH	Tiempo de retención Dentr.	0		ns
TWP	Anchura de pulso	50		ns

**2.1.7.- RAM DINÁMICAS**

**2.2. MEMORIA ROM (Read Only Memory)**

Este tipo de memoria solo puede ser leídas. Su estructura se realiza en forma de caracteres, etc.

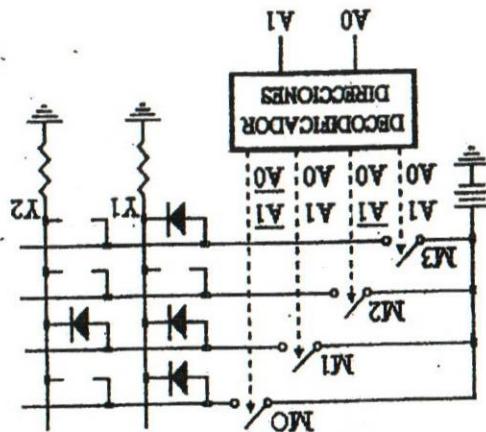
ROM Standard que contiene la función seña, conversión de códigos, generación de señales por el fabricante y normalmente a pedido del consumidor. Existe un Ciclo de lectura que permite leer los datos para la temporización.

MEMORIA PROM (Programmable ROM): Es programada por el usuario. Una vez escrita no puede ser borrada. La programación requiere de circuitos adicionales.

MEMORIA EEPROM (Erasable PROM): Son memorias programables las cuales el usuario las puede borrar (exponiéndolas a la luz ultravioleta) y volver a programar.

MEMORIA EEPROM (Erasable PROM) (Electrically Erasable PROM). Memoria de lectura programable que puede ser borrada eléctricamente, a través de pulsos de corriente.

Figura 6.16.



### 2.2.1. EJEMPLO DE PROM DE 4x2

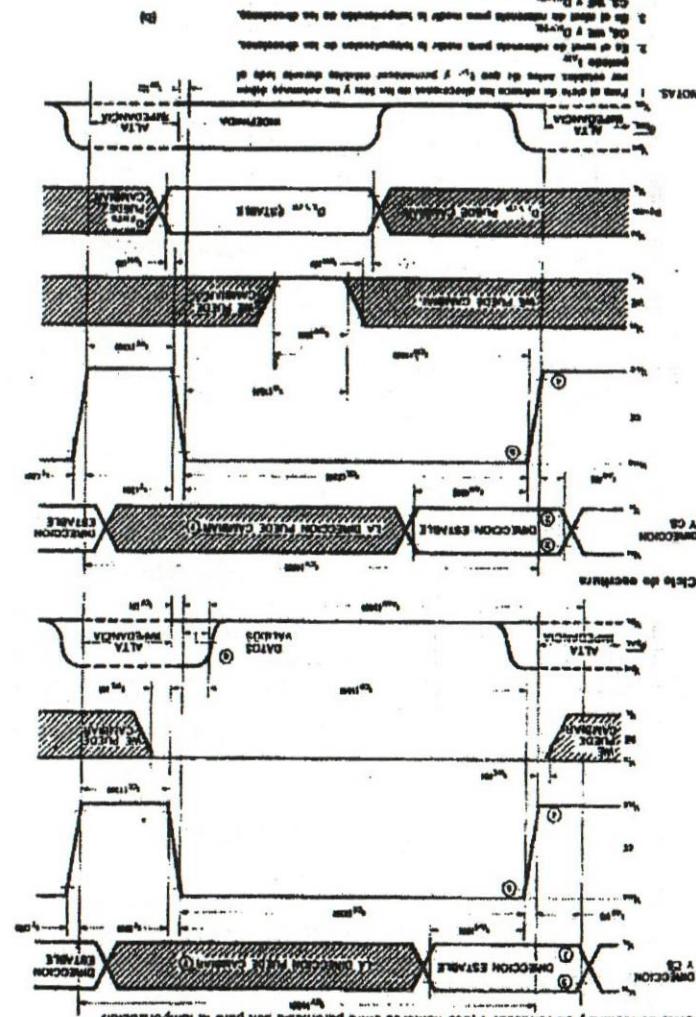
Memorias

### CICLO DE LECTURA Y REFRESCO

Los números entre paréntesis son para la temporización.

Memorias

Figura 6.15.



### ESQUEMÁTICAMENTE

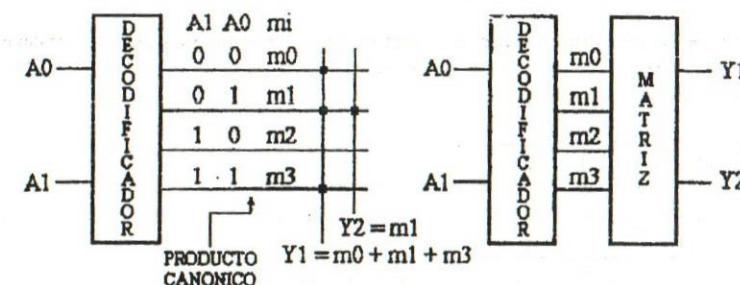
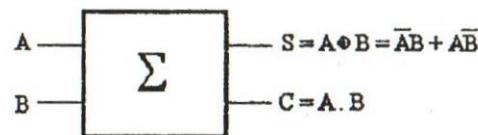


Figura 6.17.

### 2.2.2.- APPLICACIONES CON ROM

Cualquier función BOOLEANA puede ser programada en una memoria ROM.

#### 2.2.2.1.- MEDIO SUMADOR



A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

### Memorias

### Memorias

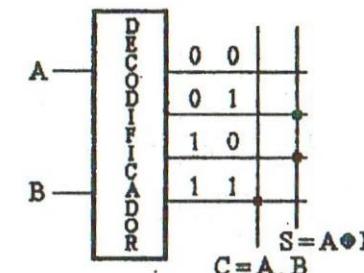


Figura 6.18.

#### 2.2.2.2.- GENERADOR DE PULSOS

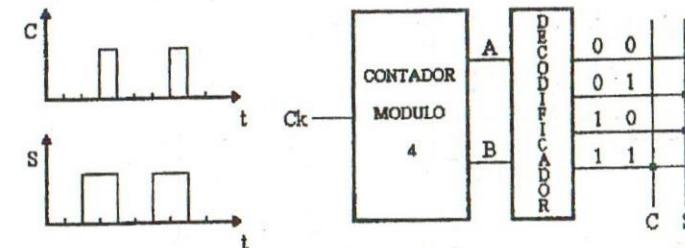


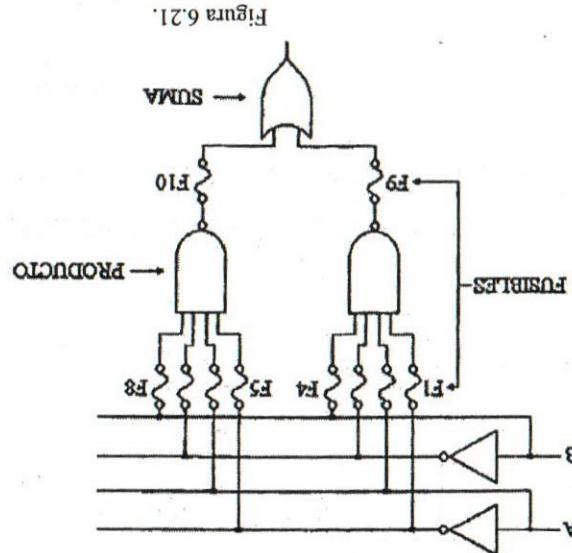
Figura 6.19.

#### 2.2.2.3.- GENERACIÓN Y CONVERSIÓN DE CÓDIGOS (8421 a BCD EXCESO 3)

DECIMAL	8 4 2 1				EXCESO 3			
	A	B	C	D	$Y_4$	$Y_3$	$Y_2$	$Y_1$
0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	1	0	0
2	0	0	1	0	0	1	0	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	1	1
5	0	1	0	1	1	0	0	0
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	1	0
8	1	0	0	0	1	0	1	1
9	1	0	0	1	1	1	0	0

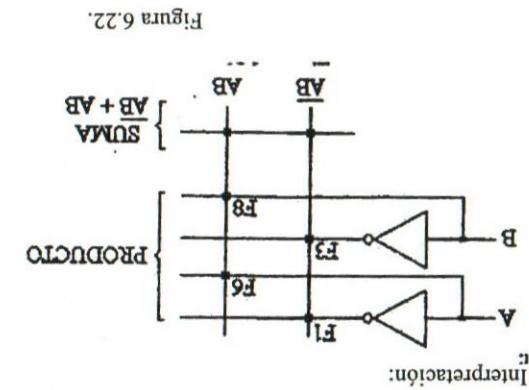
### 3.- MEMORIAS PLA (PROGRAMMABLE LOGIC ARRAY)

Este tipo de memorias consiste de arreglos lógicos programables, los que se realizan los productos y sumas lógicas. La estructura básica de una memoria PLA es la que se muestra a continuación.



Los productos y sumas lógicas. La estructura básica de una memoria PLA es la que se muestra a continuación.

Figura 6.21.



Interpretación:

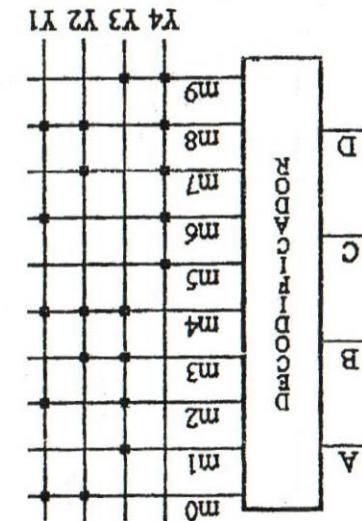
Figura 6.22.

### 2.3. MICROPROGRAMACION

La microprogramación es una técnica usada para controlar sistemas secuenciales mediante programas almacenados en ROM (caso de los microprocesadores). Un microprograma se deben QUMAR los fisibles.

que controlan al sistema secuencial.

Figura 6.20.



En el cruce de línea si aparece un cuadrado sombreado (■) significa fusible INTACTO, sino, fusible QUEMADO. Puede observarse que intactos permanecen  $F_1$ ,  $F_3$ ,  $F_6$ ,  $F_8$  y quemados el resto. Con ello logramos que la función de salida sea OR-EXCLUSIVA NEGADA.

$$A \oplus B = \bar{A} \cdot \bar{B} + A \cdot B$$

Una estructura generalizada de un PLA como por ejemplo la 8575 de National Semiconductor, es la que se muestra a continuación. Posee 14 entradas, 8 salidas y genera 96 productos lógicos.

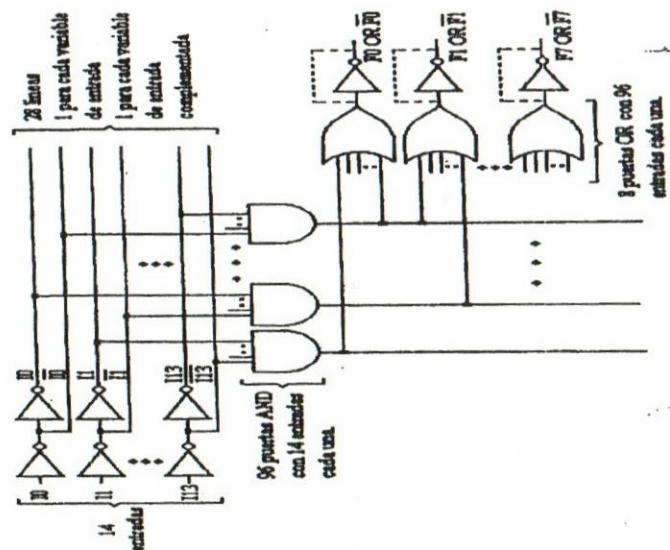


Figura 6.23.

### 3.1.- APPLICACIONES CON PLA

#### 3.1.1.- SEMISUMADOR

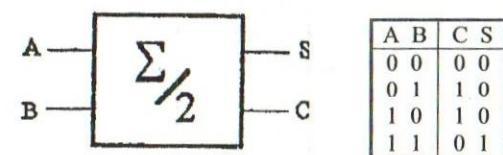


Figura 6.24.

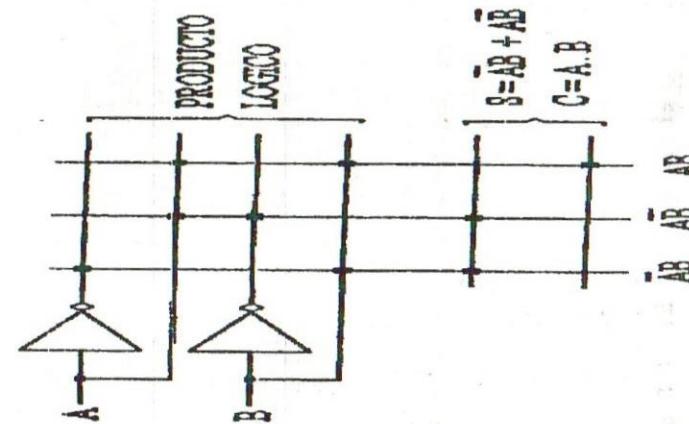


Figura 6.25.

#### 3.1.2.- DISEÑO CONTADOR DE DÉCADAS

Un PLA puede tener varios FF internos, además de la lógica combinación AND - OR, lo que facilita el diseño de circuitos secuenciales. Para el diseño de este contador vamos a utilizar un PLA que contiene FF JK. Luego de plantear el diagrama de estados y la tabla de estados, encontramos los siguientes valores para las entradas J y K:

$$\begin{array}{ll}
 JA = 1 & KA = 1 \quad (\text{LSB}) \\
 JB = \bar{Q}_D \cdot Q_A & KB = Q_A \\
 JC = Q_B \cdot Q_A & KC = Q_B \cdot Q_A \\
 JD = Q_C \cdot Q_B \cdot Q_A & KD = Q_A \quad (\text{MSB})
 \end{array}$$

Debe visualizar:  
Luego de planificar el diagrama de estados y la tabla de estados encontramos los siguientes valores de D:

0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F

A continuación planteamos la tabla de verdad para el decodificador de 7 segmentos.

$$\begin{aligned} DA &= \bar{Q}_A \\ DB &= Q_A \cdot \bar{Q}_B + \bar{Q}_A \cdot Q_B \\ DC &= Q_A \cdot Q_B \cdot \bar{Q}_C + \bar{Q}_A \cdot Q_C + \bar{Q}_B \cdot Q_C \\ DD &= \bar{Q}_C \cdot \bar{Q}_D + \bar{Q}_B \cdot \bar{Q}_D + \bar{Q}_A \cdot \bar{Q}_D + Q_A \cdot \bar{Q}_B \cdot \bar{Q}_C \cdot \bar{Q}_D \text{ (MSB)} \end{aligned}$$

La tabla de verdad planteamos la tabla de verdad para el decodificador de 7 segmentos.

N	CONTADOR	DISPLAY 7 SEGMENTOS	QD QC QB QA	P Q R S T U V
0	0 0 0 0 1 1 1 1 0 0 0 0 1 1 0 0	0 0 0 0 1 1 1 1 0 0 0 0 1 1 0 0	0 0 0 0 1 1 1 1 0 0 0 0 1 1 0 0	0 0 0 0 1 1 1 1 0 0 0 0 1 1 0 0
1	0 0 0 0 1 1 1 1 0 0 0 0 1 1 0 0	0 0 0 0 1 1 1 1 0 0 0 0 1 1 0 0	0 0 0 0 1 1 1 1 0 0 0 0 1 1 0 0	0 0 0 0 1 1 1 1 0 0 0 0 1 1 0 0
2	0 0 0 1 0 1 1 1 0 0 0 0 1 1 0 0	0 0 0 1 0 1 1 1 0 0 0 0 1 1 0 0	0 0 0 1 0 1 1 1 0 0 0 0 1 1 0 0	0 0 0 1 0 1 1 1 0 0 0 0 1 1 0 0
3	0 0 0 1 1 0 1 1 1 0 0 0 1 1 0 0	0 0 0 1 1 0 1 1 1 0 0 0 1 1 0 0	0 0 0 1 1 0 1 1 1 0 0 0 1 1 0 0	0 0 0 1 1 0 1 1 1 0 0 0 1 1 0 0
4	0 0 1 0 0 0 0 1 1 1 0 0 0 0 1 1	0 0 1 0 0 0 0 1 1 1 0 0 0 0 1 1	0 0 1 0 0 0 0 1 1 1 0 0 0 0 1 1	0 0 1 0 0 0 0 1 1 1 0 0 0 0 1 1
5	0 0 1 0 1 0 1 0 1 1 1 0 0 0 0 1	0 0 1 0 1 0 1 0 1 1 1 0 0 0 0 1	0 0 1 0 1 0 1 0 1 1 1 0 0 0 0 1	0 0 1 0 1 0 1 0 1 1 1 0 0 0 0 1
6	0 0 1 1 0 1 0 0 1 1 1 1 0 0 0 1	0 0 1 1 0 1 0 0 1 1 1 1 0 0 0 1	0 0 1 1 0 1 0 0 1 1 1 1 0 0 0 1	0 0 1 1 0 1 0 0 1 1 1 1 0 0 0 1
7	0 0 1 1 1 0 0 0 1 1 1 1 1 0 0 1	0 0 1 1 1 0 0 0 1 1 1 1 1 0 0 1	0 0 1 1 1 0 0 0 1 1 1 1 1 0 0 1	0 0 1 1 1 0 0 0 1 1 1 1 1 0 0 1
8	0 1 0 0 0 0 0 0 0 0 1 1 1 1 1 1	0 1 0 0 0 0 0 0 0 0 1 1 1 1 1 1	0 1 0 0 0 0 0 0 0 0 1 1 1 1 1 1	0 1 0 0 0 0 0 0 0 0 1 1 1 1 1 1
9	0 1 0 0 0 0 0 0 1 1 1 1 1 1 1 1	0 1 0 0 0 0 0 0 1 1 1 1 1 1 1 1	0 1 0 0 0 0 0 0 1 1 1 1 1 1 1 1	0 1 0 0 0 0 0 0 1 1 1 1 1 1 1 1
A	0 1 0 0 0 1 0 0 1 1 1 1 1 1 1 1	0 1 0 0 0 1 0 0 1 1 1 1 1 1 1 1	0 1 0 0 0 1 0 0 1 1 1 1 1 1 1 1	0 1 0 0 0 1 0 0 1 1 1 1 1 1 1 1
B	0 1 0 0 1 0 0 0 1 1 1 1 1 1 1 1	0 1 0 0 1 0 0 0 1 1 1 1 1 1 1 1	0 1 0 0 1 0 0 0 1 1 1 1 1 1 1 1	0 1 0 0 1 0 0 0 1 1 1 1 1 1 1 1
C	0 1 0 1 0 0 0 0 0 1 1 1 1 1 1 1	0 1 0 1 0 0 0 0 0 1 1 1 1 1 1 1	0 1 0 1 0 0 0 0 0 1 1 1 1 1 1 1	0 1 0 1 0 0 0 0 0 1 1 1 1 1 1 1
D	0 1 0 1 0 1 0 0 0 0 1 1 1 1 1 1	0 1 0 1 0 1 0 0 0 0 1 1 1 1 1 1	0 1 0 1 0 1 0 0 0 0 1 1 1 1 1 1	0 1 0 1 0 1 0 0 0 0 1 1 1 1 1 1
E	0 1 0 1 1 0 0 0 0 0 0 1 1 1 1 1	0 1 0 1 1 0 0 0 0 0 0 1 1 1 1 1	0 1 0 1 1 0 0 0 0 0 0 1 1 1 1 1	0 1 0 1 1 0 0 0 0 0 0 1 1 1 1 1
F	0 1 1 0 0 0 0 0 0 0 0 0 1 1 1 1	0 1 1 0 0 0 0 0 0 0 0 0 1 1 1 1	0 1 1 0 0 0 0 0 0 0 0 0 1 1 1 1	0 1 1 0 0 0 0 0 0 0 0 0 1 1 1 1

$V = 2, 3, 4, 5, 6, 8, 9, A, B, D, E, F$

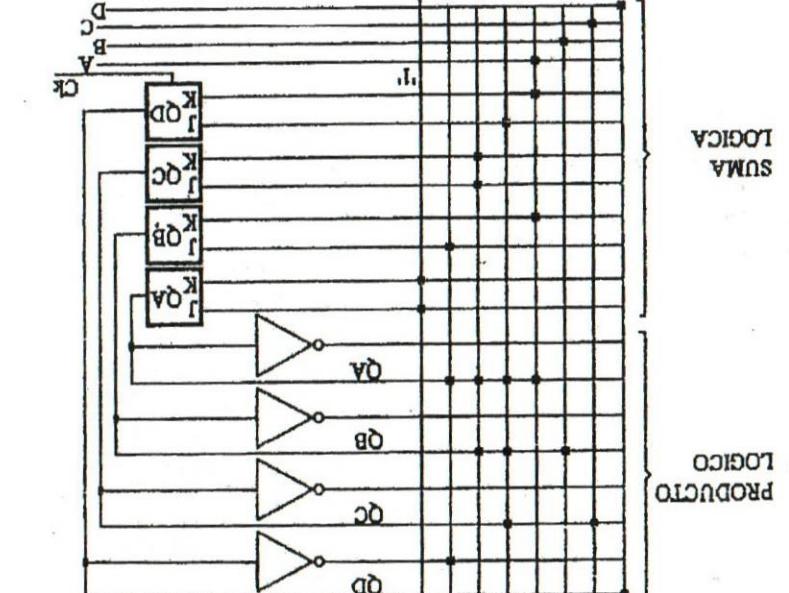


Figura 6.26.

3.1.3.- DISEÑO CONTADOR HEXADECIMAL CON DECODIFICADOR  
La salida de este contador debiera estar codificada para excitar un display de 7 segmentos. Utilizaremos un PLA con FFD.

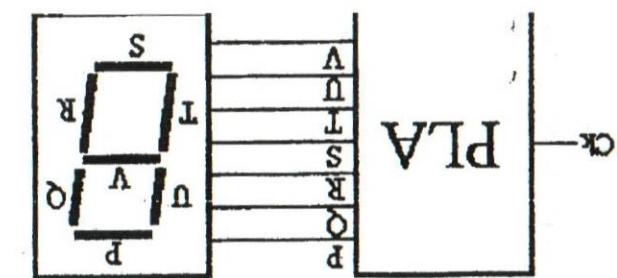


Figura 6.27.

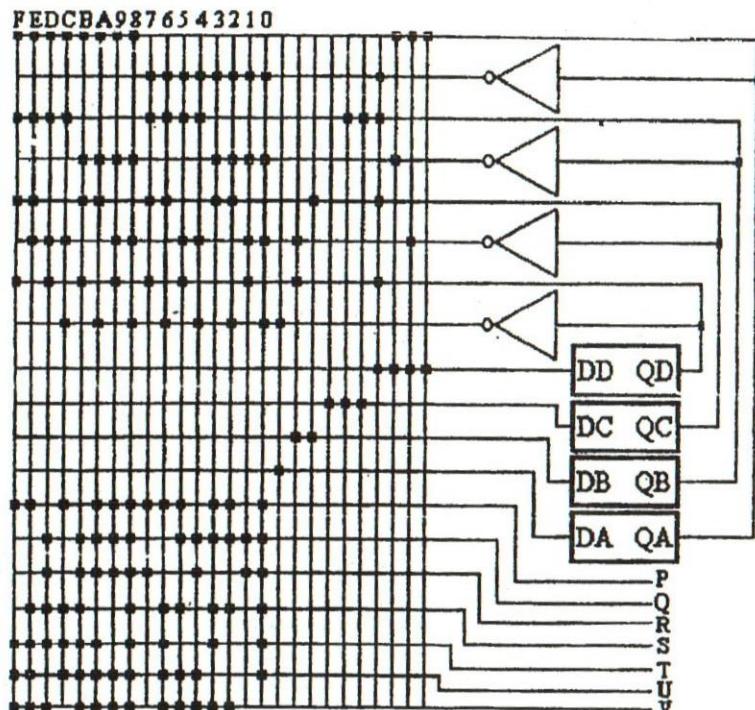


Figura 6.28.

**4.- PLA VERSUS ROM**

Un PLA no tiene decodificador de dirección. Su decodificación se realiza por la programación del arreglo del producto. Esto nos dice que:

- Una dirección corresponde a más de un producto.
- Existen direcciones sin programar.
- Una palabra tiene más de una dirección.

El número de entradas de un PLA es mayor que en una ROM. La conveniencia o no del uso de un PLA surge del problema a tratar.

Supongamos que deseamos una conversión de códigos del A al B. El código A tiene 12 variables de entrada (4096 combinaciones) y usa solo 96 combinaciones. Si utilizamos una ROM de 12 bits de dirección, estamos desperdiciando 4000 posiciones de memoria. En esas circunstancias es conveniente el uso de un PLA.

**BIBLIOGRAFÍA**

Sistemas Electrónicos Digitales, E. Mandado  
 Circuitos Digitales y Microprocesadores, Herbert Taub  
 Memory Databook, National Semiconductor  
 Pal, Monolithic Memories

# *APPENDICE A*

329

330

Appendice A

Appendice A

*Designing Microcontroller Systems for  
Electrically Noisy Environments*

*By*

**INTEL Corporation**  
**Literature Department**

Traducido por:

**Lic. María Dolores Sestopal**  
*Profesor Adjunto*  
*Universidad Nacional de Córdoba*

Revisado por:

**Ing. Rodolfo A. Caballero**  
*Profesor Titular*  
*Universidad Tecnológica Nacional*

## 1.- INTRODUCIÓN

Apéndice A

A menudo se pliega que los circuitos digitales son inmunes a los problemas digitales o circuíticos que se presentan en el software; el problema salta a posiciones en la memoria aparentemente sin sentido. Los GLITCHES (sobrepulsos) inducidos por el ruído en las líneas de señal pueden causar dichos problemas, pero el voltaje de alimentación es más sensible que las líneas de señales. Los sistemas con ruído excesivo, aquellas que se suponen describas elecciotostáticas, o las producidas en los circuitos eléctricos de los motores, pueden causar daños permanentes al hardware. Las describas elecciotostáticas de acuerdo a las líneas de suministro del PCB (Primer Circuit Board), la distribución de esencial atención en ambientes automotrices y ESD (Electrostatic Discharge).

Generalmente no se encuentran problemas ocasionados por ruído durante la fase de desarrollo de un sistema digital. Esto se debe a que en muy pocas ocasiones los bancos simulan el ambiente para el cual se desinta el sistema. Los problemas de ruído no tienden a surgir hasta que el sistema esta instalado y en funcionamiento en el ambiente real. Esto se debe a que en la fase de desarrollo de un sistema digital, Esto se debe a que en muy pocas ocasiones se apaga el sistema y vuelve a encender nuevamente, en cuyo caso se apaga el sistema cada vez que se prende o apaga una fotocapadora, teclado o el problema ocurre cada vez que se prende o apaga una fotocapadora, oviamente, como por ejemplo una descarga electrostática del dedo de alguien en un teclado, como por ejemplo si nadie habita ocurrida. Puede haber una causa que se debida a la electricidad es la irregularidad, tanto en la ocurrencia del problema como en lo que el sistema hace fallar. Todos los problemas del sistema que se dan a intervalos aparentemente irregulares nos son causados necesariamente por ruídos en el sistema. El Vcc marginal, el desacoplamiento impreciso o las coincidencias en la temporización, pueden causar problemas que parecen ocurrir al azar.

O puede no haber una causa obvia, y nadie que el usuario realice, hará que se repita el problema. Un síntoma de la electricidad es la irregularidad, tanto en la ocurrencia del problema que se da a la electricidad es la irregularidad, tanto en la ocurrencia del problema como en lo que el sistema hace fallar. Todos los problemas del sistema que se dan a intervalos aparentemente irregulares nos son causados necesariamente por ruídos en el sistema. El Vcc marginal, el desacoplamiento impreciso o las coincidencias en la temporización, pueden causar problemas que parecen ocurrir al azar.

## 2.- SINTOMAS DE LOS PROBLEMAS

Apéndice A

### 3- TIPOS Y ORÍGENES DEL RUIDO POR CAUSAS ELÉCTRICAS

El nombre dado a los ruidos por causas eléctricas además de aquellos que son inherentes a los componentes de los circuitos (como por ejemplo el RUIDO TÉRMICO) es EMI: interferencia electromagnética. Los motores, los interruptores de energía, las luces fluorescentes, las descargas electrostáticas, etc., son fuentes de EMI. Hay una serie muy diversa de tipos de EMI, y las mismas son descriptas a continuación.

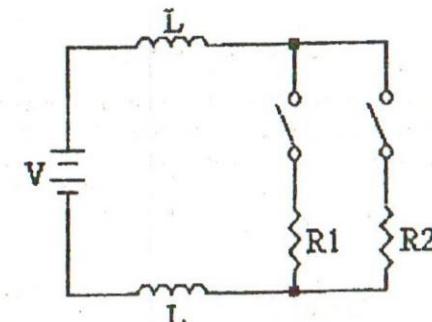
#### 3.1.- OSCILACIONES MOMENTÁNEAS (TRANSITORIOS) EN LA LÍNEA DE SUMINISTRO

Todo lo que encienda o apague cargas de corriente fuertes en las líneas de energía de AC o DC causará grandes oscilaciones en estas líneas de suministro de energía. Por ejemplo, al encender o apagar una máquina de escribir eléctrica se puede ocasionar una fuerte oscilación de 1000V en las líneas de energía AC. El mecanismo básico que se encuentra detrás de las oscilaciones momentáneas en la línea de suministro de energía está explicado en la figura 1. La batería representa cualquier fuente de energía, AC o DC. Las bobinas representan la inductancia de la línea existente entre la fuente de energía y las cargas conmutable  $R_1$  y  $R_2$ . Si ambas cargas están extrayendo corriente, la corriente de la línea que fluye a través de la inductancia de la línea, establece un campo magnético de cierto valor. Entonces, cuando se apaga una de las cargas, el campo cae debido a ese componente de la corriente de la línea, generando voltajes que oscilan momentáneamente:

$$V = L \left( \frac{di}{dt} \right)$$

Los cuales tratan de mantener la corriente en su nivel original. Esto se denomina GOLPE INDUCTIVO. Debido al rebote del contacto, se generan oscilaciones momentáneas ya sea que se abra o cierre el interruptor, pero son peores cuando se ABRE el interruptor.

En la mayoría de las oscilaciones momentáneas hay un golpe inductivo de un tipo o de oro, incluyendo aquellos que se encuentran en ambientes automotrices. Existen otros mecanismos causantes de oscilaciones de línea que incluyen la captación de ruido en las líneas.



Oscilaciones en la línea de suministro de energía

Figura 1

#### 3.2.- EMP Y RFI

Todo lo que produce ARCOS o CHISPAS irradia pulsos electromagnéticos (EMP) o interferencias de la radio – frecuencia (RFI). Las descargas de chispas han causado probablemente más problemas en el software de los equipos digitales que en cualquier otra fuente por sí sola. El mecanismo que causa trastornos es el EMP producido por las chispas. Los EMP inducen oscilaciones momentáneas en el circuito, que son las que en realidad causan el problema. Los arcos y las chispas ocurren en los sistemas de encendido de los automóviles, en los motores eléctricos, en los interruptores, en las descargas estáticas, etc. los motores eléctricos que tienen barras conmutadoras producen un arco a medida que las escobillas pasan de una barra a la siguiente. Los motores DC y los UNIVERSALES (AC / DC) que son usados para impulsar herramientas manuales son los que tienen barras conmutadoras. En los interruptores, el mismo golpe inductivo que causa oscilaciones en las líneas de suministro hará que el interruptor se abra o se cierre a través de la chispa.

#### 3.3.- ESD

La descarga electrostática (ESD) es la chispa que se presenta cuando una persona recibe una descarga estática al caminar sobre una alfombra, y luego la descarga en un teclado u otro elemento que pueda tocar. Al caminar sobre una alfombra cuando el tiempo está seco, una persona puede acumular un voltaje estático de 35 KV.

El pulso de corriente de una descarga electrostática tiene un tiempo de elevación extremadamente rápido – típicamente 4 A / $\mu$ seg.-. La figura 2 muestra las

surge por el la verdadera TIEGRA no esta realmente al mismo potencial en todos los lugares.

Si los dos extremos de un cable estan conectados a tierra en distintos lugares, la diferencia de voltaje entre los dos puntos a TIEGRA puden hacer pasar corrientes significativas (varios amperes) a travs del cable. Considera que el cable es parte del circuito cerrado que contiene ademas del cable, una linea de voltaje que representa la diferencia en la tensión entre los puntos a tierra y asi obtendrá el lazo de tierra clásico.

Por extensión, se usa este termino para hacer referencia a cualquier corriente novedosa (y a menudo imesperada) en una linea a tierra.

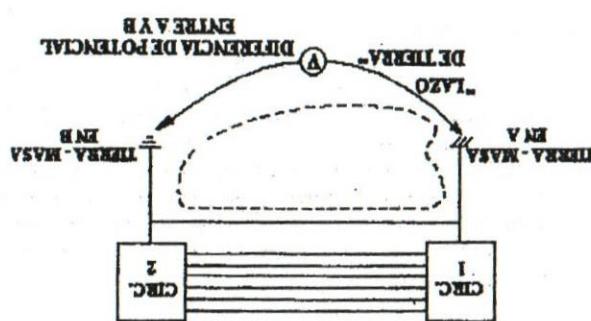


Figura 3

Lazos de tierra

Las corrientes en las líneas a tierra son otra fuente de ruido. Estas pueden ser otras señales que comparan ese cable en particular como línea de retorno de la corrientes de 50 Hz provenientes de las líneas de energía, o por interconexión con señales de ruido en las líneas de tierra de otros sistemas de tierra en la figura 3, el problema se agrava. Se define al ruido en las líneas de tierra como un problema de la tierra. Se muestran el concepto básico de lazo de tierra en la figura 3, el problema se agrava. Se define al ruido en las líneas de tierra como un problema de la tierra. Se muestra el concepto básico de lazo de tierra en la figura 3, el problema se agrava.

### 3.4.- RUIDO EN LAS CONEXIONES A TIERRA

Las observaciones realizadas por W. M. KING sugieren tiempos de elevación aun más rápidos (Fig. 3.2.b) y la existencia de descargas múltiples durante un micro momento de descarga. Obviamente, la sensibilidad ESD necesita ser considerada en el diseño del equipo que va a estar sujeto a ello, tales como el equipamiento de la oficina.

*que se inclinan a partir de un objeto metálico que es tomado con la mano*

Formas de onda de las corrientes de descarga electrostática

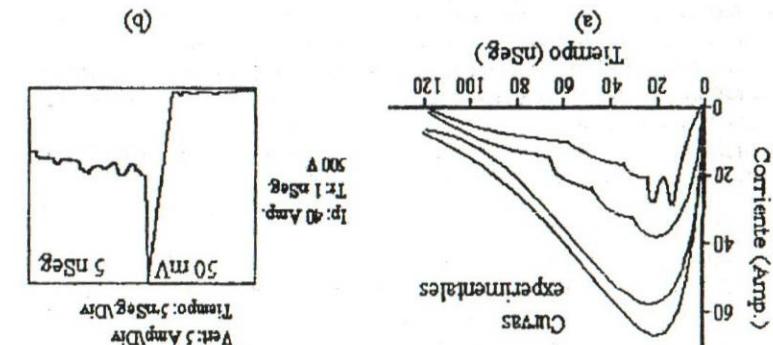


Figura 2

Appendice A

formas de las ondas que han sido observadas por algunos investigadores del fenómeno ESD. Es instantáneo calcular el voltaje  $L \frac{di}{dt}$  necesario para hacer pasar un pulso de corriente ESD a través de un par de pulsadores de cable libre. Dos pulsadores de cable tienen alrededor de  $50 \text{ nH}$  de inductancia. Esto no es mucho, pero al usar  $50 \text{ nH}$  para  $L$  y  $4 \text{ A/ns}$ . Para dividir da una carda  $L \frac{di}{dt}$  de alrededor de  $200 \text{ V}$ .

Appendice A

Las ondas que han sido observadas por algunos investigadores del fenómeno ESD, se basan en la figura 3. El voltaje  $L \frac{di}{dt}$  necesario para hacer pasar un pulso de corriente ESD a través de un par de pulsadores de cable libre es:

$$V = L \frac{di}{dt}$$

Donde  $V$  es la diferencia de voltaje entre los puntos a tierra y  $i$  es la corriente que pasa por el cable. Considera que el cable tiene una resistencia adicional de  $R$  ohmios. Entonces la ecuación se convierte en:

$$V = L \frac{di}{dt} + R i$$

Al integrar esta ecuación, obtenemos:

$$V = \frac{1}{2} L \left( \frac{di}{dt} \right)^2 + R i^2$$

Al sustituir los valores conocidos, obtenemos:

$$V = \frac{1}{2} \times 50 \text{ nH} \times \left( \frac{4 \text{ A}}{1 \text{ ns}} \right)^2 + 0 \text{ ohmios} \times (4 \text{ A})^2$$

$$V = 400 \text{ V}$$

**4.- RUIDO IRRADIADO Y CONDUCIDO**

El ruido irradiado es el ruido que llega al circuito víctima en la forma de radiación electromagnética, tales como EMP y RFI. Ocasiona problemas al inducir voltajes externos en el circuito víctima en la forma de voltaje externo generalmente vía línea de energía AC o DC.

Puede generarse protección contra el ruido irradiado si se tiene cuidado en el diseño de los LAYOUTS (trazados) y en el uso de técnicas de protección efectiva.

Puede generarse protección contra el ruido conducido por medio de FILTROS y SUPRESORES, aunque las técnicas de diseño y de conexión con tierra son importantes aquí también.

**Simulación del ambiente:**

La consideración de los problemas de ruido después de que el diseño de un sistema ha sido completado es una proposición cara. Los problemas generados por fallas en el campo tampoco son muy baratos. Es mas barato a largo plazo invertir simulación de ruidos, de manera tal que las pruebas controladas puedan realizarse en el banco a medida que se esta desarrollando el diseño.

La simulación del ambiente de ruido deseado es un proceso de dos etapas. Primero usted tiene que reconocer cual es el ambiente de ruido, es decir usted tiene que saber que tipos de ruidos electrónicos están presentes y cual de ellos ocasiona el problema.

No ignore este primer paso porque es importante. Si usted invierte en un generador de chispa de espiral por inducción porque su aplicación será automotriz, usted esta realizando esfuerzos inútiles. El ruido de las bujías es la menor de sus preocupaciones en ese ambiente.

El segundo paso es la generación de ruido eléctrico de modo controlado. Esto es generalmente más difícil de lo que se imaginó al principio, uno primero se imagina la simulación en función de un generador de formas de onda y unas pocas partes de repuesto, y luego encuentra que un amplificador de energía de banda ancha con un rango dinámico de 200V es también necesario. Una buena fuente de información sobre quien suministra que equipo de simulación de ruido es el: 1981 ITEM Directory and Design Guide.

**5.- TIPOS DE FALLAS Y MECANISMOS DE FALLAS**

Uno de los mayores problemas que EMI puede causar en los sistemas digitales es un mal funcionamiento de las operaciones en forma intermitente. Estos problemas en el software ocurren cuando el sistema esta en operación en el momento en que se activa la fuente de EMI y generalmente están caracterizados por una perdida de información o un salto en la ejecución del programa a un sitio indeterminado en la memoria. La persona que tiene que solucionar el problema esta tentado de decir que la computadora se volvió loca.

Generalmente no hay daño en el hardware, y se puede continuar el funcionamiento normal una vez que el EMI ha pasado o que la fuente es desactivada. Para continuar con el funcionamiento normal generalmente es necesario un reajuste manual o automático y posiblemente la realización de un reingreso de la información perdida.

Las descargas electrostáticas del personal que opera el equipo pueden causar no solo problemas en el software sino también un daño permanente (DURO) al sistema. Para que aquello ocurra el sistema no necesita siquiera estar en funcionamiento. A veces el daño permanente está latente, lo que significa que el daño inicial puede ser marginal y no es necesario una complicación posterior causada por la fatiga del funcionamiento y por el tiempo antes de que una falla permanente tenga lugar. A veces también el daño esta oculto. Un mecanismo de falla relacionado al ESD que ha sido identificado tiene que ver con el voltaje de polarización en el substrato del chip. En algunos chips de una CPU, se mantiene el substrato a -2,5V por medio de un oscilador de CAMBIO DE FASE que funciona con un circuito enclavador con capacitor / diodo. Esto se denomina BOMBA DE CARGA en los círculos de diseño de chips. Si el substrato se aleja demasiado en cualquier dirección, se anotan los errores de lectura del programa.

Se sabe que algunos diseños permiten que las corrientes de descarga electrostática fluyan directamente entre los pines puerto de un 8048. el daño resultante al oxido causa un incremento en la corriente que se filtra que hace bajar la carga de la bomba de carga reduciendo el voltaje del substrato a un nivel marginal o inaceptable. Esto hace que el sistema sea poco confiable o que quede fuera de funcionamiento hasta que el chip de la CPU estuvo sujeto a una chispa de descarga una sola vez, esto ocurrirá otra vez eventualmente.

Los chips que tienen un substrato a tierra tales como el 8748, pueden soportar a veces daño causados por el oxido sin dejar de funcionar. En este caso el daño esta presente y se nota un incremento en la corriente que se filtra, sin embargo, como el voltaje del substrato retiene su valor designado, el daño permanece oculto en gran medida.

La preventión es generalmente más barata que la supresión, por lo tanto consideraremos en primer lugar métodos de preventión que podrían ayudar a minimizar la generación de voltajes de ruido en el circuito. Estos métodos incluyen conexiones a tierra, protección y técnicas de cableado que estan dirigidas a suprimir los mecanismos por los cuales el voltaje de ruido se genera en el circuito. También discutiremos métodos de desacoplamiento. Luego examinaremos algunos esquemas para permitir una rápida recuperación de problemas que ocurren a pesar de la existencia de medidas preventivas. Finalmente, examinaremos nuevas técnicas de medición de problemas que no se han tratado anteriormente.

Apéndice A

## Apéndice A

## 6.- LAZOS DE CORRIENTE

Lo primero que aprenden las personas acerca de la electricidad es que la corriente no fluirá a menos que pueda fluir en un circuito cerrado. Este hecho básico es a veces olvidado temporalmente por aquellos ingenieros que han trabajado excesivamente y que han pasado los últimos años dominando la complejidad de los lazos de TEMPORIZACIÓN , de REALIMENTACIÓN y quizás aun lazos de CONEXIÓN A TIERRA. El lazo de corriente simple a tierra quizás este aparentemente terminado debido a la invención del símbolo tierra. Con un simple trazo, uno evita el tener que dibujar el recorrido de retorno de la mayoría de los lazos de corriente en el circuito. Despues de ello, TIERRA se convierte en una boca de desagüe de corriente infinita de manera tal que cualquier corriente que fluye a ella desaparece y es olvidada. Puede ser que sea olvidada, pero no ha desaparecido. Debe regresar a su fuente de manera tal que su recorrido formará según todas las leyes de la naturaleza un circuito cerrado.

La geometría física de un circuito cerrado de corriente dado es la clave para explicar porqué se generan EMI, porqué es susceptible a EMI y como protegerlo. Específicamente es el área del circuito cerrado lo que es importante.

Cualquier flujo de corriente genera un campo magnético cuya intensidad varía en forma inversa a la distancia desde el cable que lleva la corriente. Dos cables paralelos que conducen corriente  $+I$  y  $-I$  (como el caso de las líneas de alimentación y de retorno de señal) generarían un campo magnético diferente de cero cerca de los cables, donde la distancia desde un punto dado a uno de los cables es diferente de forma notable a la distancia al otro cable, pero aún más lejos (con relación al espaciado del cable), donde las distancias desde un punto dado a uno de los cables indistintamente es aproximadamente igual, los campos desde ambos cables tienden a cancelarse. Así al mantener la proximidad entre los recorridos de alimentación y retorno es un modo importante de minimizar su interferencia con otras señales. El modo de mantener su proximidad esencialmente a través de la minimización del área del circuito cerrado. Y, dado que la inductancia mutua desde el circuito cerrado **A** al circuito cerrado **B** es la misma que la inductancia mutua desde el circuito cerrado de corriente **B** al circuito cerrado de corriente **A**, un circuito que no genera interferencia no la recibe tampoco.

Así, desde el punto de vista de la reducción tanto de la generación de EMI como la susceptibilidad a EMI, la regla de oro es el mantenimiento de las áreas de circuitos cerrados de un TAMAÑO PEQUEÑO.

El decir que se debería minimizar las áreas de circuitos es lo mismo que decir que la inductancia del circuito debería ser mantenida al mínimo. La inductancia es por definición la constante de la proporcionalidad entre la corriente y el campo magnético que produce:

$$\phi = LI$$

Para cancelar el campo se mantiene los cables de alimentación y retorno próximos, esto significa minimizar el área del lazo o minimizar la inductancia L.

Donde en este caso  $N = 1$  y A es el área del circuito cerrado de cominterno en el circuito víctima. Hay dos aspectos en la defensa de un circuito contra la captación induciva. Un aspecto es tratar de minimizar los campos oportunistas en su origen. Esto se realiza mediante la minimización del área del circuito cerrado de cominterno en la fuente para promover la cancelación del campo seguido en la secuencia sobre circuitos cerrados de cominternos.

El otro aspecto es minimizar la captación induciva en el circuito víctima mediante la minimización del área del circuito cerrado de cominterno que se encuentra en la Ley de LENZ, el voltaje inducido es proporcional a esta área.

Por lo tanto, ambos aspectos incluyen realmente la misma acción correctiva: el minimizar las áreas de los circuitos cerrados de cominternos se minimiza su susceptibilidad.

$$\left( \frac{dt}{d\beta} \right) NA = \Lambda$$

#### 7.2.- BLINDAJE CONTRA ACOPLAMIENTO INDUCTIVO

En la figura 4.1, b., la capacidad dispersa es intercambiada por un blindaje FARADAY conectado a tierra, tal que las corrientes de intercarga son puenteadas a tierra. Por ejemplo se puede inserir en el plano conectado a tierra una PCB (placa de circuito impreso) para eliminar la mayor parte del acoplamiento capacitivo existente entre ellos. Otra aplicación del blindaje FARADAY es en el transformador protegido electrosistaticamente. En este caso, se coloca una hoja acoplamiento capacitivo entre ellas. Para que el blindaje sea efectivo en esta aplicación, este debe estar conectado al cable verde a tierra.

Hay tres tipos básicos de blindaje:

- BlimdaJe RE.
  - BlimdaJe contra el acoplamiento CAPACITIVO.
  - BlimdaJe contra el acoplamiento INDUCTIVO.

7. BLINDAJE

El acoplamiento capacativo de traveses de capaciencias mutuas o parásitas que no aparecen en el diagrama del circuito, pero que es el ingenerio con experiencia sabe que están allí. El acoplamiento capacativo de uno es lo que causaría que un oscilador inestable cambie su frecuencia cuando la persona pone su mano sobre el circuito, por ejemplo. Lo que es más importante, es que si un sistema digital causa CROSSTALK (INTERFERENCIA) en cables de multiples conductores.

Este modo de bodgear el acoplamiento capacativo es por medio de la envolitura del circuito o del conductor que se requiere proteger en un ESCUDO METÁLICO.

Este se llama un blindaje electrostático o de FARADAY. Si la cobertura alcanza un 100%, no es necesario conectar la tierra al blindaje, pero generalmente es para asegurarse que las capacidades del circuito a blindaje van a la conexión a tierra de la referencia que las capacidades del circuito a blindaje van a la conexión a tierra de la referencia de la señal y que no existen como elementos de realimentación o interfrenecia. Por otro lado, desde el punto de vista mecánico, su comexión a tierra es casi inevitable.

Se puede usar un blindaje FARADAY conectado a tierra para romper el acoplamiento capacativo entre un circuito con ruido y un circuito viciado, según muestra la figura 4. La figura 4. a. muestra dos circuitos acoplados

#### 7.1.- BLINDAJE CONTRA EL ACOPLAMIENTO CAPACITIVO

*Uso del escudo de Faraday*

Figura 4

La protección contra el acoplamiento inductivo no significa otra cosa que el control de las dimensiones de los circuitos cerrados de corriente en el circuito. Debemos observar cuatro ejemplos de este tipo de BLINDAJE: el CABLE COAXIL, el PAR ENROLLADO, el PLANO A TIERRA y el DISEÑO LAYOUT DEL PCB en la forma de red conectado a tierra.

#### **El cable coaxil:**

La figura 5 muestra un cable coaxil que transporta una corriente  $I$  desde una fuente de señal hacia una carga receptora. El blindaje transporta la misma corriente que el conductor central.

Fuera del blindaje, el campo magnético producido por  $+I$  que fluye en el conductor central es cancelado por el campo producido por  $-I$  que fluye en el blindaje. En tanto que el cable es ideal para la producción de un campo magnético externo igual a cero, este es inmune a la captación inductiva provenientes de fuentes externas. El cable agrega de modo efectivo un área cero al circuito cerrado. Esto es cierto solo si el blindaje transporta la misma corriente que el conductor central.

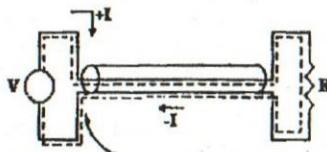
*Externa al blindaje. ( $\phi = 0$ )*

Figura 5.

En el mundo real, es probable que tanto la fuente de señal como la carga receptora tengan un extremo conectado a una señal común a tierra.

En este caso, se debería conectar el cable a tierra en un extremo, ambos extremos o ningún extremo?

La respuesta es que debería estar conectado a tierra en ambos extremos. La figura 6.a muestra el caso en que el blindaje del cable a tierra es por un solo extremo. En ese caso, el circuito cerrado de corriente corre hacia abajo del conductor central del cable y, luego retorna a la conexión a tierra común. El área del circuito cerrado no está bien definida. El blindaje no solamente no transporta la misma corriente que el conductor sino que tampoco transporta ningún tipo de corriente. No hay ninguna cancelación de campo de ningún tipo. El campo no tiene ningún efecto ni en la generación a EMI ni en la susceptibilidad de EMI (sin embargo, continua siendo efectivo como blindaje electrostático o al menos lo sería si la cobertura del blindaje fuera del 100 % ).

La figura 6.b muestra el caso en que el cable está conectado a tierra en ambos extremos. Transporta el blindaje toda la corriente de regreso o sólo una porción de ella a causa del efecto de derivación de la conexión a tierra común?

La respuesta a esa pregunta depende del contenido de la frecuencia de esa señal. En general, el circuito cerrado de corriente seguirá el paso de la impedancia menos. En las frecuencias bajas 0 Hz a varios KHz, donde la reactancia inductiva es insignificante la corriente seguirá el paso de menor resistencia. Por encima de algunos khz, donde predomina la reactancia inductiva, la corriente seguirá el paso de menor inductancia. El paso de menor inductancia es el recorrido cuya área de circuito cerrado sea mínima. De allí que para las frecuencias mas altas, el blindaje transporta virtualmente la misma corriente que el conductor central, y es por lo tanto efectiva contra la generación y recepción de EMI.

*Uso del cable coaxil*

Figura 6

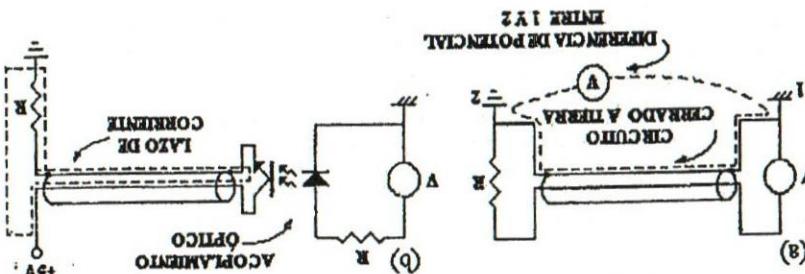
El mejor modo de minimizar las áreas de circuito cerrado cuando hay variaciones de temperatura es una superficie de conducto que se sirve como conductor de calor para todos los circuitos cerrados que contiene el circuito. Un plancha a tierra es una superficie de conducto que se sirve como conductor de calor para todos los circuitos cerrados que contiene el circuito.

Si se usa un PCB de multiples capas, todos los componentes, serán una más capas de una PCB de multiples capas. Todos los componentes en el circuito no van a una trayectoria concentrada a tierra en el PCB que directamente van al planio de tierra. Esto dejará que cada componente en el circuito sea libre de compartir una trayectoria común de tierra en el PCB.

Si la trayectoria de alimentación para una señal dada zigzaguea buscando el amio a través del PCB, la trayectoria de retorno para esa señal es libre de zigzaguear justo por debajo de ella en un plano a tierra, en un tipo de configuración que minimice la energía almacenada en el campo magnético producido por este circuito cerrado de corriente. Un flujo magnético mínimo genera una fuerza que impide que el circuito se desplace dentro de su propia superficie en área de circuito cerrado de corriente. Una medida que minimiza la fuerza de atracción entre el circuito de corriente y el circuito de retorno es la trayectoria de alimentación para la señal de principio de la trayectoria de alimentación para la señal de principio.

Figura 7

#### Jso del acoplamiento óptico



otra diferencia existe entre ellos en cuanto al funcionamiento es que el cable coaxial funciona mejor en frecuencias más bajas. Esto se debe principalmente a que el par enrollado agrupa una mayor carga capacitiva a la finete de señal que el cable coaxial.

## Pendice A

Una manera más barata de minimizar el área del circuito cerrado es hacer corrientes en cables de alimentación que de retomo, uno al lado del otro, esto no es tan efectivo como el cable coaxial para la minimización del área cerrada.

Un cable coaxial ideal suma en área al circuito cerrado, mientras que el maníncer de cables de alimentación y de retomo uno al lado del otro aggregate una cantidad de cables tan buena como el cable coaxial. En primer lugar los cables coaxiales se acoplan de modo que el método mas barato

Si la corriente central en todos los cortes transversales del cable (no lo esta), conductor central en los cortes transversales del cable (no lo esta), entonces, la cancelación del campo extremo al blindaje es INCOMPLETA. Si la cancelación del campo es incompleta, entonces el área efectiva aumenta en una vuelta que es casi tan buena como el cable coaxial. Sin embargo, el par enrollado no proporciona protección eléctrica (es decir, protección acoplamiento induutivo que es casi tan buena como el cable coaxial. Una vuelta en la linea. Así, el PAR ENROLLADO resulta ser un blindaje contra el ruido captado en una vuelta tiene a cancelar el ruido captado en el ruido captado en una vuelta que es solo mantenida su proximidad sino que también forma una conjunta. Esto no permite que el ruido pase en el mas barato, los cables de alimentación y de retomo pueden ser enrollados en forma conjunta, los cables de igual a cero. En segundo lugar en el método critico cerrado por el cable no es igual a cero. En segundo lugar en el método critico cerrado del campo es incompleta, entonces el área efectiva aggregate al critico cerrado central del cable coaxial para la minimización del área efectiva es INCOMPLETA. Si la cancelación del campo extremo al blindaje es INCOMPLETA. Si la cancelación del campo es incompleta, entonces el área efectiva aumenta en una vuelta que es casi tan buena como el cable coaxial. En primer lugar los cables coaxiales se acoplan de modo que el método mas barato

3

Observar que hemos introducido en este momento, el famoso problema del CIRCUITO CERRADO A TIERRA, seg\xedn se muestra en la figura 7.a.

Afortunadamente, un sistema digital tiene cierta inmunidad incorporada contra nidos en circuitos cerrados a tierra. Sin embargo, en un ambiente con ruido, alguien puede romper el circuito cerrado a tierra y continuar manteniendo la eficiencia del binad\xedas de protecci\xf3n del cable coaxial al inserir un redempicijon de la fuente de señal como si no estuviera conectada a tierra de manera tal que no es necesario que el extremo del cable esté conectado a tierra y a la vez permita que el binad\xedas transponga la misma corriente que el conductor central. Obviamente, si la fuente de señal no estuviera conectada a tierra en primer lugar no servir\'a efecto de acondicionamiento optico.

## Appendice A

**Diagrama de un PCB con una masa en forma de malla:**

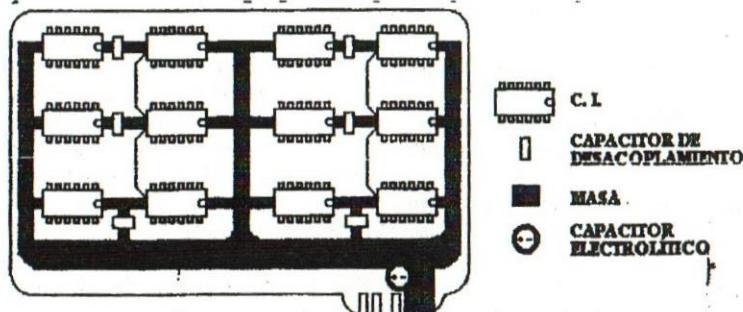
La mejor opción que sigue al plano de tierra es el diseño de las trayectorias a tierra en un PCB en forma de rejilla según se muestra en la figura 8. El colocar líneas horizontales en un lado de la placa y líneas verticales en el otro, permite el pasaje de líneas de señal de energía. Donde quiera que se crucen las líneas a tierra verticales y horizontales, estas deben estar conectadas por un agujero metalizado.

No hemos creado aquí una red de circuitos cerrados a tierra?

Si, en el sentido literal de la palabra pero, no se debe tener a los circuitos creados en un diseño a tierra en un PCB. Estos pequeños circuitos cerrados inofensivos nunca han causado mas captación de ruido de la que se provoca al evitarlos. Al tratar de evitar pequeños circuitos cerrados inocentes, los diseñadores de PCB han forzado circuitos cerrados de corriente en geometría que podrían tragar una ballena. Y esto es exactamente lo que no hay que hacer.

La estructura en forma de rejilla a tierra trabaja casi tan bien como el plano a tierra, en lo que se refiere a la minimización del área del circuito cerrado. Para un circuito cerrado de corriente dado recorrido de retorno principal puede hacer una S de vez en cuando donde su recorrido de alimentación hace una S en dirección opuesta, pero usted obtiene aun una distribución matemática optima de las corrientes en una estructura en forma de rejilla de modo tal que el circuito cerrado de corriente produce un flujo magnético menor que cuando se restringe el recorrido de retorno para seguir cualquier línea única a tierra dada. La clave para obtener áreas de circuitos cerrados mínimas para todos los circuitos cerrados de corrientes juntos es dejar que las corrientes a tierra se distribuyan alrededor de toda el área de la placa tan libremente como sea posible.

Ellas quieren minimizar sus propios campos magnéticos. Déjelas.



PCB en forma de rejilla con conexión a tierra

Figura 8.

**7.3.- BLINDAJE DE RF**

un campo eléctrico que varía en el tiempo genera un campo magnético que varía en el tiempo y viceversa. Alejado de la fuente de un campo EM que varía en el tiempo, la proporción de las amplitudes de los campos eléctricos y magnéticos es siempre  $377 \Omega$ . Sin embargo, cerca de la fuente de los campos, esta proporción puede ser bastante diferente y dependiente de la naturaleza de la fuente. Donde la proporción esta cerca de los  $377 \Omega$  se denomina CAMPO ALEJADO y donde el índice es significativamente distinto de  $377 \Omega$  se denomina CAMPO CERCANO. La proporción en si se denomina impedancia de onda, E/H.

El campo cercano va alrededor de  $1/6$  de la longitud de onda de la fuente. A 1 MHz, esto es alrededor de 150 pies, y a 10 MHz, es alrededor de 15 pies. Esto significa que si una fuente de EMI esta en la misma habitación que el circuito víctima, es probable que sea un problema de campo cercano.

La razón por la cual esto es importante es que en el campo cercano, un problema de interferencia RF podría deberse casi en su totalidad a un acoplamiento del campo E o un acoplamiento del campo H, y eso podría influir en la elección de un blindaje de RF o si un blindaje de RF ayudará o no.

En el campo cercano de una antena lárga, la proporción E/H es mayor de  $377\Omega$ , lo que significa que es principalmente un generador de campo E. Un poste con envoltura de alambre puede ser una antena lárga. La interferencia de una antena lárga sería causada por un acoplamiento capacitivo, tales como un blindaje de FARADAY, serían efectivos contra la interferencia RF proveniente de una antena lárga. Una estructura en forma de rejilla conectada a tierra sería menos efectiva.

En el campo cercano de una antena de lazo, la proporción E/H es menor a los  $377\Omega$ , lo que significa que es principalmente un generador de campo H. Cualquier circuito cerrado de corriente es una antena de lazo. La interferencia proveniente de una antena de lazo estaría causada por un acoplamiento inductivo. Los métodos para proteger un circuito de un acoplamiento inductivo, tales como la estructura en forma de rejilla conectada a tierra, serían efectivos contra la interferencia RF proveniente de una antena de lazo. Un blindaje de FARADAY sería menos efectivo.

Un caso más difícil de interferencia RF, de campo cercano o de campo alejado, podría necesitar blindaje RF metálico genuino. La idea detrás de una protección RF es que los campos EMI que varían en el tiempo provocan corrientes en el material de protección.

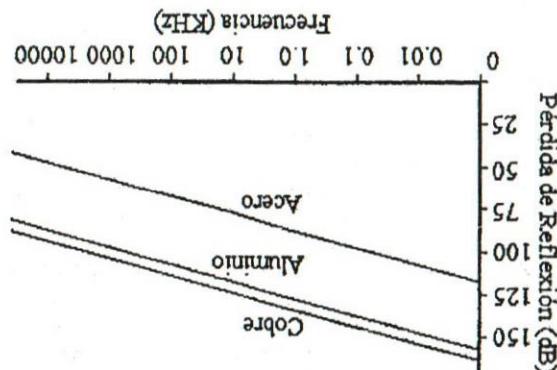
Las corrientes inducidas disipan la energía de dos modos: perdidas IR en el material de protección y perdidas de RADIACIÓN a medida que ellas vuelven a

cuyo caso la perdida de reflexión es irrelevante. H. Sin embargo, este tipo de datos es de importancia solamente en el caso del campo aljado. En el campo cercano, EMI podría ser el 90% del campo H, en efecto del espesor del blindaje de protección.

La figura 11 muestra una combinación de la protección del campo E y del campo H con una frecuencia de 10 GHz. Se puede ver en la figura 10, que el efecto de la permeabilidad es más efectivo que el descenso en la conductividad, seguido de la permeabilidad misma. La primera impresión implica cierto compromiso en cuanto a la conductividad. Pero el incremento en la permeabilidad implica una absorción acero por su alta permeabilidad. Sin embargo, en la práctica, el selector acero o cobre como alternativa a la permeabilidad, tiene tanto una frecuencia como mayores y con un material de protección que tiene tanto las frecuencias como otro lado, de acuerdo a la expresión para la pérdida de absorción para con un campo H, la protección de un campo H es más efectiva cuando los materiales magnéticos.

Tanto el cobre como el aluminio tienen la misma permeabilidad pero, el cobre como conductor es ligeramente mejor y por lo tanto proporciona una pérdida de reflexión mayor para un campo E. El acero es menos efectivo por dos razones. En primer lugar, tiene permeabilidad algo elevada debido a su contenido de hierro y en segundo lugar, es peor conductor como se ve en la figura 9.

Figura 9  
Protección de campo E



Apéndice A

irradiar sus propios campos EM. La energía para estos dos mecanismos es tomada de los campos EMI que llegan. De ahí que se debilita EMI a medida que penetra en el blindaje.

De modo más formal, se hace referencia a las pérdidas IR como pérdida de ABSORCIÓN, y se denominan pérdidas de reflexión a la REFRACTION. Como resultado, la pérdida de absorción es el mecanismo de protección primario para los campos H, y la pérdida de reflexión es el mecanismo primario para los campos E. La pérdida de reflexión es el mecanismo de protección primario de los campos H, y la absorción es el mecanismo de protección primario para los campos E. Los dos mecanismos de pérdida son dependientes de la frecuencia (ω) del material de protección.

Sin embargo, es bastante independiente del grosor del material de protección, es decir, es independiente de la absorción (α) y conductividad (σ) del material de protección.

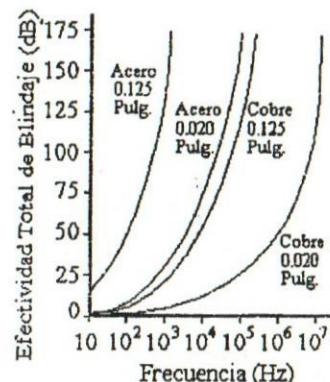
Estos mecanismos de pérdida varían aproximadamente de la siguiente manera:

PERDIDA DE REFLEXIÓN (EN dB)	N log $\frac{ω}{ω_0}$
REFRACCIÓN (EN dB)	N $\sqrt{\omega/\omega_0}$
PERDIDA AL CAMPO H (EN dB)	REFRACCIÓN AL CAMPO H (EN dB)

Donde t es el espesor del material de protección.

FERROMAGNETICO y que, es más fácil bloquear los campos de baja frecuencia que los campos de alta frecuencia. Esto se muestra en la figura 9 de la primera impresión indica que la protección del campo E es más efectiva si el material de protección es un buen conductor, y menos efectivo si el blindaje es conductorido, se puede ver en la figura 10. Esta figura muestra también el efecto de la permeabilidad implica cierto compromiso en cuanto a la conductividad. Pero el incremento en la permeabilidad es más efectivo que el descenso en la conductividad en la protección compuesta en cuantos a la conductividad. La primera impresión implica cierto compromiso en cuanto a la conductividad. Pero el incremento en la permeabilidad es más efectivo que el descenso en la conductividad en la protección compuesta en cuantos a la conductividad.

Figura siguiente.



Blindaje Campo H

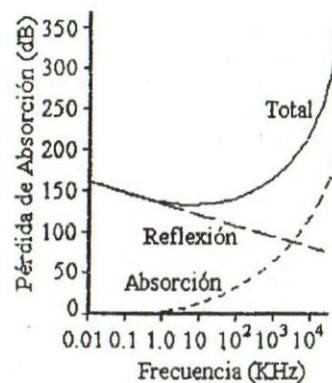
Figura 10

Sería aconsejable entonces contrarrestar la pérdida de absorción a costa de la pérdida de reflexión eligiendo acero.

Un conductor mejor que el acero podría no ser tan caro pero resultaría bastante ineficaz.

Un mecanismo de protección distinto del cual se podría obtener provecho para los campos magnéticos de baja frecuencia es la capacidad de un material de alta permeabilidad como por ejemplo la aleación de NÍQUEL – COBRE – HIERRO, para desviar el campo al presentar un recorrido de baja reductancia hacia el flujo magnético. Sin embargo, por encima de unos pocos KHz la permeabilidad de dichos materiales es igual a la del acero.

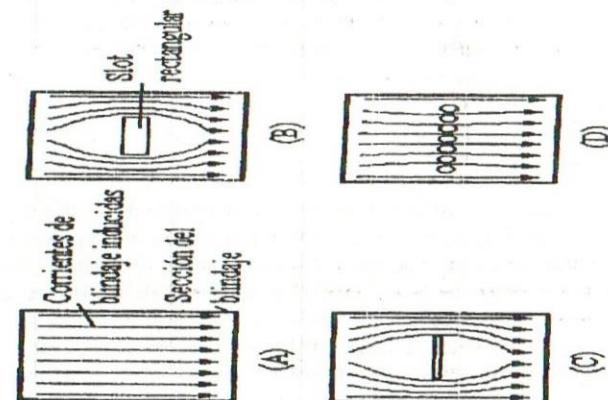
En realidad, la selección de un material de protección resulta ser menos importante que la presencia de grietas, juntas y agujeros en la estructura física de la cobertura. Los mecanismos de protección están relacionados a la inducción de las corrientes en el material de protección pero, se debe permitir que las corrientes fluyan libremente. Si tienen que desviarse alrededor de ranuras y agujeros, según muestra la figura 12., la gravedad de la desviación no tiene tanto que ver con el área del agujero como con la geometría del agujero. Al comparar 12.C con 12.D se observa que una discontinuidad larga y estrecha como en el caso de una grieta puede causar pérdida RF mayor que una línea de agujeros con un área total mayor.



Blindaje Campo E y H

Figura 11

Una persona responsable del diseño o selección de gabinetes o chasis para un ambiente EMI necesita estar familiarizado con las técnicas disponibles para mantener una continuidad eléctrica a través de grietas. La información sobre estas técnicas están disponibles en las referencias.



Efecto de la discontinuidad del blindaje en la corriente  
De blindaje inducida magnéticamente

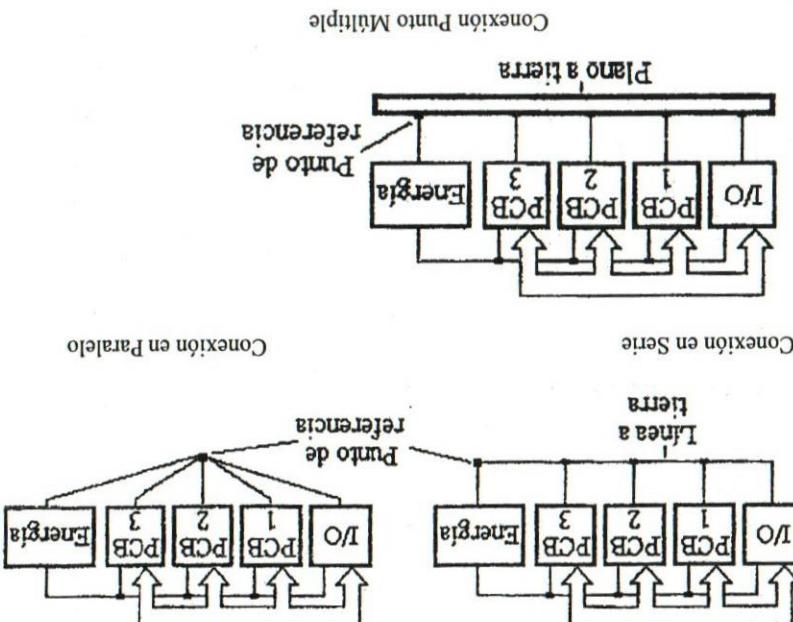
Figura 12.

Dado que las corrientes en un sistema digital tienden a ser pulsantes, y que la impedancia común es principalmente reactancial induciva, las variaciones de otros circuitos.

La conexión en serie es bastante común porque es simple y económica. Sin embargo, es la más ruidosa de las tres debido al acoaplamiento de impedancia de masa común que se da entre los circuitos. Cuando varían los circuitos comparten una cabal a tierra, las corrientes de un circuito que fluyen a través de la impedancia común de una línea a tierra común causan variaciones en el potencial a tierra de una línea a tierra común que fluyen a través de la impedancia común a tierra.

Figura 14

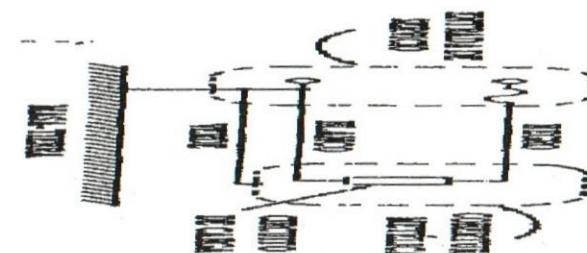
*Tres modos de realizar el cableado a tierra*



algunos circuitos se prefieren SUMINISTRO DE ENERGIA COMUN. o PSC como terminología para estos conductores. En cualquier caso, el modo en que estos cables se conectan al punto de referencia real es la base para la distinción entre tres tipos de métodos de cablado de señales a tierra: en SERIE, paralela Y DE PUNTO múltiple. Se observan estos métodos en la figura 14.

Figura 13 Una masa de seíal es un punto único en un circuito que esta designado como nodo de referencia para el circuito. Generalmente, los cables que están conectados a este punto úinco son también llamados MASA DE REFERENCIA. En

#### Distribución de energía de fase unica - Masa de señal



En la figura 13 se representa el sistema de distribución de energía AC standard de fase única de tres cables. El cable blancho es la conexión a tierra en la entrada de servicio. Si un circuito de carga tiene una conexión de metal o chasis, y si el cable negro entra en corto con la conexión, habrá peligro de shock para el personal que lo opere a menos que la conexión misma esté conectada a tierra. Si la conexión está conectada a tierra, al haberla en cortocircuito saldrá el fusible y no habrá una cubierta CALIENTE. La conexión a tierra con la cubierta se denomina MASA SEGURA. La ventaja de un sistema de energía de tres cables es que este distribuye la masa de seguridad junto con la energía.

Observé que el cable de segundad a tierra no transmite ningún tipo de corriente salvo en caso de fallas, por lo que al menos para las frecuencias bajas esta a potencial de tierra a lo largo de toda su longitud. El cable blanco, por otro lado, puede estar variando de tensión respecto a la tierra debido a la caída de IR a lo largo de su longitud.

8.1.- MASA SEGURA

Hay dos tipos de masas: a) TIERRA y masa de SENAL. La tierra no es una superficie equipotencial por lo que el potencial de la masa a tierra varía. Ellas sus otras propiedades eléctricas no son conductores a su vez como lo es un conductor de retorno en un circuito. Sin embargo, los circuitos son a menudo conectados a tierra para protegerlos del peligro de descargas eléctricas. El otro tipo de masa, masa de señal es un nodo con respecto al cual se miden otros voltajes de nodos en el circuito.

pueden ser lo suficientemente perjudiciales como para causar errores en los bits en casos de alta corriente o de mucho ruido en particular.

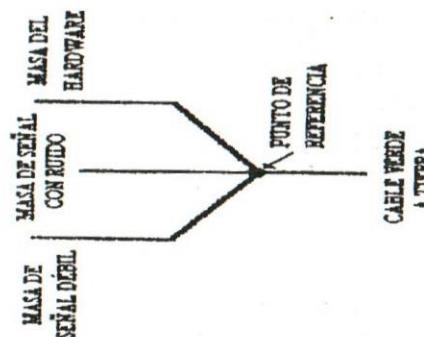
La conexión paralela elimina muchos problemas de impedancia de conexión a tierra común pero se usa mucho cableado.

Otras desventajas son que la impedancia de las líneas a tierra individuales puede ser muy alta, y las líneas a tierras en si pueden convertirse en fuentes de EMI.

En los sistemas de puntas múltiples, se minimiza la impedancia a tierra al usar un plano a tierra con los distintos circuitos conectados a el por medio de la línea de conexiones a tierra muy cortas. Se usaría este tipo de conexión principalmente en circuitos RF por encima de los 10 MHz.

## **8.2.- EJECUCIÓN PRÁCTICA DE LAS CONEXIONES A TIERRA**

Se puede usar una combinación práctica de métodos de cableado a tierra paralelos y en serie para compensar consideraciones económicas con las diversas consideraciones eléctricas. La idea es hacer correr conexiones en serie para los circuitos que tienen propiedades de ruido similares y conectarlas en un punto de referencia ÚNICO, como en el método paralelo, según se muestra en la figura 15.



*Conexión paralela de tierras en serie*

Figura 15.

En la figura 15, LA MASA DE SEÑAL CON RUIDO se conecta con cosas tales como los motores o los relés. La conexión a tierra del hardware es la conexión a tierra de protección con chasis, estantes y gabinetes.

Es un error usar la conexión a tierra del hardware como paso de retorno para las corrientes de señales porque es bastante RUIDOSA (por ejemplo, es la conexión a tierra del hardware la que recibe una chispa ESD) y tiende a tener alta resistencia debido a las juntas y fisuras.

Los tornillos y tuercas no siempre son buenas conexiones eléctricas debido a la acción GALVÁNICA, de CORROSIÓN y a la SUCIEDAD. Estos tipos de conexiones pueden funcionar bien al principio, y luego causar problemas misteriosos a medida que el sistema envejece.

La figura 16 ilustra un sistema de conexión a tierra para un grabador digital de 9 pistas que muestran la aplicación del método de cableado a tierra en serie – paralelo.

La figura 17 muestra una separación similar de conexiones a tierra en el nivel PCB.

Las conexiones de los displays LED multiplexados tienden a causar mucho ruido en las líneas a tierra y de suministro dada la comutación y el cambio constante que se da en el proceso de barrido. La conexión a tierra de los amplificadores de segmentos es relativamente estable ya que no conduce las corrientes LED. La conexión a tierra de DRIVERS digitales es más ruidosa y debería proporcionarse separado para la terminar a tierra PCB, aún cuando el diseño a tierra PCB sea en forma de rejilla. Los pasos de la corriente de alimentación LED y de la de retorno deberían estar colocados en lados opuestos de la placa como si fueran conductores planos paralelos.

La figura 18 muestra el modo correcto y el incorrecto de hacer conexiones a tierra en gabinete. Observe que las conexiones a tierra de protecciones desde la placa al gabinete son realizadas a través de correas a tierra en lugar de tornillos de placa.

El gabinete 1 conecta de modo correcto la masa señal con la masa del gabinete solo en el punto único de referencia. El gabinete 2 conecta de modo incorrecto la masa de señal con la masa del gabinete en dos puntos lo que crea un circuito cerrado a tierra alrededor de los puntos 1, 2, 3, 4, 1.

Al romper la conexión A TIERRA ELECTRÓNICA con el punto 1 se elimina el circuito cerrado a tierra pero deja que la masa de señal en el gabinete 2 comparta una impedancia a tierra con la masa relativamente ruidosa del hardware que lleva al punto de referencia.

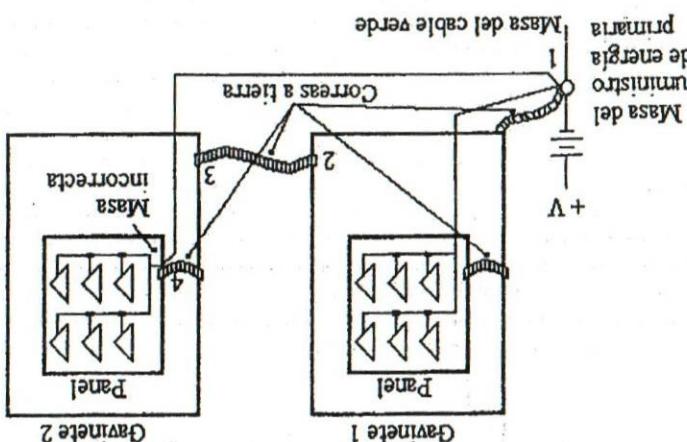


Figura 18.  
Los circuitos electrónicos montados en gabinetes de equipos debieran tener conexiones a tierra separadas.  
El gabinete 1 muestra una conexión a tierra incorrecta.  
El gabinete 2 muestra una conexión a tierra separada.

Se puede prácticamente eliminar los problemas de impedancia a tierra al usar un CABLE TRENZADO. La reducción en la impedancia se debe al efecto de superficie de un conductor. En las frecuencias más bajas, la corriente tiene que fluir a lo largo de la superficie del conductor. Mientras que este efecto tiene una impedancia menor que el de un conductor puro, permite manipular la forma del cable para minimizar la impedancia en áreas de conductor dado, también indica el camino para minimizar la impedancia en el cable.

### 5.3.- CABLE TRENZADO

Conexión a tierra separada para displays de LEDs multiplexados

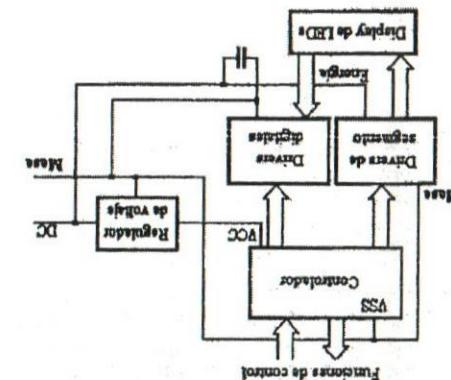


Figura 16

Sistema de masas en un grabador digital de 9 pistas

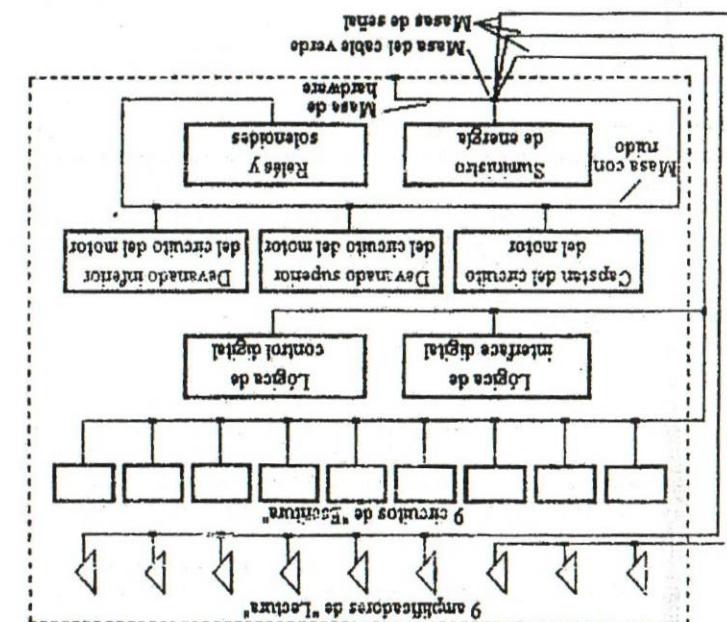


Figura 17.

## 9.- DISTRIBUCIÓN DEL SUMINISTRO DE ENERGÍA Y DESACOPLAMIENTO

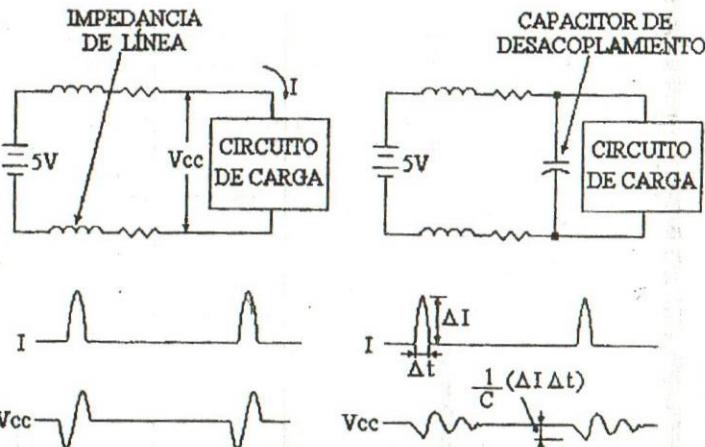
La principal consideración para las líneas de distribución de suministro de energía como en el caso de las líneas de señal, es el minimizar las áreas de los circuitos cerrados de corriente. Pero las líneas de suministro de energía adquieren una importancia que no tiene la línea de señal cuando uno considera el hecho de que estas líneas tienen acceso a todos los PCB en el sistema. La extensión misma de los circuitos de corriente de suministro hace difícil el mantener las áreas de circuitos cerrados de tamaño pequeño. Y, un sobrepulso de ruido en una línea de suministro es un sobrepulso enviado a todas las placas del sistema.

El suministro de energía provee una corriente de baja frecuencia a la carga, pero la inductancia de la red de distribución de placa a placa y de chip a chip dificulta al suministro de energía el mantenimiento de las especificaciones  $V_{CC}$  en el chip mientras proporciona los picos de corriente que necesita un sistema digital. Además, el circuito de corriente del suministro de energía es muy grande, lo que significa que habrá mucha captación de ruido.

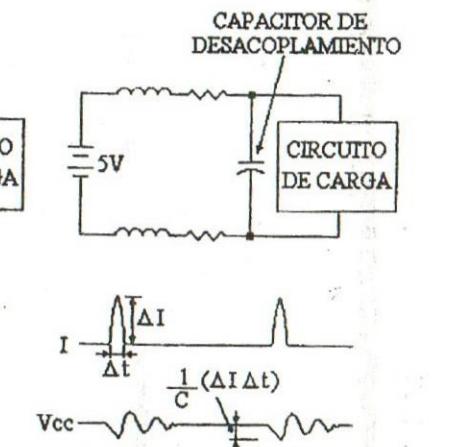
La figura 19.a muestra un circuito de carga que trata de obtener picos de corriente de un voltaje de suministro a través de la impedancia de la línea. Se debería agregar la captación inductiva asociada con un área de circuito grande a la forma de onda  $V_{CC}$ .

Uno debería resistirse a la tentación de agregar una resistencia o un inductor al desacoplador para así formar un filtro de paso bajo RC o LC porque ello reduce la velocidad con que con que se puede refrescar el capacitor de desacoplamiento. Un bien filtrado y un buen desacoplamiento no son necesariamente lo mismo.

El lazo de corriente para las corrientes de más alta frecuencia, esta definido por el capacitor de desacoplamiento y el circuito de carga y no por medio del suministro de energía y el circuito de carga. Para que el capacitor desacoplamiento pueda suministrar los picos de corriente que la carga necesita, se debe mantener baja la inductancia de este circuito de corriente, que equivale a decir que se debe mantener al área del circuito cerrado baja. Esto también es necesario para minimizar la captación inductiva en el circuito.



Picos de corriente a través de la Impedancia de la Línea



Picos de corriente a través del Capacitor de Desacoplamiento

### *Función del capacitor de desacoplamiento*

Figura 19.

Hay dos tipos de capacitores de desacoplamiento: desacopladores de PLAQUETAS y desacopladores de CHIPS. Un desacoplador de placa normalmente será un capacitor electrolítico de 10 a 100  $\mu\text{F}$  ubicado cerca de donde el suministro de energía entra a la placa de PC pero, su ubicación es relativamente no crítica. El fin del desacoplador de placa es refrescar la carga sobre los desacopladores del chip. Los desacopladores del chip son los que en realidad suministran los picos de corrientes a los chips. Un desacoplador de chip normalmente será un capacitor de cerámica de 0,1  $\mu\text{F}$  a 1  $\mu\text{F}$  ubicado cerca del chip y conectado al chip por medio de trazas que minimizan el área del circuito formado por el capacitor y el chip. Si no se coloca un desacoplador de chip adecuadamente en la placa, será ineficaz y solo servirá para incrementar el costo de la placa. En la figura 20 se ilustra una buena y una mala ubicación de los capacitores de desacoplamiento.

DESESACOPLOMIENTO

Hay dos zonas para esta afirmación. Una es que algunas capacidades, dada la naturaleza de sus dielectricos, tienden a convertirse en inductivo o proactivas y otras una capacidad demasiado grande tiene que ver con la inductancia de la linea de conexión.

El capacitor con la inductancia de la linea de conexión forma un circuito LC en serie. Por debajo de la frecuencia de resonancia en serie, la impedancia neta es combinación es capacitiva. Por encima de esa resonancia, la impedancia neta esductiva.

Así un capacitor de desacoplamiento es capaz de la resonancia en serie sola por debajo de la frecuencia de la resonancia en serie. Esta frecuencia es dada por:

$$f_o = \frac{2\pi}{\sqrt{LC}}$$

Donde C es la capacitancia de desacoplamiento y L es la inductancia de la linea de conexión entre el capacitor y el chip.

En una placa de PC, se determina esta inductancia por el diseño, y es la misma sea para un capacitor de 0,001  $\mu$ F a 1  $\mu$ F. Así al incrementar la capacitancia se disminuye la frecuencia resonante en serie. En realidad, de acuerdo a la fórmula de la resonancia, al incrementar C en 100 SE BAJA LA

RECUNCIADA RESONANCIA EN 10.

$$f_o = \frac{2\pi}{L} \sqrt{LC}$$

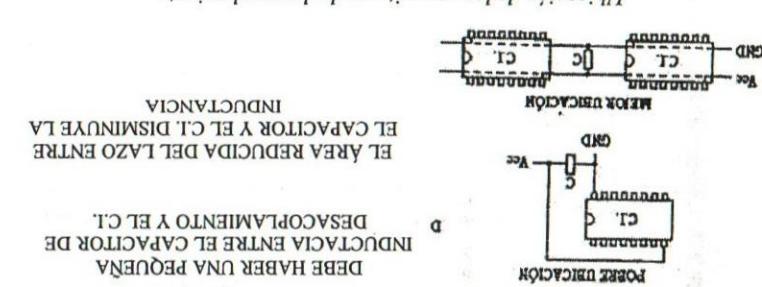
Hay dos razones para esta afirmación. Una es que algunas capacidades, dada la naturaleza de sus dielectricos, tienden a convirtirse en inductiva o proyectiva o perdidas en las frecuencias más altas. Esto es el caso de los capacitores electrotípicos, sin embargo los dielectricos de poliestireno cerámica, vidrio y micafuncionan bien hasta variaciones de MHz. La otra razón citada para no usar una capacitancia demasiado grande tiene que ver con la inductancia de la línea de conexión.

El capacitor con la inductancia de la línea de conexión forma un circuito LC en serie. Por debajo de la frecuencia de resonancia en serie, la impedancia neta es combinación de la inductancia. Por encima de esa frecuencia, la impedancia neta esductiva.

Así un capacitor de desacoplamiento es capaz de solo por debajo de la frecuencia de la resonancia en serie. Esta frecuencia es la debida por:

Donde C es la capacidad de desacoplamiento y L es la inductancia de la linea de conexión entre el capacitor y el chip.

Appendice A



#### **Aplicación de los captores de desacoplamiento**

Figura 20

Es necesario que las trazas de distibución de energía en la pladureta de PC estén dispuestas de manera tal que se obtenga un área mínima (inductancia mínima) en los circuitos formados por cada chip y su desacoplador Y, por los desacopladores de chip Y el desacoplador de la pladureta. Una manera de alcanzar este objetivo es usar un plamno de energía. Un plamno de energía es lo mismo que un plamno a tierra pero con un potencial CC. De modo más económico, se puede usar una plamna de energía. Un plamno de energía es la pladureta. Una manera de alcanzar este objetivo es ser el desacoplador de la pladureta, pero las trazas de energía deben ser lo más cortas posibles de las trazas a tierra, preferentemente de manera tal que cada traza de energía esté en el lado directamente opuesto a la pladureta de la pladureta.

Hay enlaces comunes (BUSES) de distinción del suministro de energía con fines especiales disponentes, los cuales son coloquados en el PCB. Los enlaces comunes usan una configuración paralela de conductores planos, siendo un conductor una línea Vcc y el otro una línea a tierra. Usados en combinación con un dispositivo de basa inducancia simo que también ellos mismos forman parte de la red a tierra, facilitando así el diseño del PCB.

Los enlaces comunes están disponibles con y sin capacitancia, bajo los números: Mini - Bus and Q - PAC de Rogers Corp (5750 E. McKellips, Mesa, AZ 85205)

Las cifras citadas en la frecuencia resonante en serie de un capacitor de  $0,01 \mu\text{F}$  van de 10 a 15 MHz, dependiente de la longitud de la línea de conexión.

Si esos números fueran precisos, un capacitor de  $1 \mu\text{F}$  en la misma posición en la placa, tendría una frecuencia resonante de 1,0 a 1,5 MHz, y como desacoplador haría más daño que bien. Sin embargo, los números están basados en la inductancia supuesta de una longitud de cable dada (la longitud de la línea de conexión). Se debería observar que una LONGITUD DE CABLE no tiene ninguna inductancia, hablando en términos estrictos. Solo un circuito de corriente completa tienen una inductancia y la inductancia depende de la geometría del circuito.

Las cifras citadas en la inductancia de una longitud de cable están basadas en un área de circuito cerrado presumiblemente MUY GRANDE y, es tal que el campo magnético producido por la corriente de retorno no tiene ningún efecto de la cancelación en el campo producido por la corriente en la longitud de cable dada. Dicha geometría de circuito no es ni debería ser el caso del circuito cerrado de desacoplamiento.

La figura 21 muestra las formas de onda  $V_{CC}$ , MEDIDAS ENTRE LOS PINES 40 Y 20 ( $V_{CC}$  y  $V_{ss}$ ) de una CPU 8751, para varios estados de desacoplamiento en una placa PC que tiene un área de circuito de desacoplamiento un poco más grande de lo necesario. Estas imágenes muestran los efectos de un incremento de la capacitancia de desacoplamiento y una disminución del área de circuito de desacoplamiento. Las indicaciones son que el capacitor de  $1 \mu\text{F}$  es mejor que el capacitor de  $0,1 \mu\text{F}$ , que a la vez es mejor que nada, y que la placa debería haber sido diseñada prestando más atención al área del circuito de desacoplamiento.

Se obtuvo la figura 21.e al usar un capacitor experimental con fines especiales diseñados por Rogers Corp., Q-PAC División, Mesa, AZ para ser usado como desacoplador. Consiste de dos placas paralelas, con la longitud de un DIP de 40 pines, separadas por un dieléctrico de cerámica.

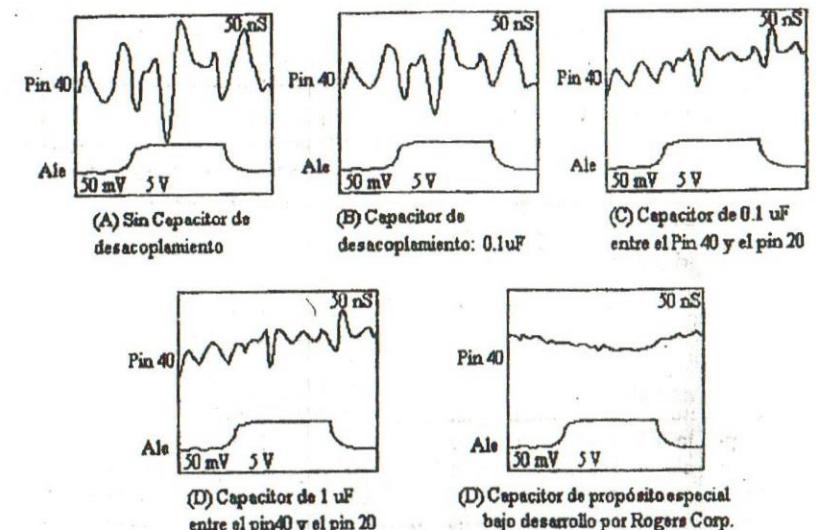


Figura 21.

Colocada en el chip de la CPU y el PCB (o entre la ficha de la CPU y el PCB), este capacitor hace la conexión con los pines 40 y 20, formando un capacitor de desacoplamiento sin la línea de conexión. Obviamente, es una configuración de inductancia mínima. Desafortunadamente, la muestra particular probada tuvo solamente  $0,07 \mu\text{F}$  de capacitancia y por lo tanto no pudo evitar la onda de 1 MHz tan eficazmente como la configuración de la figura 21.d. Sin embargo, aparentemente con una mayor capacitancia, esta parte aliviará muchos problemas de desacoplamiento.

## 9.2.- EL CASO DE REGULACIÓN DE VOLTAJE SOBRE LA PLAQUETA

Complicado aún más el problema, los sobrepulsos de la línea de suministros no son siempre captados en las redes de distribución, pero pueden provenir del circuito mismo de suministro de energía. En ese caso, una red de distribución bien diseñada envía de forma fija al sobrepulso a través de todo el sistema

10. RECUPERACION SIN PROBLEMAS A PARTIR DE UN TRASTORNO EN EL SOFT

Algunas situaciones de recuperación sin problemas implican un hardware y un software adicional que se supone que hará regreser el sistema a su modo de operación normal después de un trastorno en el software. Se tienen que tomar dos decisiones: como saber cuándo ocurrirá y qué hacer con él.

Si el diseñador sabe que tipos y qué combinaciones de saltos pueden ser generadas por el sistema, él puede usar puentes lógicos de recombinaciónes y schmittizar la excepción de un estado ilegal en un asunto. La señal puede entonces genericalizar datos, o quizás dar salida a un mensaje de error o generar una simple petición a otro.

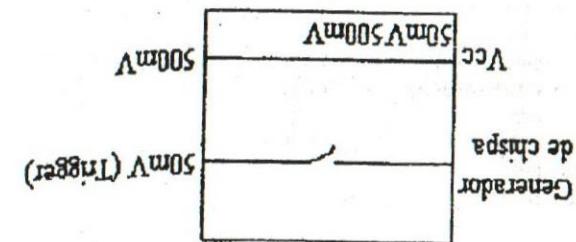
El esquema más confiable es el uso del llamado circuito vigilante (WATCHDOG). Aquí se programa la CPU para generar una señal periódica siempre que el sistema esté ejecutando instrucciones de una manera esperada. Luego se usa la señal periódica para avisar que se produzca el salto a una rutina de recuperación. Entonces, si el procesador se engancha en algún lugar, se pierde el control y el sistema se reinicia.

En la práctica, puede ser conveniente manejar el circuito vigilante con una señal digital que de cada salto genera una transmisión de los sistemas más simples que pueden funcionar bien con sistemas más complejos. Por ejemplo, si una CPU solamente hace barridos y descodificación de un teclado, no hay mucho que perder y si mucho que ganar si simplemente se reasusta periódicamente con un multivibrador estable. Solo lleva alrededor de 13 segundos (en 6 MHz) para resetear un 8048 si el oscilador de reloj ya está desfasado en un cuadro de programa principal esta en tiempo, que maneja en un display multiplexado. Pero el barrido de display es a menudo digital que va a un display multiplexado. Específicamente, por ejemplo, uno podría usar una de las señales de transmisión continua que maneja el display multiplexado. Aun en ese caso, con un poco de software extra, se puede usar la señal para controlar el circuito vigilante.

Así, se obtiene una buena razón a favor del uso de un chip regulador de voltaje en cada PCB, en lugar de realizar todas las regulaciones de voltaje en el circuito de suministro. Esto facilita los requisitos de disminución de calor en los circuitos de escoplamiento de las placas y de la distorsión. Sin embargo, también acarrea la posibilidad de que las placas operaran en niveles de CC ligeramente diferentes debido a la tolerancia en los chips reguladores. Esto entonces lleva a niveles de logica ligeramente diferentes de placa a placa.

Figura 22.

Sobrepulso inducido por EMP



Se habla que el sobrepulso  $V_{CC}$  en la figura 22, proventa de un suministro de energía de un banco en respueta a una EMP producida por un generador de chispa que estaba siendo usado en Intel durante un estudio de sensibilidad al campo eléctrico promovido por un generador de alta tensión. El sobrepulso  $V_{CC}$  tiene una intensidad de 400 mV y una duración de alrededor 20  $\mu$ s. Las técnicas de desacoplamiento de placas contenidas no lograron promoverlo pero, al añadir el chip regulador de voltaje sobre la placa obtuvo el resultado esperado.

Una medida sin costo es llenar simplemente toda la memoria del programa con NOPs y JMPs para llevar una rutina de recuperación.

La efectividad de este método es incrementada al escribir el programa en segmentos que están separados por NOPs y JMPs. Aun es posible, quedar colgado en una tabla e datos o algo. Pero se obtiene mucha protección en función del costo.

## 11.- ÁREAS DE PROBLEMAS ESPECIALES

### 11.1- ESD

Los chips MOS tienen cierta protección incluida contra una carga estática ensamblada en los pines, como ocurriría durante un manejo normal, pero no hay protección contra los tipos de niveles de corriente y los tiempos de elevación que se dan en una chispa electrostática genuina. Estos tipos de descargas pueden producir una perforación en el silicio.

Se debe reconocer que los pines no protegidos de la CPU que conectan con un teclado o con cualquier otra cosa qué está sujeta a descargas electrostáticas constituyen una configuración extremadamente frágil. Una aislación (BUFFER) intermedia es lo mínimo que uno puede hacer.

Pero la aislación no resuelve el problema completamente porque los chips de aislación (BUFFER) soportan el daño (incluso los TTL); por lo tanto uno podría considerar el montaje de los buffers en zócalos para poder ser reemplazadas fácilmente.

Los supresores transitorios, tales como los TranZorbs fabricados por General Semiconductores Industriales (Tempe, AZ) pueden a largo plazo proporcionar la protección más barata si se usa una estructura de INDUCTANCIA CERO. En la figura 23.a. se muestra la estructura y en la figura 23.b. el circuito de aplicación. El elemento supresor en una junta PN que funciona como un diodo Zener. Hay disponibles para el funcionamiento en AC unidades con conexión BACK TO BACK. El elemento es algo así como un circuito abierto para un voltaje normal, y es un conductor similar al diodo Zener en el voltaje de enclamamiento.

La inductancia en los supresores de transitorios convencionales hace que estos sean inútiles para la protección contra los pulsos ESD debido a la rápida elevación individual en un DIP de 4 pines, y en configuraciones de cuatro hasta un DIP de 16 pines ara la protección a nivel PCB. En dicha aplicación, deberían ser montados en una proximidad cercana a los chips que ellas protegen.

Además, las cubiertas o marcos o partes de metal que pueden recibir una chispa ESD deberían estar conectadas por medio de un cable trenzado a la conexión a tierra de un cable verde.

Dado la impedancia de la tierra, no se debería permitir que la corriente ESD fluya a través de cualquier conexión a tierra de señal, aun cuando los chips están protegidos por supresores transitorios. Una chispa ESD de 35 KV puede siempre

Una tiene que observar con mucho cuidado los extremos de temperatura. La temperatura del almacénage permite varía, para la mayoría de los chips MOS de hasta, desde los  $-65^{\circ}\text{C}$  a  $+150^{\circ}\text{C}$ , aunque algunos chips tienen una funcionalidad de temperatura máxima de almacenaje de  $+125^{\circ}\text{C}$ . En general, se han visto que el ambiente permitida depende del tipo de producto, de la función que se está realizando y de la forma de operación.

- Pulsos electromagnéticos del sistema de encendido.
- oscilaciones momentáneas de la línea de suministro que le causarán gran sorpresa.

TIPO		TEMPERATURA AMBIENTE		
MIN	MAX	0	70	70
Commercial	Industrial	-40	+85	+110
Militar		-55		+125

Los distintos tipos de producto so en realidad el mismo chip, pero probados de acuerdo a distintos standards. Así, un chip de tipo comercial dará resultados diferentes en las exigencias de temperatura de los componentes, pero no han sido validad para pasar las exigencias de temperatura de los militares, pero no han sido probados para ello.

que tienen que ver con el empaque, homologas, facilidad de seguimiento, etc.). De cualquier modo, aparentemente, los chips de tipo comercial no pueden ser compartimento de pasajeros. Los chips de aplicaciones automotrices, ni siquiera en el compartimento para pasajeros y es necesario usar los chips de tipo automotriz o militar en aplicaciones debajo del capó.

El nido del encendido, las radios CB y ese tipo de cosas son probablemente la menor de sus preocupaciones. En un sistema mal diseñado, o en uno que no ha sido probado adecuadamente para el ambiente automotor, este tipo de EMI podría ocasionar trastornos en el software, pero no podrían destuir los chips.

El mauro problema, y el que parece dar mayor sorpresa a la mayoría de las personas es el de las oscilaciones momentáneas en la línea.

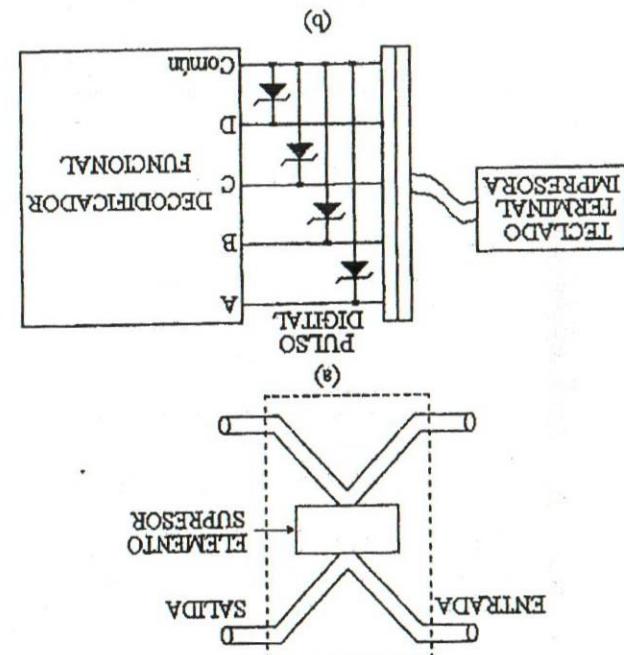
I.- Las temperaturas extremas varían de  $40^{\circ}\text{C}$  a  $+125^{\circ}\text{C}$  (debajo del capó) o  $+85^{\circ}\text{C}$  (en el compartimiento de pasajeros).

El automóvil presenta un ambiente extremadamente hostil para los sistemas electrónicos. Hay varias razones para ello:

## 11.2. EL AMBIENTE AUTOMOTOR

Figura 23.

Estructura de inducancia cero y uso en el circuito



prescindir de unos ciertos de voltios para conducir un pulso de corriente rápida hacia abajo por una línea de señal a tierra si no puede encontrar un cable trenzado para seguir. Piense que encantado va a estar si no puede encontrar un pin de  $V_{SS}$  con un voltaje de  $250\text{ V}$  más alto que el  $V_{CC}$  por unos pocos milisegundos.

Lamentablemente, la batería de 12 V no es en realidad la fuente de energía cuando funciona el auto. El sistema de carga está y no está muy limpio. La única vez que la batería es la fuente real de energía es cuando se enciende el auto por primera vez, y en ese estado las terminales de la batería podrían estar enviando alrededor de 5 o 6 V. A continuación sigue una breve descripción de las idiosincrasias principales de la línea de energía automotriz de 12 V.

Un rápido descenso en la carga del alternador ocasiona una oscilación momentánea de voltaje positivo denominada CAÍDA DE CARGA.

En una oscilación de caídas de carga el voltaje de la línea se eleva a 20 o 30V en unos pocos msec., luego disminuye exponencialmente con una constante de tiempo alrededor de 100 msec., según se muestra en la figura 24. Hay informes sobre picos de voltaje más altos y tiempos de caída más largos también.

Se ocasiona la peor caída de carga al desconectar una batería BAJA del circuito del alternador mientras que funciona el alternador. Normalmente, esto ocurriría intermitentemente cuando las conexiones de las terminales de la batería son defectuosas.

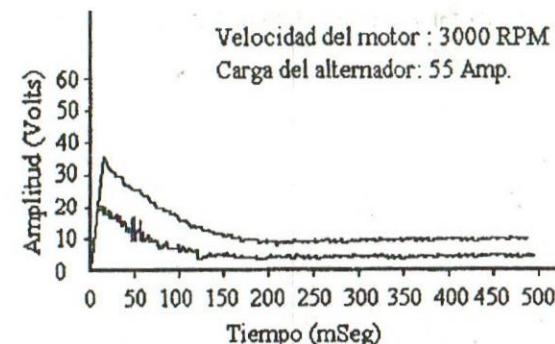
- Cuando se apaga el encendido, a medida que disminuye la excitación del campo, el voltaje de la línea puede llegar a entre -40 y -100V durante 100 msec. o más.

- Las oscilaciones momentáneas causadas por commutadores de solenoide diversos, tales como las que se muestran en la figura 25, pueden llevarla línea a ± 200 V a 400V durante varios segundos.

- El acoplamiento mutuo entre cables no protegidos en mangas largas puede inducir oscilaciones momentáneas de 100 y 200V en los circuitos sin protección.

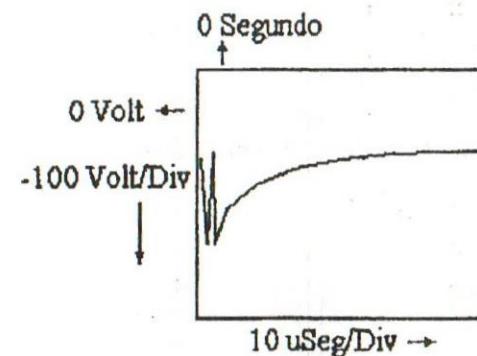
Todo esto lleva a la conclusión que las personas en el negocio de sistemas de construcción para aplicaciones automotrices necesitan un programa de prueba integrado. Están a disposición de los diseñadores las pautas SAE que describen el ambiente automotriz:

**SAE J1211, Recommended Environmental Practices for Electronic Equipment Design, 1980 SAE Handbook, Part 1, pp22.80-22.96**



Oscilaciones típicas de caídas en la carga

Figura 24



Oscilación momentánea creada por la desenergización de un solenoide del embrague al acondicionador de aire

Figura 25.

as fuentes primarias de información para solucionar el tema de interrelación entre los datos las notas de OTI y WHITE. Regulación

Don White Consultants Inc.  
Interim Terminal Training Center  
P.O.Box D  
Gainesville, VA 22065  
Telephone: (703) 347-0030

Don White Consultants Inc.  
Telephone: (212) 752-6800  
New York, NY 10011

Teléfono: (212) 752-6800  
New York, NY 10017

IEEE Electromagnetic Compatibility Society EMC Education Committee

as fuentes primarias de información para solucionar el tema de interrelación entre los datos las notas de OTI y WHITE. Regulación

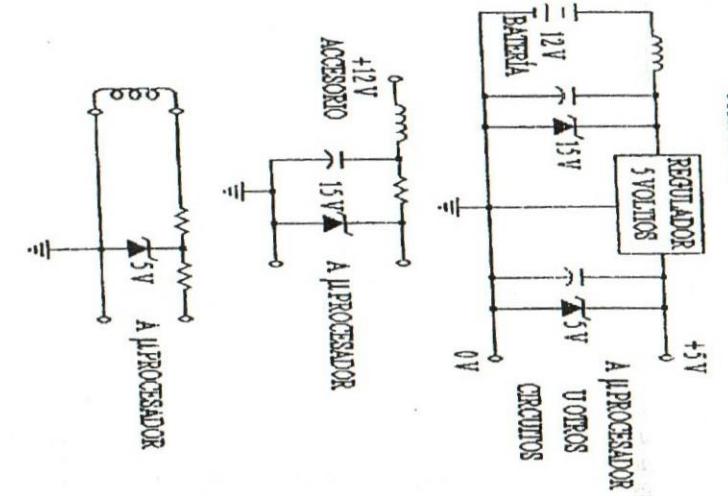
2.- PENSIMIENTOS FINALES

Se necesitan tambien interfaaces especiales I/O, dada la necesidad de alta tolerancia para oscilaciones momentos de voltaje, tildes de entrada, aislacion a la masa del chasis en lugar de la masa de la señal y, en el caso de los autos mensajes por estos buffers (memoria intermedia) son generalmente conectados a la masa del chasis en lugar de la masa de la señal y, en el caso de los autos a la masa del chasis en lugar de la masa de la señal y, en el caso de los autos

En la figura 26, se observan algunas sugerencias para proteger el circuito. Se ubica un amortiguador de oscilaciones momentáneas entrete del chip regulador para protegerlo. Dado que los tiempos de elevación en estas oscilaciones no son como los púlsos ESD, la inductancia principal es menor critica y se pueden usar dispositivos convencionales. El regulador en si es bastante necesario ya que una oscilación de cada de carga simplemente no sera eliminada por medio de un dispositivo  $C$  o  $R$ .

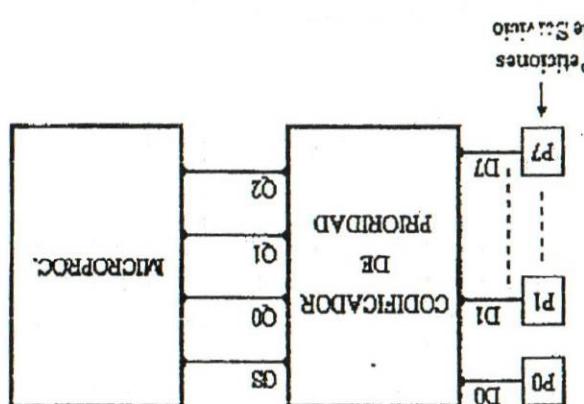
Figura 26.

*Uso de los supresores de transitorios en los automóviles*



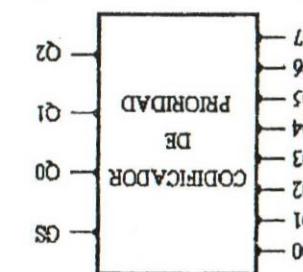
## *APÉNDICE B*

### 1.1. EJEMPLO DE USO



### 1.- CODIFICADOR DE PRIORIDAD (74148 - CD4532)

Apéndice B



GS: indica que hay una entrada activa.

Figura 1.

### 1.2.- CIRCUITO INTEGRADO (CD4532)

Driveros dispositivos (P) desempeñan comunicaciones con un microprocesador. Cada uno de ellos genera una PETICIÓN de servicio en el momento de establecer la comunicación. El CODIFICADOR selecciona cual atenderá en primer lugar en el caso de haber simultaneidad.

Figura 2.

GS: indica que existe una petición de servicio.

Figura 3.

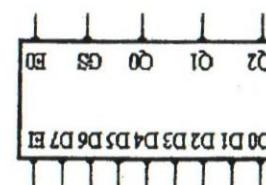


Tabla de Verdad

ENTRADA							SALIDA							
E <sub>1</sub>	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	G <sub>S</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	E <sub>0</sub>	
0	x	x	x	x	x	x	x	x	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	1
1	1	x	x	x	x	x	x	x	1	1	1	1	1	0
1	0	1	x	x	x	x	x	x	1	1	1	0	0	0
1	0	0	1	x	x	x	x	x	1	1	0	1	0	0
1	0	0	0	1	x	x	x	x	1	1	0	0	0	0
1	0	0	0	0	1	x	x	x	1	0	1	1	1	0
1	0	0	0	0	0	1	x	x	1	0	1	0	0	0
1	0	0	0	0	0	0	1	x	1	0	1	0	0	0
1	0	0	0	0	0	0	0	1	1	0	0	1	0	0
1	0	0	0	0	0	0	0	0	1	1	0	0	0	0

x = No importa

1 lógico = Alto

0 lógico = Bajo

Figura 4.

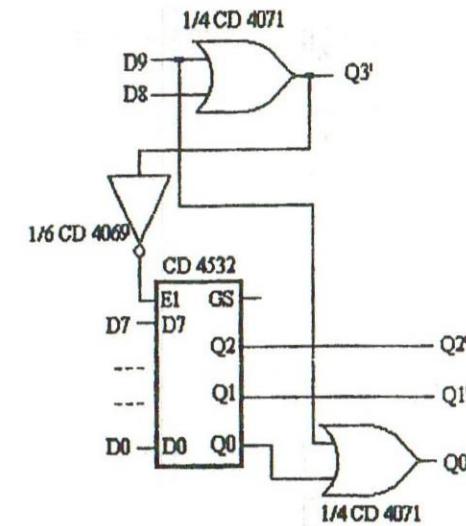
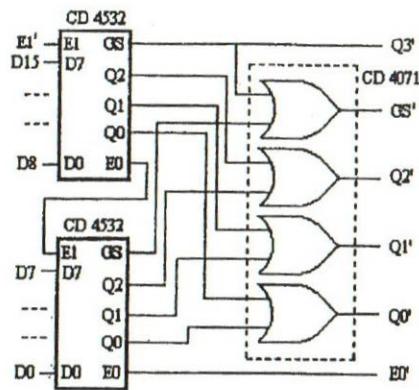
1.3.- APLICACIONES

Figura 5.

Tabla de Verdad

Entrada											Salida			
D <sub>9</sub>	D <sub>8</sub>	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	G <sub>S</sub>	Q <sub>3</sub> '	Q <sub>2</sub> '	Q <sub>1</sub> '	Q <sub>0</sub> '
0	x	x	x	x	x	x	x	x	x	0	1	0	0	1
1	1	x	0	0	0	0	0	0	0	0	0	1	0	0
0	0	1	x	x	x	x	x	x	x	1	0	1	1	1
0	0	0	1	x	x	x	x	x	x	1	0	1	1	0
0	0	0	0	1	x	x	x	x	x	1	0	1	0	1
0	0	0	0	0	1	x	x	x	x	1	0	0	1	0
0	0	0	0	0	0	1	x	x	x	1	0	0	1	1
0	0	0	0	0	0	0	1	x	x	1	0	0	1	0
0	0	0	0	0	0	0	0	1	x	1	0	0	1	0
0	0	0	0	0	0	0	0	0	1	1	0	1	0	0
0	0	0	0	0	0	0	0	0	0	1	1	0	0	0

x = No importa

1 lógico = Alto

0 lógico = Bajo

Figura 6.

## 2.- CODIFICACIONES VARIAS

Apéndice B

### 2.1.- CODIFICACIÓN SIMPLE DE TECLADO

Hardware

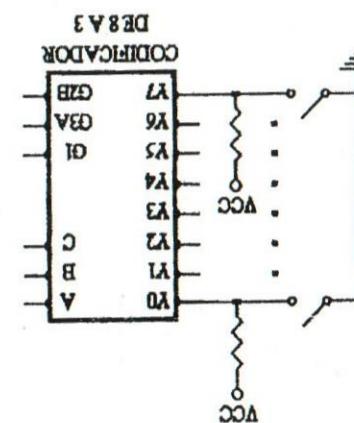


Figura 7.

- No hay indicador de tecla presionada
- Reboot de tecla
- Roll Over

Falencias:

385 386

386

### 2.2.- CODIFICACIÓN DE 10 TECLAS PRIORIZADAS

Apéndice B

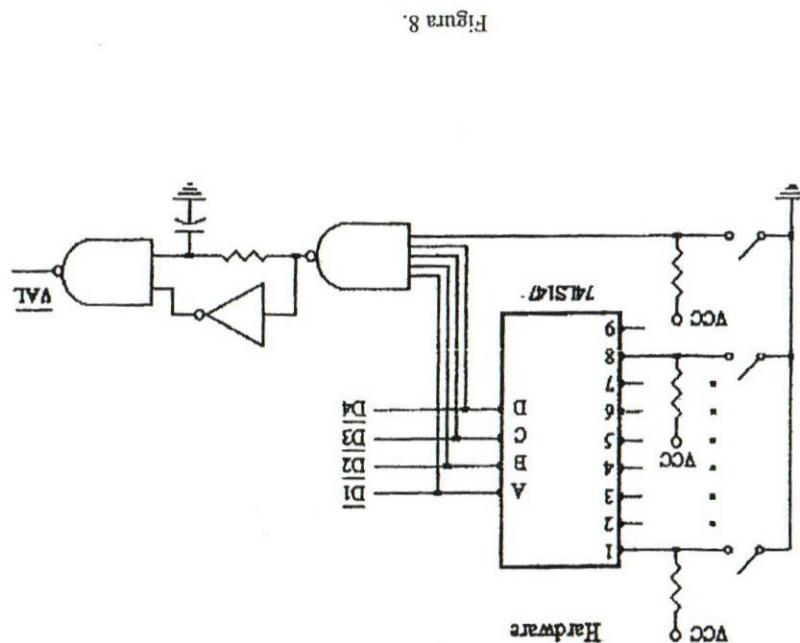


Figura 8.

386

- Tecclas priorizadas

- Indicación que evita rebotes

- Monoestable que evita rebotes

Ventajas respecto al caso anterior:

2.3.- CODIFICADOR INTEGRADOR DE 16 TECLAS

Hardware

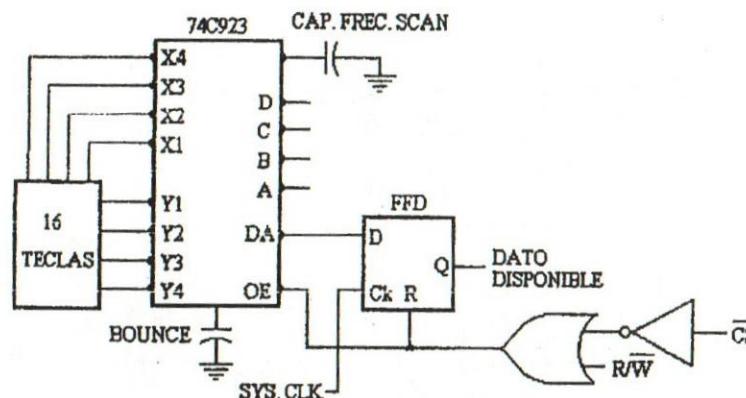


Figura 9.

2.4.- CODIFICACIÓN DE 16 TECLAS PRIORIZADAS CON INDICACIÓN DE TECLA VALIDA Y CONTROL ANTIREBOTE

Hardware

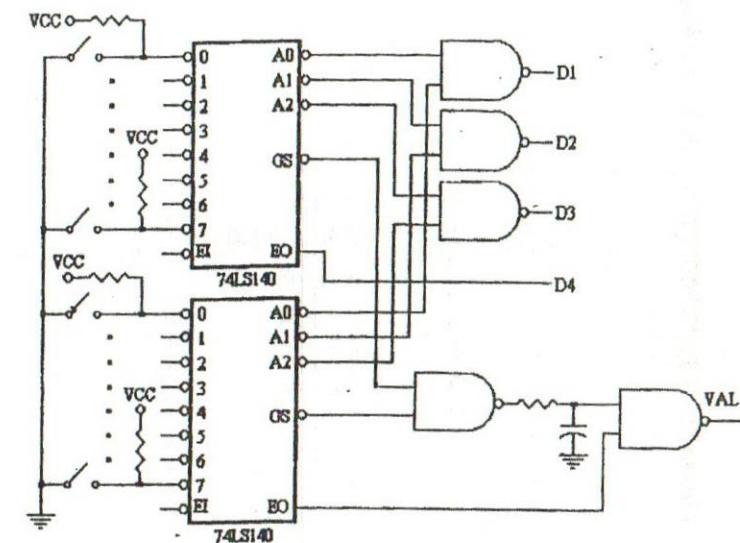


Figura 10.

Ventajas:

- Gran simplicidad de hardware
- Fácil interconexión con microprocesador

Desventajas:

- Muy elevado costo
- Poca cantidad de teclas

- No hay protección contra la presión simultánea de dos teclas.

- My costoso para grandes series dado la gran cantidad de elementos de hardware

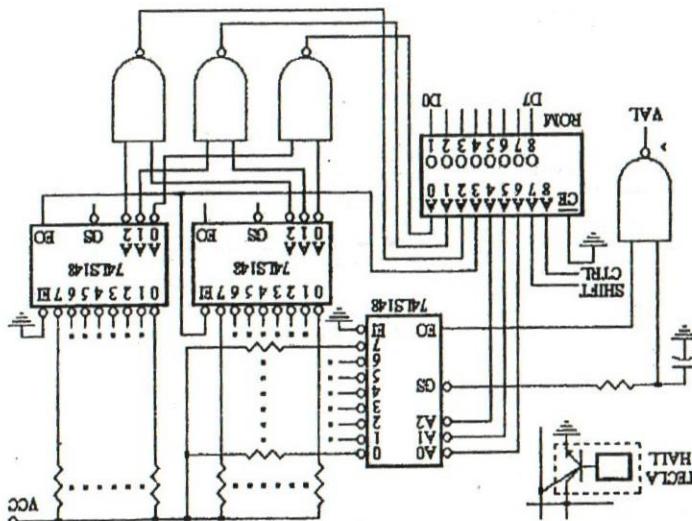
#### **Desventajas:**

- No es necesario utilizar tecila may.

Ventajas respecto al caso anterior:

Figura 11.

Figura 12.



Hardware Software

2.6.- CODIFICACION DE 128 TECLAS

Apéndice B

Apéndice B

2.5.- CODIFICACIÓN DE 128 TECNICAS

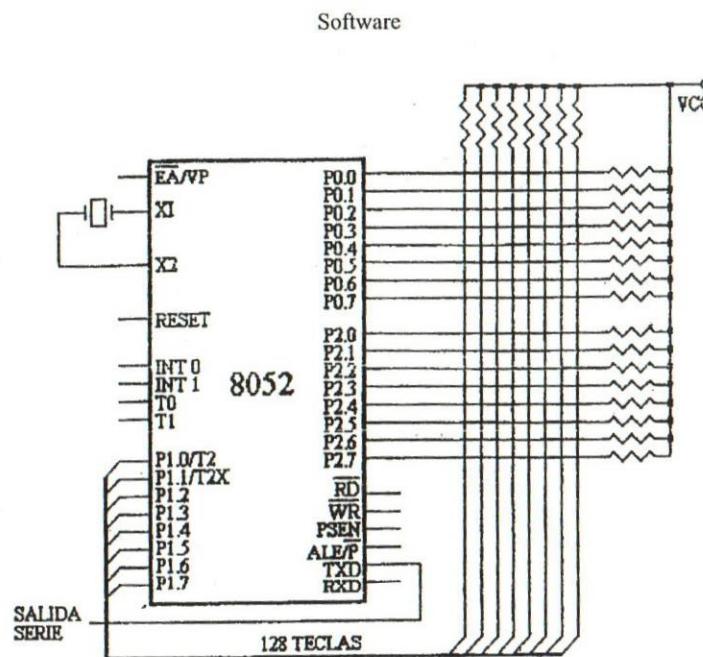
2.7.- CODIFICACIÓN DE 128 TECLAS CON MICROPROCESADOR

Figura 13.

Ventajas:

- Permite modos múltiples
- Protección antirebote
- Protección contra presión simultánea de teclas
- Generación audible para realimentación acústica
- Bajo costo

