

BlueStacks Inicio Gmail 09:55

1- (15pts) Minimizar y implementar la función lógica f_1 . Se pide:

- Tabla de Verdad, Minimización. (5pts)
- Implementar con compuertas NAND de dos entradas. (5pts)
- Implementar con dos multiplexores de 4 a 1. La salida del multiplexor queda en alta impedancia cuando la entrada de habilitación es igual a 1. (5pts)

$f_1 = \sum m_0, m_2, m_5, m_7, m_{10}, m_{11}$ mas los temimos no importa $\langle M_0, M_2, M_7 \rangle$

2- (20pts) Realizar el diseño de un sistema de visualización con 10 display de 7 segmentos multiplexados en el tiempo. Usted debe diseñar el diagrama en bloques conceptual de todo el sistema. Diseñar los drivers necesarios para poder controlar con salidas lógicas los LED que forman el display, debe calcular todos los componentes de los drivers utilizando los siguientes datos:

- El β de los transistores es de 100.
- $V_{sat} = 0.2V$.
- $V_{be} = 0.7V$.

Características de las compuertas que actúan sobre los driver:

- $V_{oh} = 4.7V$ $I_{oh(max)} = 4mA$.
- $V_{ol} = 0.3V$ $I_{ol(max)} = 4mA$.

Se pide que la corriente promedio por los LED sea de 10mA.
La tensión de alimentación de los Display es de 5V.

- Esquema conceptual (5 pts.)
- Circuito de los drivers. (10 pts.)
- Cálculo de los componentes. (5 pts.)

Debe realizar el dibujo completo de por lo menos un driver de cada tipo.

3- (20 pts.) Diseñe un sumador restador binario, para números de 7 bits mas signo. Los números están codificados en complemento a dos. El circuito a diseñar debe tener una entrada que indique la operación a realizar, 1= resta 0= suma. El circuito desarrollado debe tener una salida extra que indique el overflow del sistema.

Buscar en la web y en Windows 9:55 01/09/2017

BlueStacks Inicio Gmail 09:56

- Sumador completo de un bit en detalle. (5 pts.)
- Circuito sumador/ restador. (15 pts.)

4- (20 pts.) Diseñar, utilizando registro de desplazamiento, el sistema de control para sincronizar los datos de salida de un contador de 5 dígitos con el sistema de visualización. El sistema de visualización está diseñado con display de 7 segmentos e incluye todos los drivers necesarios. Usted debe generar el dato de control para seleccionar el dato que se aplica a los segmentos del display y activar la llave que active el display cuyo dato está seleccionando. La señal de control "000" corresponde al display 0 y el "100" al display 4. La frecuencia de trabajo del registro de desplazamiento es de 250Hz, el reloj es generado externamente y no es parte de su diseño.

- Diagrama de Bruijin. (5 pts.)
- Función de realimentación y de salida. (5 pts.)
- Describa el sistema en VHDL. (10 pts.)

Buscar en la web y en Windows 9:56

BlueStacks Inicio Gmail 09:56

5- (25 pts) Diseñar una máquina de estado para detectar en un sistema de lectura de datos serie la siguiente secuencia de bits 11010. Cuando el sistema detecta la secuencia se activa la salida S0 durante el último bit, luego se pone en cero y vuelve a buscar la secuencia.

- Diagrama de estados. (10 pts)
- Tablas de transición. (5 pts)
- Circuito. (10 pts).

Plantilla para el registro de desplazamiento.

```
signal <reg>: std_logic_vector(<width-1> downto 0);
process (<clock>,<reset>)
begin
    if <reset>='0' then
        <reg> <= (others => '0');
    elsif <clock>'event and <clock>='1' then
        <reg> <= <reg> (<width-1> downto 1) & <input>;
    end if;
end process;
```

Buscar en la web y en Windows 9:56 01/09/2017