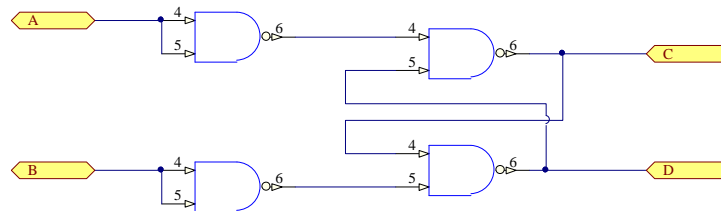


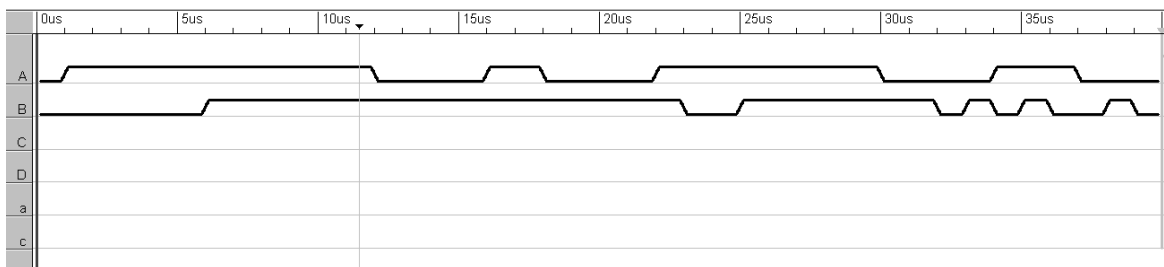


Guía de trabajos prácticos N°7

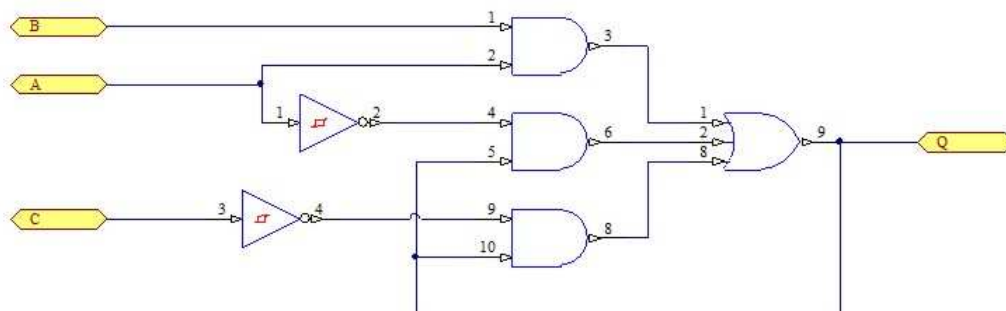
1. Para el circuito de la figura completar el diagrama temporal. Determinar que función cumple A y B.



circuito 1



2. Describir los siguientes Flip-Flop en VHDL, compilar y simular, pegar para cada caso la descripción y la imagen de la simulación:
 1. J - K con reset asíncrono, activado por flanco descendente.
 2. J - K con reset síncrono, activado por flanco descendente.
 3. D con reset asíncrono, activado por flanco descendente.
 4. LATH activado por nivel '1'.
3. Completar la tabla de verdad del siguiente circuito, y determinar a qué tipo de biestable corresponde.

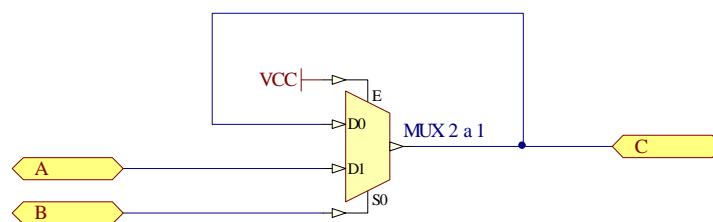


circuito 2

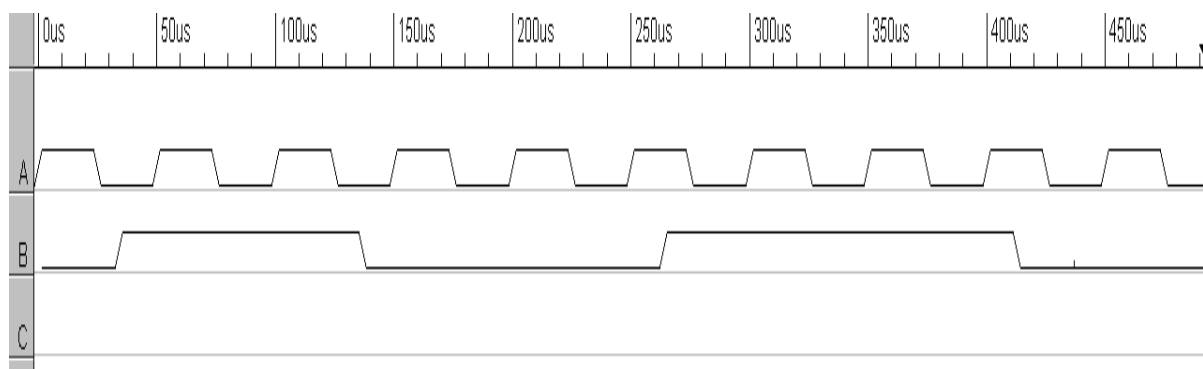


A	B	C	Q(T)	Q(T+1)
0	0	0	0	
0	0	1	0	
0	1	0	0	
0	1	1	0	
1	0	0	0	
1	0	1	0	
1	1	0	0	
1	1	1	0	
0	0	0	1	
0	0	1	1	
0	1	0	1	
0	1	1	1	
1	0	0	1	
1	0	1	1	
1	1	0	1	
1	1	1	1	

4. Complete el diagrama temporal siguiente basado en el circuito 3.



circuito 2



5. Diseñar un contador síncrono módulo 7 utilizando Flip-Flop JK. Condición inicial 111.

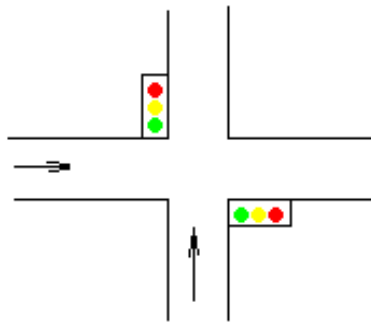
6. Realizar la descripción y simulación en VHDL del contador del ejercicio 5.



7. Diseñar un contador de código Gray de 4 bits utilizando Flip-Flop del tipo D. Obtener una salida auxiliar que presente el código BCD.
8. Realizar la descripción y simulación en VHDL del contador del ejercicio 7.
9. Un contador de propagación de cinco etapas utiliza Flip-Flop con un retardo temporal de 30ns y un tiempo de decodificación de 50ns. Determinar la frecuencia máxima de funcionamiento del contador. Si el contador funciona a esta frecuencia, dibujar un diagrama de tiempos para cada una de las básculas al avanzar el contador de 01111 a 10000.
10. Diseñar un contador módulo 12 utilizando un registro de desplazamiento y lógica de realimentación. Desarrollar la lógica de decodificación necesaria para dar una salida decimal.
11. Diseñar Utilizando un registro de desplazamiento y lógica combinatoria, diseñar un generador de secuencia que genere la secuencia binaria 0-1-0-0-1-0-1-1.
12. Realizar el ejercicio 10 en VHDL y simularlo en un nivel post síntesis.
13. Realizar el ejercicio 11 en VHDL y simularlo en un nivel post síntesis.
14. Se va a utilizar un registro de desplazamiento de tres etapas para generar dos secuencias de longitud 7 y 5, respectivamente. Cuando una señal de control m es igual a 1, genera una secuencia de longitud 7, y cuando la señal de control, m es igual a 0 genera una secuencia de longitud 5. Diseñar un generador de registro de desplazamiento utilizando realimentación con XOR para implementar las anteriores especificaciones.
15. Diseñar un circuito secuencial que implemente la siguiente salida
000-101-111-010-110
000=Condición inicial.
En caso de detectar un estado no contemplado en la secuencia el sistema debe retornar inmediatamente a la condición inicial.
16. Realizar el ejercicio 15 en VHDL y simularlo en un nivel post síntesis.
17. Diseñar con registro de desplazamiento sistemas que generen las siguiente secuencia:
 1. 00 – 11- 10
 2. 000-101-110-111-001
 3. 010-111-010-101-100-110-111
18. Describir y simular los circuitos del ejercicio 17 en VHDL.
19. Diseñar un contador up-down módulo 6 que cuente en binario natural. Implementar con CD4013. Condición inicial 100. Detecte cuando el mismo entre en un estado no permitido y encienda un led en forma permanente.
20. Buscar un circuitos integrado comercial que implemente un contador de 4 bit con carga paralela:
 1. Indicar las características y aplicaciones.
 2. Dibujar el diagrama funcional.



3. Analizar el diagrama de tiempos.
 4. Analizar las principales características eléctricas.
21. Buscar un circuito integrado shift register comercial
1. Indicar las características y aplicaciones.
 2. Dibujar el diagrama funcional.
 3. Analizar el diagrama de tiempos.
 4. Analizar las principales características eléctricas.
22. Un bloque contador contiene integrados CD4029, la frecuencia de reloj es de 256 KHz.
Determinar:
- a) Cuantos CD4029 se requieren para obtener una salida de 2 KHz.
 - b) Determine el intervalo de conteo.
23. Diseñe con una maquina de estado tipo Moore que implemente los semáforo del siguiente esquema. Considere que tiene una señal X que cuando vale '1', los semáforos pasan a intermitencia.



24. Describa el ejercicio anterior en VHDL, y realice la simulación.
25. Diseñe un autómata de Mealy capaz de detectar en la línea de entrada E0 las secuencias 1010 o 110, permitiendo solapamiento y paso entre secuencias. Implementarlo en VHDL y simularlo.