# Técnicas Digitales II

ADC de sigma-delta (cont), flash y de aproximación sucesivas

#### Sobre-muestreo

La relación señal ruido para un ADC ideal es

$$SNR = (6,02 N + 1,76) dB$$

• Si el ruido es mayor, se puede calcular los números de bits efectivos o "Effective Number of Bits" ENOB como

$$ENOB = \frac{SNR - 1,76}{6,02}$$

- Si ahora se elije una alta velocidad de muestreo  $\mathrm{Kf_s}$  el RMS del ruido será  $\mathrm{q/\sqrt{12}}$  pero el ruido ahora se distribuye sobre toda la banda de 0 a  $\mathrm{Kf_s}$ , aplicando un filtro digital a la salida en  $\mathrm{f_s/2}$  se eliminará parte de el ruido de cuantización
- Ahora con un un SNR mayor, se obtiene un mayor números de bits efectivos.

#### Sobre-muestreo

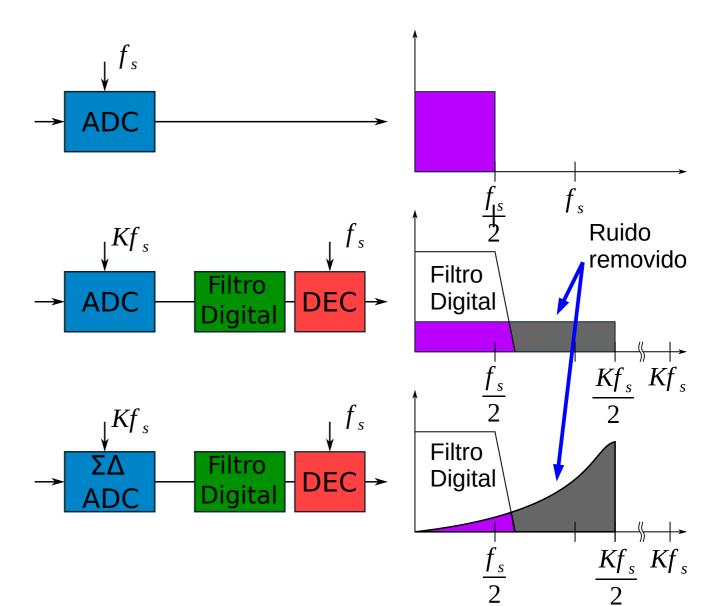
- K es el factor de sobre muestreo
- Como un filtro reduce el ancho de banda, se puede reducir la tasa de datos que sale del ADC, esto es que cada M muestras pasar una a la salida esto se denomina "Decimación" por un factor M
- Para aumentar N bits de resolución debemos sobremuestrear en un factor de 2<sup>2N</sup>
- Para el caso del Sigma-delta esta relación no es tan alta por la forma en que se distribuye el ruido de cuantización.

# Configuraciones

**ADC** tipo Nyquist

ADC con sobremuestreo

ADC tipo sigma delta con sobremuestreo y modelado de ruido



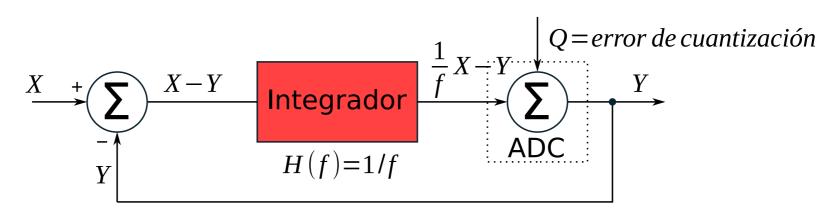
# Modelado de Ruido o *Noise Schaping* en ADC Sigma-Delta

**Definición**: técnica utilizada en el procesamiento digital de señales, que permite aumentar la SNR mediante la alteración del espectro de ruido de cuantización, de manera que la potencia de ruido sea mínima en las frecuencias útiles concentrando la mayor potencia del mismo en las frecuencias menos útiles.

En el dominio de la frecuencia el integrador lo vemos como

$$H(f)=1/f$$

El conversor sigma delta queda entonces como

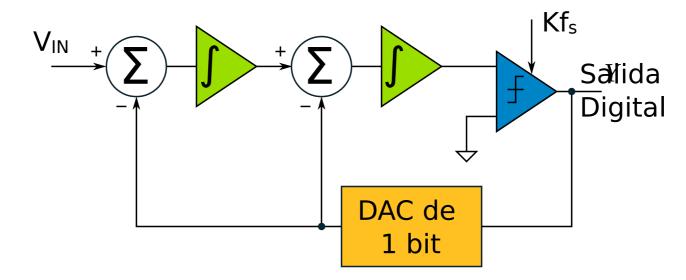


# Modelado de Ruido o *Noise Schaping* en ADC Sigma-Delta

 $X + \sum_{Y} X - Y$  Integrador  $Y = \frac{1}{f}(X - Y) + Q$  Señal  $Y = \frac{X}{f+1} + \frac{Qf}{f+1}$  Ruido

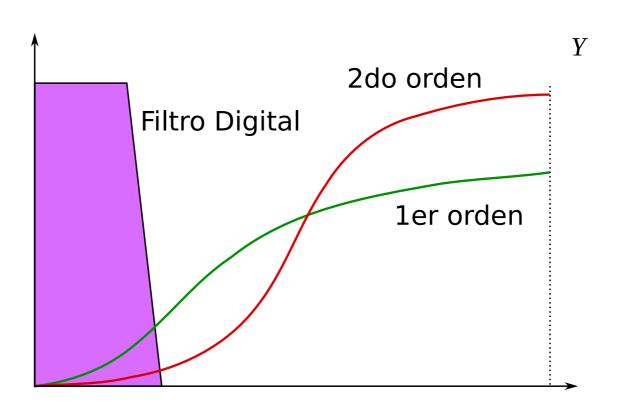
- Según la frecuencia la salida quedará como:
  - Para frecuencias bajas Y=X
  - Para frecuencias altas Y=Q
- El integrador con la realimentación conforman el ruido, funcionando como un pasa bajo para la señal y un pasa alto para el ruido.

### Sigma Delta de 2do Orden

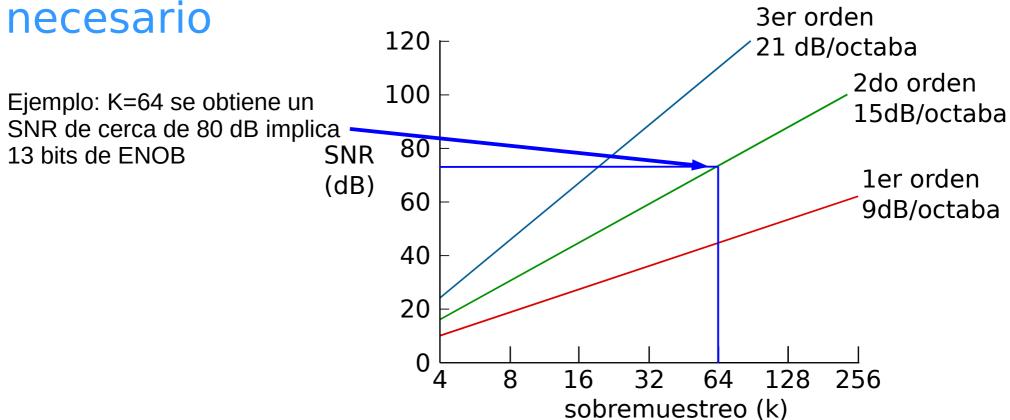


- Utilizando mas etapas de integración, podemos obtener mayor ordenes de conformidad del ruido y mayor ENOB
- Con tres o mas etapas el conversor puede hacerse inestable y se deben utilizar métodos para evitarlo.

# Sigma Delta de 2do Orden



Relación entre orden y sobremuestreo



 La curva indica que se puede obtener mejor resolución aumentando el sobremuestreo o utilizando un ADC de orden superior.

# Relación entre orden y sobremuestreo necesario

SNR según tasa de sobremuestreo y orden

$$SNR_{DB} = 3,01 \, n(2 \, L + 1) - 9,36 \, L - 2,76$$

$$SNR_{DB(Orden1)} = 9,01n-12,12$$
  
 $SNR_{DB(Orden2)} = 15,05n-21,48$ 

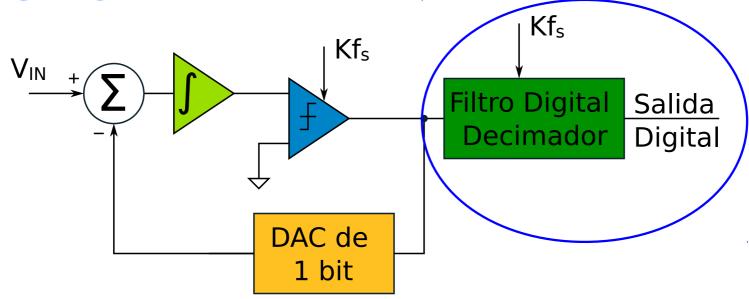
 Con el SNR del ADC ideal y ruido distribuido en la banda de Nyquist se obtiene los bits efectivos.

$$ENOB = \frac{SNR - 1,76}{6,02}$$

Tasa de sobremuestreo 2<sup>n</sup> - *over-sample ratio (OSR)* 

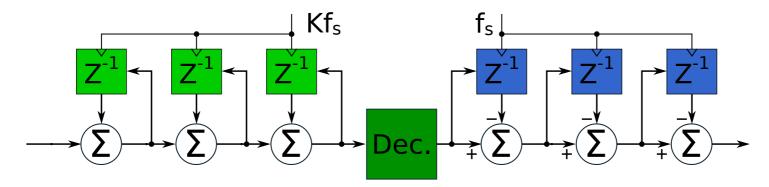
	24=16	25=32	2 <sup>6</sup> =64	<b>2</b> <sup>7</sup> <b>=128</b>	28=256
1	24 dB	33 dB	42 dB	51 dB	60 dB
	3¾ bits	5¼ bits	6¾ bits	8 ¼ bits	9¾ bits
2	39 dB	54 dB	69 dB	84 dB	99 dB
	61/4 bits	8¾ bits	11¼ bits	13¾ bits	16¼ bits
3	53 dB	75 dB	96 dB	117 dB	138 dB
	8¾ bits	12¼ bits	15¾ bits	19¼ bits	22¾ bits
4	68 dB	95 dB	122 dB	149 dB	177 dB
	11 <sup>1</sup> / <sub>4</sub> bits	15¾ bits	20¼ bits	24¾ bits	29½ bits
5	83 dB	116 dB	149 dB	182 dB	215 dB
	13½ bits	19 bits	24½ bits	30 bits	35½ bits
6	99 dB	137 dB	176 dB	215 dB	254 dB
	16 bits	22½ bits	29 bits	35½ bits	42 bits

#### Filtro SINC



- El conversor se completa con un filtro digital y un decimador
- El filtro digital es comunmente un filtro SINC, compuesto por una serie de etapas sumadoras a frecuencia Kf<sub>s</sub> junto con un diferenciador a frecuencia f<sub>s</sub>

#### Filtro SINC



La función de transferencia del filtro sinc queda como

$$H(z) = \left(\frac{1}{K} \frac{1 - z^{-K}}{1 - z^{-1}}\right)^{N}$$

donde N es el orden del SINC y K es el decimación

• El factor K esta dado por el cociente de las dos frecuencias o en este caso el factor de sobremuestreo.

#### **ADC Flash**

- ADC paralelo
- Es el conversor mas rápido pero el de mayor cantidad de comparadores

- El primer conversor flash es de 1921
- Se popularizó en los 80's con las aplicaciones de alta velocidad en video (8 bits)
- Existen hasta 10 bits pero los mas comunes son de 8 bits con tasa de muestreo de 1 GHz

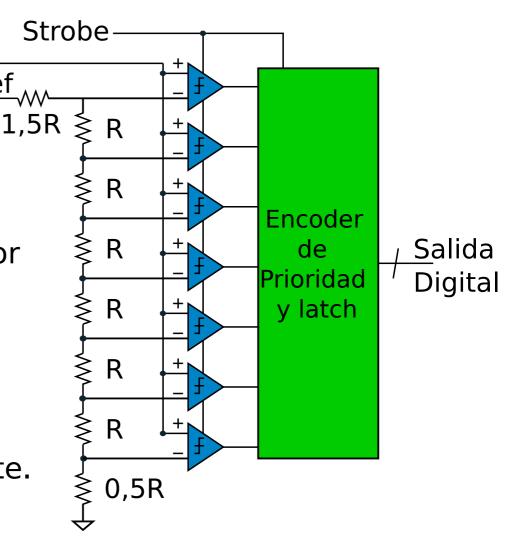
### **ADC Flash**

- Cada comparador tiene una referencia 1LSB mas alta que el comparador inferior
- Para una entrada dada, todos los comparadores debajo de cierto punto tendrán un VRef<sub>n</sub> < VIN y salida "1" y todos los que estén por arriba VRef<sub>n</sub> > VIN y salida "0"

VIN

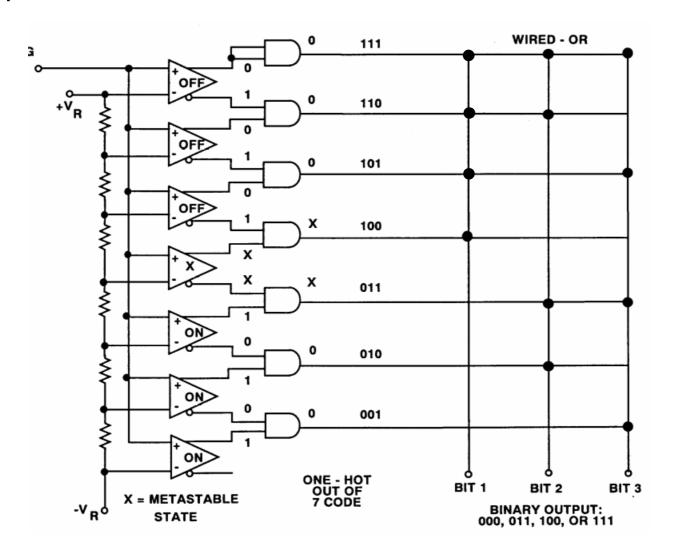
**VRef** 

- Estas salida se decodifican a una salida binaria de N bits.
- Las señales son aplicadas a todos los comparadores simultáneamente.



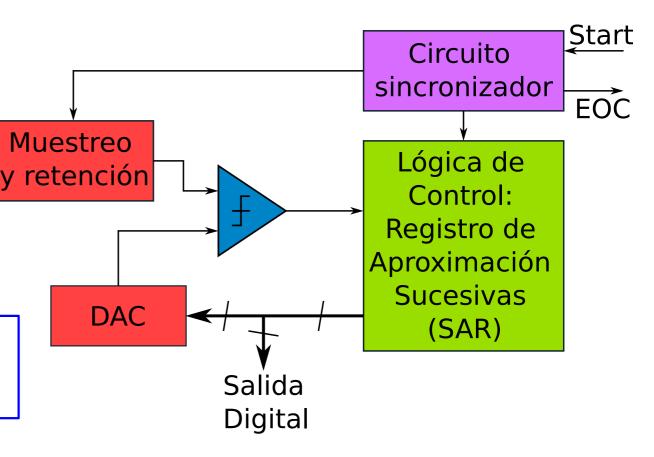
#### **ADC Flash**

Errores por metaestabilidad en los conversores flash

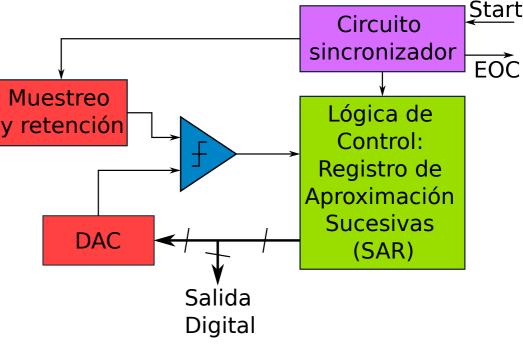


- Es la arquitectura de ADC mas utilizada desde hace muchos años.
- Recientes mejoras permiten
  - Llegar al MHz
  - 18 bits de resolución
- Su precisión y linealidad está determinada por el DAC
- Requiere un SHA en la entrada

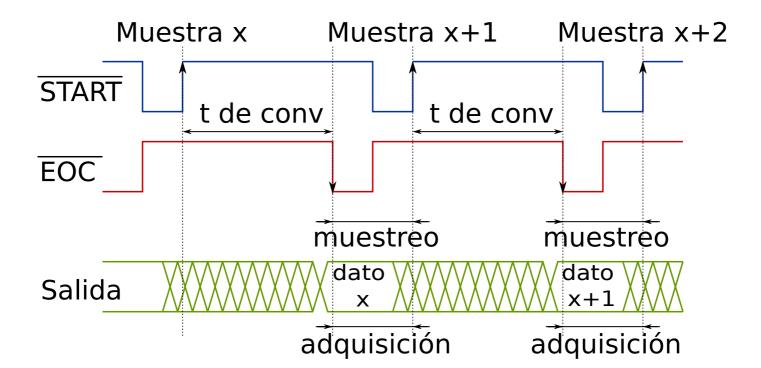
N-bits 
$$\longrightarrow$$
  $t_c = t_0(N+1)$ 



- La señal de Start coloca al circuito SHA en modo retención y borra todos los bits de la SAR dejando el MSB en 1
- La salida de la SAR activa a el DAC interno.
- Si la salida del DAC es mayor a VIN se borra este bit, sino permanece en 1.
- El siguiente bit se establece en 1.
- Si la salida del DAC es mayor a VIN se borra este bits, sino permanece en 1.
- El proceso se repite con todos los bits.
- Al finalizar el último bits, el contenido de la SAR es el valor digital de la entrada analógica.



- El general estos ADC poseen el siguiente diagrama de tiempos.
- Una señal START, inicia la conversión.
- Una Señal de fin de conversión (EOC) o datos listos (DRDY) sube al iniciar la conversión y baja cuando este completada.
- En general cuando baja esta señal indica que los datos están listos.



- El método utilizado en el proceso de conversión proviene de una solución para determinar un peso desconocido mediante una secuencia mínima de operaciones de pesaje y comenzó a utilizarse alrededor del año 1500.
- Suponiendo un valor igual a 45 (x=45), la secuencia queda como sigue

Test	Resultado	Acción	bit	SAR
Es x>= a 32 ?	SI	Retengo el 32	1	100000
Es x>= a (32 + 16) (48) ?	NO	Elimino el 16	0	100000
Es $x > = a (32 + 8) (40)$ ?	SI	Retengo el 8	1	101000
Es $x > = a (32 + 8 + 4) (44) ?$	SI	Retengo el 4	1	101100
Es $x > = a (32 + 8 + 4 + 2) (46)$ ?	NO	Elimino el 2	0	101100
Es $x > = a (32 + 8 + 4 + 1) (45)$ ?	SI	Retengo el 1	1	101101

$$X=32+8+4+1=45_{10}=101101_{2}$$

#### Bibliografía

The Data Conversion Handbook 2005, ISBN 0-7506-7841-0. Also published as Analog-Digital Conversion, Analog Devices, Inc. 2004, ISBN 0-916550-27-3

Capítulos 2 y 3.

¿ Preguntas ?