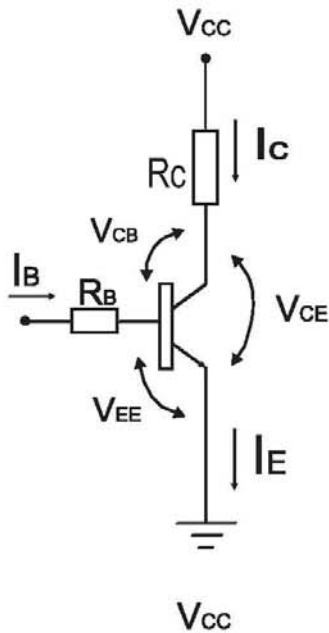


EL TRANSISTOR

TECNOLOGIA

EL TRANSISTOR BIPOLAR

Tensiones y Corrientes



$$I_E = I_B + I_C$$

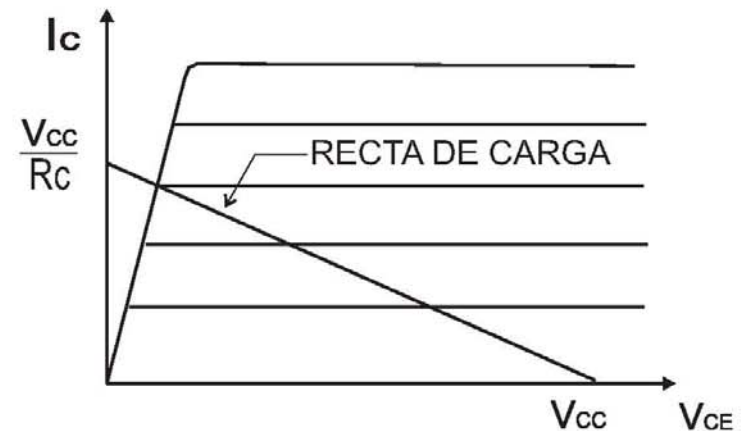
$$V_{CE} = V_{CB} + V_{BE}$$

$$I_C = \beta I_B$$

R_C : R. Limitadora

R_B : R. Polarización

Características $I_C - V_{CE}$



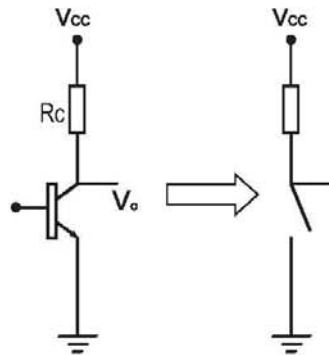
Ganancia: $h_{FE} = I_C / I_B = \beta$ (continua)

$h_{FE} = \Delta I_C / \Delta I_B$ (alterna)

EL Tx. INTERRUPTOR

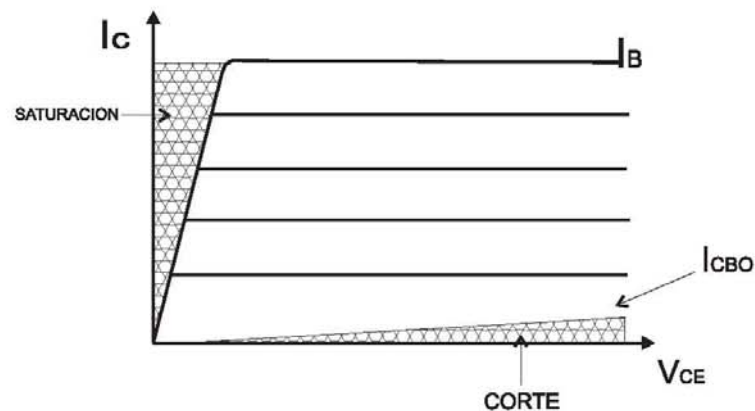
TECNOLOGIA

El Tx como Interruptor

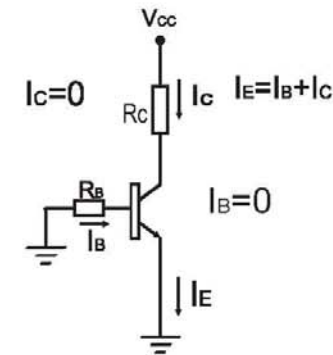


- 1) Llave Cerrada = Tx Saturado $V_0 = 0$
- 2) Llave Abierta = Tx Cortado $V_0 = V_{cc}$

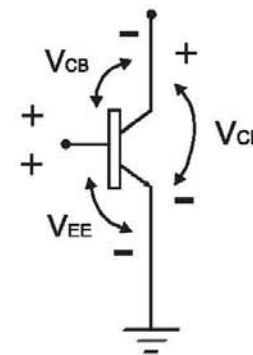
Regiones de Corte y Saturacion



El Tx Cortado



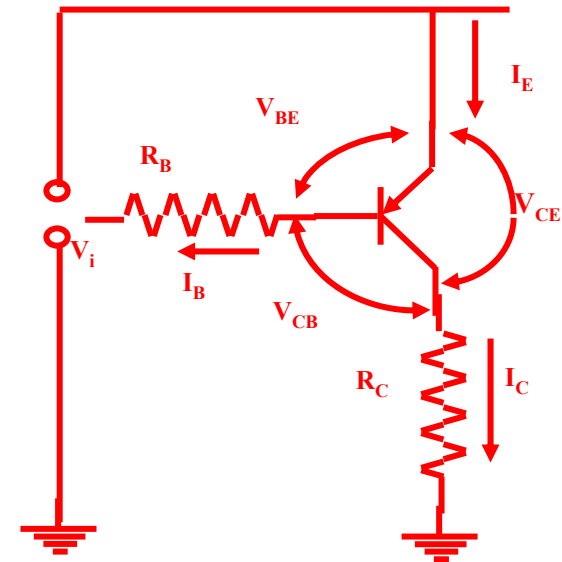
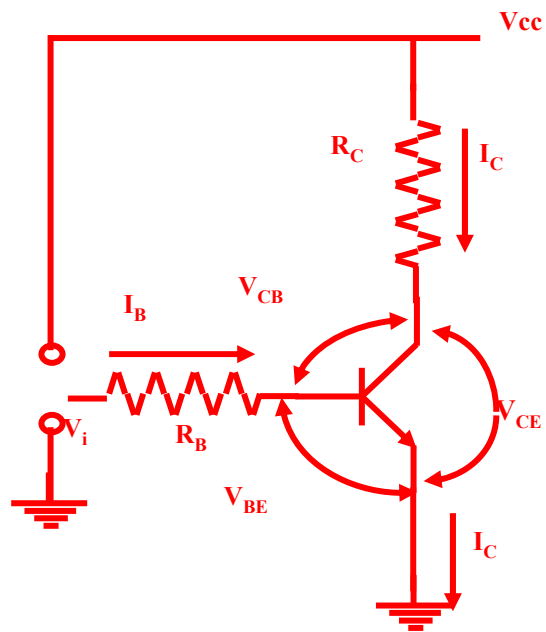
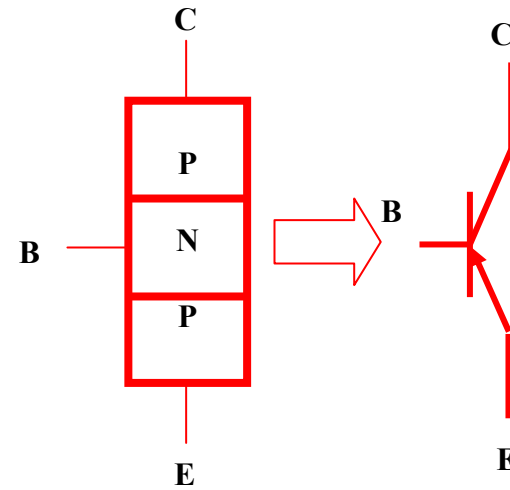
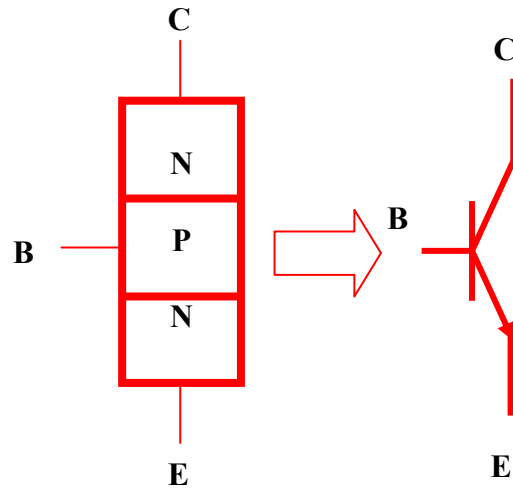
El Tx Saturado



a) $I_B > I_C / \beta$

b) Si la juntura Colector-Base se polariza en forma directa

EL TRANSISTOR NPN Y PNP

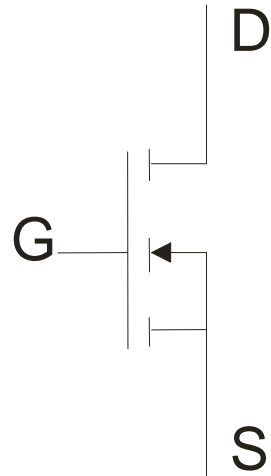
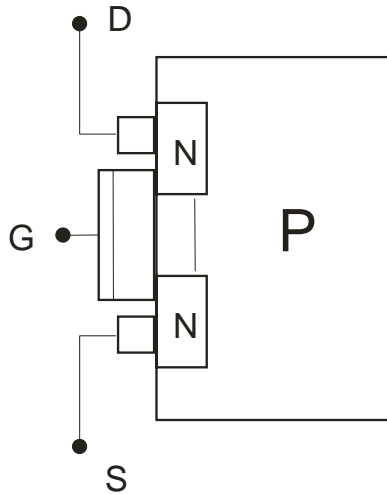


EL Tx. UNIPOLAR

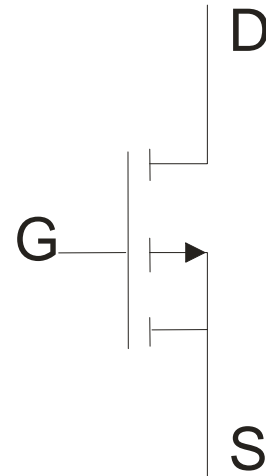
- 62 -

TECNOLOGIA

EL TRANSISTOR UNIPOLAR



N - MOS



P - MOS

REGIONES DE OPERACIONES DE UN N-MOS

REGION DE CORTE: $V_{cs} < 0$

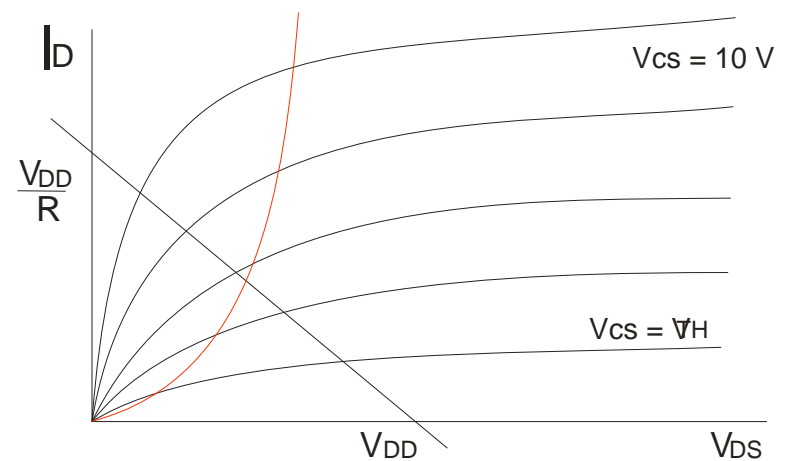
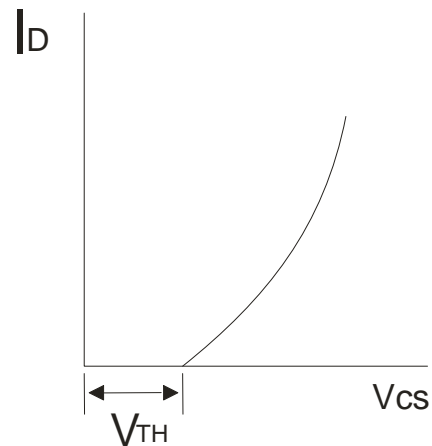
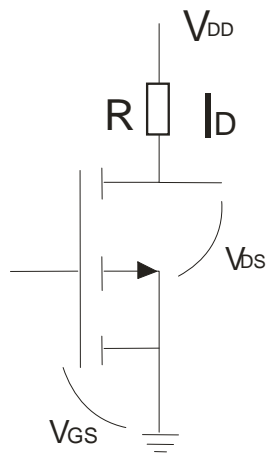
PARA $V_{cs} \geq V_{TH} \rightarrow I_D > 0$

RESISTENCIA DEL CANAL

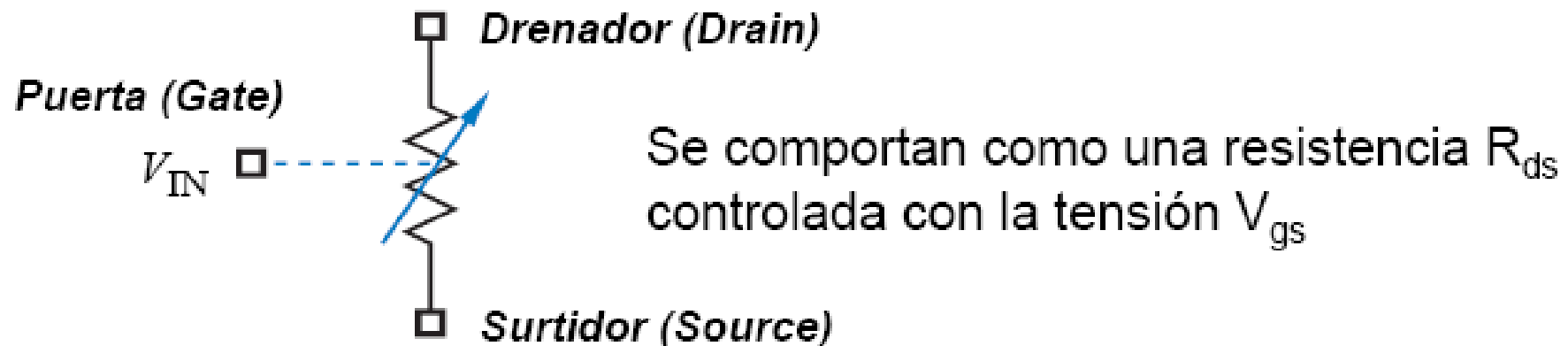
$$r_{DS (OFF)} = 10^{10} \Omega$$

REGION DE SATURACION $V_{cs} > 0$

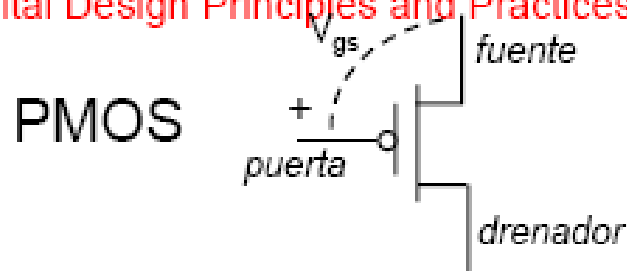
$$r_{DS (ON)} = 10^3 \Omega$$



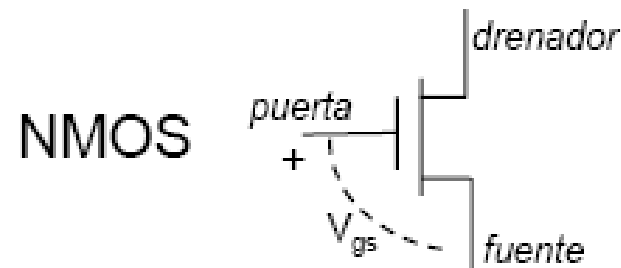
Uso de los transistores MOS



Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e



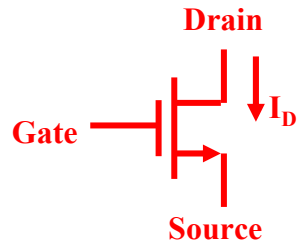
$$\begin{cases} V_{gs} = 0 \Rightarrow R_{ds} \text{ muy alta } (>M\Omega) = R_{off} \\ V_{gs} < 0 \Rightarrow R_{ds} \text{ pequeña } (\sim 200\Omega) = R_{on} \end{cases}$$



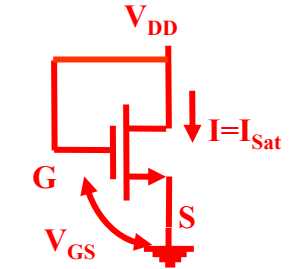
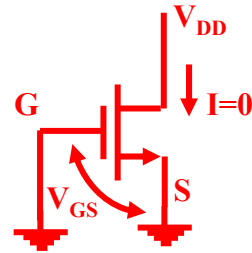
$$\begin{cases} V_{gs} = 0 \Rightarrow R_{ds} \text{ muy alta } (>M\Omega) = R_{off} \\ V_{gs} > 0 \Rightarrow R_{ds} \text{ pequeña } (\sim 100\Omega) = R_{on} \end{cases}$$

EL Tx MOS – CANAL N y P

Transistor NMOS

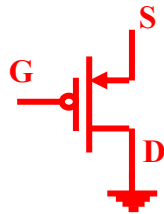


Transistor abierto

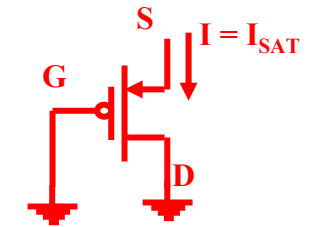
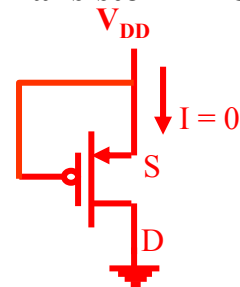


Transistor cerrado

Transistor PMOS



Transistor abierto



Transistor cerrado

FAMILIAS LOGICAS

TECNOLOGIA

FLIA. LOGICA IDEAL:

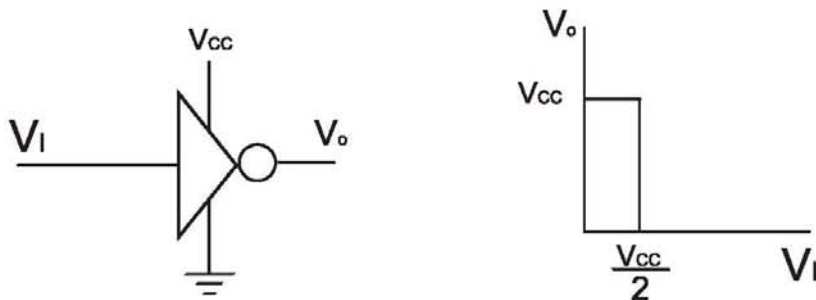
-POTENCIA DISIPADA = 0W

-RETARDOS = 0 Seg.

-INMUNIDAD RUIDO = 50%



-FUNCION TRANSFERENCIA



FLIAS. LOGICAS:

TTL- (Transistor transistor lógico)

ECL- (Emitter coupled logic)

CMOS- (Complementary MOS)

FLIA. TTL:

Standart-serie 74XX y 54XX

Schottky- serie 745XX y 545XX

Low Schottky-serie 74LSXX y 54LSXX

FLIA. CMOS:

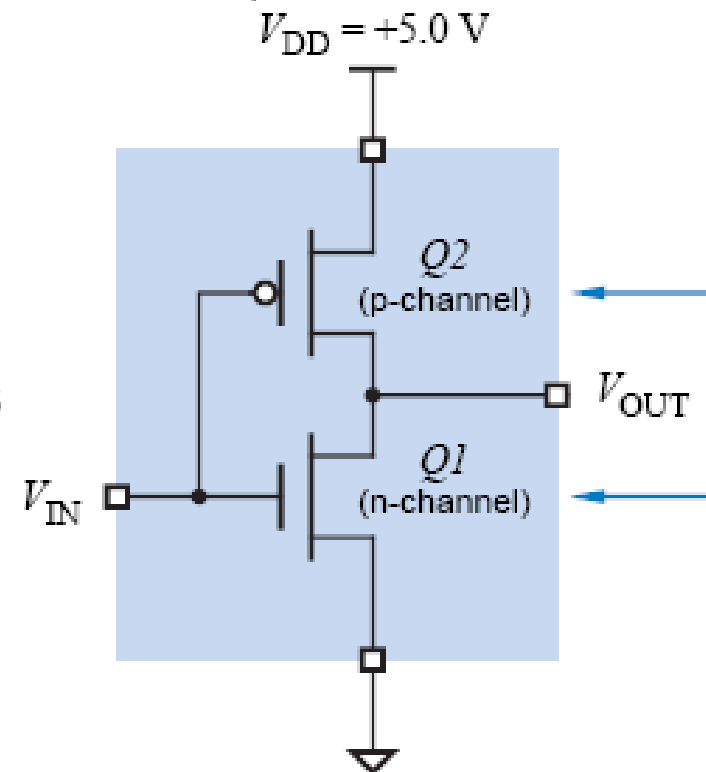
Serie B- Buffered (high gain)

Serie UB- Unbuffered (poor gain)

Serie CHMOS- (high speed)

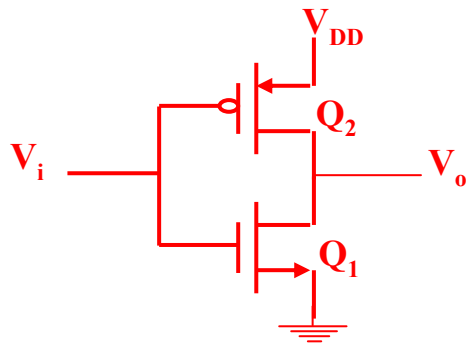
Características de las puertas CMOS

- No hay entrada de corriente continua en las puertas de los transistores (y por lo tanto de las puertas)
 - Solamente hay que cargar y descargar la capacidad de la entrada, lo que requiere corriente (consumo de potencia CV^2f)
- Solamente se consume corriente a la salida en la conmutación (no hay consumo estático)
 - El consumo se produce solamente cuando los dos transistores están activos
 - El consumo depende de la frecuencia
 - Tiempos de subida y bajada largos implican mayor consumo

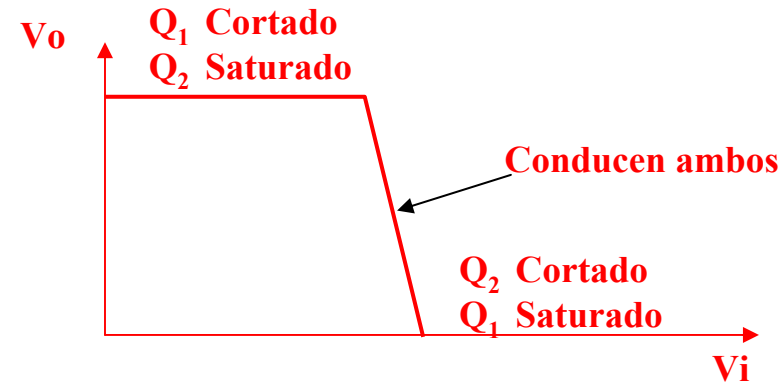


INVERSOR CMOS

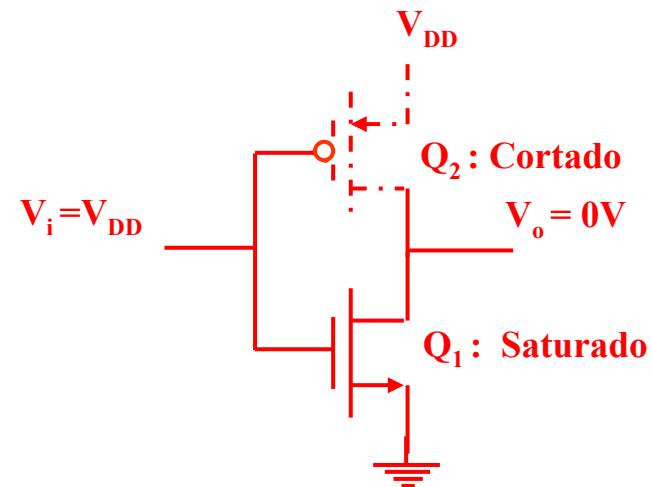
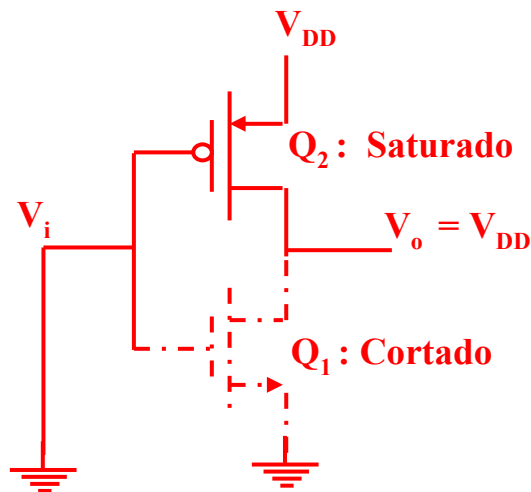
Este circuito utiliza un transistor NMOS y como carga un PMOS, conformando lo que se conoce con la sigla CMOS o MOS complementario



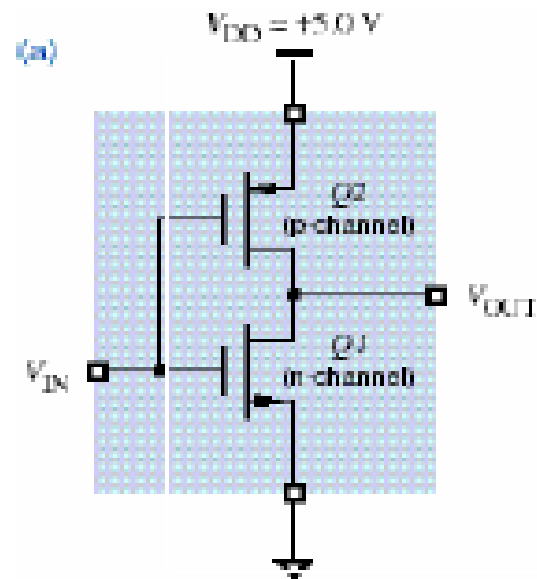
Inversor CMOS



Función de Transferencia



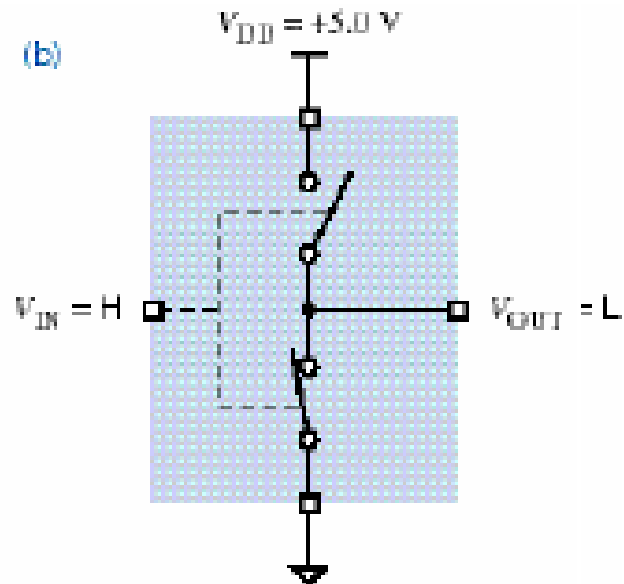
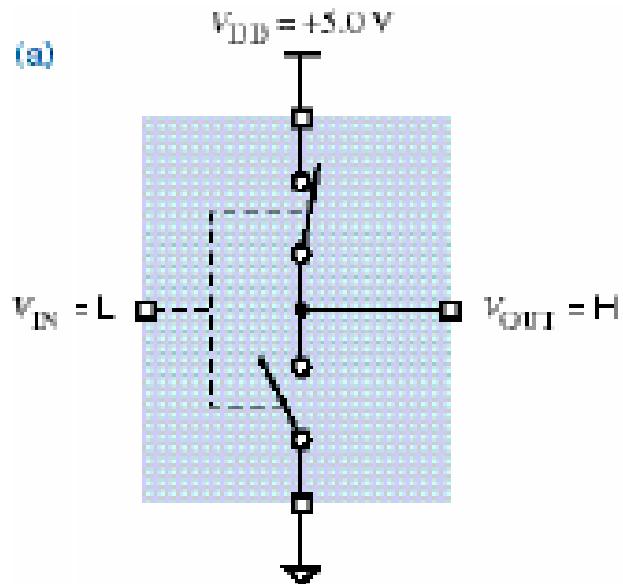
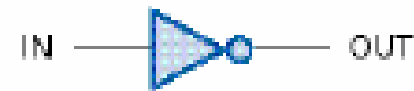
Inversor CMOS



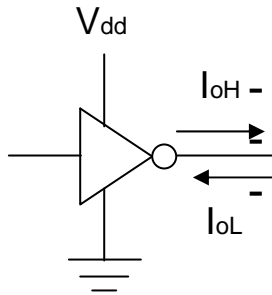
(b)

V_{IN}	Q1	Q2	V_{OUT}
0.0 (L)	off	on	5.0 (H)
5.0 (H)	on	off	0.0 (L)

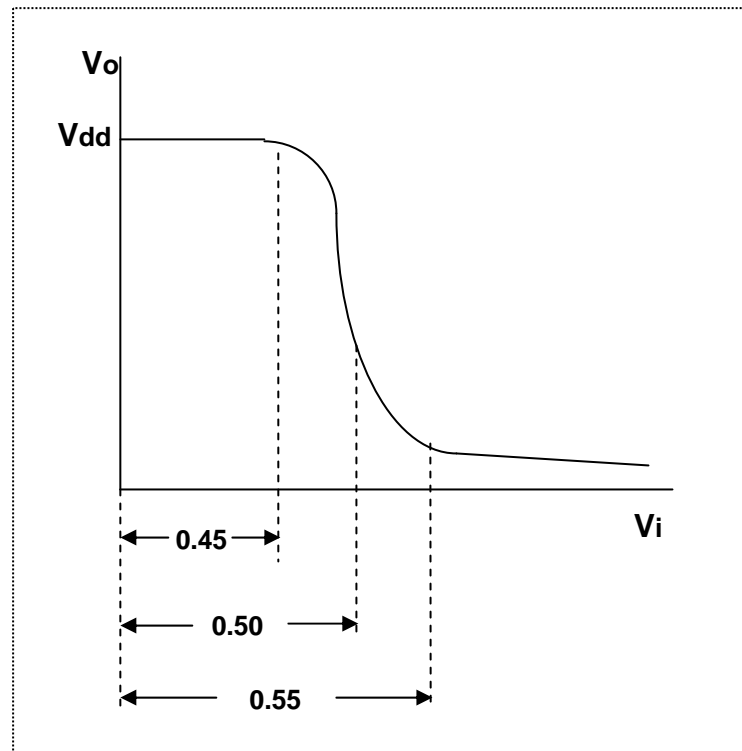
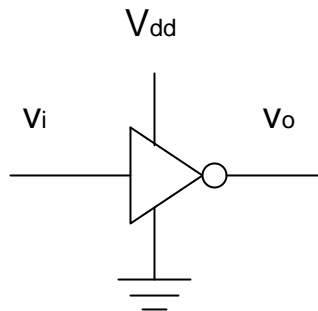
(c)



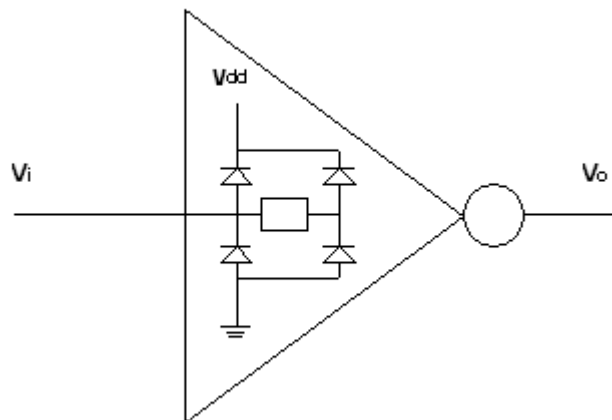
CARACTERISTICAS DE TRANSFERENCIA



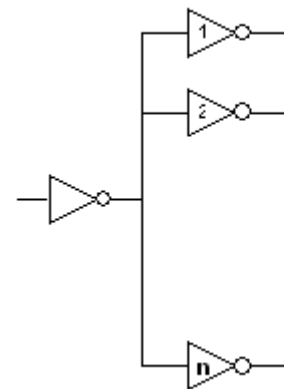
IMPEDANCIA DE ENTRADA: $Z_{IH} = Z_{IL} = 10 \text{ Mohms}$. $C = 5\text{pF}$
IMPEDANCIA DE SALIDA: $Z_{oH} = Z_{oL} = 100 \text{ OHMS}$
CORRIENTE DE ENTRADA: $I_{IH} = I_{IL} = 0$



CIRCUITO DE ENTRADA



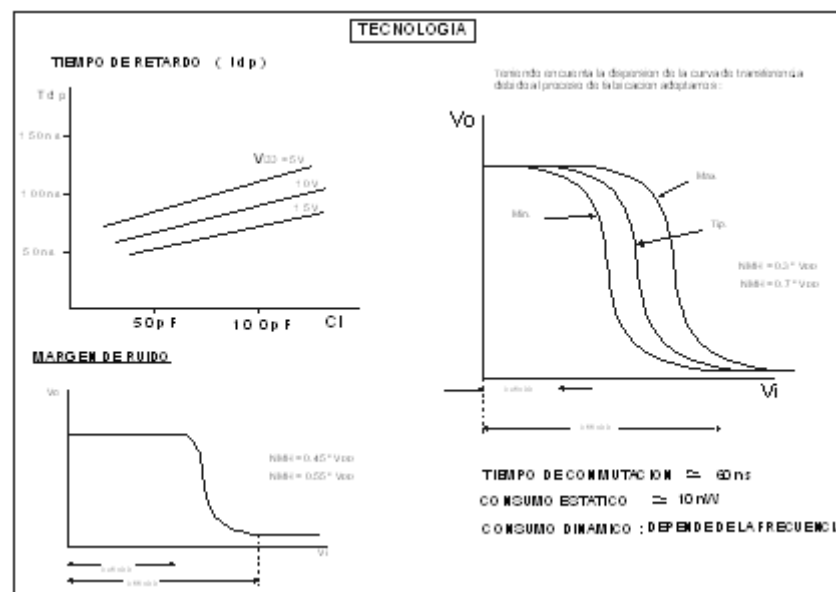
CIRCUITO CMOS CON CARGA



$N = \text{INFINITO (ESTATICO)}$

$N = \text{LIMITADO POR LA MAXIMA FRECUENCIA DE OPERACION PUES CADA SALIDA AGREGA 5 pF}$

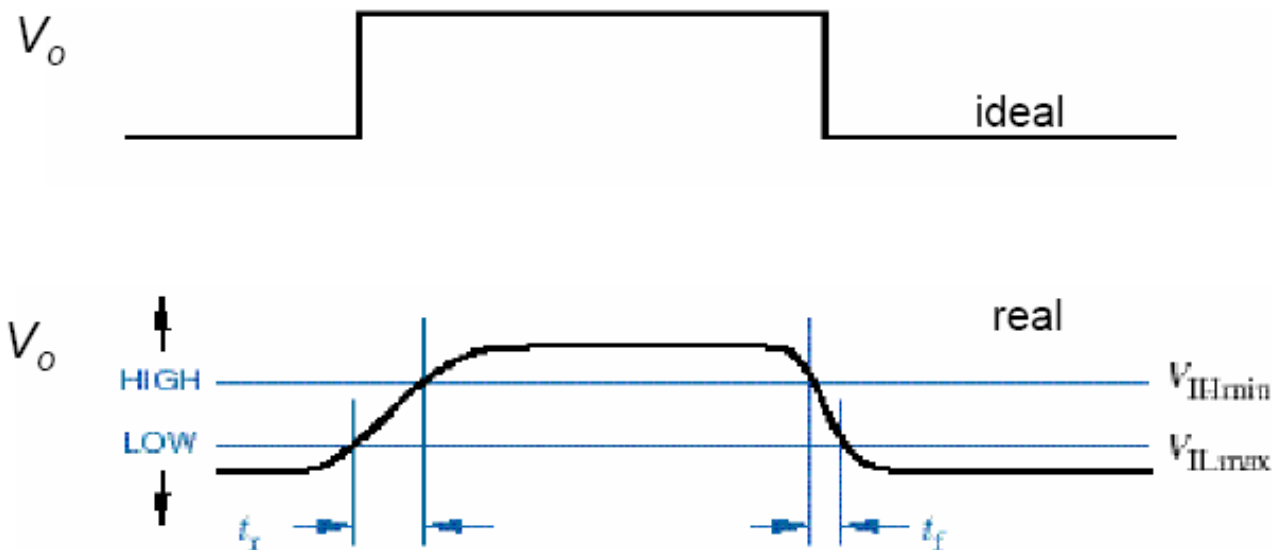
CADA SALIDA SUMA UN RETARDO APROXIMADO DE 3 ns PARA $V_{dd} = 5 \text{ V}$



TIEMPOS DE TRANSICION

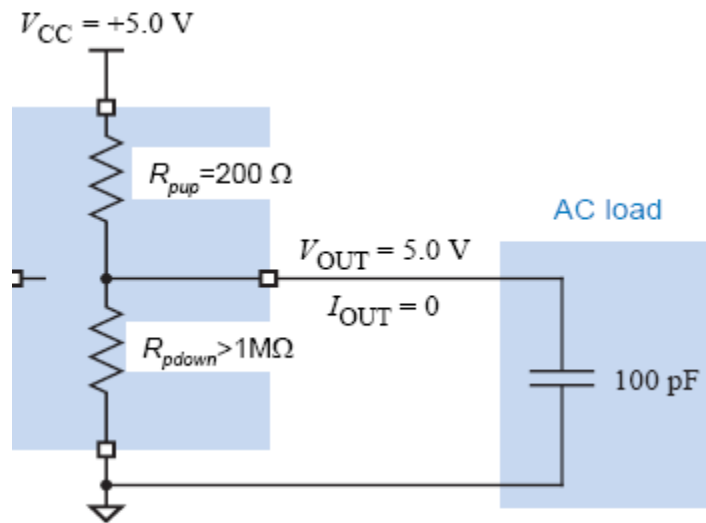
Tiempos de transición (referidas a las salidas)

- Tiempo de subida (rise time): t_r de V_{Lmax} a V_{Hmin}
- Tiempo de bajada (fall time): t_f de V_{Hmin} a V_{Lmax}

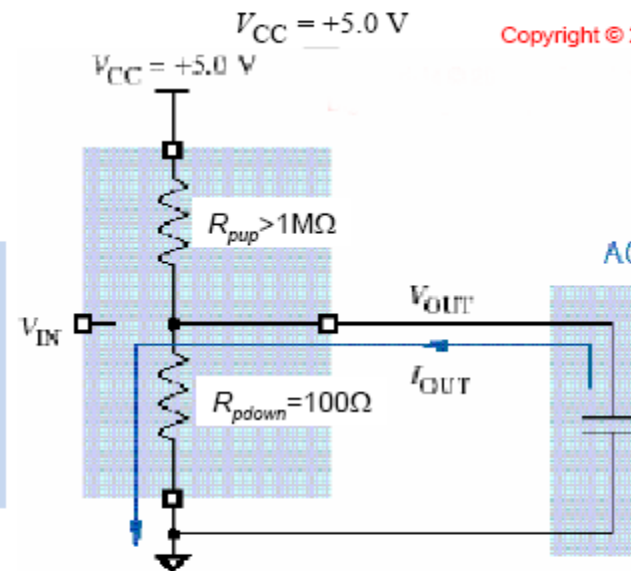


TRANSICION H a L

Transición de “H” a “L”



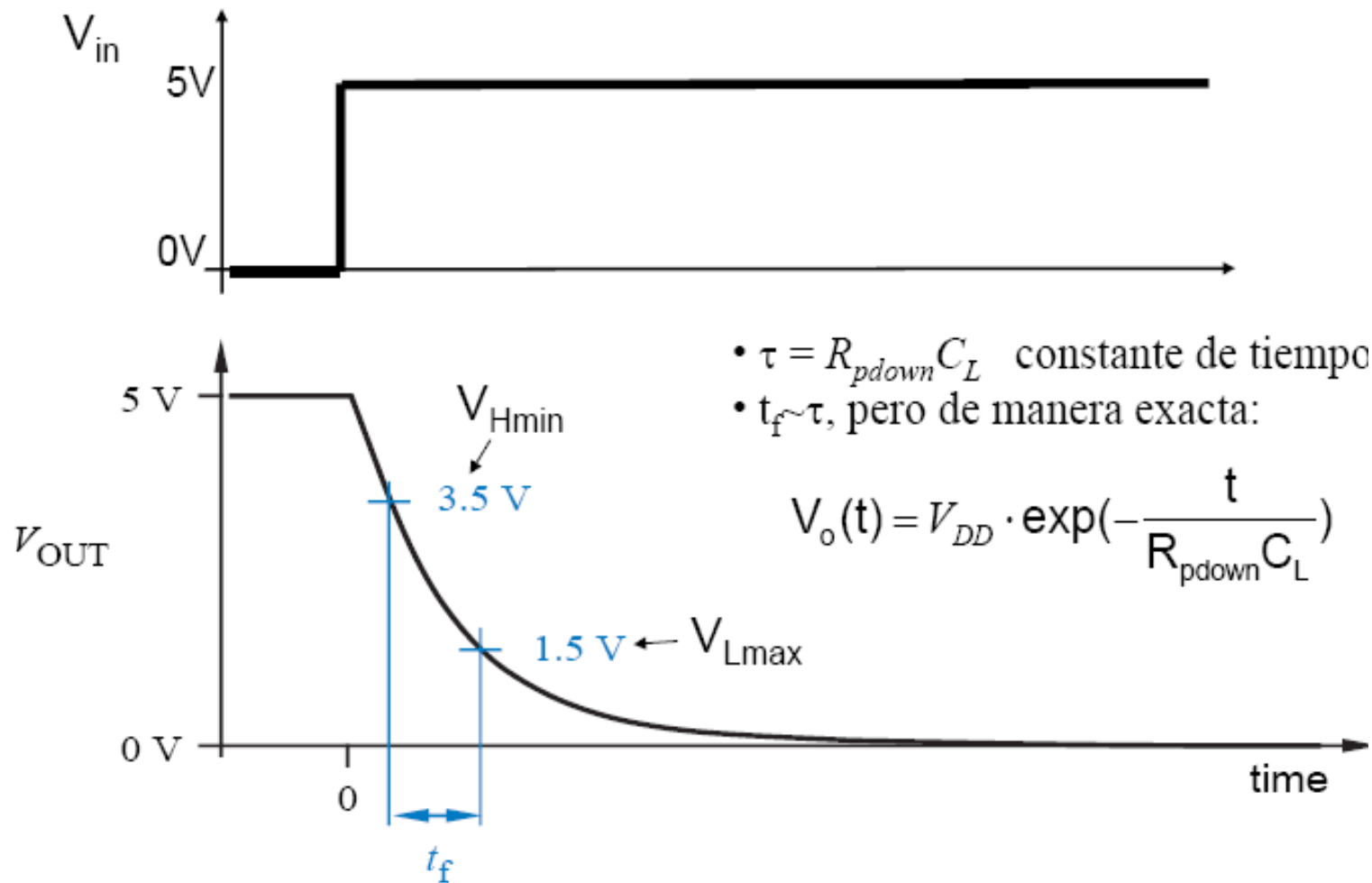
Estado inicial



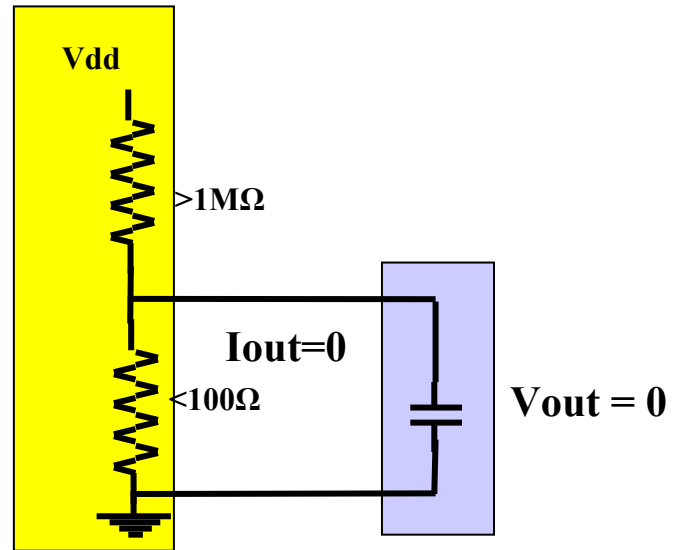
Descarga de la capacidad de puerta

TIEMPO DE BAJADA

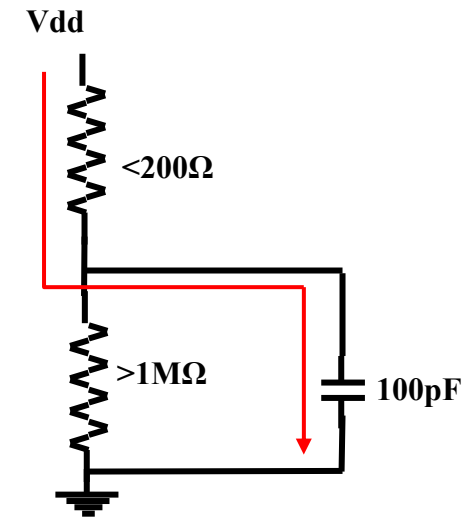
Tiempo de bajada “fall time” exponencial



TRANSICION DE L a H



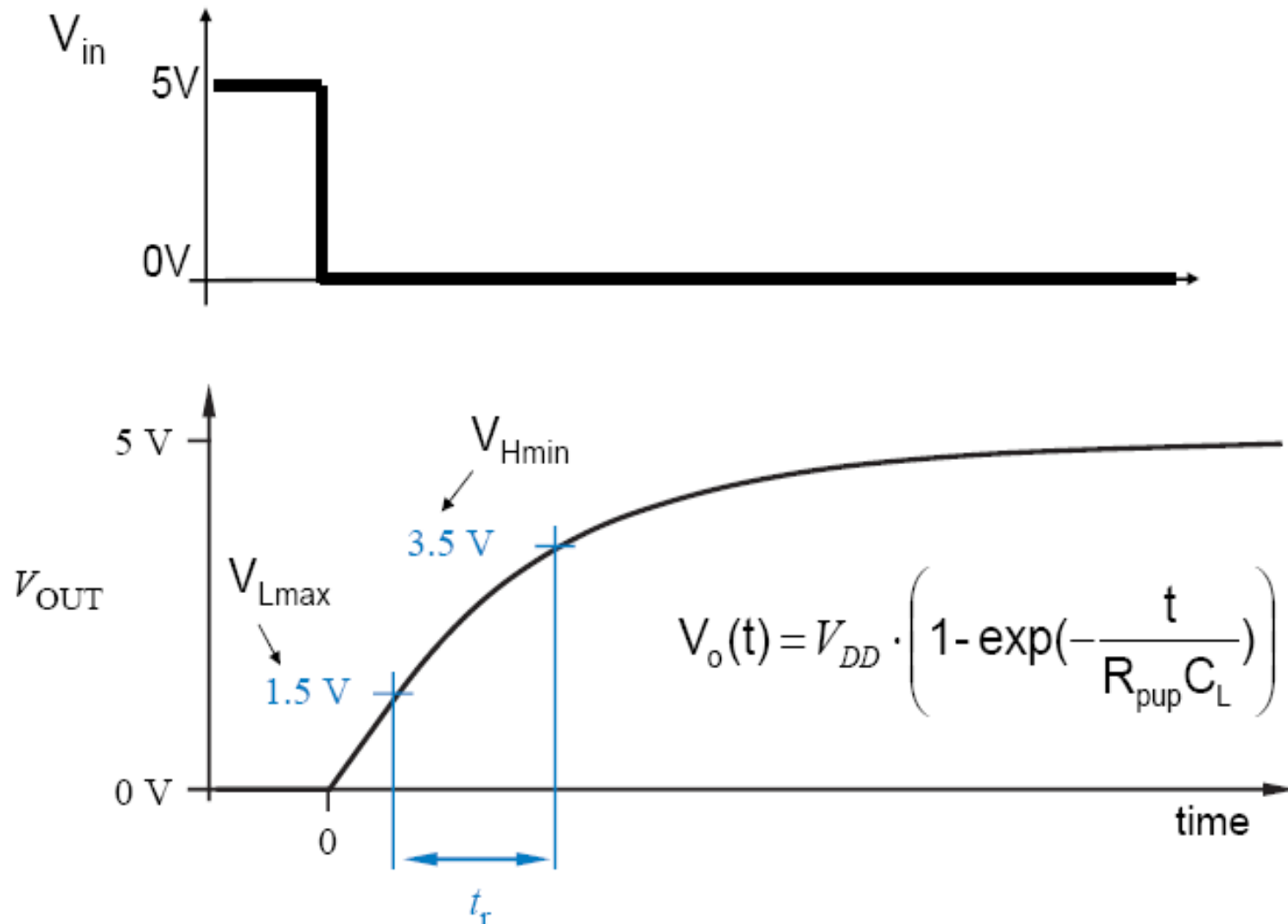
ESTADO INICIAL



CARGA DE LA CAPACIDAD

TIEMPO DE SUBIDA

Tiempo de subida “rise time” exponencial



CONSIDERACIONES TEMPORALES

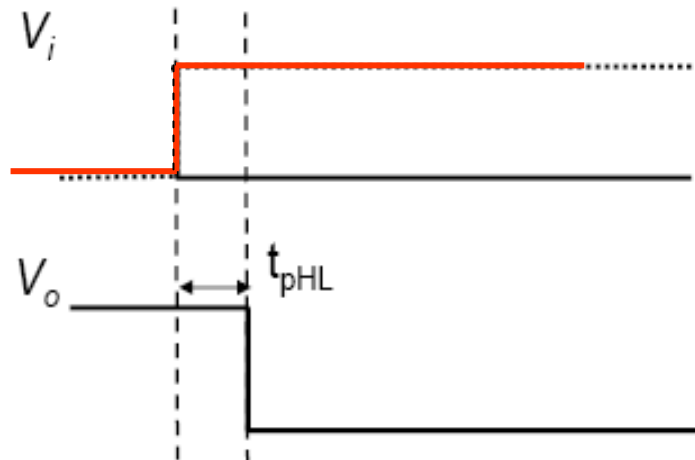
Consideraciones de los tiempos de transición

- Mayor capacidad \rightarrow mayor retardo
- Mayor resistencia " R_{on} " \rightarrow mayor retardo
- Menor resistencia " R_{on} " \rightarrow mayores transistores
- Tiempos de transición más lentos \rightarrow más disipación de potencia
- Mayor capacidad \rightarrow más consumo (CV^2f), con independencia de los tiempos de subida y bajada

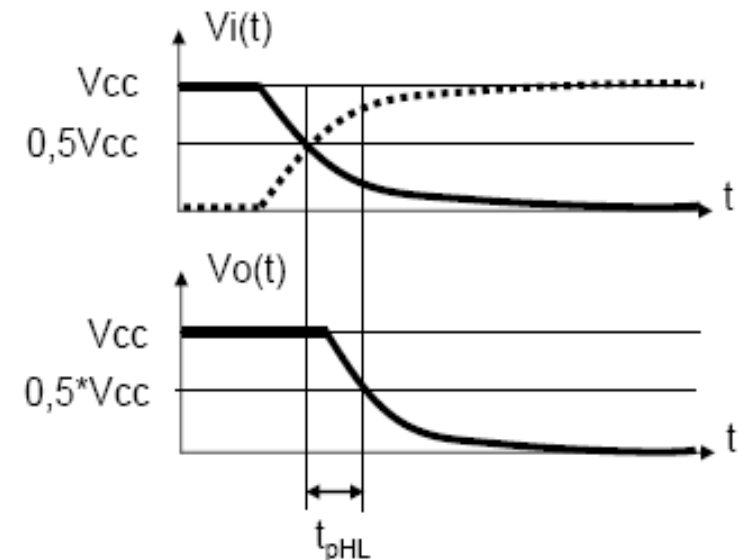
TIEMPOS DE PROPAGACION

Tiempo de propagación t_{pHL}

- Tiempo de propagación de alto a bajo t_{pHL} : Tiempo que transcurre entre los siguientes eventos:
 - (1) La entrada tiene una tensión del 50% del valor de alimentación (Independientemente de si la transición es de H a L o de L a H)
 - (2) La salida alcanza dicho valor cuando pasa de H a L
- Asumiendo que t_r y $t_f=0$:



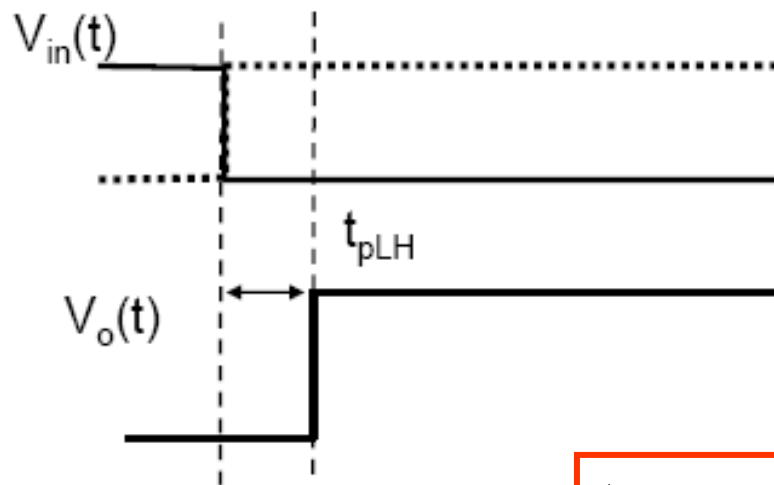
- En la realidad:



t_{pLH}

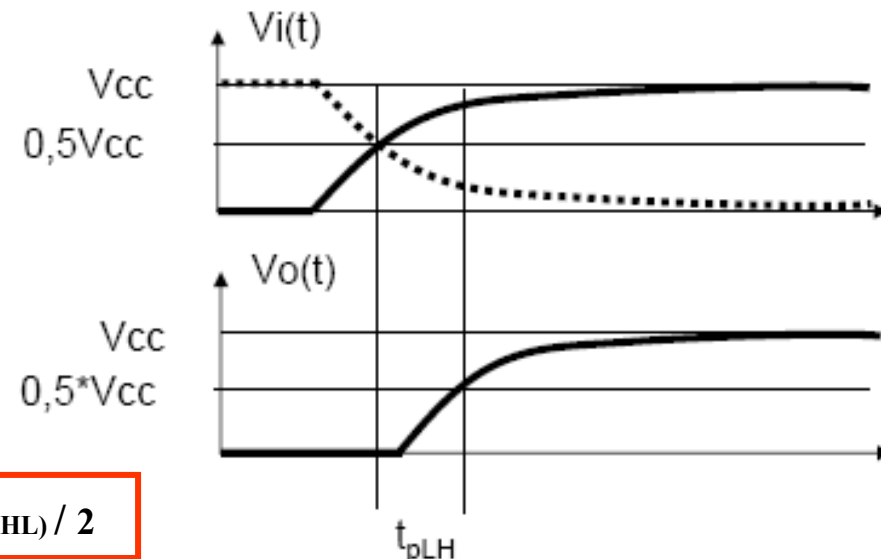
Tiempo de propagación t_{pLH}

- Tiempo de propagación de bajo a alto t_{pLH} : Tiempo que transcurre entre los siguientes eventos:
 - (1) La entrada tiene una tensión del 50% del valor de alimentación (Independientemente de si la transición es de H a L o de L a H)
 - (2) La salida alcanza dicho valor cuando pasa de L a H
- Asumiendo que t_r y $t_f=0$:



$$t_{pd} = (t_{pLH} + t_{pHL}) / 2$$

- En la realidad:



3.1 Puertas con transistores MOS

❑ Ventajas MOS frente a bipolar

- El único componente a integrar es el transistor MOS
- Presenta un área de integración inferior
- Reducido consumo ($I_G=0$)
- Menor número de etapas en el proceso de integración
- Los circuitos integrados LSI y VLSI son MOS

❑ Inconvenientes

- Menor capacidad de *driving*
 - Transconductancia g_m
 - Bipolar $\propto I_C$
 - MOS $\propto (I_D)^{0,5}$
- Posible deterioro de las entradas por perforación electrostática (ESD)

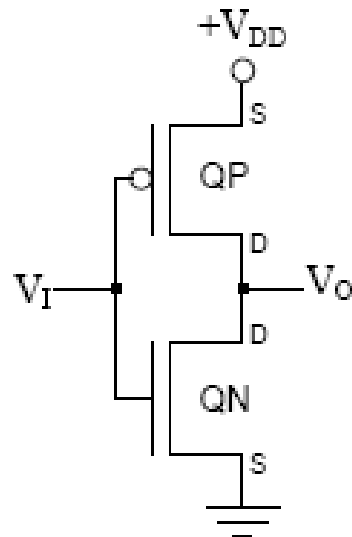
Puertas CMOS

Características

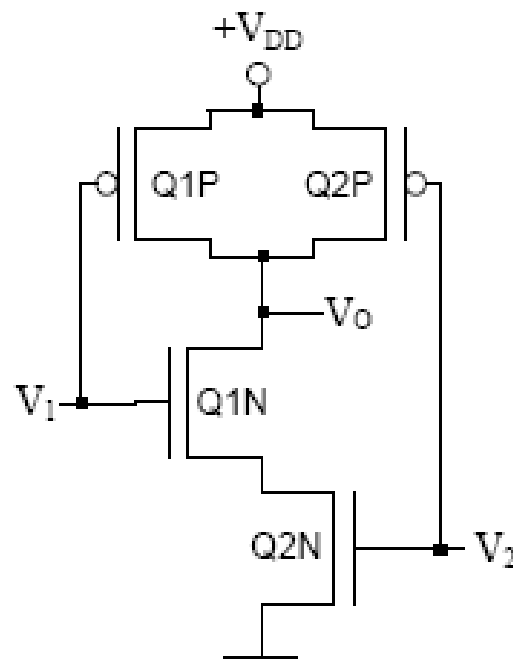
- Consumo estático despreciable
- Tiempos de conmutación simétricos

$$t_r \propto C_L \cdot R_{ON}(Q_P)$$

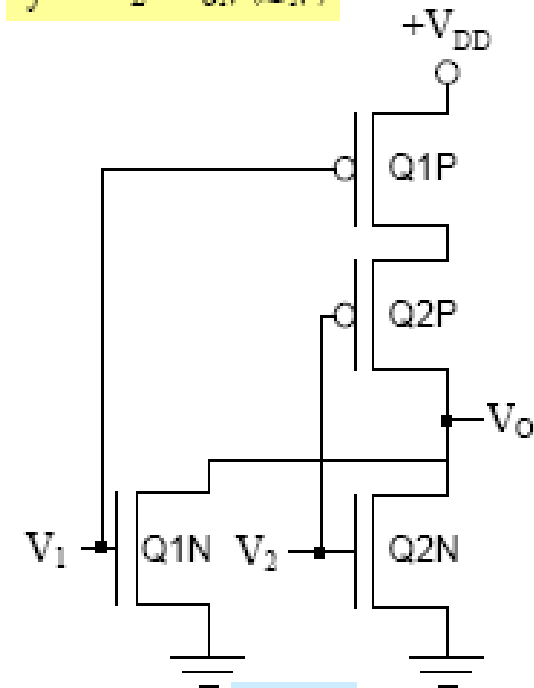
$$t_f \propto C_L \cdot R_{ON}(Q_N)$$



INVERSOR



NAND



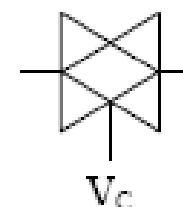
NOR

PUERTA DE TRANSMISION

Puerta de transmisión

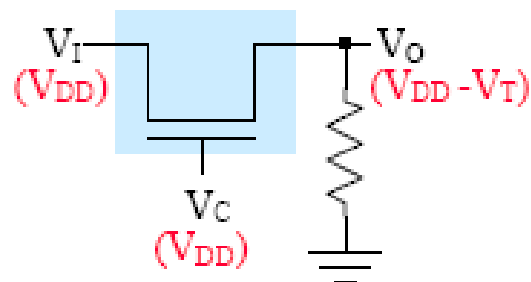
❑ Funcionamiento

- $V_c = H$, cortocircuito
- $V_c = L$, circuito abierto

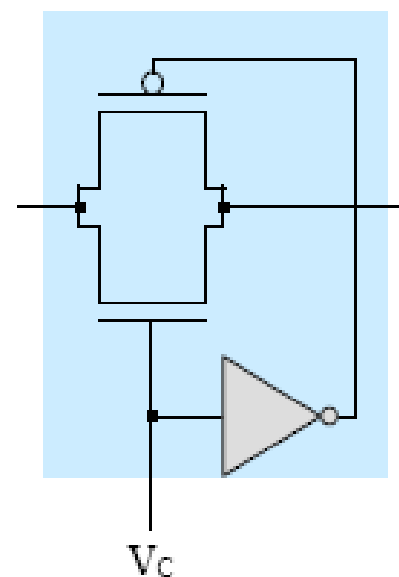


❑ Implementación

- NMOS (1 Transistor)
 - Caída de tensión V_T
 - Consumo \uparrow



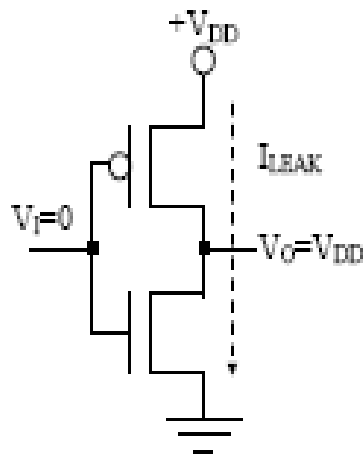
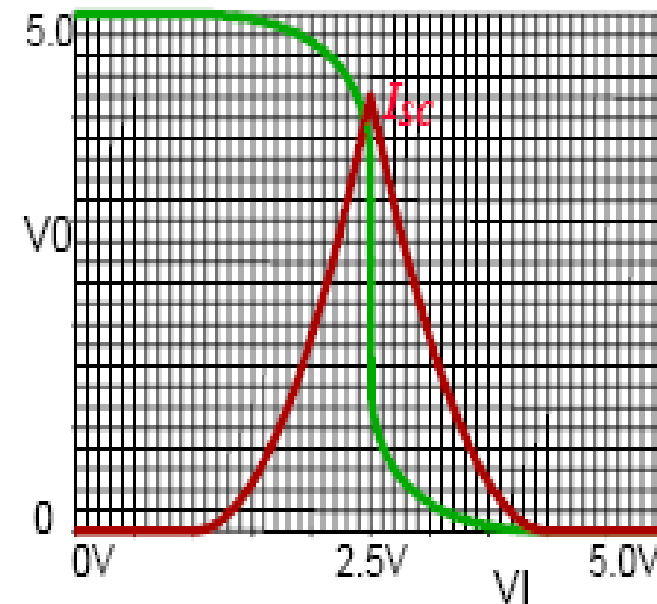
- CMOS (4 Transistores)



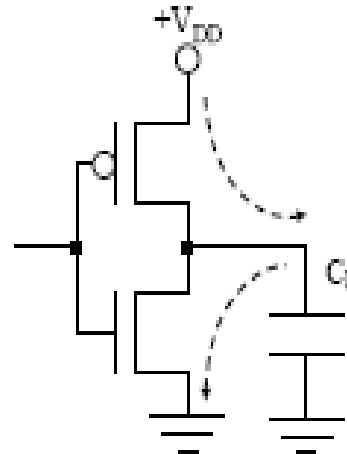
POTENCIA DISIPADA

Fuentes en un circuito CMOS

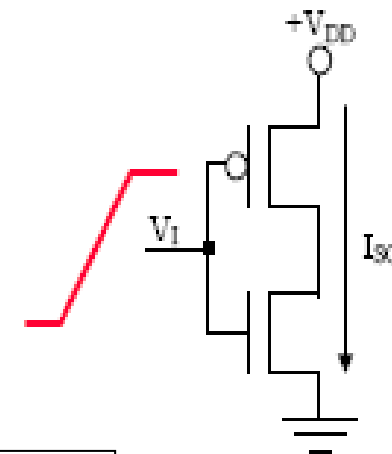
- Potencia estática
 - Debida a corrientes de fuga I_{LEAK}
- Potencia dinámica
 - Carga/descarga de C_L
 - Corrientes de cortocircuito I_{SC}
 - $V_{DD} \uparrow \Rightarrow P \uparrow$



$$I_{LEAK} \cdot V_{DD}$$



$$C_L \cdot f_O \cdot V_{DD}^2$$



No es un Capacitor, es un coeficiente dado por el fabricante

$$C_{PD} \cdot f_I \cdot V_{DD}^2$$

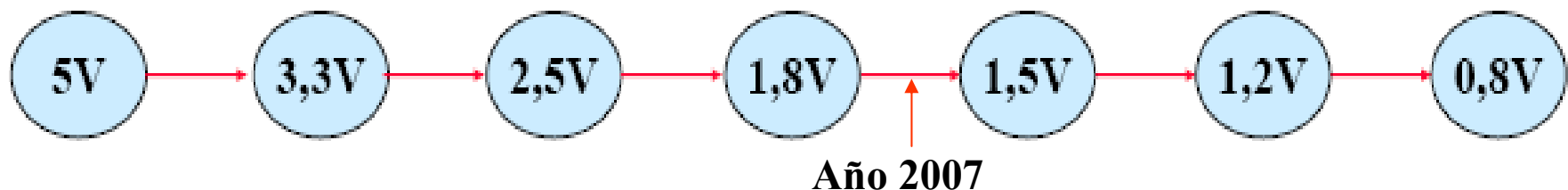
TENSIONES DE ALIMENTACION

❑ Reducción de VDD

- Si la dimensión mínima de los dispositivos se reduce por un factor α manteniendo VDD constante \Rightarrow la velocidad aumenta un factor α^2 .
- Los campos eléctricos $E_V = V_{DD}/t_{ox}$ y $E_L = V_{DD}/L$ (Silicio soporta $10V/\mu m$) se incrementan un factor $\alpha \Rightarrow$ Reducir VDD

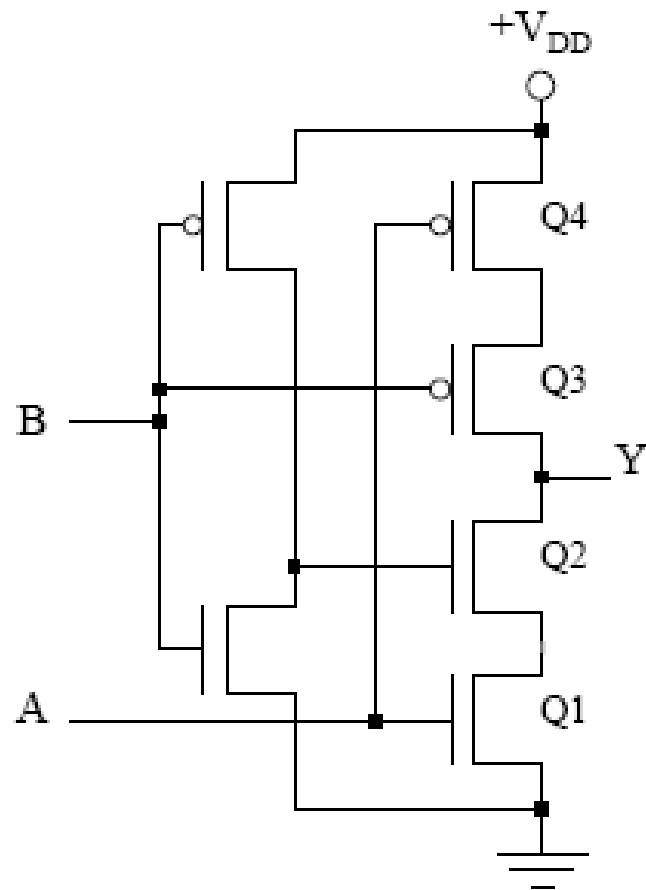
❑ VDD estándar JEDEC (*Joint Electronic Device Engineering Council*)

	V_{DD}	V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
5V-TTL	5,0	2,0	0,8	2,4	0,5
5V-CMOS	5,0	3,5	1,5	4,44	0,5
3,3V-LVTTL	3,3	2	0,8	2,4	0,4

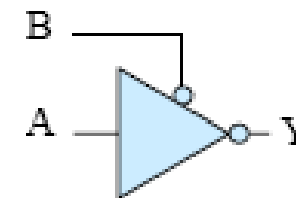


SALIDA TERCER ESTADO

Salida triestado



A	B	Q4	Q3	Q2	Q1	Y
L	L	ON	ON	ON	OFF	H
L	H	ON	OFF	OFF	OFF	HiZ
H	L	OFF	ON	ON	ON	L
H	H	OFF	OFF	OFF	ON	HiZ



SERIES COMERCIALES

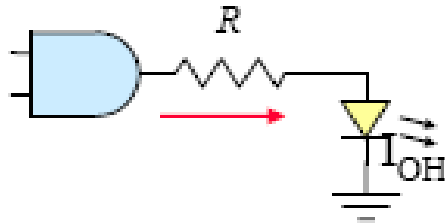
Familia	V _{DD} (V)	T _{pd} ⁽¹⁾ (ns)	I _{ILmax} /I _{IHmax} (μA)	I _{OLmax} /I _{OHmax} (mA)	I _{DD} ⁽²⁾ (μA)	Carac
CD4000	3-15	250	-1/1	0,36/-0,36	7,5	
HC High Speed CMOS	2,5/3,3/5	21	-1/1	4/-4	20	
HCT	5	22	-1/1	4/-4	20	TTL ⁽³⁾
AC Adv. CMOS	2,5/3,3/5	8,5	-1/1	24/-24	20	
ACT	5	8,5	-1/1	24/-24	20	TTL ⁽³⁾
LV Low Voltage HC.	2,5/ 3,3 /5	14	-1/1	6/-6	20	
LVC Low-Voltage C.	1,8/2,5/ 3,3	4	-1/1	24/-24	10	
AVC Adv. Very LVC	1,2/1,5/1,8/ 2,5 /3,3	2	-1/1	24/-24	40	

⁽¹⁾ Valores máximos, ⁽²⁾ Valores máximos para V_i=V_{DD} o GND

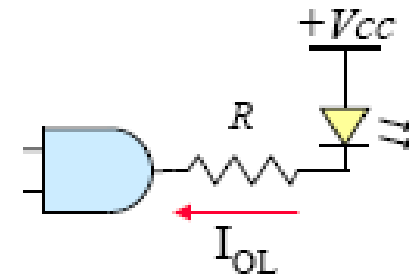
⁽³⁾Compatible TTL, V_{IHmin}=2,0 V_{ILmax}=0,8V

INTERCONEXIONES

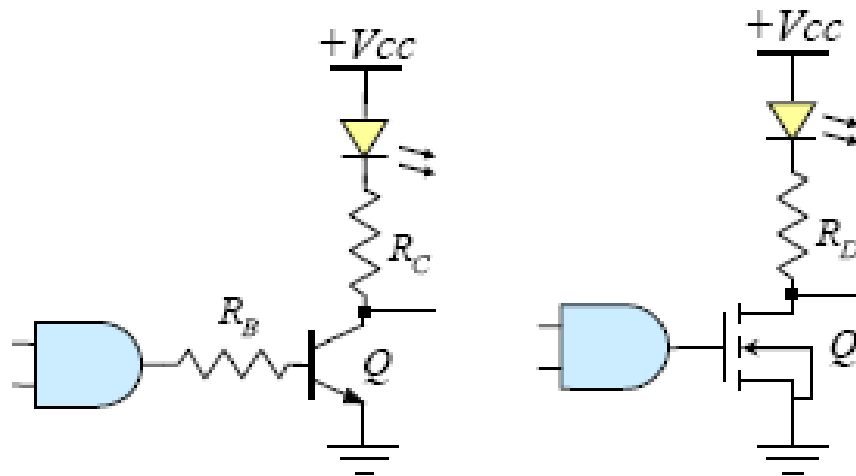
□ $I_{OHmax} > I_{Fmin}$



□ $I_{OLmax} > I_{Fmin}$



□ $I_{OHmax} < I_{Fmin}$



□ Optoacoplador (CTR)

- $I_C < CTR \cdot I_F$, saturación
- $I_C = CTR \cdot I_F$, activa

