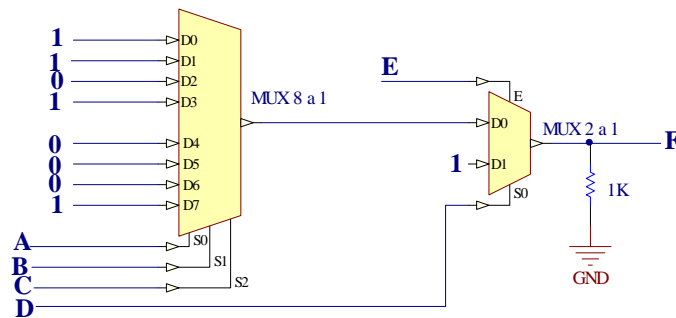




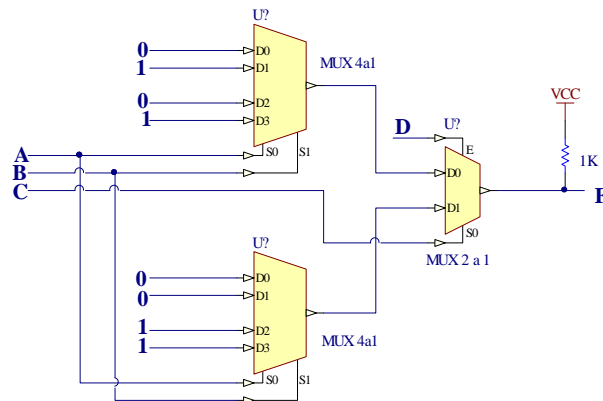
## MULTIPLEXORES CODIFICADORES Y DECODIFICADORES

1. Determine las funciones lógicas correspondiente a los siguientes esquemas con multiplexores. Expresé la función como suma de miniterminos.

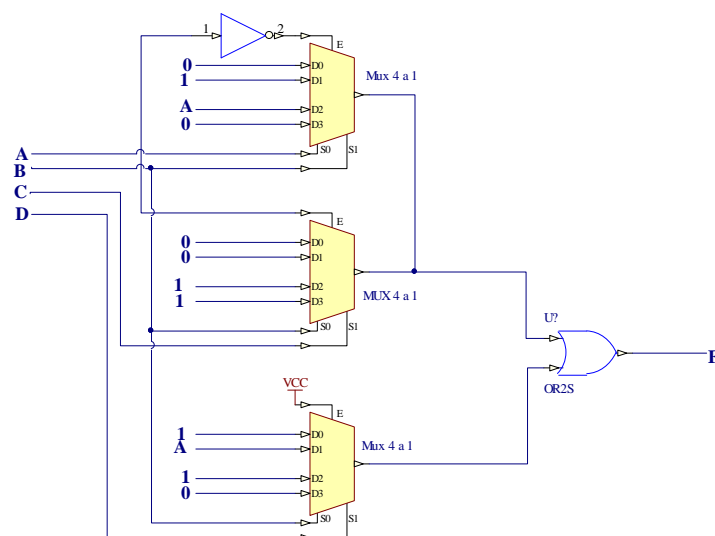
FA=?



FB=?



FC=?





2. Resolver las siguientes funciones lógicas con dos multiplexores de 4:1. Junto a cada función a resolver se encuentra la referencia a la combinación de multiplexores a utilizar. Con el tipo de MUX ver la tabla de verdad para la combinación de la salida.

- a)  $fa_{(ABC)} = \sum 0, 2, 3, 5, 7$  [Mux1,Mux1],[Mux2,Mux2], [Mux3,Mux3]  
 b)  $fb_{(ABC)} = \sum 1, 3, 4, 6, 7$  [Mux2,Mux2],[Mux3,Mux3],[Mux1,Mux2]  
 c)  $fc_{(ABC)} = \sum 0, 2, 4, 5, 6, 7$  [Mux3,Mux3],[Mux1,Mux2],[Mux3,Mux1]  
 d)  $fd_{(ABCD)} = \sum 1, 3, 4, 7, 10, 12, 14$  [Mux3,Mux1], [Mux3,Mux2], [Mux1,Mux2]

Mux1			
CE	A	B	out
1	x	x	1
0	0	0	In0
0	0	1	In1
0	1	0	In2
0	1	1	In3

Mux2			
CE	A	B	out
0	x	x	0
1	0	0	In0
1	0	1	In1
1	1	0	In2
1	1	1	In3

Mux3			
CE	A	B	out
1	x	x	Z
0	0	0	In0
0	0	1	In1
0	1	0	In2
0	1	1	In3

3. Implementar las siguientes funciones utilizando un multiplexor de 8 a 1.

- a)  $fa_{(ABCD)} = \prod 0, 2, 3, 5, 7, 12, 10, 14$   
 b)  $fb_{(ABCD)} = \sum 1, 3, 4, 6, 7$   
 c)  $fc_{(ABCD)} = \prod 0, 2, 4, 5, 6, 7, 10, 11, 12, 15$   
 d)  $fd_{(ABCD)} = \sum 1, 2, 3, 4, 8, 9, 10, 12, 14$   
 e)  $fe_{(ABCD)} = \prod 0, 2, 3, 5, 7, 8, 9, 12, 14, 15$   
 f)  $ff_{(ABCD)} = \sum 1, 3, 4, 6, 7$   
 g)  $fg_{(ABCD)} = \prod 0, 2, 4, 5, 6, 7, 14, 15$   
 h)  $fh_{(ABCD)} = \sum 0, 1, 4, 7, 10, 12, 14$

4. Implementar las siguientes funciones utilizando un multiplexor de 4 a 1.

- a)  $fa_{(ABCD)} = \sum 0, 2, 3, 5, 7, 12, 10, 14$   
 b)  $fb_{(ABCD)} = \sum 1, 3, 4, 6, 7$   
 c)  $fc_{(ABCD)} = \sum 0, 2, 4, 5, 6, 7, 10, 11, 12, 15$   
 d)  $fd_{(ABCD)} = \sum 1, 2, 3, 4, 8, 9, 10, 12, 14$   
 e)  $fe_{(ABCD)} = \sum 0, 2, 3, 5, 7, 8, 9, 12, 14, 15$   
 f)  $ff_{(ABCD)} = \prod 1, 3, 4, 6, 7$   
 g)  $fg_{(ABCD)} = \sum 0, 2, 4, 5, 6, 7, 14, 15$



$$h) \quad fh_{(ABCD)} = \prod 0, 1, 4, 7, 10, 12, 14$$

5. Diseñar un decodificador BCD a 7 segmentos utilizando multiplexores de 4 a 1 tipo CD4052. En caso de que se presente a la entrada un dato erróneo inhibir la salida utilizando la señal de selección del chip.

6. Describir un multiplexor 8:1 y otro de 4:1 con control de salida para tercer estado en VHDL utilizando “WHEN ELSE”

```
<name> <= <expression> when <condition> else
    <expression> when <condition> else
    <expression>;
```

7. Describir un sumador de 4 bits en VHDL utilizando multiplexores.

7.1. Adjuntar el código fuente.

7.2. Adjuntar la imagen de la simulación.

8. Resolver las siguientes funciones lógicas utilizando un codificador de 3 a 8.

$$a) \quad fa_{(ABC)} = \prod 0, 2, 3, 5, 7$$

$$b) \quad fb_{(ABC)} = \prod 1, 3, 4, 6, 7$$

$$c) \quad fc_{(ABC)} = \prod 0, 2, 4, 5, 6, 7$$

$$d) \quad fd_{(ABCD)} = \prod 1, 3, 4, 7, 10, 12, 14$$

$$e) \quad fg_{(ABCD)} = \prod 0, 2, 4, 5, 6, 7, 14, 15$$

9. Implementar el decodificador de errores para un código de Hamming de 9 bits de información utilizando codificadores de 3 a 8.

10. Diseñar un sistema combinacional con dos entradas A y B de 8 bits cada una, las cuales representan un número entero sin signo, y una entrada de control extra MIN/MAX. La salida del sistema Z también es de 8 bits. La salida Z=0 si A=B, Z=min(A,B) si MIN/MAX=1, Z=max(A,B) si MIN/MAX=0.

10.1. Diseñar el sistema utilizando multiplexores.

10.2. Describir el sistema en VHDL.

10.2.1. Adjuntar la descripción.

10.2.2. Adjuntar la pantalla de simulación.