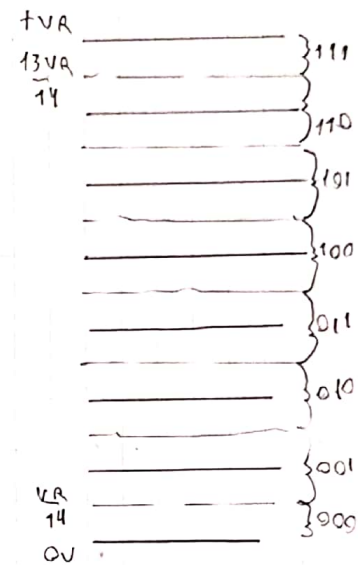
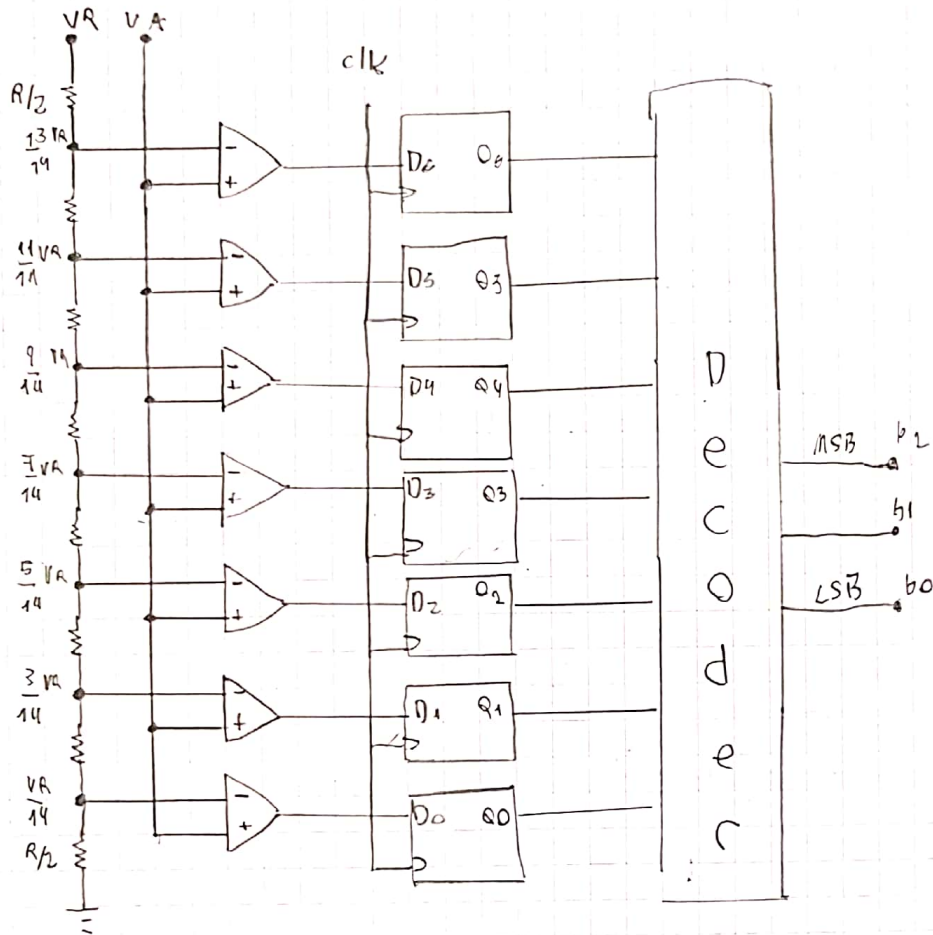


Convertidor A/D flash de 3 bits



Tiene 2^n resistencias y 2^{n-1} comparadores

Es el convertidor más rápido pero el que tiene más comparadores

Se utilizan comparadores analógicos entre una tensión de referencia determinada y la tensión analógica, cuando la tensión de entrada analógica sobrepasa la tensión de referencia de un comparador determinado, se genera un nivel alto

La tensión de referencia de cada comparador se establece por un divisor de tensión

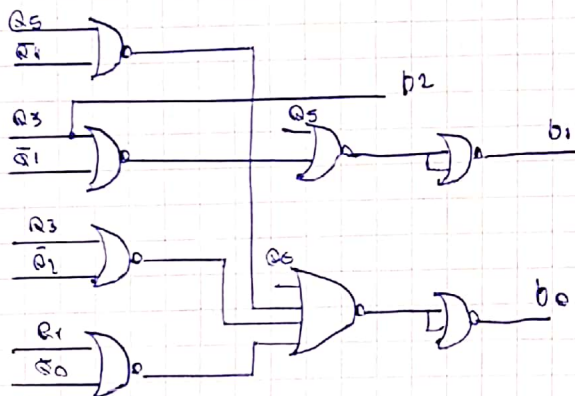
La tensión VA presente en (+) es aplicada a todos los A/D, es decir, comparan al mismo tiempo (en paralelo). La salida será 0V y +VCC ó -VCC +VCC

El tiempo que tarda el comparador en reconocer su salida ante cambios en su entrada, lo determina el parámetro slew-rate del A/D.

Ante los empates se hace el sample, el hold (retención) lo hacen los flip flops D controlados por un clock, cuando se active el auto presente en las entradas Dx para a las salidas Qx, reteniendo estos datos hasta el próximo pulso de clock.

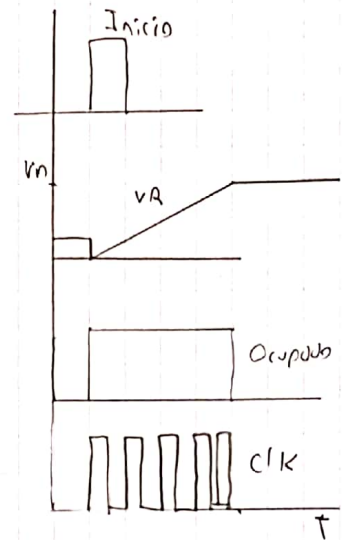
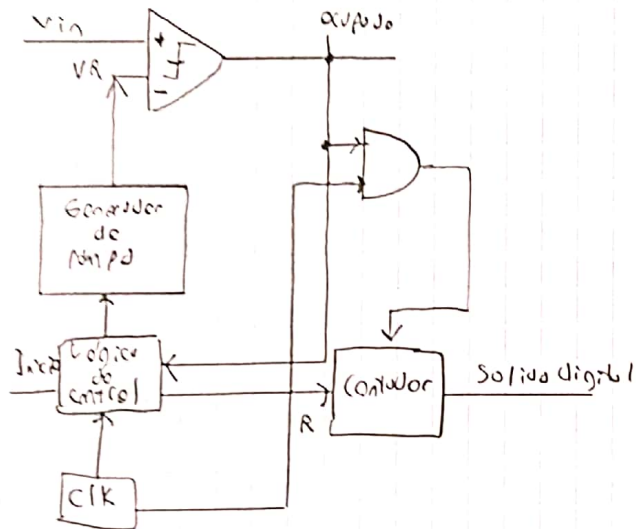
Las salidas de los ff entran al decodificador que transforma 7 entradas en 3 salidas

| Q6 | Q5 | Q4 | Q3 | Q2 | Q1 | Q0 | b2 | b1 | b0 |
|----|----|----|----|----|----|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

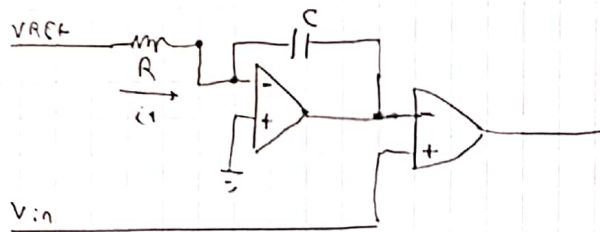


El decodificador tarda $3t_p$, entonces el tiempo de conversión está determinado principalmente por el tiempo de retardo de los comparadores (slow rate) y el tiempo máximo de propagación existente en el decodificador.

ADC de rampa ascendente o Ramp run-up



un generador de rampa se inicia al comienzo de la conversión, un contador se inicia al mismo tiempo y cuando la rampa alcanza V_{in} después de capturar, su salida es una medida proporcional de la tensión de entrada



$$V_o = -\frac{1}{RC} \int_0^t V_{ref} dt$$

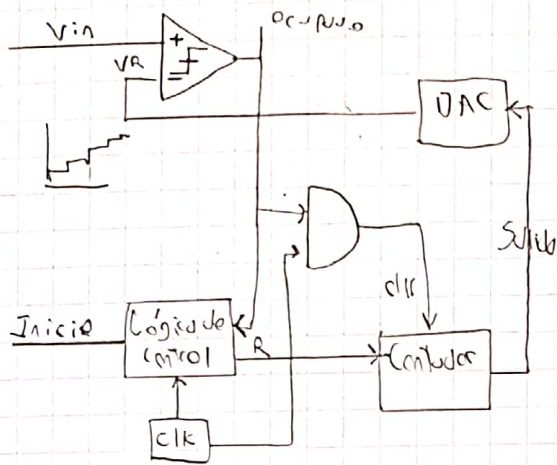
$$V_o = -\frac{V_{ref} \cdot t}{RC}$$

$$V_o = V_{in} = -\frac{V_{ref} \cdot t}{RC}$$

$$t = \frac{RC V_{in}}{V_{ref}}$$

Tiempo para llegar a V_{in}

ADC de rampa descendente (convertidor escalera)



En el momento inicial, el contador se pone a cero en el reset, comienza a contar a medida que llegan los pulsos de CLK, dando entrada por la A/D cuyo resultado es el reloj y la salida del A/D. El comparador evalúa si la señal en (+) V_{in} , es mayor que la señal del DAC en (-), si no se da la salida es 1 ($V_{in} < DAC$) y el contador cuenta, si se da lo contrario se inhibe el CLK en lo cual la salida del contador es el resultado de la conversión A/D.

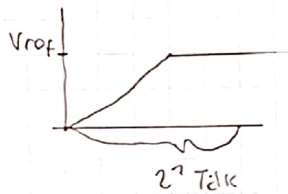
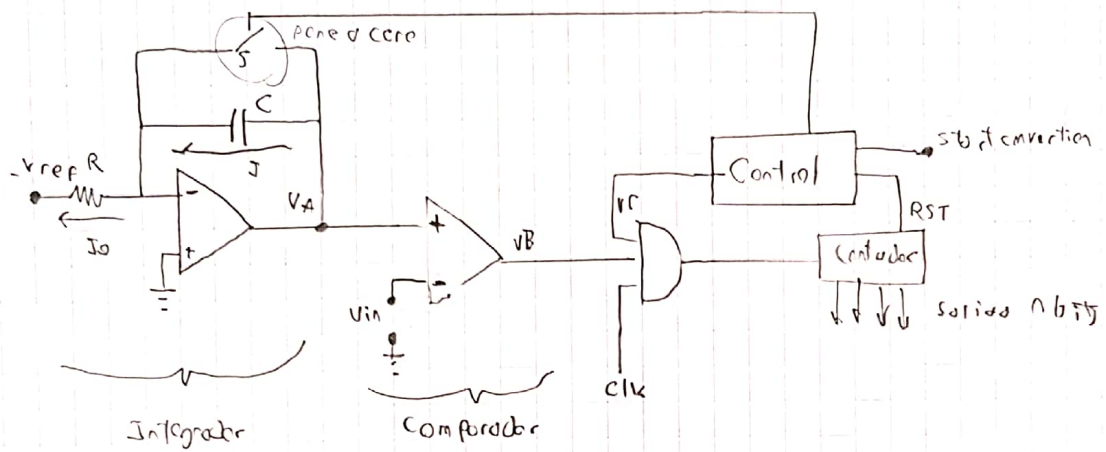
El tiempo de conversión depende de la señal a convertir, tomando como máximo el caso más desfavorable (máxima cuenta).

$$t_c = 2^n \cdot T_c \quad (2^n + 1) T_{clk} \text{ en práctica}$$

El rango máximo de tensión a convertir lo fija el bloque DAC.

Es lento comparado con el flash, se usa para terminales digitales.

Convertidor A/D de simple rampa



Se genera convirtiendo tensión en tiempo

Se genera un rampa lineal para tener una tensión de referencia de pendiente constante.

La conversión inicia en 00 poniendo a cero el contador y un capacitor C inicia su descarga luego se habilita el comparador y se genera la rampa. Cuando alcanza Vin finaliza la conversión

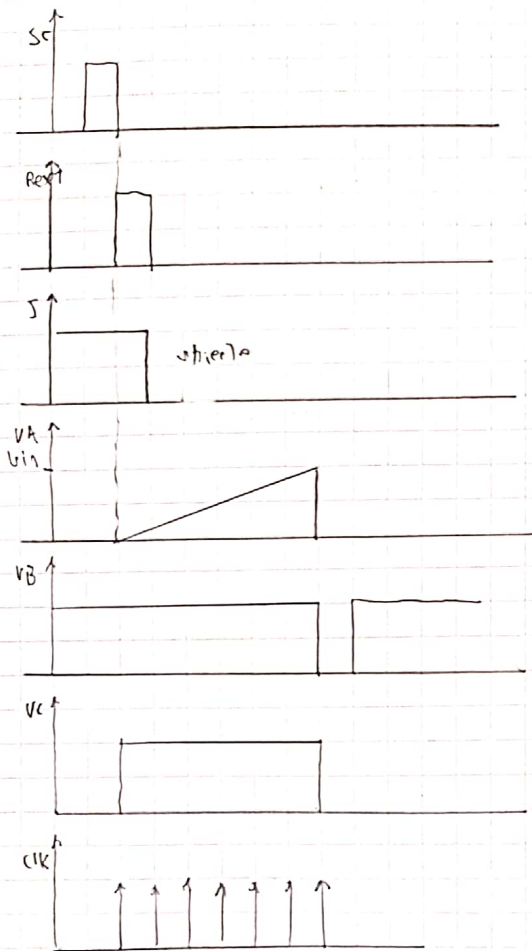
$$V_A = -\frac{1}{RC} \int V_{ref}(t) dt = -\frac{1}{RC} V_{ref} \cdot t_c$$

Como V_{ref} es negativo queda

$$V_c = V_{ref} \frac{t_c}{RC}$$

$$V_{in} = V_{ref} \frac{t_c}{RC}$$

$$t_c = RC \frac{V_{in}}{V_{ref}}$$



El número de conversiones al final de cada ciclo de conversión será:

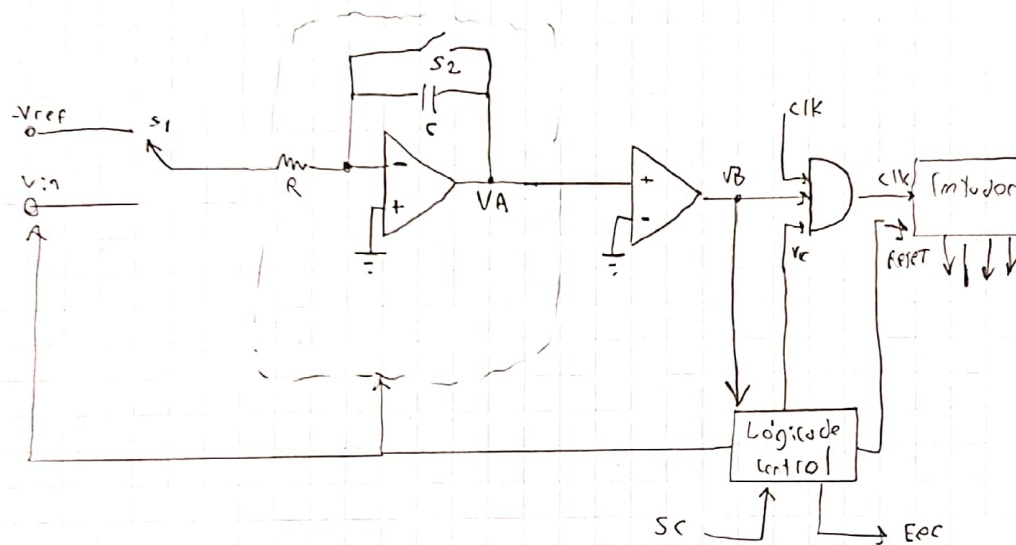
$$N = f \cdot t_c$$

$$N = f RC \frac{V_{in}}{V_{ref}}$$

El tiempo de conversión depende de la magnitud de la señal de entrada, si el valor máximo se da para $V_{in} = V_{ref}$

$$t_{max} = RC$$

Convertir A/D de doble precisión (desde entre la sociedad, etc.)



Realiza un integración doble para eliminar los errores del AIT de pendiente Simple derivados de ϵ y $f(x, y)$, sumando una mayor inmunidad al ruido

Se asume para aproximar de una resolución, la precisión es independiente del RS y f .
Se realiza una primera integración de \ln en un tiempo constante, luego se integra la \ln a \ln hasta descontar el valor inicial de cero a la salida del integrador.

$$t_7 = 14, t_{cik}$$

$$p_{ov} = -\frac{V_{in}}{R_C}$$

Al cabo de t_1 la salida del integrador alcanzará el valor

$$V_H = - \frac{V_{in}}{R_C}$$

Luego se resuelve el contorno a cero, se cambia S a $-V_{ref}$ y se integra de nuevo en el tiempo

$$t_2 = N_2 T_{CLK}$$

$$V_H = -I_2 \frac{V_{REF}}{R_C}$$

$$-I_1 \frac{V_{in}}{R_C} = -I_2 \frac{V_{REF}}{R_C}$$

$$I_1 V_{in} = I_2 V_{REF}$$

$$N_1 t_{CLK} V_{in} = N_2 t_{CLK} V_{REF}$$

$$N_2 = \frac{V_{in}}{V_{REF}} N_1$$

El valor de V_O al final de la primera etapa

$$V_{OF} = -\frac{V_{in}}{R_C} T$$

$$0 = V_{OF} + \frac{V_{REF}}{R_C} t_x$$

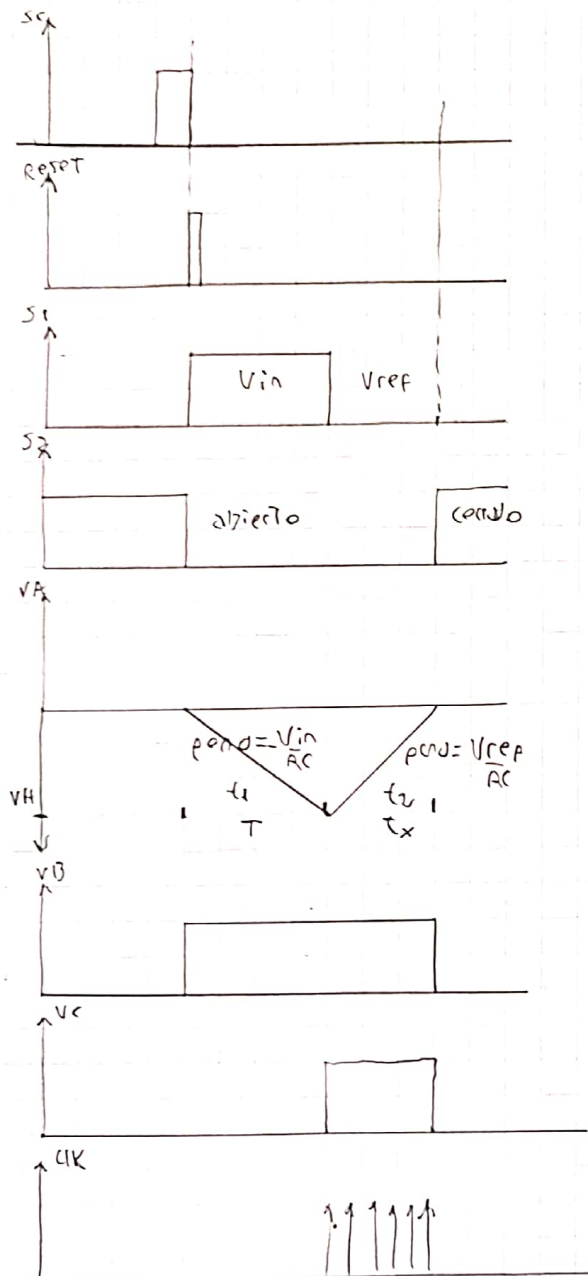
$$\frac{V_{in}}{R_C} T = \frac{V_{REF}}{R_C} t_x$$

$$t_x = \frac{V_{in}}{V_{REF}} T$$

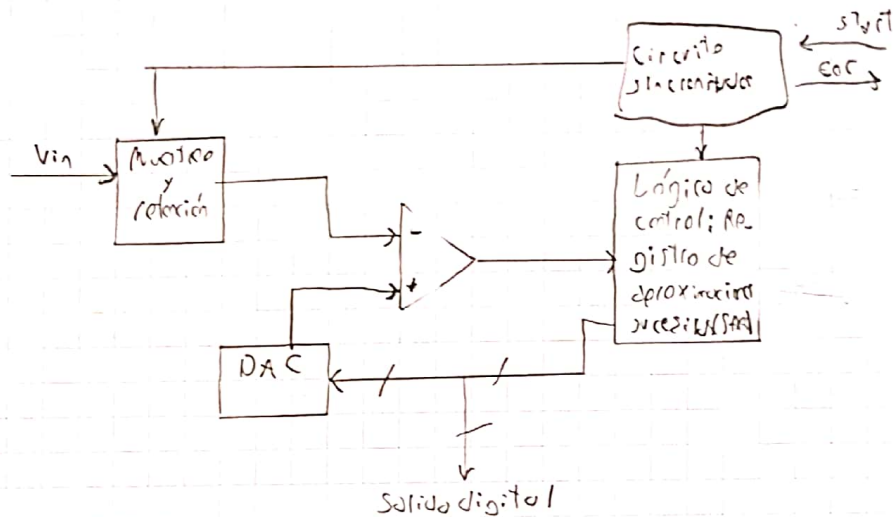
El tiempo de conversión será:

$$t_C = t_1 + t_2 = T + t_x$$

$$t_{Cmax} = 2(2^n t_{CLK}) = 2^{n+1} t_{CLK}$$



Convertidor A/D de aproximaciones sucesivas



La señal start coloca al SHA en modo retención y borra todos los bits del SAR dejando el MSB en 1

La salida del SAR activa el DAC interno

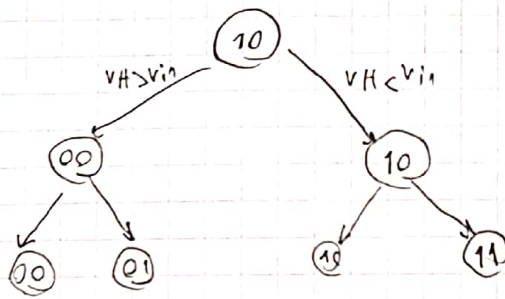
Si la salida del DAC es mayor a V_{in} , se borra este bit, sino permanece en 1

Se establece el siguiente bit en 1, si la salida del DAC $> V_{in}$ se borra este bit, sino permanece en 1 y el proceso se repite en todos los bits

Al finalizar el último bit, el contenido del SAR es el valor digital de la entrada analógica.

El tiempo de conversión solo depende de n debido a que la palabra digital final n pasa al registro de salida hasta el siguiente plano de reloj, en el que también se informa el fin de la conversión (EOC):

$$t_{conv} = (n+1) t_{clk}$$



Es el tipo utilizado

Trabaja en versión constante y solo requiere de un espacio semipleno

Ejemplo resolución

Búsqueda de datos/variables

Resumen de fórmulas

$$V_{LSB} = \frac{V_{ref}}{2^n}$$

$$V_{piso} = V_{ref} \cdot RT, \text{ ref} = 2048 \cdot \frac{e}{e^-}$$

$$G = \frac{V_{LSB}}{V_{piso}}$$

$$AB = \frac{FS}{\text{Analogos}} \quad (\text{ancho permitido para el conversor})$$

$$p_{min} = \text{Analogos} \cdot 2 \text{ fs} \quad (\text{gancho de muestreo para S/H})$$

$$T_{conv} = \frac{1}{2 \text{ min}} \quad (\text{tiempo de conversión máximo para el conversor AB})$$

$$T_{cpln} = n \cdot T_{clk} \quad (5 \text{ clk} + 3 \text{ tp})$$

$$T_{cplpr} = (n+1) T_{clk} \quad (\text{el 1 porque tarda 1 clock que el primer digital S/H})$$

$$T_{cpltrcp} = 2(2^n T_{clk}) = 2^{n+1} T_{clk} \quad (\text{es 2 veces el máximo tiempo de conversión, } 2^n \text{ sin el primer muestreo, 1 clock})$$

$$T_{cpltrcp} = 2^n + 1 T_{clk}$$