



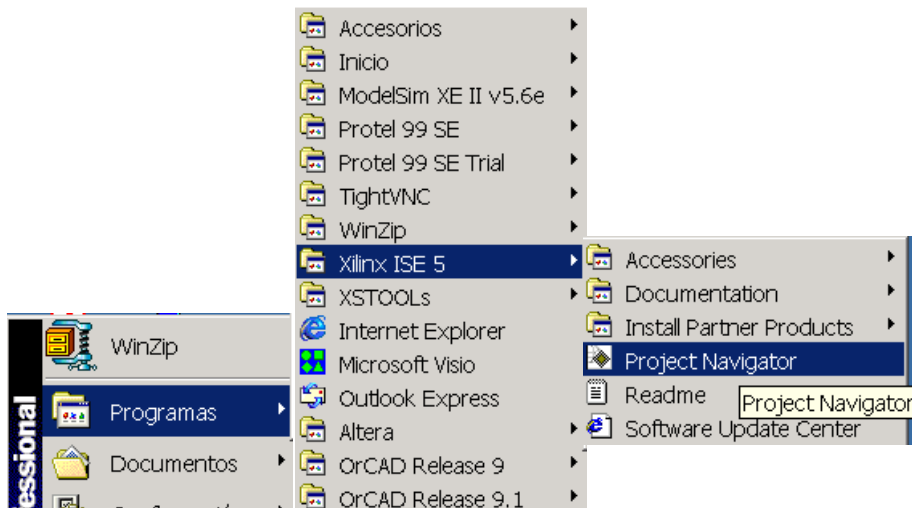
Tutorial de VHDL: Contadores y Simulación

Importante:

- Verifique la instalación del Webpack 6.0 y el Modelsim XE 6.0 SE. Ambos programas se pueden bajar desde www.xilinx.com.
- Verifique también la licencia del Modelsim a través del programa Licensing Wizard provisto con la instalación.
- Cuando comience a trabajar en el proyecto recuerde grabar periódicamente.

- 1) Comience abriendo el **ISE Project Navigator** del menú inicio, haciendo 2 click sobre el icono correspondiente (ver figura 1).

FIGURA 1



- 2) Una vez realizado esto del menú **file** haga clic en **New Project**, (según muestra la figura 2). Al abrirse esto complete la tabla con los valores que se observan en la figura 3 (ver figura 3)

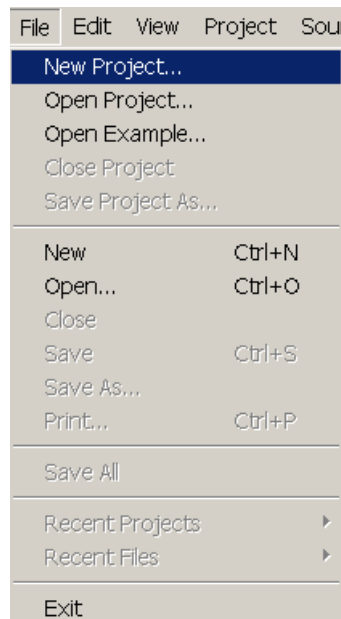


FIGURA 2

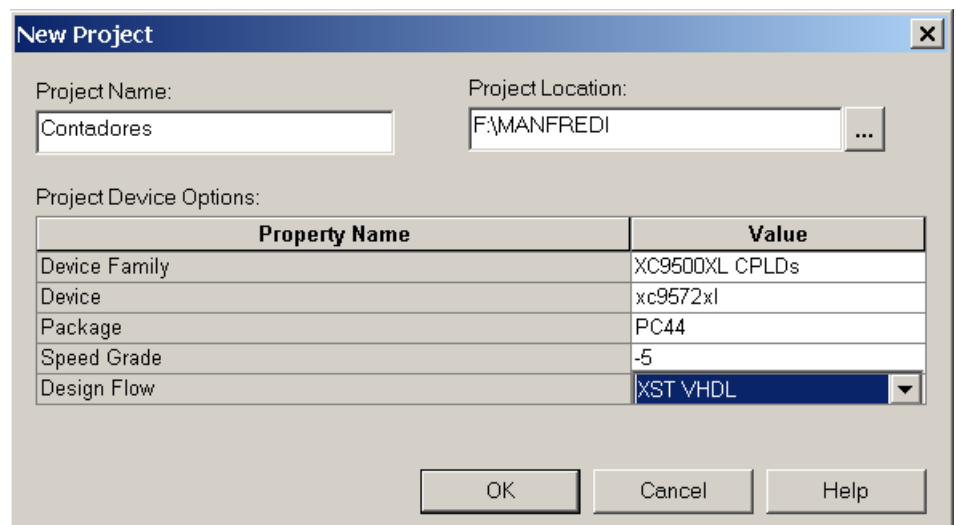


FIGURA 3

- 3) Pulse siguiente sobre las dos ventanas posteriores a la de arriba y **Finalizar** a la ultima.
- 4) Haga click sobre el menú **Project** y luego en **New Source**, según muestra la figura posterior(ver figura 4)

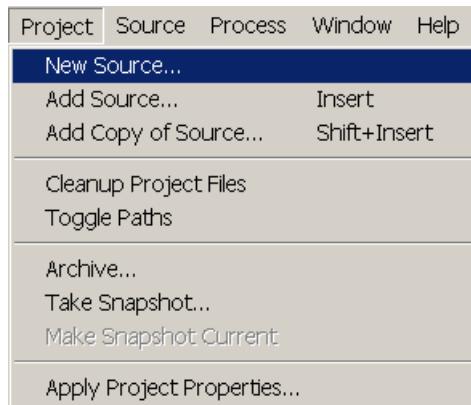


FIGURA 4

- 5) En la ventana desplegada complete el nombre del archivo, seleccione **VHDL module** en la tabla de la izquierda de dicha ventana con un click y complete la solapa **File Name** según se observa en la figura 5 (ver figura 5). Luego haga click en **siguiente**

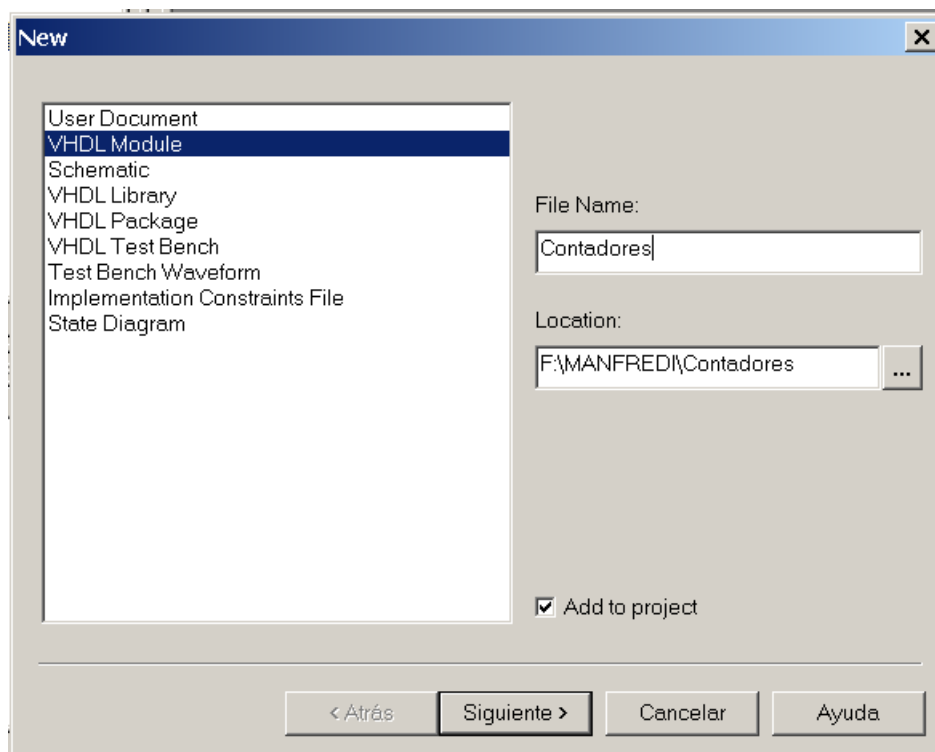


FIGURA 5

nuestro contador. Para esto debemos completar la tabla como se muestra en la grafica (ver figura 6), dentro del cual habrá un dato de salida el cual se eligen 4 bits de salida, una condición inicial también de 4 bits, una habilitación, y un reset el cual nos retorna hacia dicha condición inicial. Luego hacer click sobre **siguiente**.

- 6) Aparecerá una nueva pantalla encabezada bajo el nombre **Define VHDL Source** donde se podrán definir las entradas y salidas de

Port Name	Direction	MSB	LSB
Dsalida	out	3	0
Cinicial	in	3	0
Habilitacion	in		
Reset	in		
Clk	in		
	in		
	in		
	in		
	in		
	in		
	in		
	in		
	in		

FIGURA 6

- 7) Se despliega una nueva pantalla que deberá de tener la forma de la siguiente figura (ver figura 7), si todo fue ingresado en forma correcta. Si no lo fue se recomienda retroceder mediante un click sobre el botón **Atrás**.

Project Navigator will create a new skeleton source with the following specifications:

Source Type: VHDL Module
Source Name: Contadores.vhd
Entity Name: Contadores
Architecture Name: Behavioral

Port Definitions:

Dsalida	vector: 3:0	out
Cinicial	vector: 3:0	in
Habilitacion	scalar	in
Reset	scalar	in
Clk	scalar	in

Source Directory: F:\MANFREDI\Contadores

FIGURA 7

- 8) Hacemos click en Finalizar
- 9) Observara a continuación el código generado automáticamente mas la líneas agregadas que hacen al sumador. Copie esas 2 líneas a su proyecto (delimitadas aquí entre líneas de asteriscos). Hay otras formas de realizarlo aquí se utilizo la mas recomendada.



```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

-- Uncomment the following lines to use the declarations that are
-- provided for instantiating Xilinx primitive components.
--library UNISIM;
--use UNISIM.VComponents.all;
```

```
entity Contadores is
```

```
    Port ( Dsalida : out std_logic_vector(3 downto 0);
          Cincial : in std_logic_vector(3 downto 0);
          Habilitacion : in std_logic;
          Reset : in std_logic;
          Clk : in std_logic);
```

```
end Contadores;
```

```
architecture Behavioral of Contadores is
```

```
--*****
```

```
Signal Dsalida_se : STD_LOGIC_VECTOR(3 downto 0);
```

```
begin
```

```
    Process (clk,reset)
```

```
    begin
```

```
        if (Reset = '1') then
```

```
            Dsalida <= Cincial;
```

```
        else
```

```
            if( clk = '1' and clk'event ) then
```

```
                if (Habilitacion = '1') then
```

```
                    Dsalida_se <= (Dsalida_se + 1);
```

```
                elsif (Habilitacion = '0') then
```

```
                    Dsalida <= Cincial;
```

```
                end if;
```



```
        end if;

    end if;

    end Process;

Dsalida <= Dsalida_se;

end Behavioral;

--*****
```

- 10) A continuación haga clic sobre el archivo **Contador** de la ventana **Sources in Project**, y luego clic con el botón derecho para seleccionar **New Source** (ver figura 8).

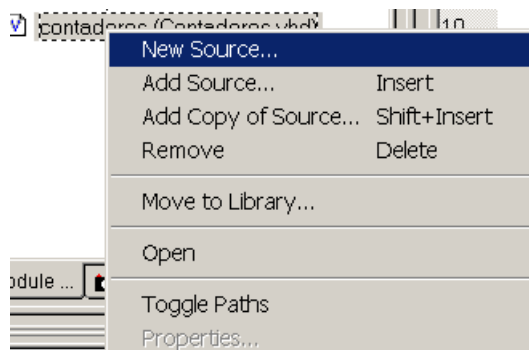
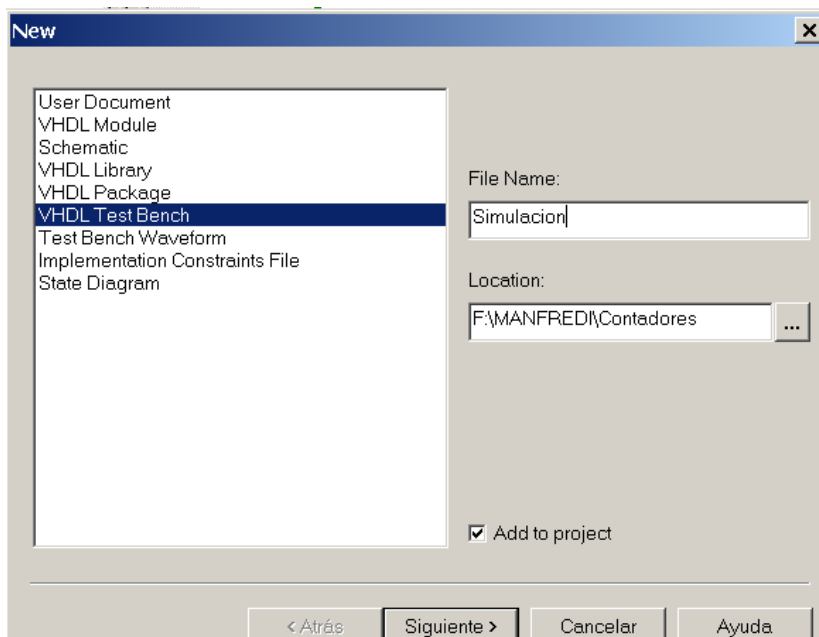


FIGURA 8

- 11) En la siguiente ventana (ver figura 9), seleccione **VHDL TestBench** de la lista de la izquierda y haga clic en **Siguiente**. Luego pulse **sobre Siguiente** nuevamente y por ultimo en **Finalizar** (ver figura 10).

FIGURA 9



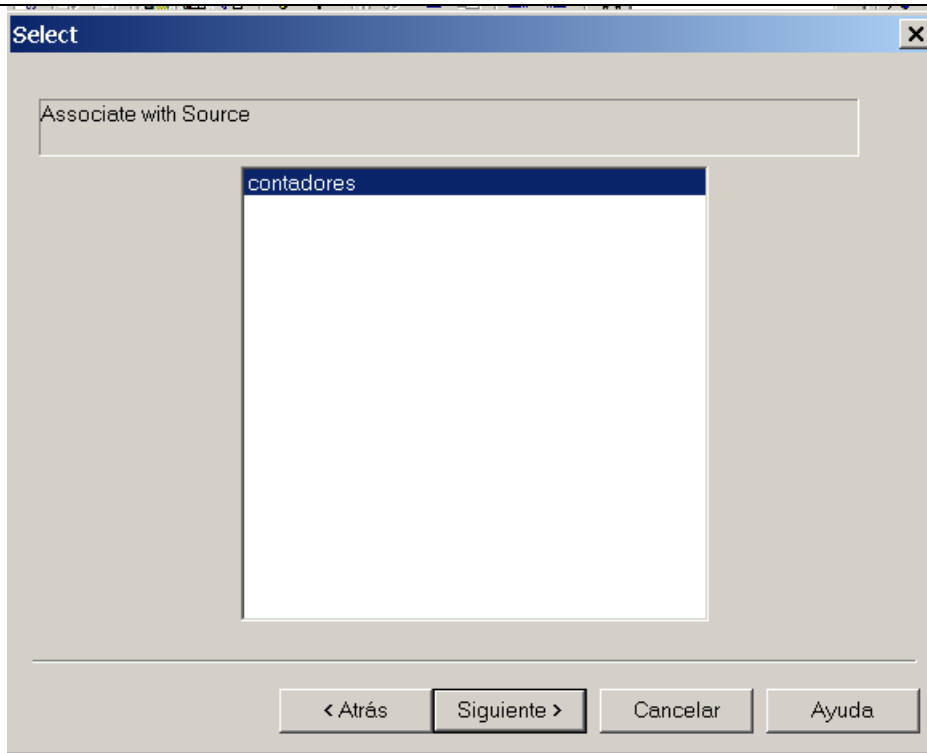


FIGURA 10

12) A continuación se podrá generar la simulación para la cual habrá que agregar el código correspondiente.. Para hacerlo copie las siguientes líneas de asteriscos al código que Xilinx ha generado.

```
-- VHDL Test Bench Created from source file contadores.vhd -- 09:12:05 07/31/2005
```

```
--
```

```
-- Notes:
```

```
-- This testbench has been automatically generated using types std_logic and
-- std_logic_vector for the ports of the unit under test.  Xilinx recommends
-- that these types always be used for the top-level I/O of a design in order
-- to guarantee that the testbench will bind correctly to the post-implementation
-- simulation model.
```

```
--
```

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE ieee.numeric_std.ALL;
```

```
-- Agregamos una librería cuya función es convertir un vector que se denominara
-- X a nuestra CI
```

```
--*****
```

```
USE ieee.std_logic_arith.all;
```

```
--*****
```

```
ENTITY testbench IS
END testbench;
```



ARCHITECTURE behavior OF testbench IS

```
COMPONENT contadores
PORT(
    cinicial : IN std_logic_vector(3 downto 0);
    habilitacion : IN std_logic;
    reset : IN std_logic;
    clk : IN std_logic;
    dsalida : OUT std_logic_vector(3 downto 0)
);
END COMPONENT;

SIGNAL dsalida : std_logic_vector(3 downto 0);
SIGNAL cinicial : std_logic_vector(3 downto 0);
SIGNAL habilitacion : std_logic;
SIGNAL reset : std_logic;
SIGNAL clk : std_logic;

BEGIN

    uut: contadores PORT MAP(
        dsalida => dsalida,
        cinicial => cinicial,
        habilitacion => habilitacion,
        reset => reset,
        clk => clk
    );

-- *** Test Bench - User Defined Section ***
tb : PROCESS
BEGIN

-- *****

Reset <= '0';
wait for 100 ns;
Habilitacion <= '0';
wait for 150 ns;
Reset <= '1';
wait for 150 ns;
Reset <= '0';
wait for 100 ns;
Habilitacion <= '1';
wait; -- will wait forever

END PROCESS;
-- *** End Test Bench - User Defined Section ***

clkgen: process

begin

clk <= '1';
```



```
wait for 25 ns;  
clk <= '0';  
wait for 25 ns;  
  
end process;  
  
--Lo siguiente puede utilizarse para poder dar distintas condiciones iniciales  
  
Pro: process  
  
begin  
  
for X in 0 to 7 loop  
  
    Cinicial <= CONV_STD_LOGIC_VECTOR(X,4); --Distintas condiciones iniciales  
    wait for 100 ns;  
  
end loop;  
  
end process;  
  
__*****  
  
END;
```

NOTA: Cabe realizar una pequeña aclaración : La función CONV_STD_LOGIC_VECTOR que se encuentra dentro del for lo que nos permite es que vaya cambiando el vector condición inicial desde la condición 0000 podrá así ver que cuando se genera un reset se grabe en el dato de salida dicho valor

13) Haga clic sobre el archivo del banco de pruebas en la ventana **Sources in Project** (ver figura 11)

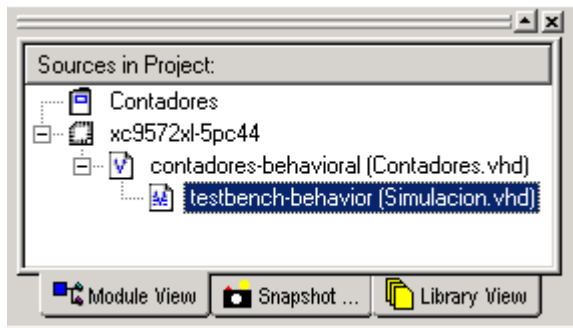


FIGURA 11

13) Luego Pulse sobre **Simulate Behavioral Model** en la ventana **Processes for Source** (ver figura 12)

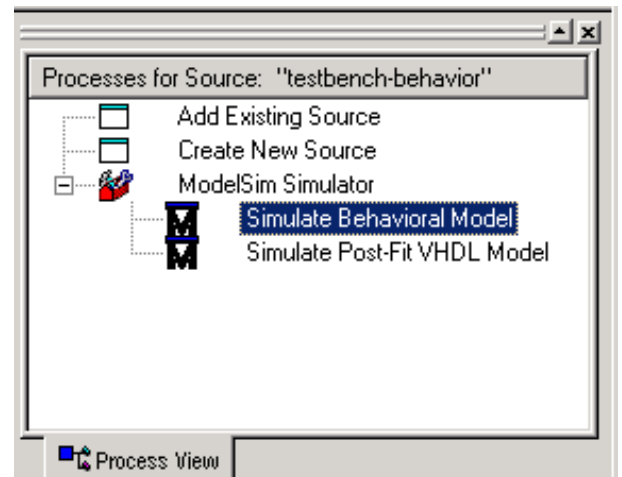


FIGURA 12

14) Observara la Apertura del Simulador Modelsim, del cual se desplegara las siguiente pantalla grafica (ver figura 13).

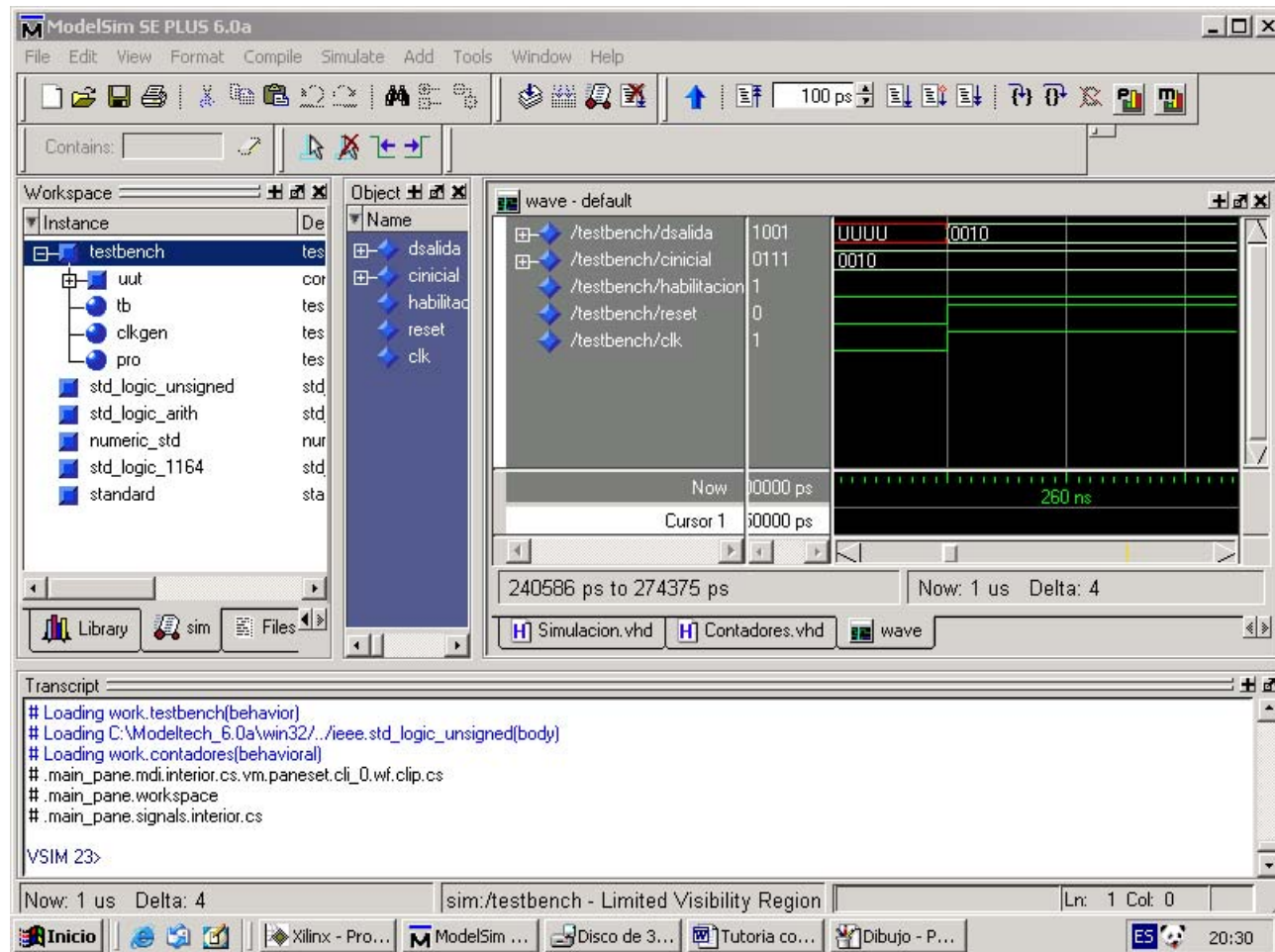


FIGURA 13

15) Haga clic sobre la ventana **Wave** situada en la zona media-superior derecha de la pantalla, al hacerlo se observa un icono de una lupa oscura (ver figura 14) , el cual esta situado junto al icono del semáforo y utilice los botones del zoom junto a la barra de desplazamientos horizontal para obtener una imagen apreciable del funcionamiento del sumador, como se muestra a continuación.(ver figura 15)



FIGURA 14

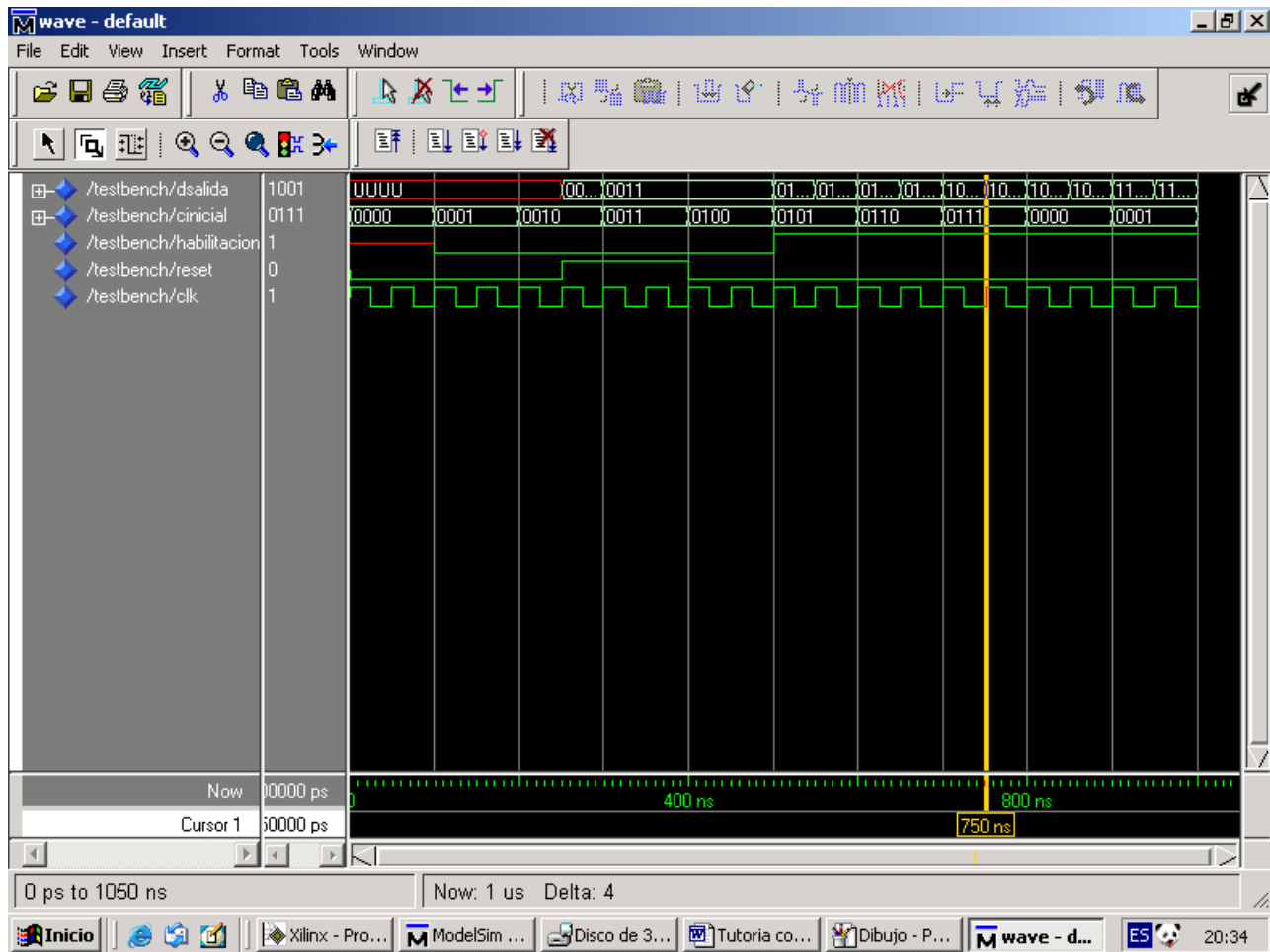


FIGURA 15

16) Si no pudo completar el tutorial salte sobre un barranco empinada y si es posible lleve su testamento con usted