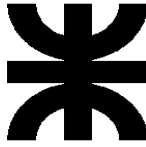


UNIVERSIDAD TECNOLÓGICA NACIONAL
FACULTAD REGIONAL CÓRDOBA



Carrera de Ingeniería Electrónica

“Técnicas Digitales I”

Curso de Tercer año - Anual

Tema: Verilog

Tutoría N°1

Verilog: Lenguaje de descripción de hardware

Herramienta: Xilinx - Introducción al uso de esta herramienta.

Practica: Descripción de compuertas lógicas

Profesores:

Titular: Ing. Gutiérrez, Guillermo

JTP: Ing. Sergio D. Olmedo

Año 2018

1) Tabla de contenido

1)	Tabla de contenido.....	2
1)	Introducción	3
2)	Palabras claves	3
3)	Tutorial inicial.....	3
3.1	Xilinx como herramienta para describir HDL en verilog.	3
3.2	Menú inicial.....	3
3.3	Crear un nuevo proyecto	4
3.4	Configuración del proyecto.....	4
3.4.1	Seleccionar la familia.....	5
3.4.2	Seleccionar el dispositivo	5
3.4.3	Seleccionar el encapsulado	5
3.4.4	Seleccionar la velocidad del dispositivo	5
3.4.5	Seleccionar la preferencia de lenguaje.....	6
3.4.6	Seleccionar la preferencia de simulador.	6
3.5	Incorporar un nuevo archivo	7
3.5.1	Descripción de comportamiento en Verilog	9
3.5.2	RTL	10
3.6	Incorporar un nuevo archivo de simulación.....	11
3.6.1	Implementación completa del diseño.....	14
3.6.2	Herramienta IMPACT	15
4)	Bibliografía	15
5)	Los anexos que se necesiten.	15

1) Introducción

Se realiza un tutorial para describir compuerta lógicas en Verilog (lenguaje de descripción de hardware), utilizando la herramienta de Xilinx.

Se realiza el paso a paso desde la creación del proyecto, hasta poder descargar la descripción en un kit de CPLD.

2) Palabras claves

CPLD ; FPGA ; hardware ; verilog ; Xilinx

3) Tutorial inicial.

3.1 Xilinx como herramienta para describir HDL en verilog.

El lenguaje de descripción de hardware HDL (**hardware description language**) por las siglas en ingles, es un lenguaje de descripción especializado, que se utiliza para definir la estructura, diseño y operación de circuitos electrónicos, y más comúnmente, de circuitos electrónicos digitales.

El lenguaje para la descripción utilizada en este tutorial será el **Verilog**.

La herramienta utilizada es un entorno que nos permitirá hacer las descripciones de hardware en el lenguaje Verilog, Como también podría ser en VHDL.

El entorno de la herramienta que utilizaremos, comienza desde que pulsamos el icono de Xilinx.



3.2 Menú inicial

Se puede ver el menú inicial, donde se lo invita al usuario a abrir un proyecto existente o generar un nuevo proyecto. Puede diferir el entorno gráfico dependiendo de la versión utilizada.

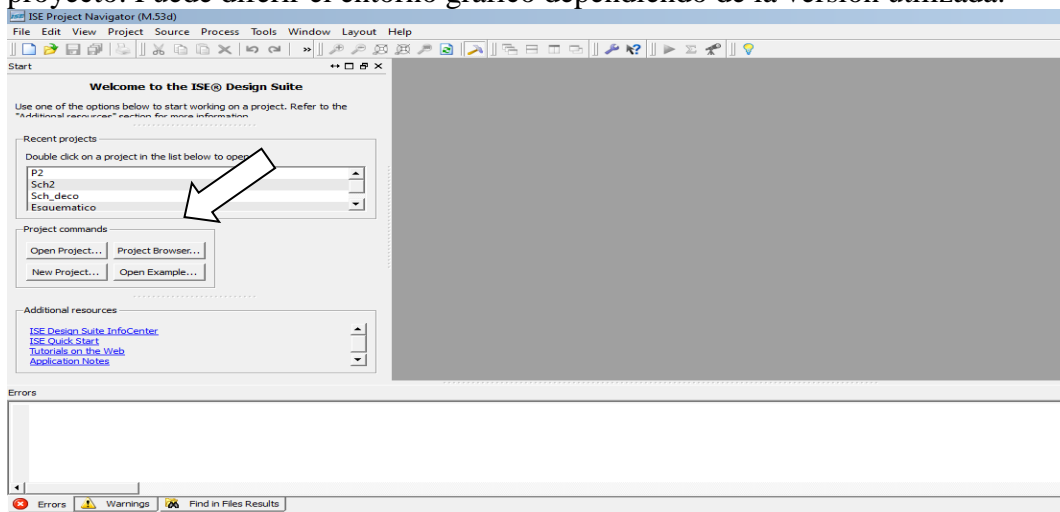


Figura 1: Entorno gráfico inicial

También se puede iniciar un proyecto desde el menú principal
File > New Project.

3.3 Crear un nuevo proyecto

Para la creación de un nuevo proyecto, se debe tener los siguientes recaudos:

El directorio de trabajo “*location*” debe estar ubicado en un *path*, donde no tenga ningún espacio entre los caracteres. El largo total del *path* debe tener menos de 128 caracteres.

No se puede utilizar números o caracteres especiales en la primera letra del nombre del proyecto. Esto se ubica en “*Name*”. En este caso se utilizará como proyecto al nombre “Tutoria_N1”.

No se puede comenzar con “_”, pero sí se lo puede utilizar luego del primer carácter.

Se recomienda NO utilizar el escritorio de Windows para guardar un proyecto, debido a que este, se ubica en un *path* que tiene espacio.

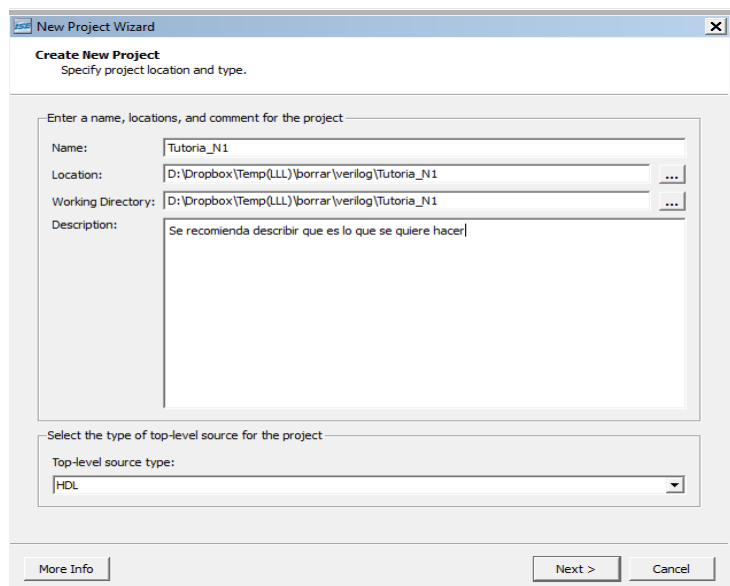


Figura 2: Create new project – Crear un nuevo proyecto

3.4 Configuración del proyecto

En la figura, se puede observar la configuración que se utiliza para el kit de CPLD del Laboratorio de Técnicas digitales.

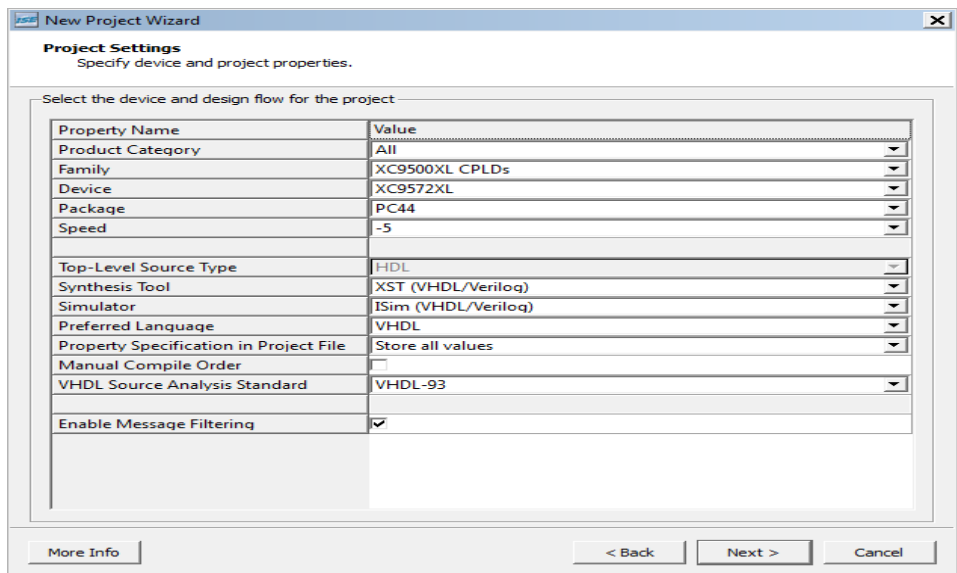


Figura 3: Project Setting - Configuración del proyecto

Para llegar a esta configuración, se deben realizar los siguientes pasos.

3.4.1 Seleccionar la familia

Desplegar el menú “Family” y seleccionar la familia XC9500XL CPLDs. Ver Fig.N°4

3.4.2 Seleccionar el dispositivo

Desplegar el menú “Device” y seleccionar el dispositivo XC9572XL. Ver Fig N°5

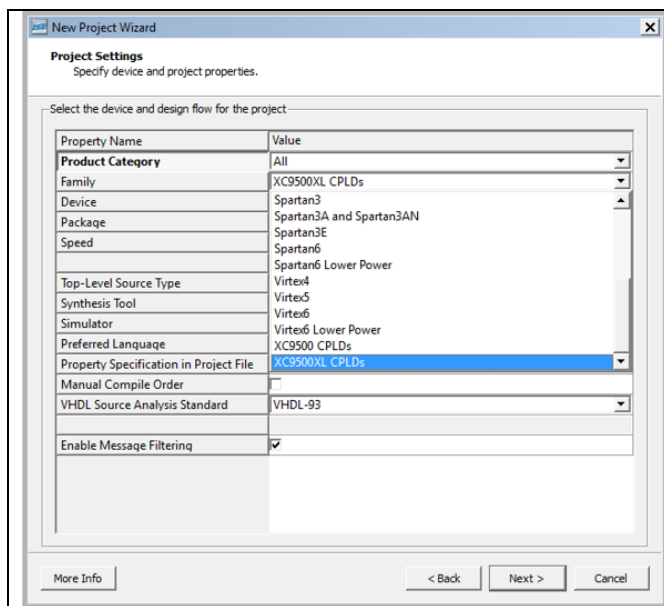


Figura 4

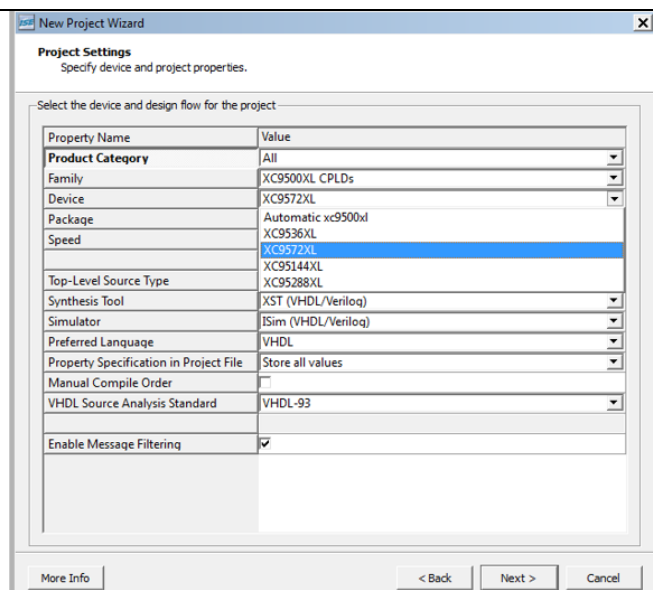


Figura 5

3.4.3 Seleccionar el encapsulado

Desplegar el menú “Package” y selecciona PC44. Este es el encapsulado del CPLD utilizado en el “Kit de CPLD”. Ver fig. N°6.

3.4.4 Seleccionar la velocidad del dispositivo

Desplegar el menú “Speed” y selecciona -10. Esta es la característica de retardo de señal que tiene el CPLD utilizado. Ver Fig. N°7.

3.4.5 Seleccionar la preferencia de lenguaje.

Desplegar el menú “Preferred Language” y selecciona Verilog. Ver Fig. N°8.

3.4.6 Seleccionar la preferencia de simulador.

Desplegar el menú “simulator” y selecciona ISim (VHDL/Verilog). Ver Fig. N°9.

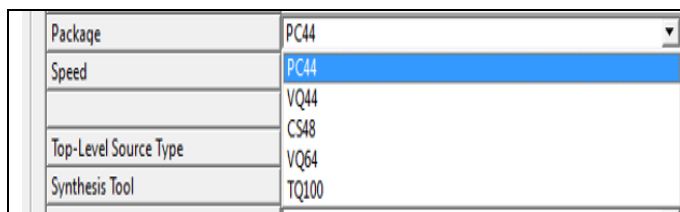


Figura 6

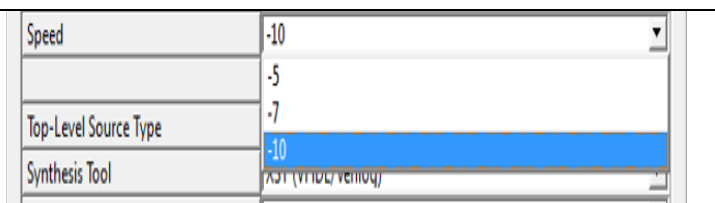


Figura 7



Figura 8

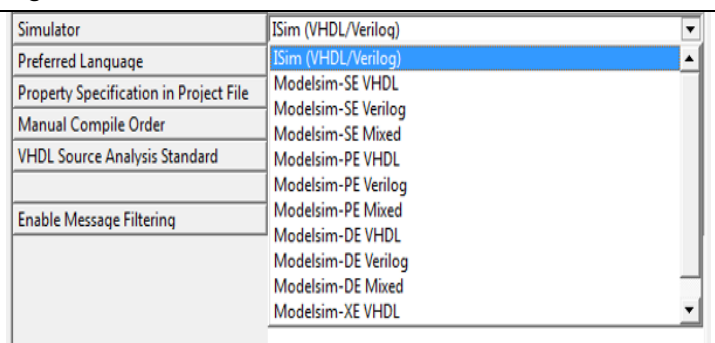


Figura 9

Una vez seleccionado todos los menú desplazable, se pulsa 2 veces siguiente y ya entramos al entorno de trabajo principal. Ver fig. N°10

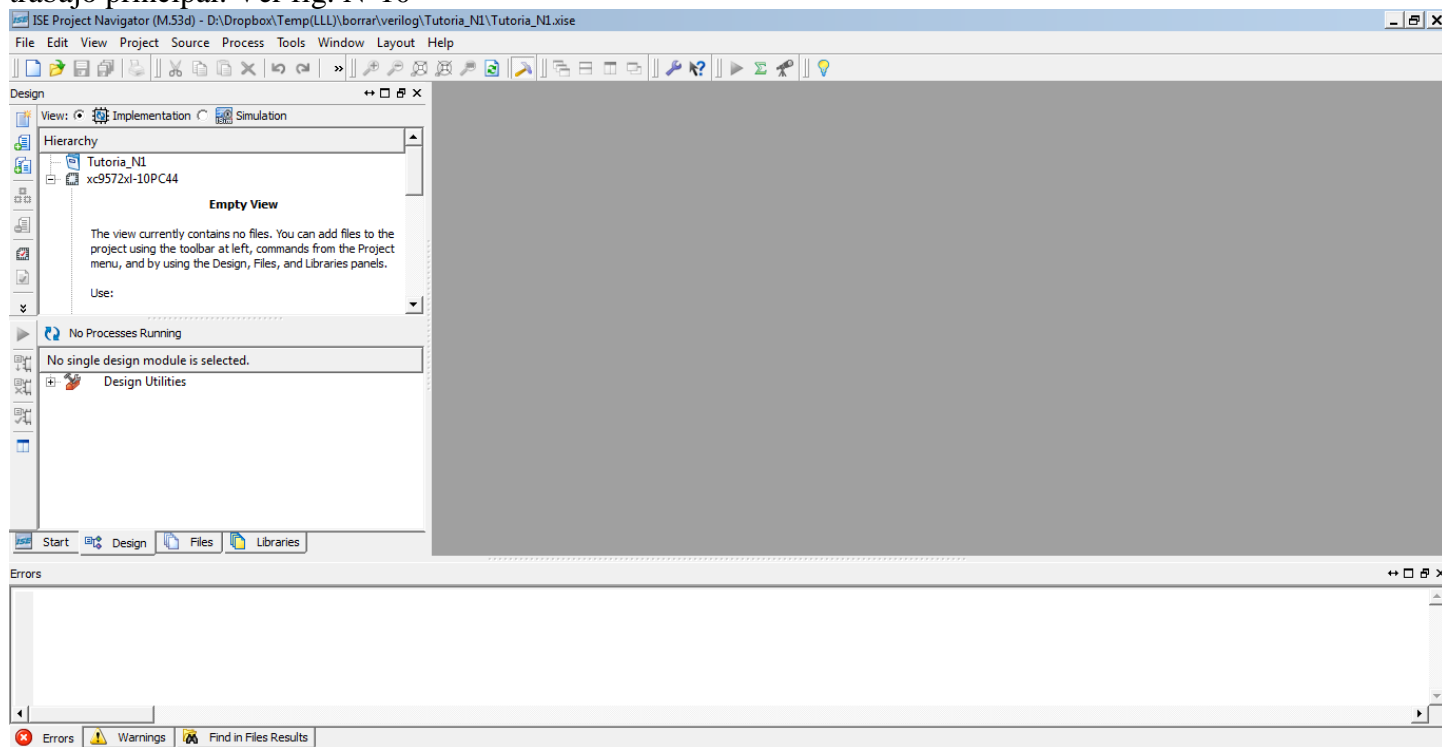


Figura 10: Entorno de trabajo principal

En el entorno de trabajo principal gráfico, se puede observar el nombre del proyecto, el dispositivo seleccionado con su correspondiente encapsulado.

Ahora se debe incorporar los archivos de descripción HDL que formará a ser parte del proyecto.

3.5 Incorporar un nuevo archivo

Con el mouse se debe colocar el cursor sobre el nombre del proyecto. Con el botón derecho se despliega un menú donde se debe seleccionar “New Source”. Ver Fig.N°11.

Se despliega un menú y debemos seleccionar que el tipo de archivo que se va generar. Se debe marcar “verilog module”. Se debe colocar en “Files” el nombre del archivo (sin espacios y debe empezar con una letra. No debe utilizar palabras reservadas del lenguaje). En este caso se utilizará el nombre “compuertas_logicas”. Luego se pulsa el botón “next”. Ver Fig.N°12.

Se despliega un menú que nos permite colocar los puertos de entrada y salida de nuestra entidad. Se debe utilizar nombre preferentemente que nos den una idea de la función que van a realizar. Ver Fig.N°13.

No hace falta colocar todos los puertos utilizados, ya que posteriormente se pueden agregar si fuera necesario.

Una vez finalizado la incorporación de puertos I/O, se debe pulsar el botón “next”.

Se despliega un menú, con un informe de lo configurado hasta el momento y se debe pulsar el botón “finish”. Ver Fig.N° 14.

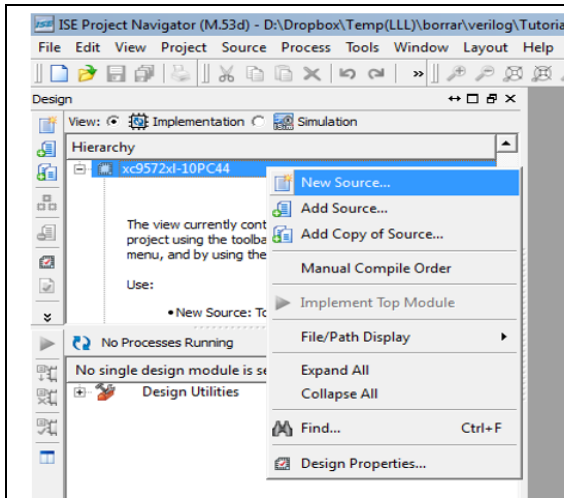


Figura 11 Nuevo archivo- New Source

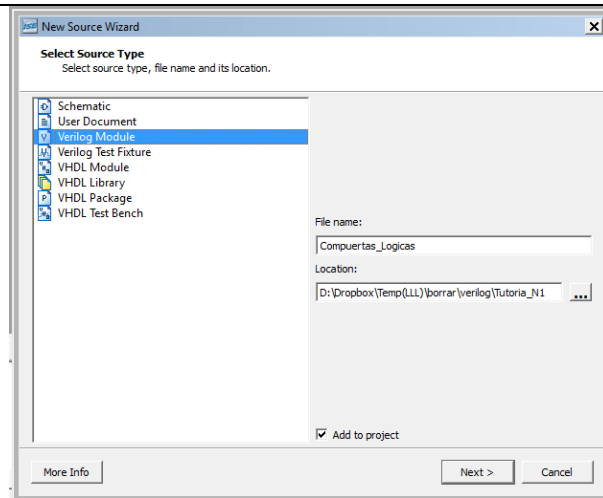


Figura 12: Selección de nombre y tipo del archivo

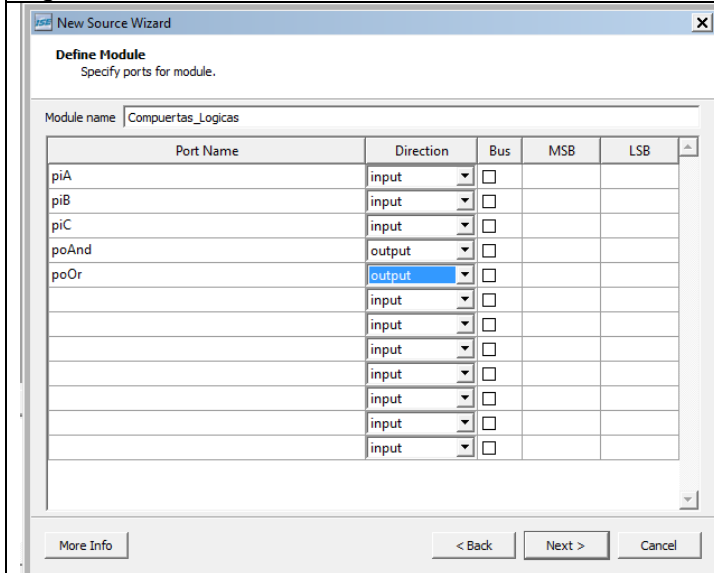


Figura 13

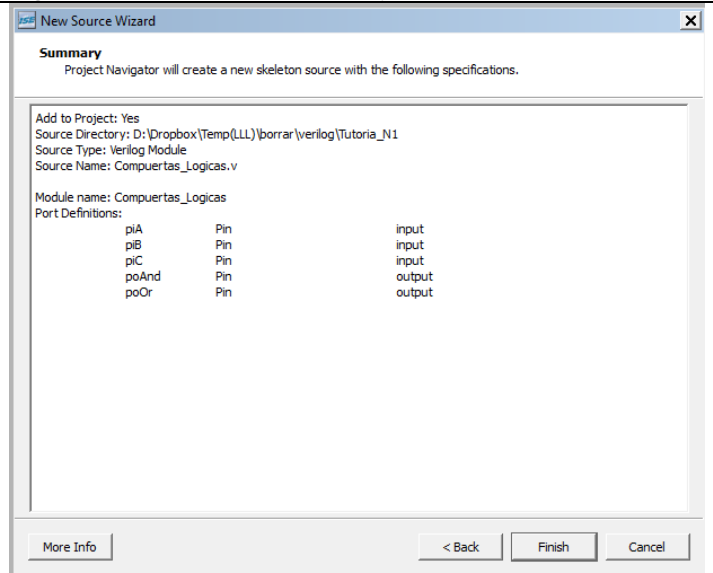


Figura 14

De esta manera, está listo el proyecto con el primer archivo en HDL listo para hacer la descripción de comportamiento. Ver Fig.N°15. Este archivo generado automáticamente, se debe cambiar, como se indica posteriormente.

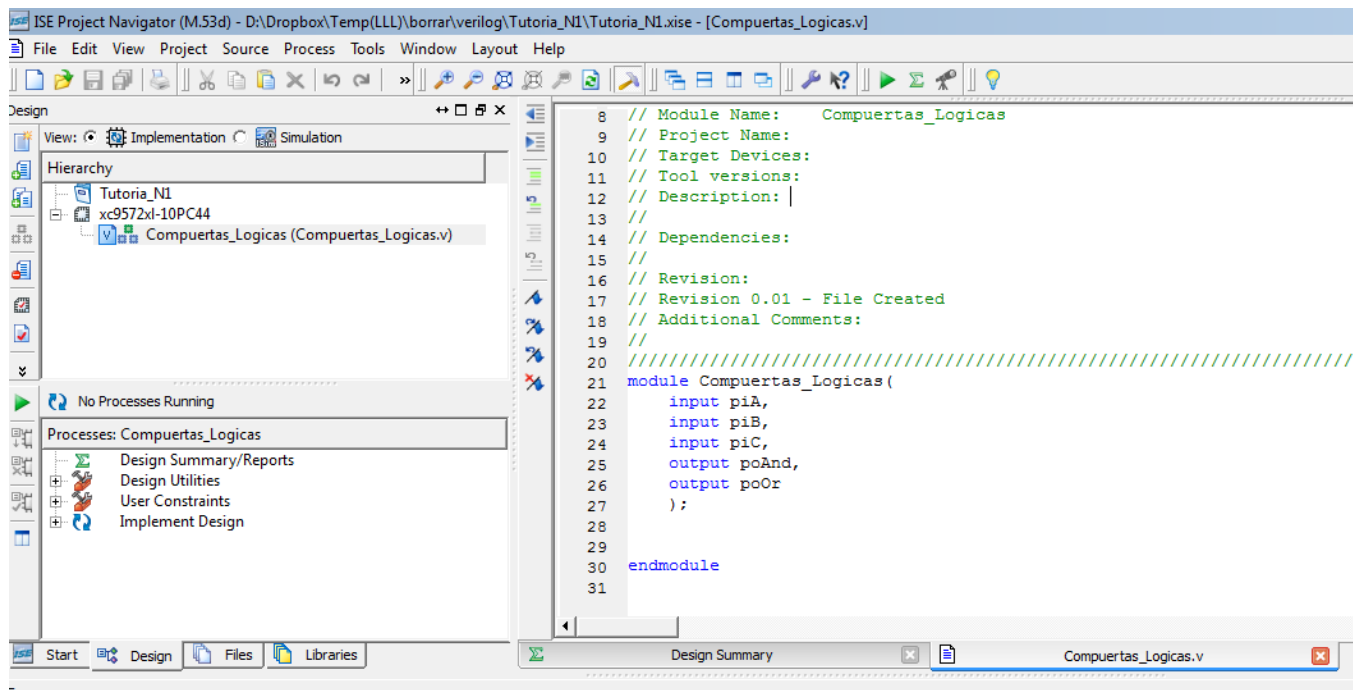


Figura 15

3.5.1 Descripción de comportamiento en Verilog

Objetivo: Se pretende realizar la descripción en Verilog del comportamiento lógico de una compuerta NAND, donde la entrada son piA (pin de entrada A) y piB (pin de entrada B). La salida de esta compuerta, es utilizada para la entrada de una compuerta OR que también tiene otra entrada piC (pin de entrada C).

Para esto primero se debe describir la entidad de lo que se quiere describir. Donde luego de la palabra module, se debe colocar el nombre de la descripción y dentro de los paréntesis la lista sensible de I/O. Posteriormente, definir de esta lista, cuales son entradas y cuales son salidas.

```
// Entidad del proyecto
module Compuertas_Logicas(piA,piB,piC,poAnd,poOr);
    input piA;
    input piB;
    input piC;
    output poAnd;
    output poOr;
```

Luego se debe realizar la descripción de comportamiento. Por ejemplo:

```
    // Descripción de comportamiento
    // Describe el comportamiento de una compuerta lógica Nand
    assign poAnd = ~(piA & piB) ;
    // Describe el comportamiento de una compuerta lógica Or
    // donde las entradas son la salida de una compuerta Nand
    // y una entrada piC
    assign poOr =(poAnd | piC) ;
endmodule
```

En pantalla, se debería ver lo siguiente:

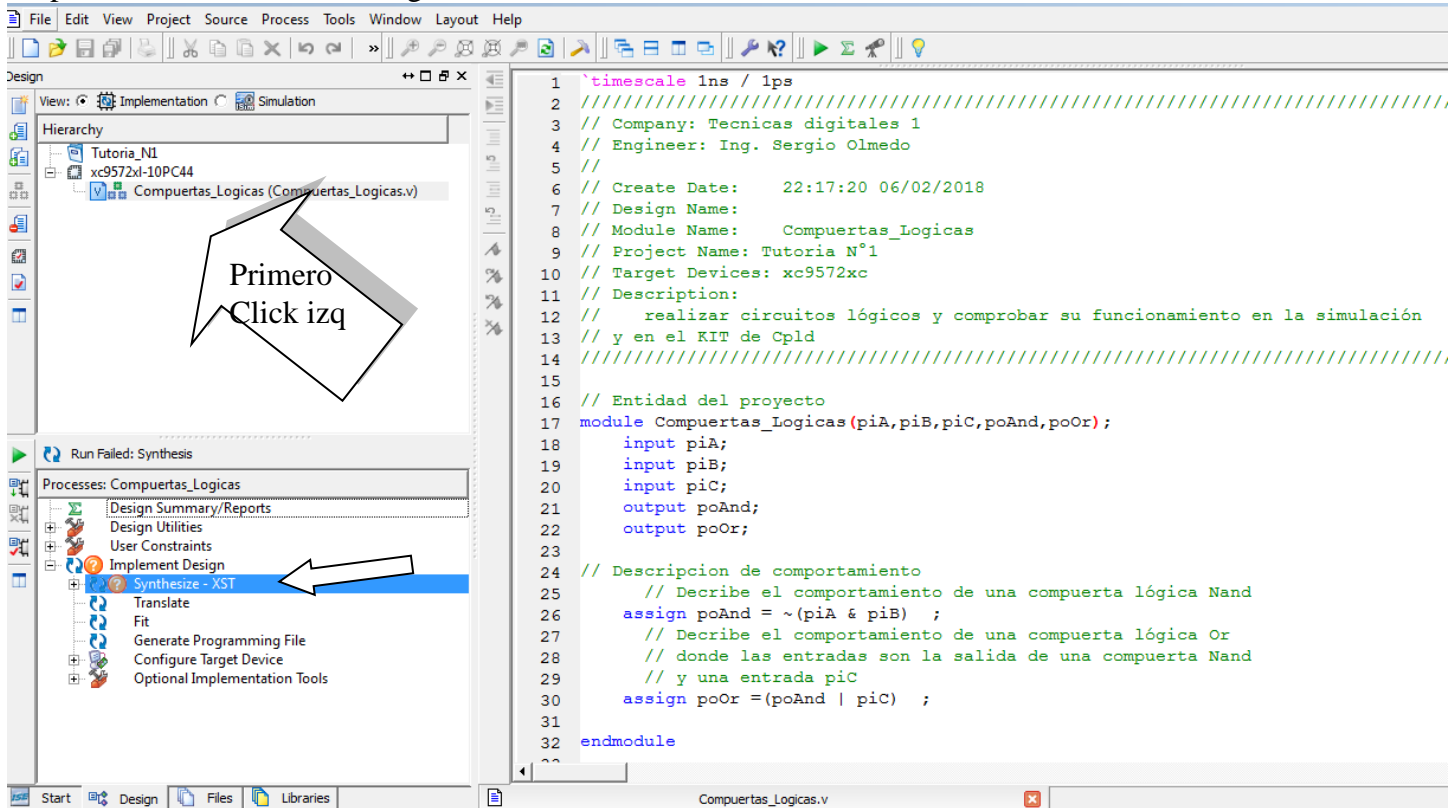


Figura 16

Ahora se debe sintetizar la descripción. Primero debe selecciona con click izq del mouse el archivo compuesrtas_logicas. Luego se debe expandir el menú “Synthesize- XST”. ver fig.N°16

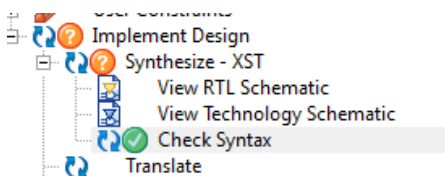


Figura 17

Realizar “Check Syntax”. Si la sintaxis es correcta, aparecerá un tilde ok. Luego se debe realizar doble click en “Synthesize- XST”. Si es correcto, aparecerá un tilde ok.

3.5.2 RTL

Se debe verificar si la herramienta interpretó correctamente nuestra descripción de comportamiento. Esto se realiza haciendo doble click en “View RTL Schematic”. Ver fig.N°17.

Se debe abrir un menú, donde se selecciona que se lo quiere visualizar como circuito esquemático, tildando el menú de selección “start with a schematic of de top-level blokc” Ver fig.N°18.

Se debe abrir un circuito esquemático como el de la fig.N°19.

Este indica la entidad del diseño y como se puede observar, se encuentran todas las entrada y salida de nuestro diseño. Si se realiza doble click en el esquema, se ingresa a ver las compuertas lógicas. Esto es lo que interpretó la herramienta de la descripción realizada. Ver fig.N°20.

Nota: Con la tecla Ctrl y la rueda del mouse, se puede hacer zoom en el circuito esquemático

Select how the RTL/Tech Viewer behaves when it is initially invoked

Startup mode

☐ Start with the Explorer Wizard

In this mode, the Explorer Wizard is the initial screen, and allows you to select the elements that you want to see on the initial schematic

☒ Start with a schematic of the top-level block

In this mode, the Explorer Wizard is bypassed and an initial schematic is created with only the top-level block displayed. You can then use the logic expansion capabilities of the Viewer to start expanding from the top-level block

You can also change the startup mode by selecting Edit->Preferences under the RTL/Tech Viewer page

☒ Show this dialog on startup

OK

Figura 18

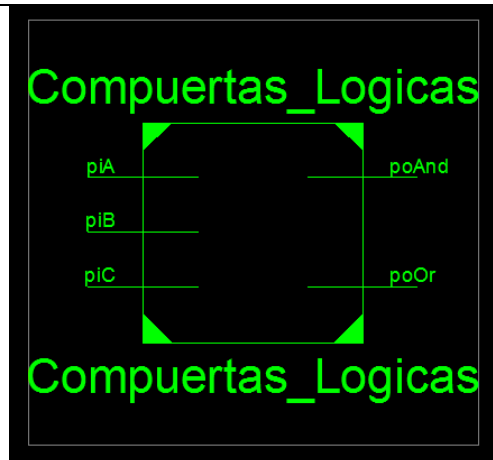


Figura 19

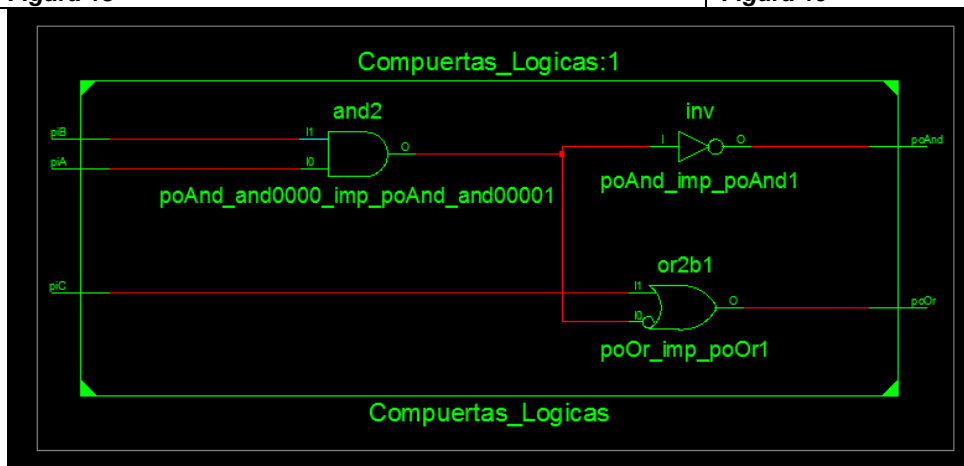


Figura 20

3.6 Incorporar un nuevo archivo de simulación

Con click izq se debe seleccionar el archivo al cual se quiere realizar la simulación. En este caso es el de “Compuertas_lógicas”. Con click derecho se despliega un menú. Ver FigN°22. Se debe seleccionar “New Source”.

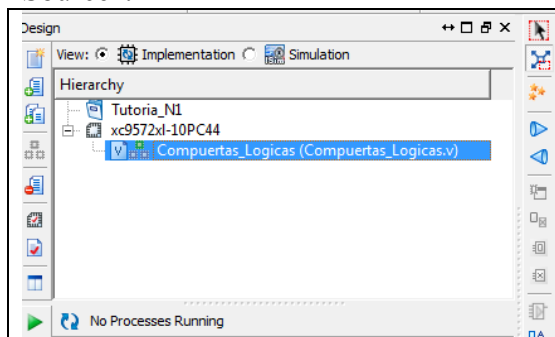


Figura 21

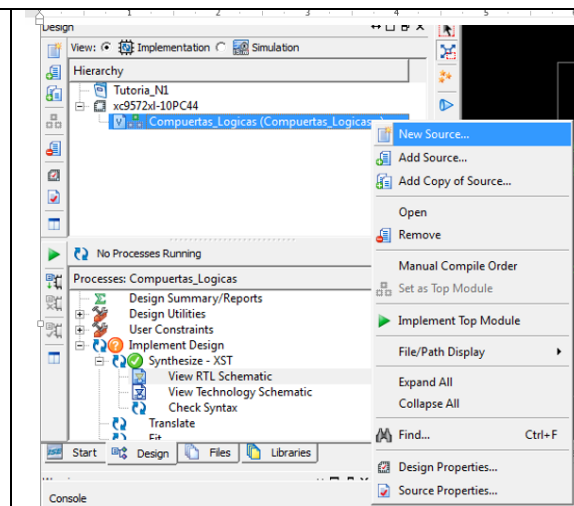


Figura 22

Se despliega un menú , y se debe colocar en “file name” un nombre de archivo de la simulación. Se debe seleccionar que el tipo de fuente es “ Verilog Test Fixture. Pulsar el botón “Next” tres veces seguida. Ver FigN°23.

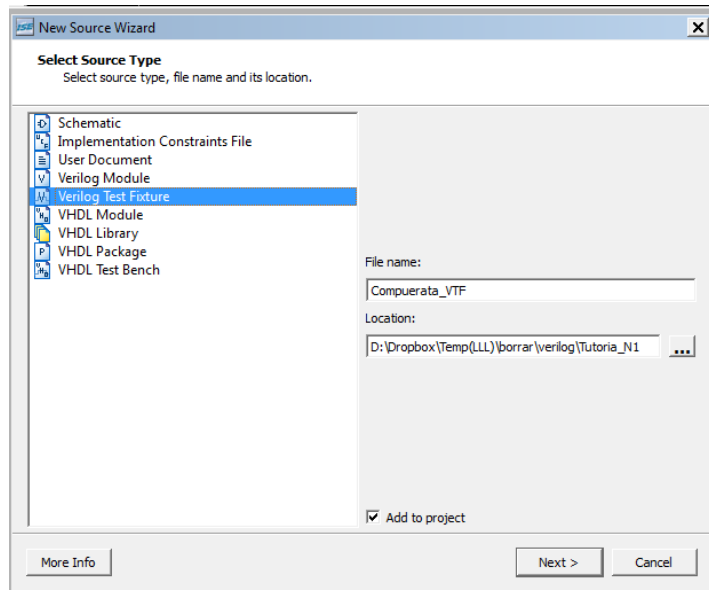


Figura 23

Se crea un archivo de simulación donde hay que incorporar mediante la descripción en Verilog, las señales de excitación de nuestro sistema descripto anteriormente.

En este caso se van a incorporar todas las posibles combinaciones que se pueden realizar con 3 entrada digitales. Se debe incorpora entre “initial begin” y “end”

```
// Initialize Inputs
piA = 0;
piB = 0;
piC = 0;

// Wait 100 ns for global reset to finish
#100;
// Add stimulus here
piA = 0;
piB = 0;
piC = 1;

// Wait 100 ns for global reset to finish
#100;
// Add stimulus here
piA = 0;
piB = 1;
piC = 0;

// Wait 100 ns for global reset to finish
#100;
// Add stimulus here
```

```
piA = 0;
piB = 1;
piC = 1;

// Wait 100 ns for global reset to finish
#100;

piA = 1;
piB = 0;
piC = 0;

// Wait 100 ns for global reset to finish
#100;
// Add stimulus here
piA = 1;
piB = 0;
piC = 1;

// Wait 100 ns for global reset to finish
#100;
// Add stimulus here
piA = 1;
piB = 1;
piC = 0;

// Wait 100 ns for global reset to finish
#100;
// Add stimulus here
piA = 1;
piB = 1;
piC = 1;
```

Luego de guardar el archivo con las señales excitaciones descritas en Verilog, se debe compilar la simulación. Se debe tildar “simulación” y seleccionar con click izq, cual es el archivo a simular. En este caso es el de “Compuerta_VTF”. Ver FigN°24

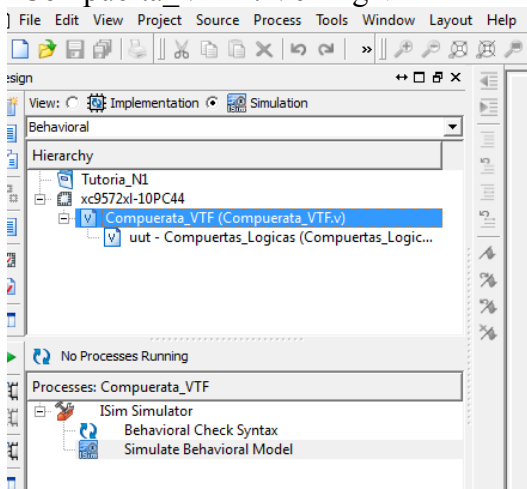


Figura 24

Se hace doble click en “Simulate Behavior Model”. Esto realiza la simulación del comportamiento de la descripción HDL (en este caso de Compuertas_Logicas) con las señales de excitación del archivo “Compuertas_VTF”. Nos muestra la herramienta gráfica el resultado de las salidas. Ver FigN°25

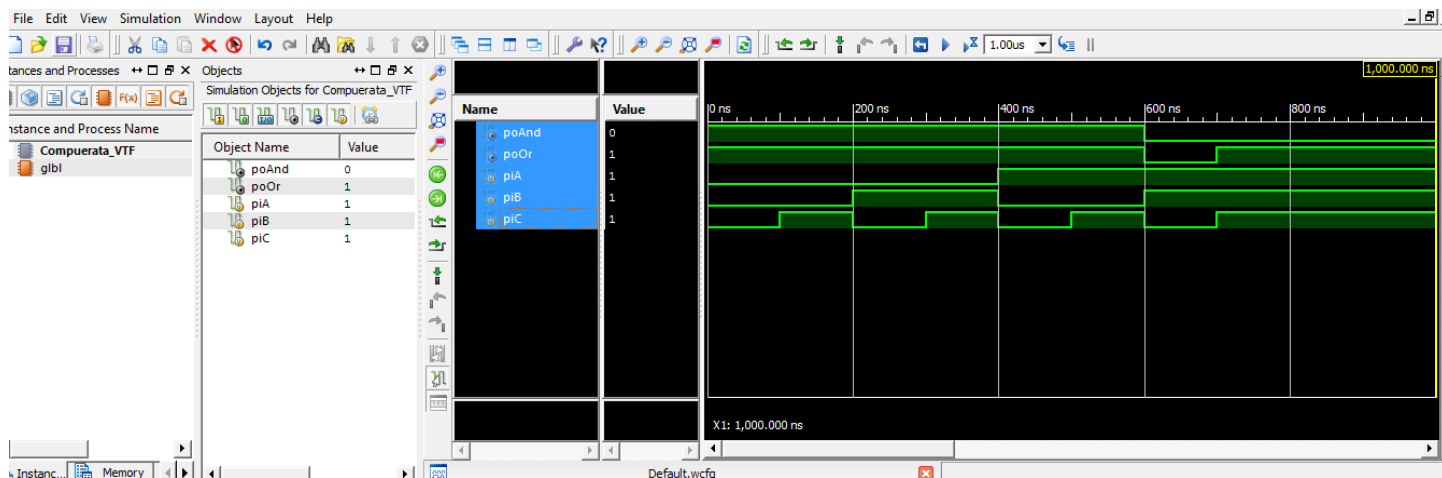


Figura 25

Nota: Solo una simulación por vez se puede realizar. Por esta razón, siempre hay que cerrar la simulación y no dejar que esta se coloque detrás de la pantalla, provocando un error si se pretende abrir nuevamente la simulación.

3.6.1 Implementación completa del diseño.

Ahora se va a realizar que la descripción realizada, se pueda incorporar al CPLD. Para esto la herramienta analiza la arquitectura del CPLD y genera las funciones necesarias para generar las salidas de la descripción. También genera los elementos necesarios para poder descargas y configura el CPLD por medio del puerto paralelo de la PC.

Primero se debe seleccionar “Implementación” Ver FigN°26

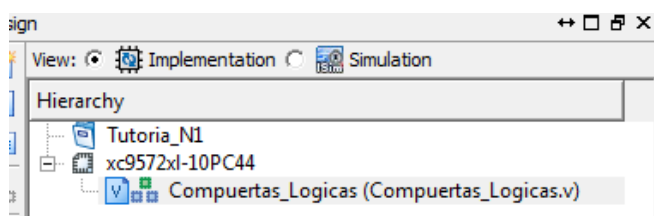


Figura 26

Se debe seleccionar el archivo que se implementar el diseño con el mouse y un click con el botón izq.

Se despliega un menú y se debe hacer doble click izq en “Implement Desig”. Ver FigN°27

Se debe esperar a que la herramienta tilde ok todos los menú. Ver FigN°27.

Llegado a este punto, se puede abrir la herramienta que realiza la interfaz Kit de CPLD con la PC

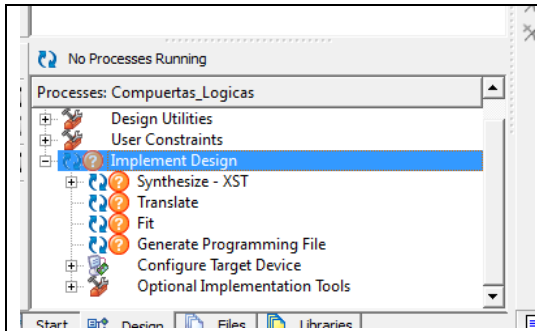


Figura 27

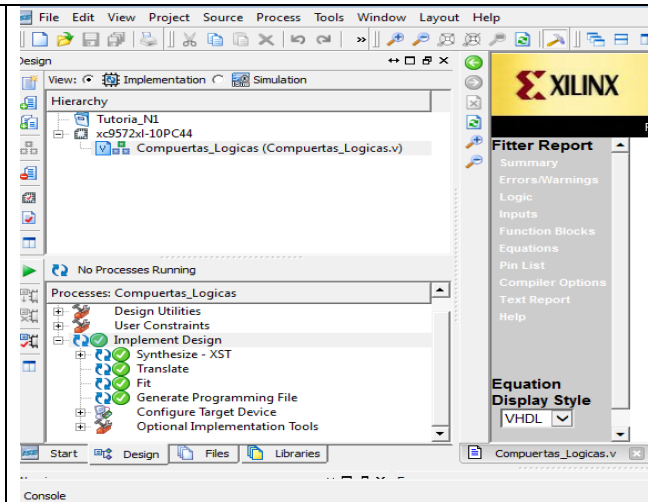


Figura 28

3.6.2 Herramienta IMPACT

Ahora debemos desplegar el menú para configura la placa a utilizar “Configure Target Device”. De esta manera vemos el menú de la herramienta (iMPACT). Realizamos doble click izq. Para ejecutarla.

Nota:

Cuando llegamos a este punto del diseño, ya debemos tener disponible el kit de CPLD conectado al puerto paralelo de la PC. También el kit de estar encendido.

Se debe utilizar el iMPACT de 64 bit para la descarga en el CPLD y se debe utilizar Xilinx 32 Bits para poder simular el CPLD

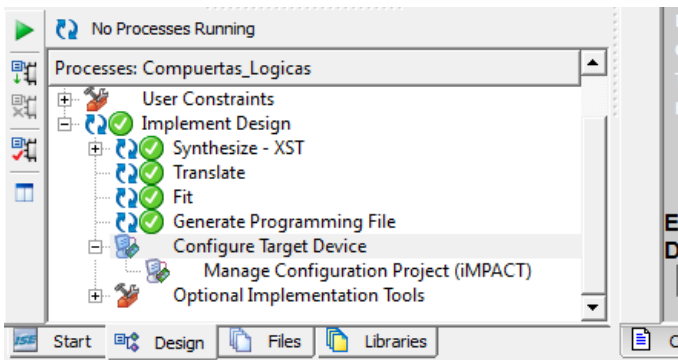


Figura 29

Deberá aparecer un menú desplegable

4) Bibliografía

(1) Digital design_Morris Mano_5th edition . Pag 116

5) Los anexos que se necesiten.

Ver auto gestión. Kit de CPLD