

70%

7 (Siete)

UNIVERSIDAD TECNOLÓGICA NACIONAL
 FACULTAD REGIONAL CÓRDOBA
 DEPARTAMENTO DE ING. EN ELECTRÓNICA

Examen final

11/10/18

Alumno: Marzetti Weiana

Técnicas Digitales II

ADC 10

- 1.- Usando un procesador basado en arquitectura ARM, con un ADC interno de 10 bits y tensión de referencia fija de 3.3 V, y utilizando un transductor cuya función de transferencia es $20 \text{ uA}/^\circ\text{C}$. calcular:

a) Ganancia necesaria para poder medir una temperatura de 0° hasta 80°C con una resolución de 0.1°C por cuenta. (10%)

- 5 → 2.- Se dispone de un conversor A/D de aproximaciones sucesivas de 8 bits con un rango analógico de entrada de 0V a 10V. Responder:

5 a) ¿Qué valor tomará el registro SAR en el 6º Clk de conversión si el valor de entrada al conversor Vin es 3.922V? (5%)

0 b) Si la frecuencia de Clk del conversor es de 15Khz, ¿Cuánto tiempo debe permanecer el módulo S/H en estado HOLD? (5%)

- 0 → 3.- Si se dispone de 8 canales analógicos a través de un multiplexor y la frecuencia de corte del filtro antialiasing es de 10 Mhz. Responder:

a) ¿Cuántas muestras mínimas por segundo deberá adquirir el bloq S/H? (5%)

b) ¿Cuál será el tiempo máximo del conversor en ese caso? (5%)

ADC 10

- 4.- Indicar el tiempo de conversión en ciclos de reloj T_{ck} de un A/D de n bits:

4.1- tipo "flash". (5%) ✓

4.2- tipo "aproximaciones sucesivas". (5%) ✓

4.3- tipo "doble rampa" (5%) X

ARM 10

- 5 ARM incluye LDR con varios modos, uno de los cuales actualiza el registro base después de completar la carga. Indique Verdadero o Falso. (10%)

LDR Rd,[Rn,Rm]! ¿Es equivalente a las dos instrucciones siguientes?

LDR Rd,[Rn, Rm]

ADD Rn,Rn,Rm

- 5 → 6 Asuma que el registro r3 contiene 0x8000. ¿Qué contendrá el registro después de ejecutar las siguientes instrucciones? (10%)

a. STR r6,[r3,#12] ✓

b. STRB r3,[r7],#4 ✓

c. LDRH r5,[r3],#8 X

d. LDR r12,[r3,#16]! X

- 10 → 7 Muestre dos diferentes formas para limpiar todos los bits en el registro r12 a cero. NO se debe usar ningún otro registro que no sea r12 y tampoco la instrucción MOV. (10%)

- 5 → 8- Escriba una instrucción que establezca a uno los tres bits menos significativos de R0, sin modificar R0 y almacene el resultado en R1. (5%)

- 15 → 9- Escriba una secuencia de instrucciones que recorra un bloque de memoria de 256 elementos de tipo byte. El bloque comienza en la dirección contenida en la 0x200. Este programa debe contar todos los números pares negativos y salvar dicha cuenta en el registro r7. (20%)

69% (Muy bien)
7 (sobresaliente)

20/12/19

Alumno: Cordero Dorio Técnicas Digitales II
Examen Final

2) Indique la diferencia entre ejecución normal y ejecución condicional de las instrucciones en el ARM. Ejemplifíquelo. (2P)

1.5) 2) ¿Cuáles son las banderas en el ARM? ¿Para qué sirven? (1.5P)

0) 3) La unidad de control en el ARM se conecta al operando 2 y posee las siguientes funciones: desplazamiento lógico a la izquierda y a la derecha, desplazamiento aritmético a la derecha y rotación a la derecha. ¿Se puede afectar al operando 0 con desplazamiento aritmético a la izquierda y rotación a la izquierda? Justifique la respuesta. (1P)

1) 4) Muestre dos diferentes formas de limpiar todos los bits del registro R12 con ceros. No puede usar otro registro que no sea R12 ni tampoco un operando inmediato. (1P)

→ 5) Determine el error de cuantificación de un conversor A/D de 8bits cuyo rango de entradas analógicas a convertir es 1V. Si se desea disminuir a la mitad ese error, ¿se debería duplicar el número de bits del conversor para lograrlo? Justifique su respuesta. (1.5P)

8 32 6) Grafique una trama completa de la comunicación serie RS-232. Indique claramente cuáles son cada uno de los bits que la componen. Como se determina el bit de paridad y para qué sirve? (1P)

0 → 7) Implemente una secuencia que ilumine los leds en las posiciones 1, 3, 5, 7, 6, 4, 2 y 0. Los leds se encuentran en la dirección 800 y son activos por bajo. (2P)

UNIVERSIDAD TECNOLÓGICA NACIONAL
FACULTAD REGIONAL CÓRDOBA
DEPARTAMENTO DE ING. EN ELECTRÓNICA

24/05/18

Examen final

Técnicas Digitales II

Alumno:

- 1.- Indique Verdadero o Falso. Las principales características de la arquitectura ARM son: (1% c/u)
- 1.a- Un gran conjunto de registros, todos los cuales se pueden usar para la mayoría de los propósitos;
 - 1.b- Una arquitectura de carga y almacenamiento;
 - 1.c- Instrucciones de 3 direcciones (es decir, los dos registros de operando de origen y el registro de resultados se especifican de forma independiente);
 - 1.d- Ejecución condicional de cada instrucción;
 - 1.e- La inclusión de instrucciones poderosas de carga y almacenamiento de múltiples registros;
 - 1.f- La capacidad de realizar una operación de desplazamiento general y una operación general de la ALU en una única instrucción que se ejecuta en un solo ciclo de reloj;
 - 1.g- Ampliar la extensión del conjunto de instrucciones a través del conjunto de instrucciones del coprocesador, incluida la adición de nuevos registros y tipos de datos al modelo del programador.
- 2.- ¿Qué característica del punto 1 no es compartida por la mayoría de los otros RISC? (3%)
- 3.- No hay una arquitectura ADC que no use al menos el bloque constructivo siguiente: (5%)
- 3.a- Alguna clase de Flip-Flop.
 - 3.b- Comparador de algún tipo.
 - 3.c- Multiplexor analógico de N canales.
- 4.- En un conversor D/A tipo R-2R de "N" bits, la red de resistencias de valor R-2R requiere: (5%)
- 4.a- $2^N - 1$ resistencias.
 - 4.b- 2^N resistencias.
 - 4.c- $2N$ resistencias.
- 5.- Trace el diagrama de bloques del conversor A/D tipo "aproximaciones sucesivas". (5%)
- 5.a- Indicar el tiempo de conversión. Justifique su respuesta. (5%)
 - 5.b- Utilizando el diagrama de bloques, trazar el diagrama de flujo de los pasos necesarios para la conversión. (5%)
- 6.- De la comunicación serie mediante el protocolo RS-232-C:
- 6.a- Dibuje detalladamente la trama e indique en el diagrama a lo que se denomina el tiempo del bit "t". (5%)
 - 6.b- Como se define la velocidad de transmisión "v"? (5%)
 - 6.c- El protocolo es: a)Simplex, b)Half-duplex, c)Full-duplex. Justificar. (5%)
- 7.- Suponga que tenemos el siguiente código C:
- ```
for (i = 0; i < 8; i + +)
 a[i] = b[7-i];
```
- El índice i está declarado como un entero. Asuma que los arreglos a y b contienen solamente datos de tamaño byte y están ubicados en memoria RAM a partir de la 0x40000000. Traducirlo en instrucciones de lenguaje assembly de ARM. (15%)
- 8.- Indique si las siguientes instrucciones usan los modos de direccionamiento pre- o post-indexado: (10%)
- |                      |                       |
|----------------------|-----------------------|
| a. STR r6, [r4, #4]  | b. LDRB r4, [r3, r2]! |
| c. LDR r3, [r12], #6 | d. LDRSH r12, [r6]    |
- 9.- ¿Cuál es la diferencia entre las instrucciones ROR (Rotate Right) y RRX (Rotate Right Extended)? (10%)
- 10.- Escriba una subrutina que se invoque con BL s1: cmp la cual debe ser capaz de comparar dos cadenas de caracteres y determinar si son idénticas. Las cadenas se hallan en memoria, están apuntadas por los registros R1 y R2, y finalizan con el carácter nulo (0x00). Este procedimiento retornará R0 con 0xFFFFFFF en caso de igualdad o 0x00000000 en el supuesto de que las cadenas sean distintas. (15%)

UNIVERSIDAD TECNOLÓGICA NACIONAL  
FACULTAD REGIONAL CÓRDOBA  
DEPARTAMENTO DE ING. EN ELECTRÓNICA

Examen final

08/03/18

92%  
4 (calificación)

Alumno: Córdoba, Darío

Técnicas Digitales II

- 1.- Se dispone de un conversor A/D de aproximaciones sucesivas de 8 bits con un rango analógico de entrada de 0V a 10V. Responder:
- Qué valores irá tomando el registro SAR hasta el 6º Clk de conversión si el valor de entrada al conversor Vin es 3.922V? (5%)
  - Si la frecuencia de Clk del conversor es de 15Khz, ¿Cuál es el tiempo mínimo que debe permanecer el módulo S/H en estado HOLD? (5%)
- 2.- Trace el diagrama de un conversor A/D de tipo flash de 3 bits con un rango analógico de entrada de 0V a 10V. (10%)
- 3.- Determine el error de cuantificación de un conversor A/D de 8bits cuyo rango de entradas analógicas a convertir es 1V. Si se desea disminuir a 1/2 ese error, ¿que se debería hacer? (5%)
- Duplicar el número de bits del conversor ( $2^*N$ ). b) Agregar 2 bits extras al número de bits del conversor ( $2+N$ ). c) Ninguna de las anteriores. (5%)
- 4.- Seleccione para el conversor A/D doble rampa la/s característica/s más apropiada/s: (5%)
- tiempo de conversión lento. b) Se usa en instrumentación. c) Se alcanza precisión de 20bits.
- 5.- En la comunicación serie mediante el protocolo RS-232-C.
- Indique como se conectan un equipo DTE con un DCE. (5%)
  - Como se implementa por software la técnica del "checksum"? (5%)
  - Cual es la finalidad del registro DIVISOR en el chip controlador 16550 o compatible? (5%)
- 6.- Suponga que nosotros tenemos el siguiente código C. Asuma que temp está inicializado antes de ser usado y que R3 mantiene la dirección base de temp. (20%)
- ```
int i;
int temp[100];
for (i=0; i<100; i+=1)
    temp[i] = temp[i] * 128;
```
- Traducirlo en instrucciones de lenguaje assembly de ARM. (10%)
- 7.- Escriba una instrucción que establezca a uno los tres bits menos significativos de R0, sin modificar R0 y almacene el resultado en R1. (10%)
- 8.- Escriba el código assembly del ARM para intercambiar el contenido de dos registros, R0 y R1. No se debe usar ningún otro registro. (10%)
- 9.- ARM incluye LDR con pre-indexado. Indique Verdadero o Falso. ✓ (10%)
- LDR Rd,[Rn,Rm]
LDR Rd,[Rn, Rm]
ADD Rn,Rn,Rm
- ¿Es equivalente a las dos instrucciones siguientes?

Examen final

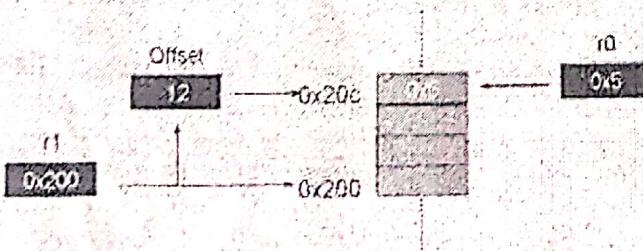
Alumno:

Técnicas Digitales II

- 1.- Usando un procesador basado en arquitectura ARM, con un ADC interno de 10 bits y tensión de referencia fija de 3.3 V, y utilizando un transductor cuya función de transferencia es $20 \mu\text{A}/^\circ\text{C}$, calcular:
 - 1.1- Ganancia necesaria para poder medir una temperatura de 0° hasta 80°C con una resolución de 0.1°C por cuenta. (5%)
- 2.- Dado un sistema de adquisición de datos de 4 canales analógicos, que mediante un multiplexor se conectan a un filtro "antialiasing" cuya frecuencia de corte es de 100KHz, seguido por un "sample/hold" y un conversor A/D de 8 bits de aproximaciones sucesivas:
 - 2.1- Indicar el ancho de banda permitido para la señales de chi de los canales. (5%)
 - 2.2- Indicar la frecuencia de muestreo mínima para el "sample/hold". (5%)
 - 2.3- Indicar el tiempo de conversión máximo para el conversor A/D. (5%)
- 3.- Indicar el tiempo de conversión en ciclos de reloj T_{clk} de un A/D de n bits:
 - 3.1- tipo "flash". (5%)
 - 3.2- tipo "aproximaciones sucesivas". (5%)
 - 3.3- tipo "doble rampa". (5%)
- 4.- Indicar Verdadero o Falso.
 - 4.1) El rango de entrada total (FS) en un ADC es independiente del número de bits de resolución, N . (5%) ✓
 - 4.2) Existe un rango de voltaje de entrada analógica sobre el cual el ADC producirá un código de salida dado; este rango es la incertidumbre de cuantificación y es igual a $1/2 \text{ LSB}$. (5%) ✓
 - 4.3) Es equivalente el valor del LSB expresado en diferentes formas para un ADC de 8 bits y FS de 10V? (5%)
 - a) 39.1mV
 - b) 3906 ppm FS
 - c) 0.39 % FS
- 5.- La instrucción NOR no es parte del conjunto de instrucciones ARM, porque la misma funcionalidad puede implementarse utilizando las instrucciones existentes. Escriba un breve fragmento de código Assembly que tenga la siguiente funcionalidad: $R0 = R1 \text{ NOR } R2$. Use la menor cantidad de instrucciones posible. (15%)
- 6.- Considere el siguiente fragmento de código de alto nivel. Suponga que las variables enteras (con signo) g y h están en los registros R0 y R1, respectivamente. Escriba un fragmento de código en lenguaje Assembly del ARM con ejecución condicional disponible para todas las instrucciones. Use la menor cantidad de instrucciones posible. (10%)


```

if(g >= h)
    g = g + h;
else
    g = g - h;
            
```
- 7.- Indique:
 - 7.1) el código neointelectónico de la instrucción que efectúe la operación indicada en el siguiente esquema. (5%)
 - 7.2) El modo de direccionamiento es pre- o post-indexado? (5%)



Atención: Representación de la memoria en "words".

- 8.- Diseñe un algoritmo para contar el número de 1's presentes en el registro R1. Implemente su algoritmo usando el lenguaje Assembly del ARM. (15%)

20/12/18

HOJA

FECHA

1) b) dP o que se da una condición a cumplir, indicando por el estado de las banderas.

· Cmp r4, #0
add r1, r1, #1 @ se cumple una condición

C

Cmp r4, #0
addeq r1, r1, #1 @ se ejecuta si se cumple la condición

2) Z se activa si el rd=0 : Z=1

C carry ; el/suma o comparación C=1 si hubo carry
Slop de desplazamiento C=x toma el valor del bit saliente

V overflow V=1 si en la sum o rest hubo desfuer

N : $rd = -n \therefore N=1$
 $rd = +n \therefore N=0$

3)

lsl

tsr

asr

ror

asl

rol

PO Se

NOTA

1) $n = 10 \text{ bits}$
 $V_{ref} = 3,3 \text{ V}$

$V_{REF_0} = 80^\circ\text{C}$

$V_{lbb_0} = 0,1^\circ\text{C}$

$V_{lbb_0} = V_{lbb_0} \cdot G_{min} \cdot R = 322 \text{ mV}$

$V_{lsb} = \frac{V_{ref}}{2^n} = 3,22 \text{ mV}$

$G_{S_{SDR}} = 20 \frac{\mu\text{A}}{^\circ\text{C}}$

$R = \frac{V_{lsb}}{V_{lbb_0} \cdot G_{S_{SDR}}} = 1610 \Omega$

$$\boxed{G_{dec_p} = \frac{V_{lbb}}{V_{lsb}} = 1}$$

2) $n = 8 \text{ bits}$

$V_{max} = 10 \text{ V}$

$V_{ref} = 3,922 \text{ V}$

$\frac{V_{max}}{2^n}$

$1) \frac{10}{2^1} = 5 \text{ V} \quad > V_{ref} \quad \therefore 0$

$2) \frac{10}{2^2} = 2,5 \text{ V} \quad < V_{ref} \quad \therefore 1$

$3) \frac{10}{2^3} = 1,25 \text{ V} \quad 2,5 + 1,25 < V_{ref} \quad \therefore 1$

$4) \frac{10}{2^4} = 0,625 \text{ V} \quad 2,5 + 1,25 + 0,625 > V_{ref} \quad \therefore 0$

$5) \frac{10}{2^5} = 0,3125 \text{ V} \quad 2,5 + 1,25 + 0,3125 > V_{ref} \quad \therefore 0$

$6) \frac{10}{2^6} = 0,15625 \text{ V} \quad 2,5 + 1,25 + 0,15625 < V_{ref} \quad \therefore 1$

∴ registro SAR en el 6th díz: 1011001
 $= 3,9062$

B) $f_{ck} = 15 \text{ kHz}$

$t_{conv} = \frac{(n+1)}{f_{ck}} t_{ck} = \frac{n+1}{f_{ck}} = 0,6 \text{ ms Seg}$

$$\boxed{t_{hold} = 0,9 \cdot t_{conv} = 0,54 \text{ ms Seg}}$$

3) 8 canales
 $f_c = 10 \text{ MHz}$

A) $f_m = 2 \cdot f_c = 20 \text{ MHz}$

$t_{conv} = \frac{1}{n_{canales} \cdot f_m} = 6,25 \text{ ns Seg}$

q) Plas $t_{conv} = n \cdot t_{ck}$
 approx doble $t_{conv} = (n+1) \cdot t_{ck}$
 $t_{conv} = 2^{n+1} \cdot t_{ck}$

5) A) $\text{ldr } r1, [r0], \#0$, post-indexed
Verdadero

$r1 = r0$
 $r0 = r0 + 0$

B) $\text{ldr } r1, [r0, r0]! = \text{ldr } r1, [r0, r0]$
verdadero

C) $r3 = 0x8000$

- A) $\text{str } r6, [r3, \#12]$ $r3 = 0x8000$
- B) $\text{strb } r3, [r3] \#4$ $r3 = 0x8000$
- C) $\text{ldrb } r5, [r3], \#8$ $r3 = 0x8008$
- D) $\text{ldr } r12, [r3, \#16]!$ $r3 = 0x8010$

E) $\text{bic } r12, r12, \#1$

$\text{and } r12, r12, \#0$

F) $\text{orr } r1, r0, \#0x00000007$

0000
0111

G) $\text{mov } r0, \#0x200$

$\text{mov } r1 \#0$

contador

$\text{mov } r7 \#0$

acumulador

loop:
 $\text{cmp } r1, \#250$
 $\text{bgt } \text{salir}$
 $\text{ldrb } r2, [r0], \#1$ $1101 = \text{par}$
 $\text{add } r1, r1, \#1$ 0001
 $\text{tst } r2, \#0x00000001$ $1 \quad r0=1 \quad z=0$
 $\text{bne } \text{loop}$
 $\text{tst } r3, \#0x80000000$ 1101
 $\text{addne } r7, r7, \#1$ 1000
 $b \text{ loop}$ $1000 \quad r0=1 \quad z=0$

24/05/18

FECHA

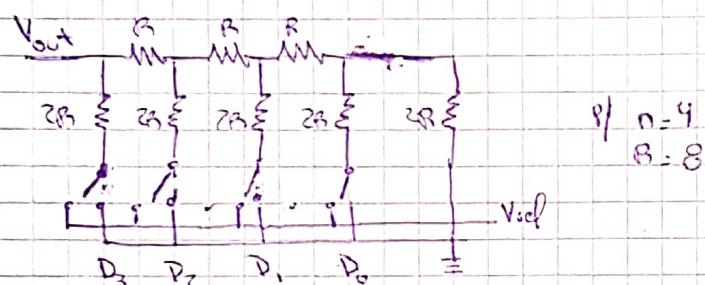
- 1) A) V D) F
 B) V E) V. \oplus (\oplus)
 C) V F) V.
 (E) \oplus odd' $(0, 1, 1, 0, 1, 0)$

2) 1-C . inst. de 3 direcciones

3) (B) Toda arquitectura ADC con al menos un bloque de comparaciones de algún tipo

4) (C) Conversor D/A R2R necesita "ZN" resistencias

" DAC N-bit requiere 2^N resistencias



5) t_{conv} : depende del t. de retraso de los comp. (slow rate) y el valor del t. de prep. en el decodificador.

$$t_{conv} = n \cdot t_{slow}$$

6) ?) mov r0, #0X40000000 r0: punta a labo, for (i=0; i<8; i++)
 mov r2, #0 r1: controlar
 mov r1, #0X4000000C \rightarrow pos 7 a[i] = b[7-i];

loop: cmp r2, #8

beq salir

ldr b r3, [r1], #1

str r3, [r0], #1

add r2, r2, #1

b loop

salir

$$r_1 = b[7-0] \boxed{0x4000000C}$$

$$r_0 = b[a] \boxed{0x4000}$$

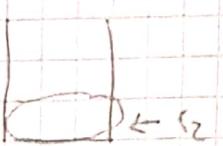
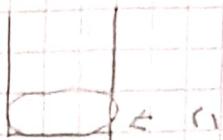
- 8) A) str s6, [s4, #4] pre index sin act
 B) ldrb s4, [s3, 12J!] " " act/direct
 C) ldr r3, [s12], #6 post index
 D) ldrsh r12, [s6] pre " sin act

9) R0Z: rotacion hacia la derecha
 R0X: " " " incluye el carry

NOTA

10)

1) $r_4 = r_2$
 $r_3 = r_1$
 $b \leftarrow r_0$



Salir:

ldr $r_4, [r_2]$ ldr $r_3, [r_1]$

bl strcmp

b salir

strcmp: ldrb $r_5, [r_3], \#1$ cmp $r_5, \#0x0000$

beq salir

ldrb $r_6, [r_2], \#1$ cmp $r_6, \#0x00$

beq salir

cmp r_5, r_6

bne distintos

mov $r_0, \#0xFFFFFFFF$

b strcmp.

dists: mov $r_0, \#0x00000000$,
b salir.

Salir:

Hecho por el profe

otro: ldrb $r_4, [r_1], \#1$ ldr $r_5, [r_2], \#1$ cmp r_4, r_5

bne distintos

cmp $r_4, \#0x00$ comp el salto a

beq termina

b otro

distintos!: mov $r_3, \#0x00000000$

b salir

termina: mov $r_3, \#0xFFFFFFFF$

b salir

salir:

NOTA

8/03/18

HOJA N°
FECHA

(Anexo)

8) 1) $n = 2$ bits
 $V_{max} = 10V$
 $V_{in} = 3,822V$

$$\frac{V_{max}}{2^n}$$

A)

1) $(10/2^1) = 5V$

$5V > V_{in} : "0"$

2) $(10/2^2) = 2,5$

$2,5V < V_{in} : "1"$

3) $(10/2^3) = 1,25$

$2,5 + 1,25 = 3,75 < V_{in} : "1"$

4) $(10/2^4) = 0,625$

$2,5 + 1,25 + 0,625 = 4,37 > V_{in} : "0"$

5) $(10/2^5) = 0,3125$

$2,5 + 1,25 + 0,3125 = 4,06 > V_{in} : "0"$

6) $(10/2^6) = 0,15625$

$2,5 + 1,25 + 0,15625 = 3,9 < V_{in} : "1"$

SAR: 011001

B) $f_{ch} = 15kHz$

$$t_{ch} = \frac{1}{f_{ch}}$$

$$T_{add} = 0,9 t_{conv} = 0,54 \text{ ms} \quad t_{conv} = \frac{n+1}{f_{ch}} t_{ch} = \frac{n+1}{\frac{1}{f_{ch}}} = \frac{9}{15kHz} = 0,6 \text{ ms}$$

A) 2) Diagrama

C) $n = 8$ bits

$V_{ref} = 1V \quad A) E_C = E_{ADC} = \frac{V_{bb}}{2} = \frac{V_{ref}}{2 \cdot 2^n} = 1,953 \text{ mV}$

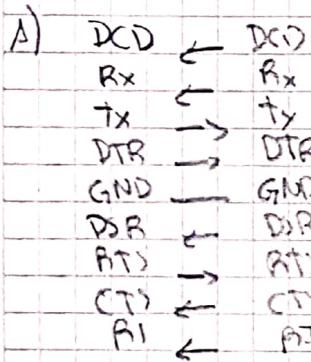
B) $\frac{V_{ref}}{2^{n+1}} \cdot \frac{1}{2} = \frac{V_{ref}}{2^{n+2}} \quad \therefore B) \text{ agregar 2 bits extra}$

ADC

4) A) $t_{temp_{conv}}$ bits B) E_C con $n+2$ bits.

RS232

5) DTE - DCE



B) Mechanism

NOTA

10) 6)

ldr r0, [r3]

mn r1, #10

ldrs r2, [r0, r1]

mov r2, r2, lsl #7

strb r2, [r0, r1]

add r1, r1, #1

b bup

solar.

inti

in trap (no)

For (1 - 0 < 10, 1:11)

{ trap } = trap C5 * 128

(0 null x 128

xtra b duplicate

2 = 128

dec bn

5 0101

128

00101000.0000 → 8 duplicate

logica al
mult

→ 010 (000)
0000.0 1 1

11)

7) ORR r1, r0, #0X00000007

8) sub r0, r0, r1
add r1, r0, r1
sub r0, r1, r0

$$r0 = 5$$

$$r1 = 2$$

$$r0 = r0 - r1 = 5 - 2 = 3$$

$$r1 = r0 + r1 = 3 + 2 = 5 \quad \therefore r1 = 5$$

$$r0 = r1 - r0 = 5 - 3 = 2 \quad r0 = 2$$

$$r0 = 5 // 0101$$

$$r1 = 2 // 0010$$

$$r0 = r0 - r1 = 0011 \quad \therefore r0 = 0011$$

$$r1 = r0 + r1 = 0011 + 0010 = 0101 \quad \therefore r1 = 0101$$

$$r0 = r1 - r0 = 0101 - 0011 = 0010 \quad \therefore r0 = 0010$$

For r0, r0, r1

For r1, r0, r1

For r0, r0, r1

Existen 2 formas

R0 R1	EPR	(1)	R0 R1	EPR
0 0	0	0 0	0 0	0
0 1	1	1 0	1	1
1 0	1	0 1	1	1
1 1	0	1 0	1	1

(2)	R0 R1	R	(3)	R0 R1	R
0 0	0	0	0 0	0	0
1 0	1	1	..	0	0
1 1	0	1 0	1	1	0
1 0	1	1 1	0	1	1

a) ldr rd, [rn, rm]!

$$\begin{cases} rd = rn + rm \\ rn = rn + rm \end{cases}$$

ldr rd, [rn, rm] → rd = rn + rm

add rn, rn, rm → rn = rn + rm

Verdadero

NOTA

22/02/18

HORARIO

FESCHA

ADC

$$1) n = 10 \text{ bits}$$

$$V_{ref} = 3,3 \text{ V}$$

$$V_{FCO} = 80^\circ\text{C}$$

$$V_{ISBO} = 0,1^\circ\text{C}$$

$$V_{bb} = V_{ISBO} \cdot G_{ISBO} = 2 \mu\text{A} \cdot 2 = 3,22 \text{ mV}$$

$$V_{bb} = \frac{V_{ref}}{2^n} = 3,22,$$

$$G_{ISBO} = 20 \frac{\mu\text{A}}{^\circ\text{C}}$$

$$\boxed{G_{ADP} = \frac{V_{bb}}{V_{ISBO}} = 1} \rightarrow G_A$$

$$R = \frac{V_{bb}}{V_{ISBO} \cdot G_{ISBO}} = 1611,32 \Omega$$

ADC

2) 9 canales

$$f_c = 100 \text{ kHz}$$

$$n = 8 \text{ bits}$$

$$A) AB = \frac{f_c}{n \text{ canales}} = 25000 \text{ Hz}$$

$$B) f_m = 2 \cdot f_c = 200 \text{ kHz}$$

$$C) t_c = \frac{1}{n \text{ canales} \cdot f_m} = 1,25 \mu\text{sec}$$

ADC

$$3) A) t_{conv} = n \cdot t_{clock}$$

$$t_{conv} = (n+1) \cdot t_{clock} \quad \text{aprox}$$

$$t_{conv} = 2^{n+1} \cdot t_{clock} \quad \text{abbe simple}$$

ADC

$$c) n = 8 \text{ bits}$$

$$V_{ref} = 10 \text{ V}$$

$$V_{bb} = \frac{V_{ref}}{2^n} = 39,0625 \text{ mV} \quad \checkmark$$

$$= 0,39\% \cdot 10 \text{ V} = 39 \text{ mV} \quad \checkmark$$

$$= \frac{V_{ref} R}{2^n} = 3906,25 \text{ ppm} \cdot V_{ref} \quad \checkmark$$

Asimblear

$$5) \begin{array}{l} \text{OBP } s_0, s_1, s_2 \\ \text{mvn } s_0, s_0 \end{array}$$

NOTA

Axentia
6)

mov r0, #9

mov r1, #h

cmp r0, r1

add GE r0, r0, r1

sub IT r0, r0, r1

if ($g \geq h$)

$g = g + h$

else

$g = g - h$

7) ldr r0, [r1, #12] pre interado sin act

8)

NOTA

23/05/19

1) Simple rampa

$$V_{pp} = 1V$$

$$f_c = 1 \text{ MHz}$$

$$E_T = 2 \text{ mV}$$

$$E_T = \pi f_c t_s \rightarrow t_s = \frac{E_T}{\pi f_c} = 0,6366 \text{ n Seg}$$

$$t_s = \frac{1}{2^n 2\pi f_c} \rightarrow 2^n = \frac{1}{2\pi f_c t_s} \rightarrow n = \frac{\ln(\frac{1}{2\pi f_c t_s})}{\ln(2)} = 7,96 \rightarrow \boxed{n \approx 8 \text{ bits}}$$

2) 8 canales Apur sucesivo

$$f_c = 40 \text{ kHz}$$

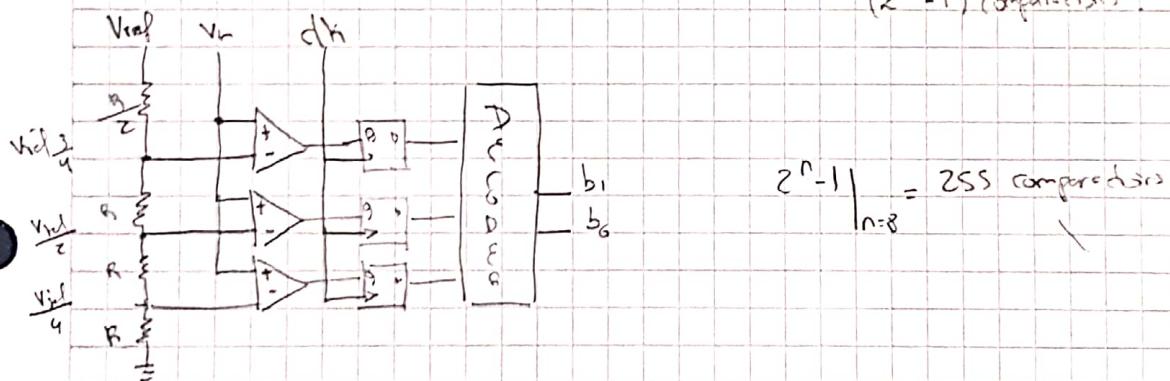
n: 8 bits

A) ARB: $\frac{f_c}{n \text{ canales}} = 5000 \text{ Hz} \rightarrow \boxed{\text{ARB: } 5 \text{ kHz}}$

B) $f_m = 2 f_c = 80 \text{ kHz}$

C) $t_c = \frac{1}{f_m} = 1,25 \mu\text{s}$

3) Diagrama de bloques de un conversor Flash 2 bit
 $(2^n - 1)$ comparadores: 3

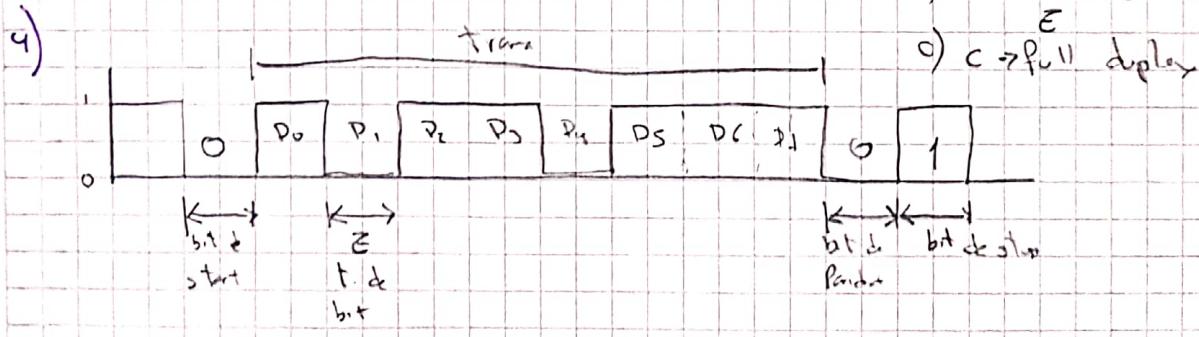


$$2^n - 1 \Big|_{n=8} = 255 \text{ comparadores}$$

t_{conv} : Tiempo de los comparadores (slow rate) + el tiempo de demora del bus de datos

$t_{conv} = n \cdot t_{clock}$

B) $t_{clock} = \frac{1}{E}$ [bitrate]



NOTA

5) mov r1, #A
ldrb r2, [r3]

R1 → A

mov r1, r2, lsl #2



6) R0 = 0x0000AFFF
R1 = 0x12345678

A) lsl r2, r1, #4 → r2 = 0x123456780

B) Orr r2, r0, r1 → r2 = 0x1235FFFA

C) ldrh r5, [r2], #8 → r2 = r2 + #0x80000008

D) ldr r5, [r2, #16]! → r2 = r2 + #0x00000010

$$\begin{array}{r} A \quad 1010 \\ 5 \quad 0101 \\ \hline F = 1111 \end{array} \quad \begin{array}{r} A \quad 1010 \\ 6 \quad 0110 \\ \hline E = 1110 \end{array} \quad \begin{array}{r} A \quad 1010 \\ 7 \quad 0111 \\ \hline F = 1111 \end{array} \quad \begin{array}{r} A \quad 1010 \\ 8 \quad 1000 \\ \hline A \quad 1010 \end{array}$$

7) ADD r1, r2, r3

$$r3 \rightarrow \begin{matrix} 3 \\ 2 \\ 1 \end{matrix} \quad r2 \rightarrow \begin{matrix} 3 \\ 2 \\ 1 \end{matrix}$$

8) mov r1, #0x200
mov r2, #0
mov r3, #0

r2 = conector
r3 = acumulator

loop: (rp r2, #250

b7 salr

ldrb r4, [r1], #1

add r5, r4, #1

tst r4, #0x00000001 impar

bne loop

tst r4, #0x80 neg

abdn r3, r3, #1

b loop

salr : b salr

$$\begin{array}{r} 0011 \\ 0001 \\ \hline 00011 \end{array} \quad \begin{array}{l} r2 = 1 \\ Z = 0 \end{array}$$

$$\begin{array}{r} 10010 \\ 1000 \\ \hline 1 \end{array}$$

$$\begin{array}{l} r2 = 1 \\ Z = 0 \end{array}$$

21/02/19

HOJAS

FICHA

APC

- 1) conv. A/D doble rampa
 $V_{pp} = 1V$
 $f_c = 1MHz$
 $\epsilon_T = 2mV$

$$\epsilon_T = \pi f_c t_s \rightarrow t_s = \frac{\epsilon_T}{\pi f_c} = 0,6366 \text{ nsag}$$

$$t_s = \frac{1}{2^n \cdot 2\pi f} \rightarrow 2^n = \frac{1}{2\pi f \cdot t_s} \rightarrow n = \frac{\ln\left(\frac{1}{2\pi f t_s}\right)}{\ln(2)} = 5,52$$

$$n = 7,96 \approx 8 \text{ bits}$$

APC

- 2) 8 canales
 $f_c = 40 \text{ kHz}$
 $n = 8 \text{ bits}$

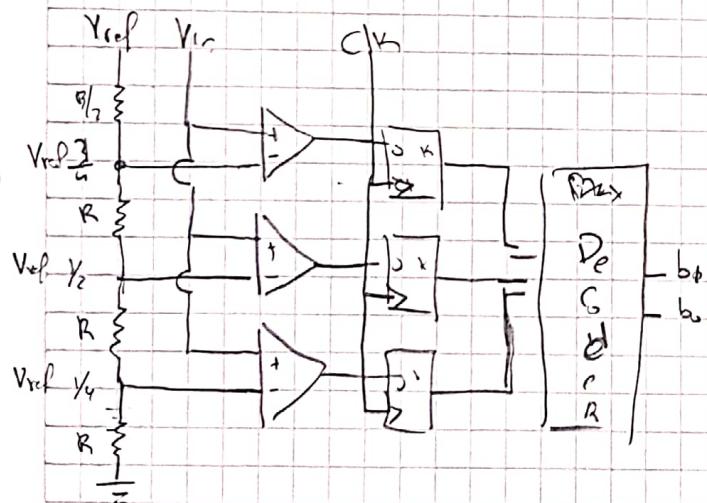
A) $AB = \frac{f_c}{n \text{ canals}} = 5000 \text{ Hz} = 5 \text{ kHz}$

B) $f_m = 2 \cdot f_c = 80 \text{ kHz}$

C) $t_c = \frac{1}{f_m \cdot n \text{ canals}} = 1,56 \mu\text{seg.}$

- 3) Diagrama de bloques, conv A/D Flash

$$\text{comp} = 2^n - 1 = 3 \text{ comparador, } n = 2 \text{ bits}$$



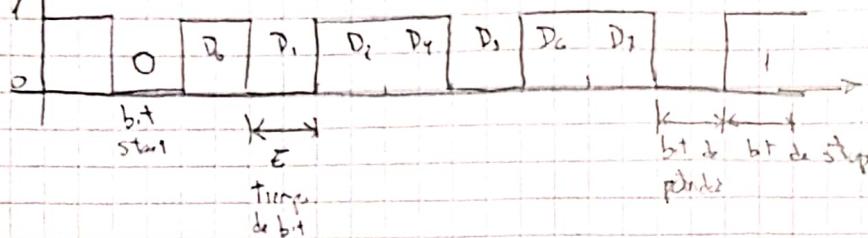
A) Están determinados por el t_{retr} de los comparadores (slow write) y el t_{rec} de prep. ex. en el dac.

$$t_{conv} = n \cdot t_{cik}$$

B) $n = 8 \text{ bits}$
 $C = 2^n - 1 = 255 \text{ comp.}$

NOTA

4)



B) $n = \frac{1}{\epsilon}$ [bandas]

c) Full-duplex xq puede enviar y recibir datos simultáneamente

5)

mov r0, #x

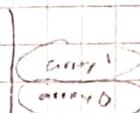
mov r1, #y

ldr r3, [r2]

ldr r4, [r3, #28]

add r0, r4, r1

$x = \text{array}[7] + y$



$$7 \times 4 = 28$$

6) $r_3 = 0x8000 \rightarrow 1000.0000\dots$

A) str r6, [r3, #12]

$$r_3 = 0x8000$$

B) strb r3, [r7], #4

$$r_3 = 0x8000$$

post $r_d = r_n$ $r_n = r_n + 4$

C) ldrh r5, [r3], #8

$$r_3 = 0x8008$$

post $r_d = r_n$ $r_n = r_n + 8$

D) ldr r12, [r3, #16]

$$r_3 = 0x8010$$

pre ind exact $r_n = r_n + 16$

$$r_d = r_n + 16$$

7) ROR rotacion hacia la derecha
RRR R R R R R R R R con carry.

8) mov r0, #0x200

mov r1, #0

/ contador

mov r7, #0

/ acumulador de pares neg.

ldr r2, [r0]

bap cmp r4, #250

bni salir

ldr b r3, [r2], #1

add r1, r1, #1

tst r3, #800 @ neg

1

beq loop

0001

tst r3, #1 @ imp

)

addne r7, r7, #1

and 1000

bloop

1000

salir

$\rightarrow r7 = 1$

$Z=0$

0

$Z=1$

0001

0001

0001

$\rightarrow r7 = 1$

$Z=0$

NOTA

7/02/19

NOTA

$$1) n=10 \text{ bits}$$

$$V_{ref} = 3,3 \text{ V}$$

$$V_{BBO} = 0,1^\circ\text{C}$$

$$V_{FEO} = 80^\circ\text{C}$$

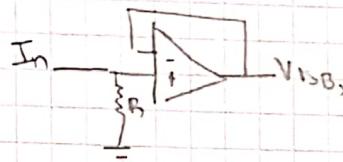
$$G_{S_{\text{sensor}}} = 20 \frac{\mu\text{A}}{\text{C}}$$

$$V_{BB} = \frac{V_{ref}}{2^n} = 3,22 \text{ mV}$$

$$V_{BSB} = G_{S_{\text{sensor}}} \cdot V_{BB} = 2 \mu\text{A} \cdot 1610 \Omega = 3,22 \text{ mV}$$

$$A) R = \frac{V_{BB}}{V_{BSB} \cdot G_{S_{\text{sensor}}}} = 1610 \Omega$$

$$G_{A_{\text{dep}}} = \frac{V_{BB}}{V_{BSB}} = 1$$



NOTA

2) Conv. A/D aprox sr = $\frac{V_{in}}{V_{max}}$

$$n=8 \text{ bits}$$

$$V_{max} = 10 \text{ V}$$

$$V_{in} = 3,922 \text{ V}$$

$$\frac{V_{max}}{2^n}$$

$$1) 1^{\text{st}} \text{ clock} \rightarrow \frac{10}{2^1} = 5$$

$5 > V_{in} \therefore "0"$

$$2^2 \rightarrow \frac{10}{2^2} = 2,5$$

$2,5 < V_{in} \therefore "1"$

$$3^{\text{rd}} \rightarrow \frac{10}{2^3} = 1,25$$

$2,5 + 1,25 < V_{in} \therefore "1"$

$$4^{\text{th}} \rightarrow \frac{10}{2^4} = 0,625$$

$2,5 + 1,25 + 0,625 > V_{in} \therefore "0"$

$$5^{\text{th}} \rightarrow \frac{10}{2^5} = 0,3125$$

$2,5 + 1,25 + 0,3125 > V_{in} \therefore "0"$

$$6^{\text{th}} \rightarrow \frac{10}{2^6} = 0,15625$$

$2,5 + 1,25 + 0,15625 < V_{in} \therefore "1"$

El registro se actualiza cada 6° toma en "1"

7) $f_{clk} = 15 \text{ kHz}$

$$t_{clock} = 0,9, t_{conv.} = 270 \mu\text{s}$$

$$t_{conv.} = (n+1) t_{clock} = 0,6 \text{ ms} \approx$$

$$t_{sample} = 0,1 t_{conv.} = 60 \mu\text{s}$$

NOTA

NDL

3) 8 canales
 $f_c = 10 \text{ MHz}$

A) $P_m = 2, P_c = 20 \text{ mHz}$

3) $C_c = \frac{1}{n \cdot \text{canales} \cdot f_{\text{canales}}} = 6,25 \text{ nF}$

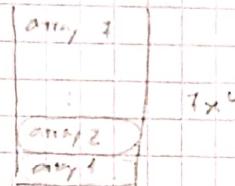
4)

10

ldr $r_3, [r_2, \#28]$
add r_0, r_3, r_1

b7.
 $x_0 \leftarrow 7 \cdot 4 = 28.$

$r_0 \rightarrow x$
 $r_1 \rightarrow y$



5)

A) pre index sin add. $rd = rn + \#0$ $rn = rn$

B) post rd $rd = rn + rn + off$

C) pre index $rd = rn + \#off$ $rn = rn + off$

D) pre rd sin add.

6)

$r_3 = 0x8000$

A) str $r_6, [r_3, \#12]$ $r_3 = 0x8000$

B) strb $r_3, [r_7], \#1$ $r_3 = 0x8000$

C) ldr $r_4, [r_3], \#8$ $r_3 = 0x8008$

D) ldr $r_{12}, [r_3, \#16]!$ $r_3 = 0x8010$

7)

limpiar los bits del registro r_{12} ($r_{12} = 0$) no usar mas de 2 instr.

1) BIC $r_{12}, r_{12}, \#1$

2) AND $r_{12}, r_{12}, \#0$

8)

ldr $r_1, \#0x200$

ldr $r_2, r_1, \#0$

$r_2 \leftarrow$

$r_2 \leftarrow r_2 + 1$

$r_2 \leftarrow$

NOTA

7/02/19

2

8)

```

    mov r1, #0x200
    mov r2, #0
    mov r7, #0
    ldr r1, [r1]
  
```

r_0 : elemento
 r_1 : direc. a la base
 r_7 : acum. de n° pares res
 r_2 : control

loop: cmp r2, #250

beg salir

ldrb $r_0, [r_1], \#1$ $\#1 = 000\dots1$
 add $r_2, r_2, \#1$
 tst $r_0, \#1$ $\text{and } 0001$
 bne loop $\text{dec } \underline{\text{bit}} \quad 0001 \therefore r_0 = 1 \therefore R_0 = 0$
 ts1 $r_0, \#80$ $\#80 = 10000\dots0$

addne r7, r7, #1
 b loop

$r_0 = 1001$
 $\text{and } 0001$
 1000
 $1000 \quad \text{bit} = 1 \therefore R_0$

salir

NOTA