

Práctico de laboratorio N°2

Decodificadores Comercial // Verilog

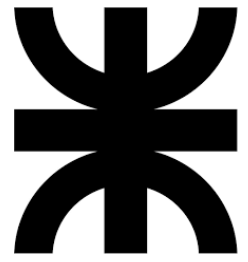
- **Autores:**

- Nahuel Valentin Pereyra - Leg. 402333
- Marcos Raúl Gatica - Leg. 402006
- Valentino Rao - Leg. 402308

- **Curso:** 3R1

- **Asignatura:** Técnicas digitales I - Departamento de Ingeniería electrónica.

- **Institución:** Universidad Tecnológica Nacional - Facultad Regional de Córdoba.



U
T
N

F
R
C

Índice

1. INTRODUCCIÓN	1
2. EJERCICIO 2.1: Utilizar conversor BCD	1
2.1. Materiales usados	1
2.2. Procedimiento	1
2.3. Preguntas de análisis	1
3. EJERCICIO 2.2: HDL decodificador BCD	3
3.1. Materiales utilizados	3
3.2. Procedimiento	3
3.3. Código HDL Verilog	3

1. INTRODUCCIÓN

Este informe tiene el objetivo de resumir la práctica del manejo de decodificadores comerciales, resolver problemas prácticos con el kit CPLD, uso de Xilinx y el lenguaje de descripción de hardware Verilog.

2. EJERCICIO 2.1: Utilizar conversor BCD

La consigna de este ejercicio es utilizar un conversor BCD a 7 segmentos CD4511 con el minilab.

2.1. Materiales usados

- Mini laboratorio (minilab)
- Decodificador BCD a 7 segmentos CD4511
- Resistores
- Display de 7 segmentos
- Fuente de alimentación V_{CC}
- Cables Dupont

2.2. Procedimiento

- Análisis de datasheet del CD4511.
- Armado de esquemático.
- Armado de circuito.
- Identificado de pines del decodificador BCD a 7 segmentos y el display de 7 segmentos según fabricante.
- Agregado de resistores limitadores de corrientes.
- Alimentación de circuito.
- Probado con una entrada en formato BCD de 4 bits al decodificador y visualización del número correspondiente en el display de 7 segmentos.
- Comprobación de diferentes entradas BCD y su salida en el display de 7 segmentos.

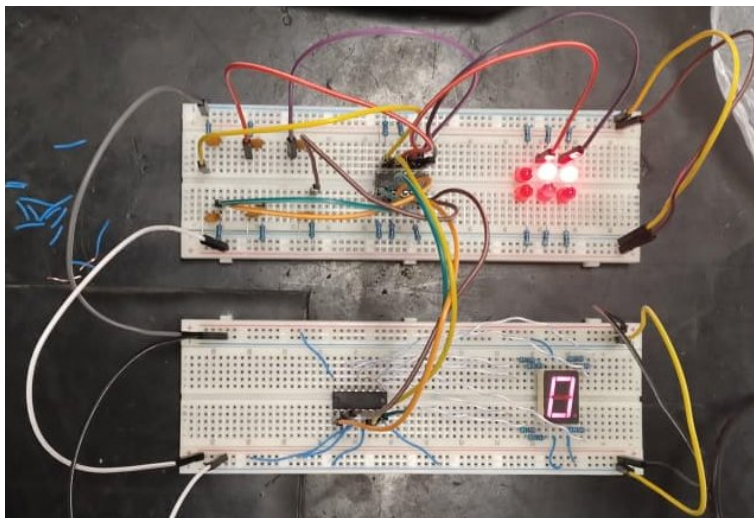


Figura 1: Implementación

2.3. Preguntas de análisis

I. ¿Cuál es la función del decodificador BCD a 7 segmentos?

→ El decodificador CD4511 es un circuito integrado BCD (decimal codificado a binario) a siete segmentos que permite mostrar valores numéricos en un display usando de entrada un código BCD. Sirve como "traductor" de instrucciones (combinaciones binarias de 4 bits 0000-1001) en las señales adecuadas para activar segmentos del display, de modo que se muestre el dígito correspondiente del 0 al 9.

II. ¿Cuál es la conexión adecuada entre el decodificador y el display de 7 segmentos?

→ El integrado CD4511 posee 4 entradas de datos: **D C B A** para el código en BCD. Posee siete salidas: $a \rightarrow g$ que controlan los segmentos del display. Cuenta con entradas de control (LATCH ENABLE), BLANKING y LAMP TEST que permiten almacenar de forma temporal un valor, apagar el display sin perder el dato o encender todos los segmentos simultáneamente.

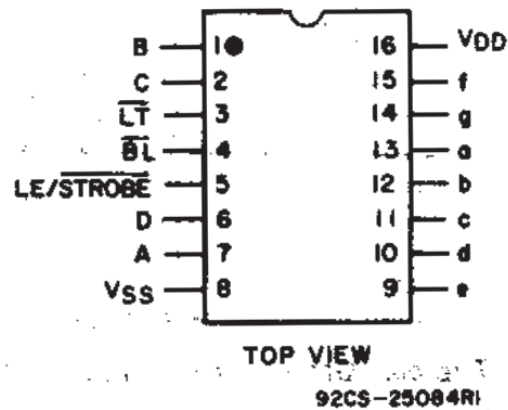


Figura 2: Distribución de pines CD4511

III. ¿Qué sucede si se proporciona una entrada inválida al decodificador?

→ Dicho escenario se responde mirando la tabla de verdad del decodificador CD4511:

TRUTH TABLE.														
LE	BI	LT	D	C	B	A	a	b	c	d	e	f	g	Display
X	X	0	X	X	X	X	1	1	1	1	1	1	1	8
X	0	1	X	X	X	X	0	0	0	0	0	0	0	Blank
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	0	0	1	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	Blank
0	1	1	1	0	1	1	0	0	0	0	0	0	0	Blank
0	1	1	1	1	0	0	0	0	0	0	0	0	0	Blank
0	1	1	1	1	0	1	0	0	0	0	0	0	0	Blank
0	1	1	1	1	1	0	0	0	0	0	0	0	0	Blank
0	1	1	1	1	1	1	0	0	0	0	0	0	0	Blank
1	1	1	X	X	X	X					*			*

X = Don't Care

* Depends on BCD code previously applied when LE = 0

Note: Display is blank for all illegal input codes (BCD > 1001).

Figura 3: Tabla de verdad CD4511

Cuando se ingresa un valor binario existente en la tabla, se activan las salidas correspondientes para formar el dígito en el display, para cualquier otro valor incorrecto (ej: mayor que 1001), el decodificador apaga el display poniendo sus salidas a 0 (los "Blank").

3. EJERCICIO 2.2: HDL decodificador BCD

El objetivo de este ejercicio es describir en Verilog HDL el comportamiento completo del decodificador BCD a 7 segmentos.

3.1. Materiales utilizados

- Kit CPLD.
- Software Xilinx.

3.2. Procedimiento

- I. Se describió en HDL Verilog.
- II. Sintetizó para obtener el RTL para el CPLD XC9582XL.
- III. UCF:
 - Identificar los pines del display de 7 segmentos.
 - Identificar el transistor que activa el display.
 - Identificar la llave a usar.
- IV. Se implementó el diseño y la simulación.
- V. Conectado de CPLD y la fuente de alimentación.
- VI. Borrado del viejo CPLD desde Manager Configuration Project y cargado del binario JED.



(a) 1 - CPLD



(b) 1 - CPLD

Figura 4: Algunos dígitos del CPLD

3.3. Código HDL Verilog

```

1 module bcdTo7Seg(
2     input  [3:0] BCD,
3     input  LT, BL,
4     output mosfet,
5     output reg [6:0] display
6 );

```

```
7
8 assign mosfet = 0;
9
10 always @(*) begin
11     if (!LT)
12         display = 7'b1111111;
13     else if (!BL)
14         display = 7'b0000000;
15     else begin
16         case (BCD)
17             4'd0: display = 7'b1111110;
18             4'd1: display = 7'b0110000;
19             4'd2: display = 7'b1101101;
20             4'd3: display = 7'b1111001;
21             4'd4: display = 7'b0110011;
22             4'd5: display = 7'b1011011;
23             4'd6: display = 7'b1011111;
24             4'd7: display = 7'b1110000;
25             4'd8: display = 7'b1111111;
26             4'd9: display = 7'b1110011;
27             default: display = 7'b0000000;
28         endcase
29     end
30 end
31
32 endmodule
```