



## ARITMETICA BINARIA

1. Expresé los siguientes números en complemento a 2 de 8 bits. Los números están expresados en hexadecimal.

|     |     |     |
|-----|-----|-----|
| +7f | -22 | +1f |
| -14 | 56  | -56 |
| 0   | -2a | 58  |
| -7e | 24  | -5a |
| 7e  | 21  | -21 |

2. Los siguientes números están expresados en hexadecimal, usted debe realizar la operación indicada utilizando complemento a 2. Los números están representados por una palabra binaria de 8bit. (7 bit mas signo). Debe indicar aquellas operaciones cuyo resultado no es correcto por overflow.

|          |          |
|----------|----------|
| 30 +41=? | 1b-3d=?  |
| 79 +24=? | 23+3a=?  |
| 7f-75=?  | 77+1f=?  |
| -3a+4f=? | -10+60=? |
| -79+af=? |          |

3. Realice la implementación con lógica discreta de un sumador restador de 4 bits cuya salida sea siempre el modulo del resultado y tenga una salida extra para el signo del mismo.
4. Describa en VHDL un circuito capaz de realizar la suma y la resta de dos números binarios de 8 bits (7 más signo). La función de suma o resta se selecciona con una señal que en uno indica resta y en cero sumas.
- 4.1. Realicé la descripción del sistema.
  - 4.2. Sintetice para un CPLD de XILINX.
  - 4.3. Realice el test bench correspondiente.
  - 4.4. Simule el sistema, y pegue las pantallas resultantes en el informe correspondiente.
  - 4.5. El sistema debe tener 8 bits de salida más un bit de overflow y uno de signo.
5. Realice la descripción en VHDL de un multiplicador de dos números binarios de 4 bits.
- 5.1. Realicé la descripción del sistema.
  - 5.2. Sintetice para un CPLD de XILINX.
  - 5.3. Realice el test bench correspondiente.
  - 5.4. Simule el sistema, y pegue las pantallas resultantes en el informe correspondiente.
6. Describa una ALU de 4 bits en VHDL, esta ALU debe realizar las operaciones indicadas en la tabla 1.
- 6.1. Realicé la descripción del sistema.
  - 6.2. Sintetice para un CPLD de XILINX.
  - 6.3. Realice el test bench correspondiente.
  - 6.4. Simule el sistema, y pegue las pantallas resultantes en el informe correspondiente.

| OPERACIÓN | ENTRADAS       |                |                | SALIDAS |
|-----------|----------------|----------------|----------------|---------|
|           | S <sub>2</sub> | S <sub>1</sub> | S <sub>0</sub> | F       |
| Clear     | 0              | 0              | 0              | 0 0 0 0 |
| B - A     | 0              | 0              | 1              | B - A   |
| A - B     | 0              | 1              | 0              | A - B   |
| ADD       | 0              | 1              | 1              | A + B   |
| XOR       | 1              | 0              | 0              | A XOR B |
| OR        | 1              | 0              | 1              | A OR B  |
| AND       | 1              | 1              | 0              | A AND B |
| Preset    | 1              | 1              | 1              | 1 1 1 1 |

**Tabla 1**

7. Aplicación simulación post - route.
- Analizar el sumador desarrollado e implementado en el practico 3, simular la peor condición y medir el tiempo necesario para obtener el resultado correcto.
- Modifique el sumador para mejorar el tiempo de respuesta.
- 7.1. Realicé la descripción del sistema.
  - 7.2. Sintetice para un CPLD de XILINX.
  - 7.3. Aplique el mismo testbench anterior.
  - 7.4. Simule el sistema, mida el tiempo resultante, y pegue las pantallas resultantes de simulación en el informe correspondiente.