# Practico de Laboratorio N° 3. --- HDL – Verilog ---

## Objetivo general

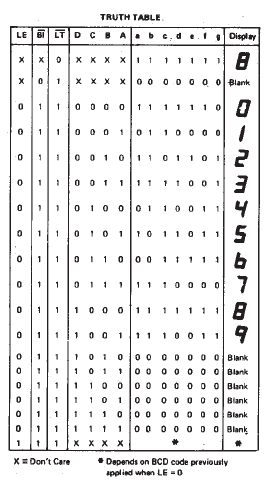
* Resolver problemas prácticos utilizando el Kit de CPLD
* Utilizar la herramienta de Xilinx
* Utilizar lenguaje de descripción de hardware (HDL) – Verilog.
  1. Objetivos específicos
* Que cada alumno ponga en práctica los conocimientos adquiridos en la materia.
* Realizar ejemplos prácticos para ejercitar los temas teóricos.
* Utilizar CPLDs. ( Kit de CPLD ).
  1. Ejercicios prácticos a realizar

### Descripción HDL de un decodificador BCD a 7 segmentos

Describir en Verilog el comportamiento completo de un decodificador BCD a 7 segmentos. Utilizar la hoja de dato del integrado cd4511.

Realizar:

* Descripción.
* Sintetizar y obtener el RTL en un CPLD XC9572XL.
* Simular
* Implementarlo en el kit de CPLD.
* Informe.



Elementos necesarios

* Kit de CPLD.
* Software Xilinx.
  1. Consultas.

ing. Sergio Olmedo a la cuenta de correo [solmedo@frc.utn.edu.ar](mailto:solmedo@frc.utn.edu.ar)

El nombre del tema del correo deberá ser TD1\_3RY\_18 GXX (Y= curso ; XX es nº de grupo. Ej: 01;02; etc)

* 1. Fecha de entrega.

Presentación funcionando y el informe del mismo.

Semana del 23 de Octubre 2018.

* 1. Bibliografía

<http://pdf1.alldatasheet.com/datasheet-pdf/view/26905/TI/CD4511.html>

<https://wilaebaelectronica.blogspot.com/2017/01/decodificador-bcd-a-7-segmentos.html>