# Practico de Laboratorio N° 4. --- HDL – Verilog --- multiplexado de display 7 segmentos

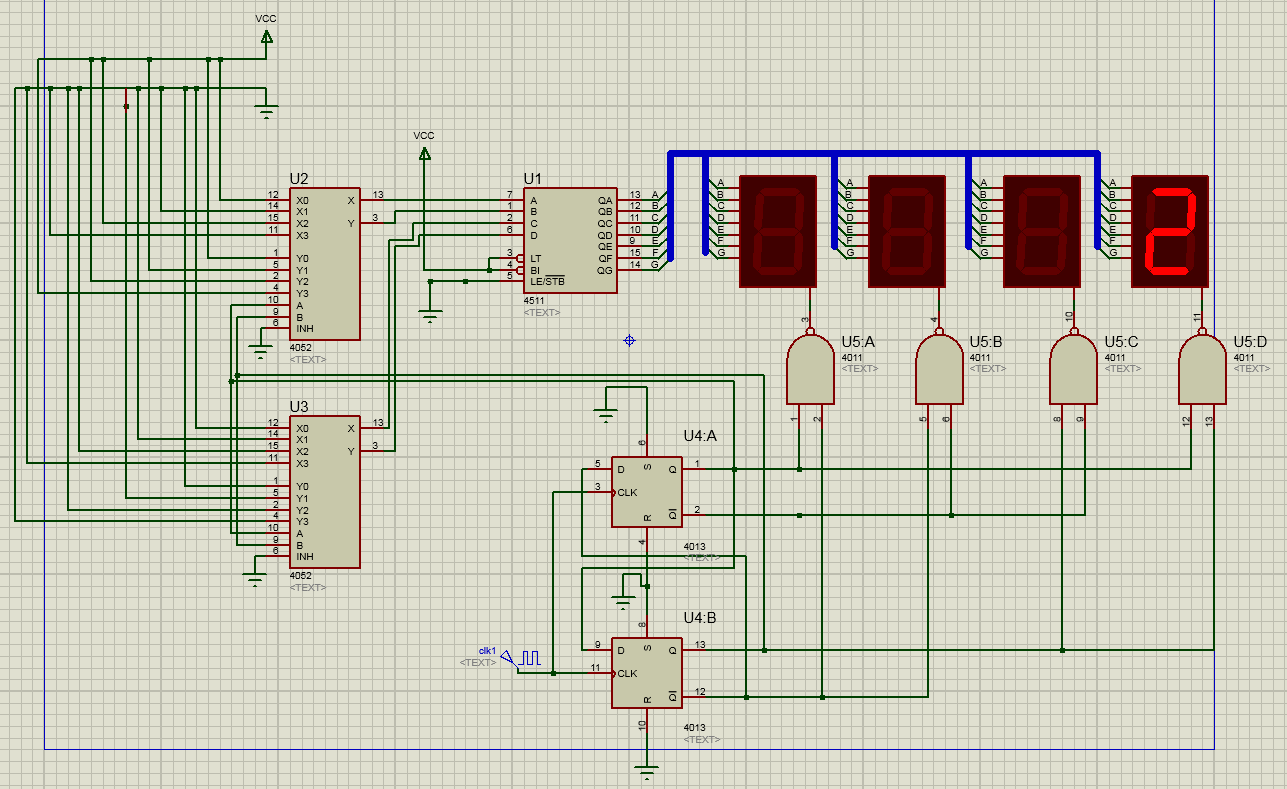
* 1. Objetivo general
* Resolver problemas prácticos utilizando el Kit de CPLD.
* Utilizar la herramienta de Xilinx.
* Utilizar lenguaje de descripción de hardware (HDL) – Verilog.
* Conocer el concepto de multiplexado de display.
  1. Objetivos específicos
* Que cada alumno ponga en práctica, los conocimientos adquiridos en la materia.
* Realizar ejemplos prácticos para ejercitar los temas teóricos.
* Utilizar CPLDs. ( Kit de CPLD ).
* Describir en Verilog, utilizando un circuito multiplexado de display de 7 segmentos como referencia.
  1. Ejercicios prácticos a realizar:

Descripción en Verilog de un multiplexor para 4 displays a 7 segmentos.

Realizar:

* Descripción.
* Sintetizar y obtener el RTL en un CPLD XC9572XL.
* Simular
* Implementarlo en el kit de CPLD.
* Informe.

Circuito de referencia para realizar la descripción HDL.

* 

Elementos necesarios

* Kit de CPLD.
* Software Xilinx.
  1. Consultas.

ing. Sergio Olmedo a la cuenta de correo [solmedo@frc.utn.edu.ar](mailto:solmedo@frc.utn.edu.ar)

El nombre del tema del correo deberá ser TD1\_3RY\_18 GXX (Y= curso ; XX es nº de grupo. Ej: 01;02; etc)

* 1. Fecha de entrega.

Presentación funcionando y el informe del mismo.

Semana del XX de Octubre 2018.

* 1. Bibliografía