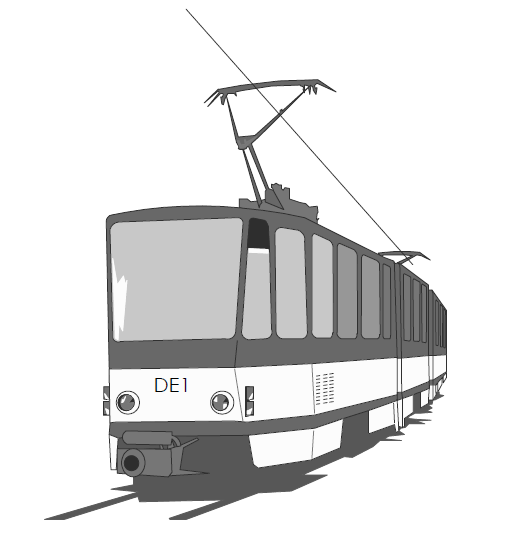
**TRABAJO PRÁCTICO DE FSM:**

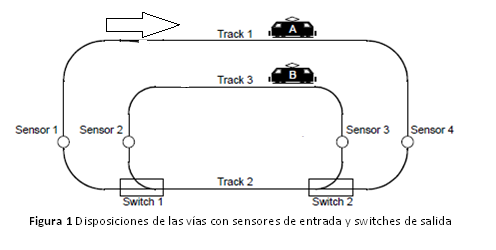
**DISEÑO DE CONTROLADOR DE TREN ELÉTRICO**

**5-PROBLEMA DEL CONTROL DEL TREN**

El diseño de la vía de un pequeño sistema de tren eléctrico se muestra en la figura 1. Dos trenes que llamaremos Tren A y Tren B, corren por las vías en sentido horario sin que se produzca una colisión. Para evitar esta colisión los trenes requieren de un controlador de seguridad, que permita que los trenes se muevan dentro y fuera de las intersecciones sin que se produzca ningún contratiempo.

Para una operación segura, solo un tren a la vez puede estar presente sobre un determinado segmento de vía. La disposición de la vía en la figura 1 está dividida en cuatro segmentos. Cada segmento de vía tiene sensores que son utilizados para detectar los trenes en los puntos de entradas y salidas.

En la figura 1 hay dos trenes, A y B. Como ejemplo podemos asumir que el tren A siempre se mueve por la vía externa y el tren B en el bucle interno. También asumamos por el momento que el tren A acaba de pasar el Sensor 4 y se encuentra próximo al Switch 2 moviéndose en sentido horario. También asumamos que el tren B se mueve en sentido horario y se aproxima al Sensor 3. Del momento que el tren B está ingresando a una vía común (vía 2), el tren A debe detenerse cuando alcance el Sensor 4

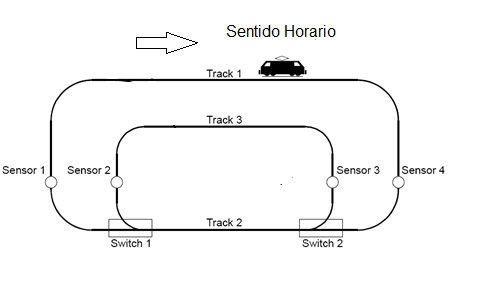


Y debe esperar hasta que el tren B haya pasado el Sensor 2 (el tren B queda fuera de una vía común). En este punto los switches de las vías se deberan conmutar para el paso del tren A, el tren A será permitido de ingresar a la vía 2, y el tren B continuará su movimiento hacia el sensor 3.

El controlador es una máquina de estado que usa los sensores como entradas. Las salidas del controlador determinan el movimiento de los trenes y las posiciones de los switches. Sin embargo la máquina de estado no controla la velocidad de los trenes. Esto significa que el sistema controlador debe funcionar correctamente independientemente de la velocidad de los dos trenes.

Se utilizará una simulación de tren “virtual” basada en FPGA, que emula esta configuración y proporciona salida que se visualizará en leds de la placa FPGA. Del momento que no hay circuitos de potencia conectados al tren sobre la placa FPGA, se busca dar una indicación visual de cómo las salidas del tren trabajan en el sistema real. Seguidamente se deberá explicar cómo la máquina de estado debería controlar cada señal para operar el tren adecuadamente.

**5.1-Salidas de los trenes (DA1 y DB0)**

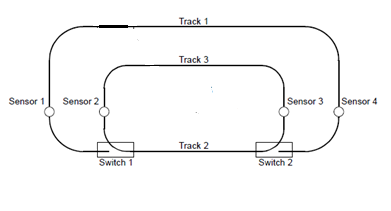
La dirección de cada tren es solo en sentido horario y es controlada por dos señales (una por cada tren) DA0 para el tren A, y DB0 Para el tren B. Cuando estas señales se activan, indican que los trenes están en movimiento. Cuando se ponen en cero los trenes se detendrán. Como se observa en la figura 2.

**Figura 2** control del movimiento del tren con las señales de dirección

**5.2-Salidas de switches de dirección (SW1, SW2)**

Los switches de dirección son controlados actuando sobre las señales de salidas SW1, SW2 ya sea en alto (salida conectada con la vía interior) o en bajo (vías exteriores conectadas). Esto significa que en cualquier momento en que todos los switches son puestos a “1”, las vías están configuradas de manera tal que el bucle exterior está desconectado del bucle interior. Figura 3.

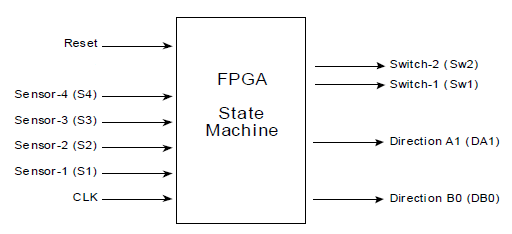
Si un tren se mueve en dirección de un Switch abierto , descarrilará, por lo que se deberá tener en cuenta que no se de esa condición.



**Figura 3** dirección de las vías si los switches están en 1

**5.3-Señales de entrada de sensores de los trenes**

Las cuatro entradas de señales de sensores de los trenes (S1, S2, S3 y S4 ) se ponen en estado alto cuando un tren está cercano a la ubicación del sensor. Se debe tener en cuenta que los sensores (S1, S2, S3 y S4) **no se ponen en uno solo durante un ciclo de reloj**. De hecho los sensores se disparan continuamente durante muchos ciclos de reloj por pasaje de cada tren. Esto significa que si su diseño está probando el mismo sensor de un estado a otro, debe esperar que la señal cambie de estado alto a estado bajo.

Las señales de entradas y salidas de la máquina de estado se ven en la siguiente figura:

Sensor (S1, S2, S3, S4) = 1 Tren Presente

= 0 Tren Ausente

Switches (SW1, SW2) = 0 Conectado a la vía exterior

= 1 Conectado a la vía interior

Movimiento del tren DA1 y DB0 = 00 detenido

= 01 Marcha tren B

= 10 Marcha tren A

= 11 Marcha tren A y B

**5.4-** Se deberá describir en Verilog la máquina de estado, realizar tablas de transición de estados, diagrama de estados y presentar el práctico funcionando con su informe correspondiente.

Realizar:

* Descripción.
* Sintetizar y obtener el RTL en un CPLD XC9572XL o FPGA Basys 2.
* Simular
* Implementarlo en el kit de CPLD/FPGA.
* Informe.