



© AP



MICROELECTRÓNICA

TECNOLOGÍAS DE FABRICACIÓN DE CIRCUITOS INTEGRADOS

DEFINICIÓN

Tecnología mediante la cual se fabrican dispositivos electrónicos que se empacan en grandes densidades en una única pastilla.

TECNOLOGÍA PLANAR

TECNOLOGÍA DE PELÍCULA
DELGADA

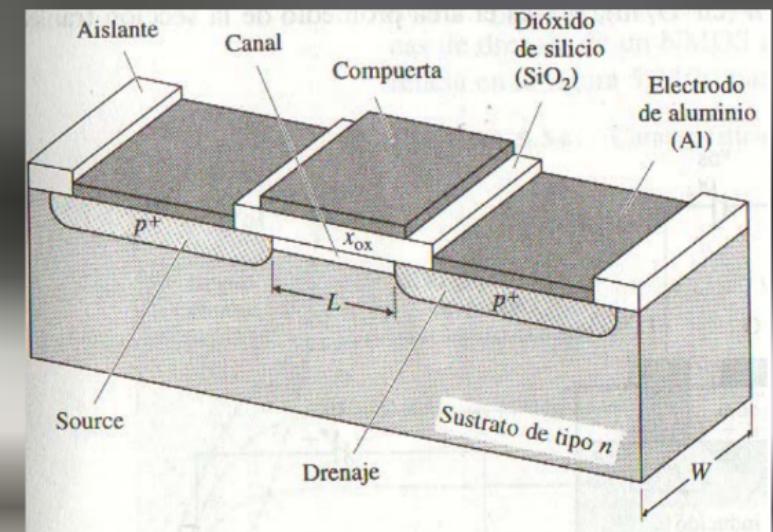
TECNOLOGÍA DE
PELÍCULA GRUESA

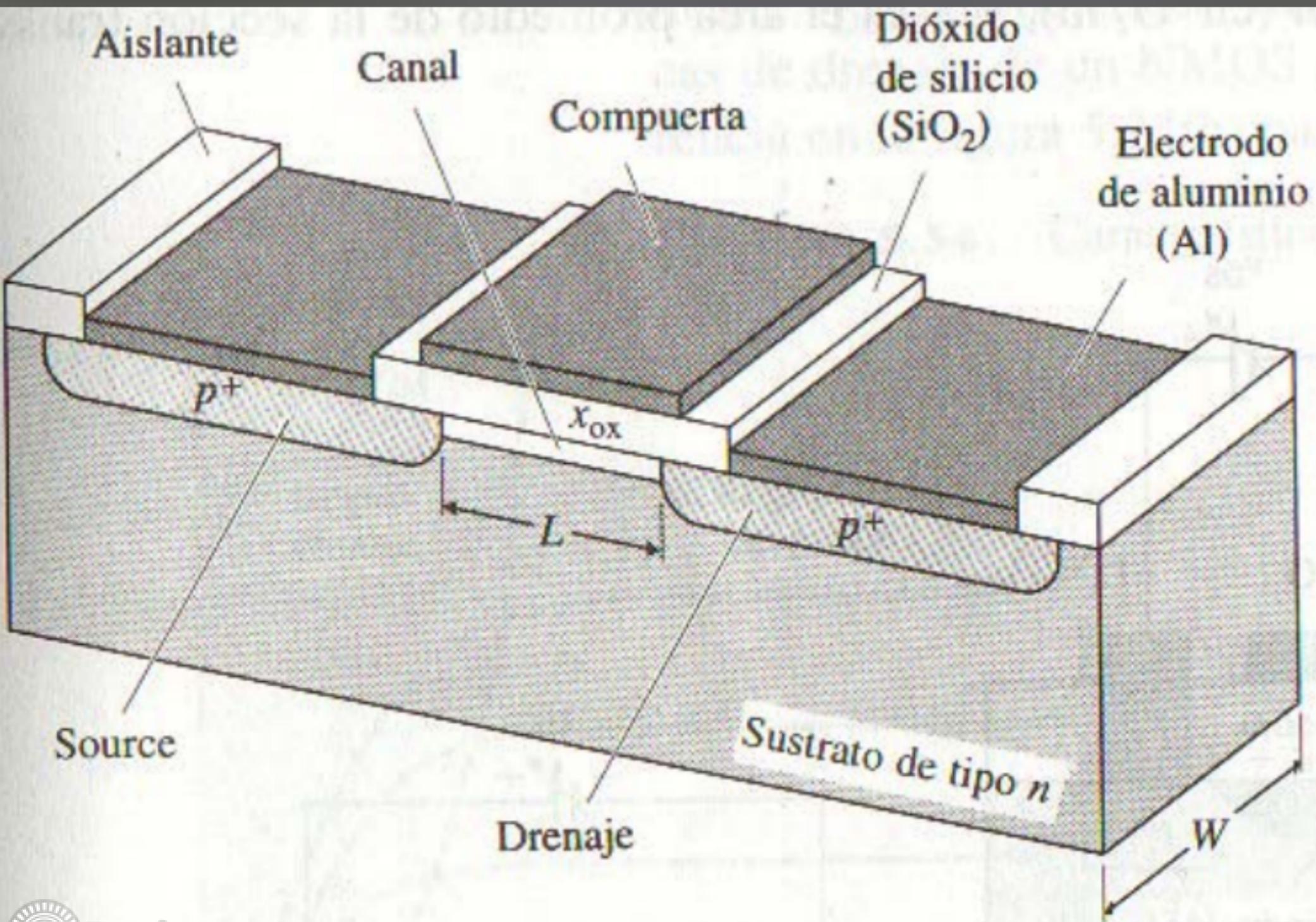
TECNOLOGÍA PLANAR

TECNOLOGÍA DE PELÍCULA DELGADA

TECNOLOGÍA DE PELÍCULA GRUESA

- SUSTRATO O CUERPO
 - Se utilizan tres procesos:
 - Epitaxial
 - Difusión
 - Implantación de Electrones
- CAPA DE OXIDO
 - Protección de la superficie del chip
 - Formación de zonas p y n en forma selectiva
 - Fotolitografía y corrosión química
- ZONAS METÁLICAS
 - Conexión entre componentes
 - Fotolitografía y corrosión química





- Bajo Costo
- Tamaño reducido
- Elevada confiabilidad
- Los componentes se montan simultáneamente
- Se reducen las dimensiones
- Mejores prestaciones
- Igualdad de calidad
- Todos los trámites se realizan simultáneamente
- Iguales precios
- Mismo costo



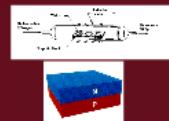
PROCESO PLANAR

- Se trabaja sobre una pastilla monolítica
- Se aplica una serie de pasos hasta 1500.
- Procesos en sala clase 1
 - <3500 partículas / m³

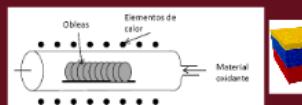
- Crecimiento



Se introduce el wafer en un ambiente controlado para conseguir una capa sobre el sustrato.
Horno entre 900 y 1000°C



- Oxidación



- Fotolitografía

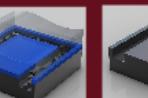
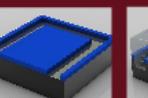
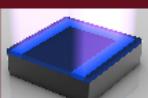
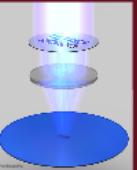


- Inicialmente se cubre el wafer con una emulsión fotosensible.

- Se somete a luz ultravioleta, utilizando una máscara en negativo o positivo.

- Se revela con un químico como ser el tricloroetileno.

- Se realiza corrosión química sumergiendo el wafer en ácido fluorhídrico.



- Interconexión de los dispositivos

- Verificación de cada wafer.
- Los que no pasan el

- Metalización
 - En ambiente con atmósfera elegido.
 - Se cubre toda la superficie.
 - Por litografía se realizan las imágenes.
 - Se utilizan materiales
 - Oro
 - Aluminio
 - Plata
 - Cromo
 - Aleaciones de cobre
 - Cermet



- <3500 particul

- Crecimiento

- Crecimiento E



Materia prima:
Silicio puro - Cuarcita 99% de pureza

Producto resultante:
Discos de 25mm a 450mm de diámetro
Espesor: 275um a 925um



Silice PURO --> Se calienta para llevarlo a estado líquido

Intro
senti



Introducción de cristal para obtención de la barra. Giran en sentido contrario. Proceso CZ



Obtención del lingote de silicio



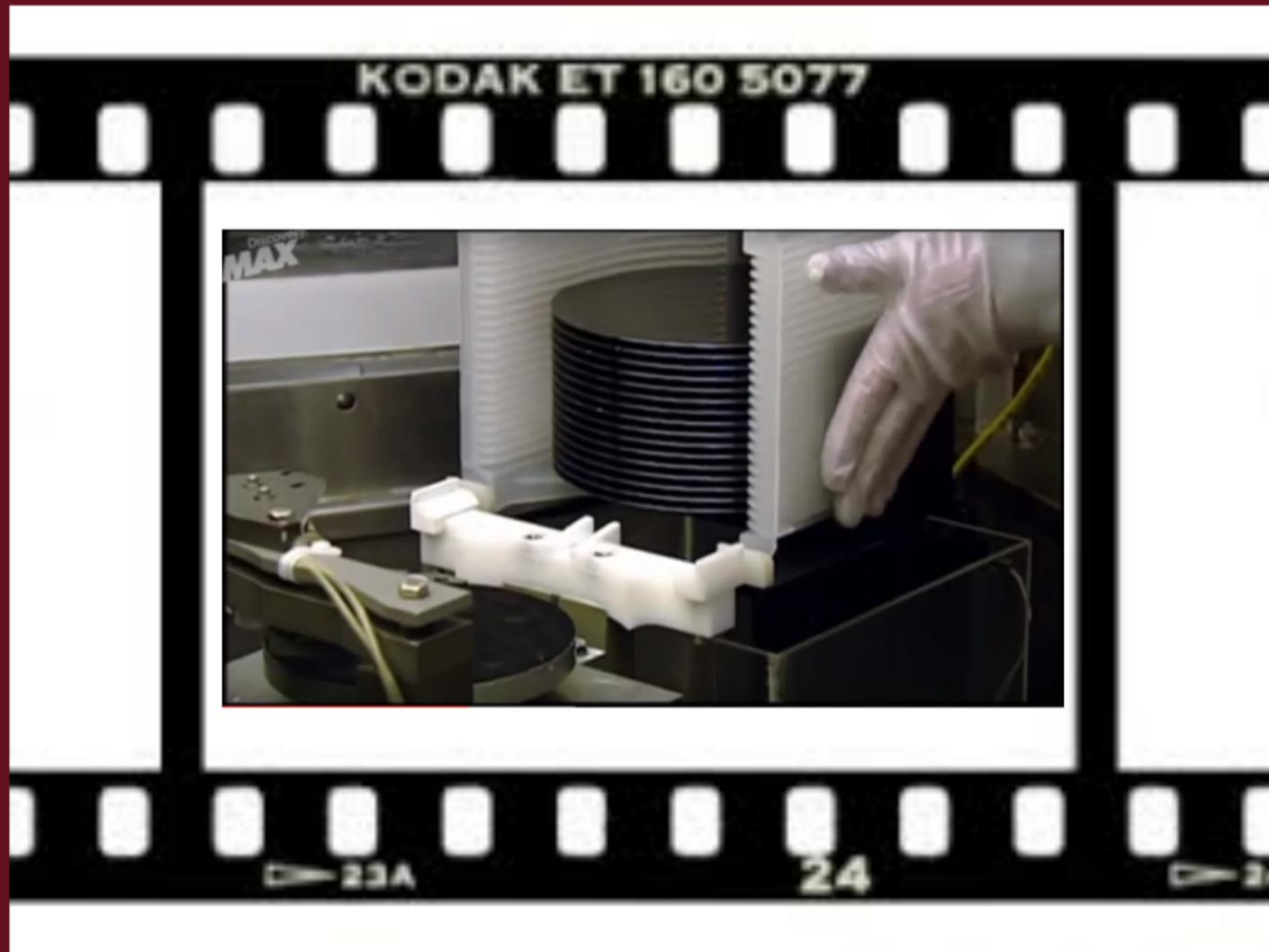
Preparación para la obtención de los WAFERs - Oblea



WAFERs previos al pulido mecánico y posterior químico



Pulido mecánico



WAFER listo para los procesos de fabricación de chips.
Rugosidad <0.1nm

PRECIO DE UNA OBLEA

TIPO P

DIAMETRO: 300mm

COSTO unitario: USD 125

**Fuente: Silicon Wafer - University
Wafer**

• ~5500 particulas / ms

• Crecimiento



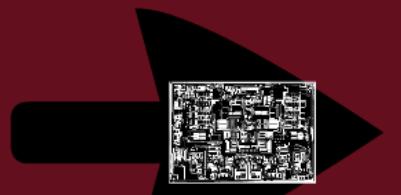
• Crecimiento Epitaxial



• Oxidación

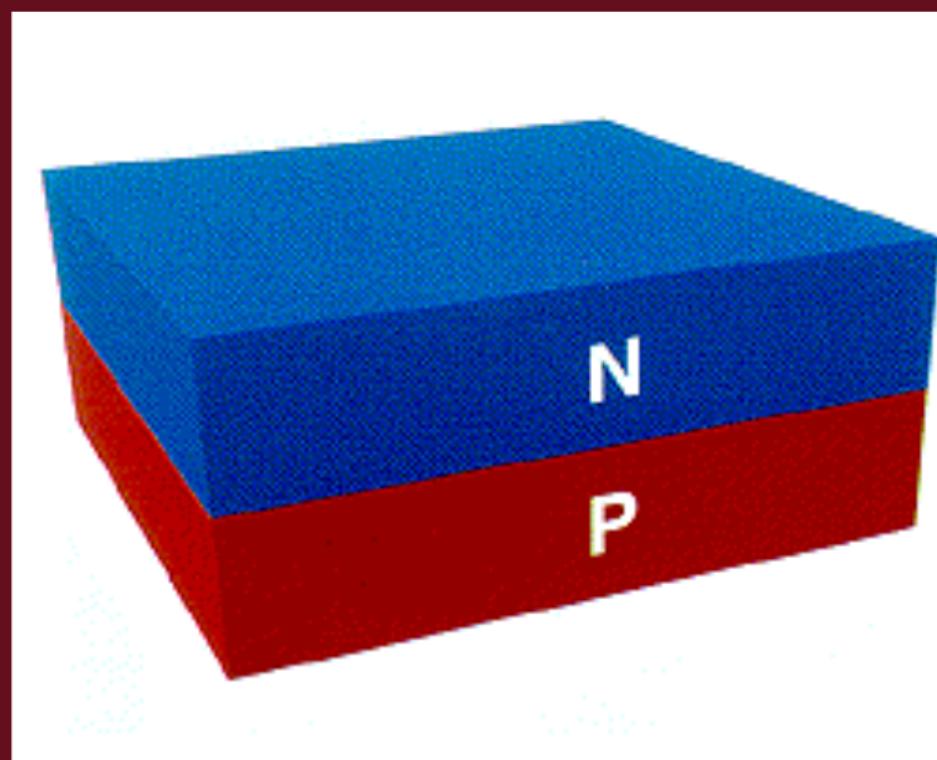
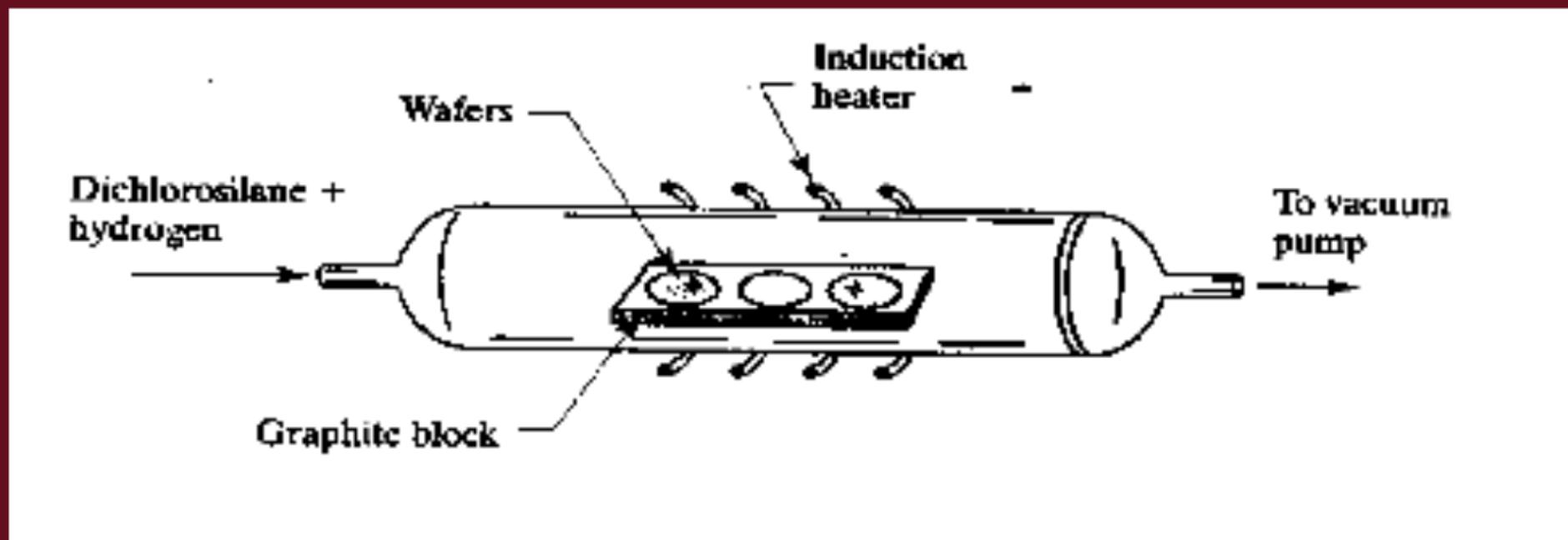


• Fotolitografía



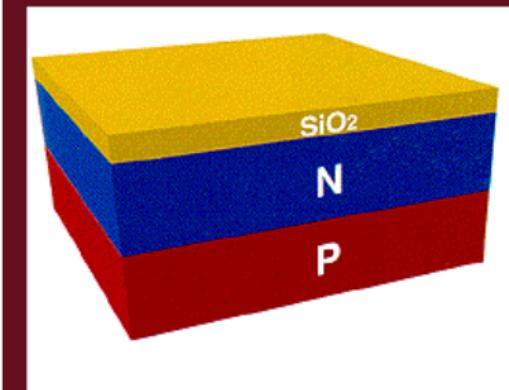
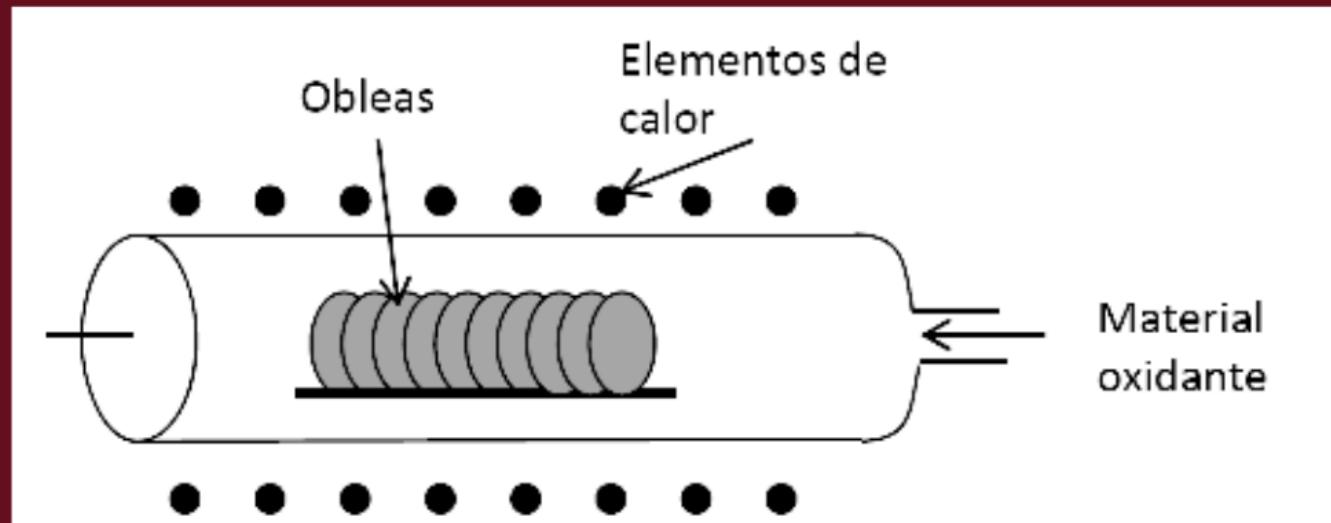
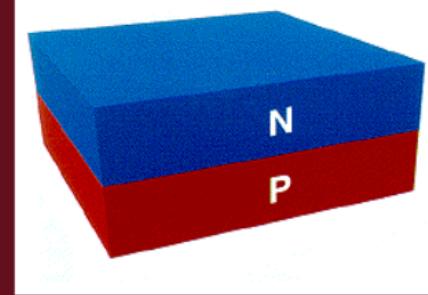
**Se introduce el wafer en
un ambiente controlado
para conseguir una capa
sobre el sustrato.**

Horno entre 900 y 1000°C



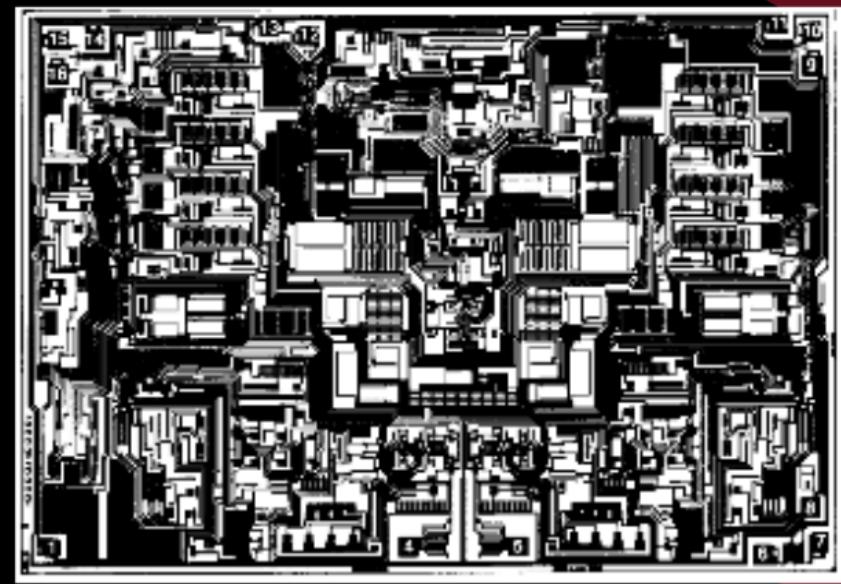
- Crecimiento
- Oxidación
- Fotolitografía

para conseguir una capa sobre el sustrato.
Horno entre 900 y 1000°C

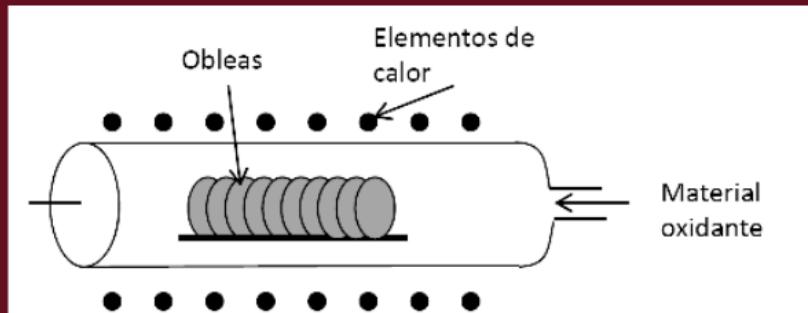
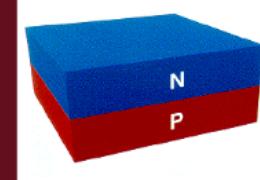


mente se cubre el wafer con una emulsión.

- Oxidación
- Fotolitografía

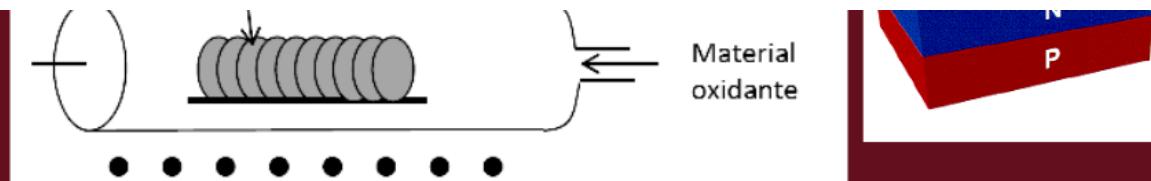


para conseguir una capa sobre el sustrato.
Horno entre 900 y 1000°C

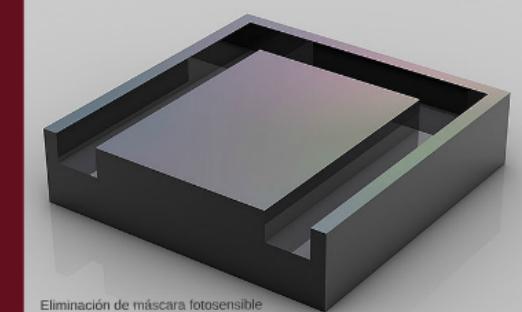
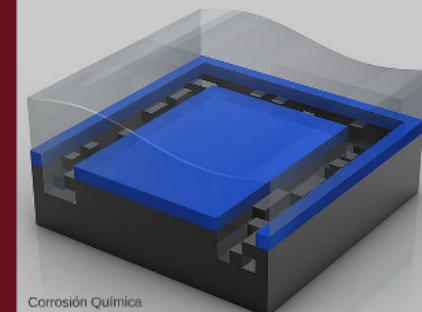
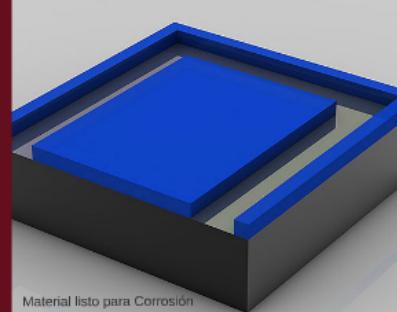
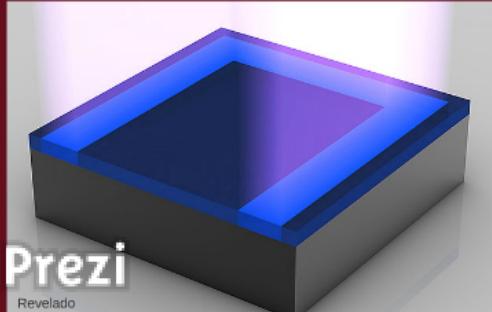


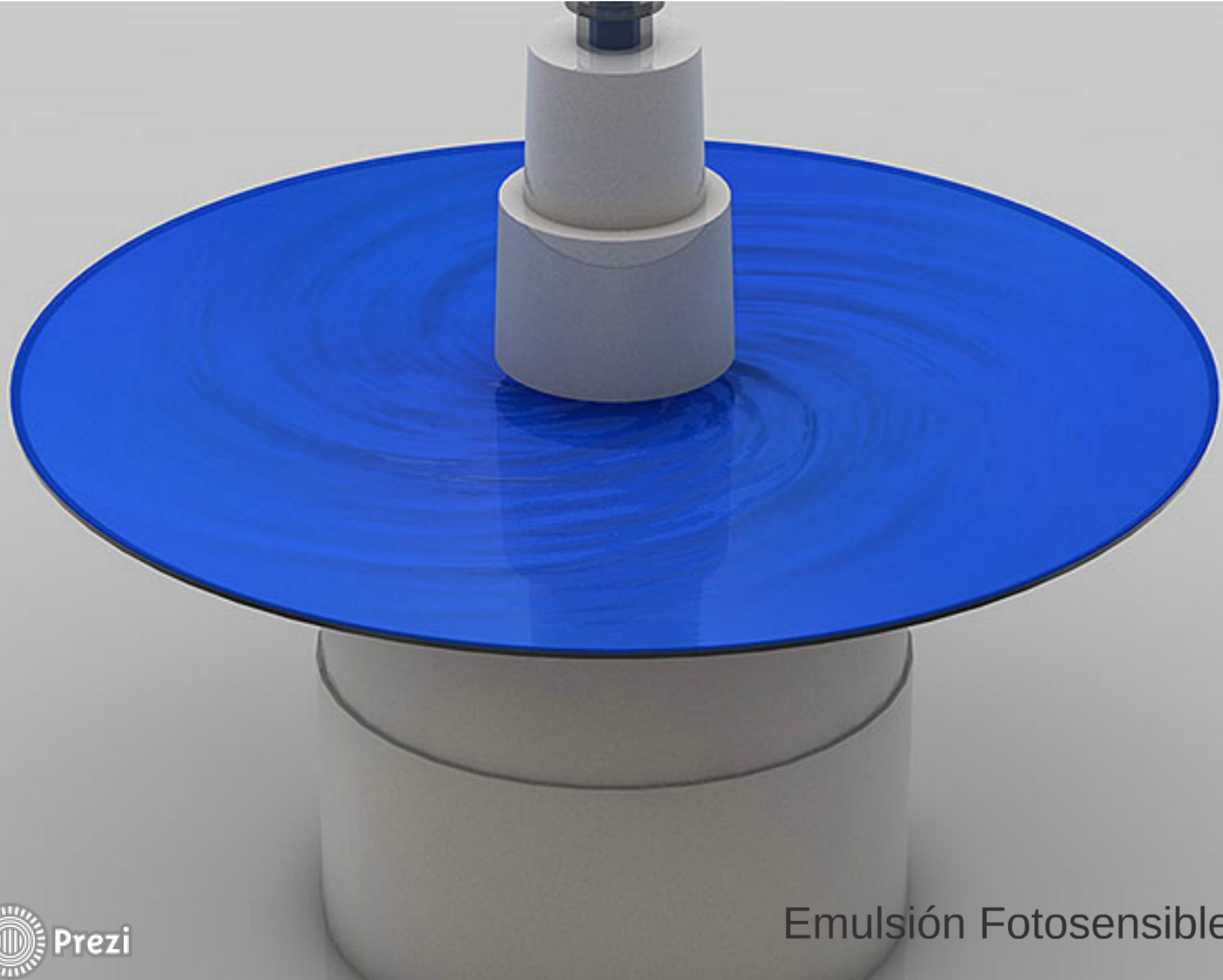
- Inicialmente se cubre el wafer con una emulsión fotosensible.
- Se somete a luz ultravioleta, utilizando una máscara en negativo o positivo.
- Se revela con un químico como ser el tricloroetileno.
- Se realiza corrosión química sumergiendo el wafer en ácido fluorhídrico.



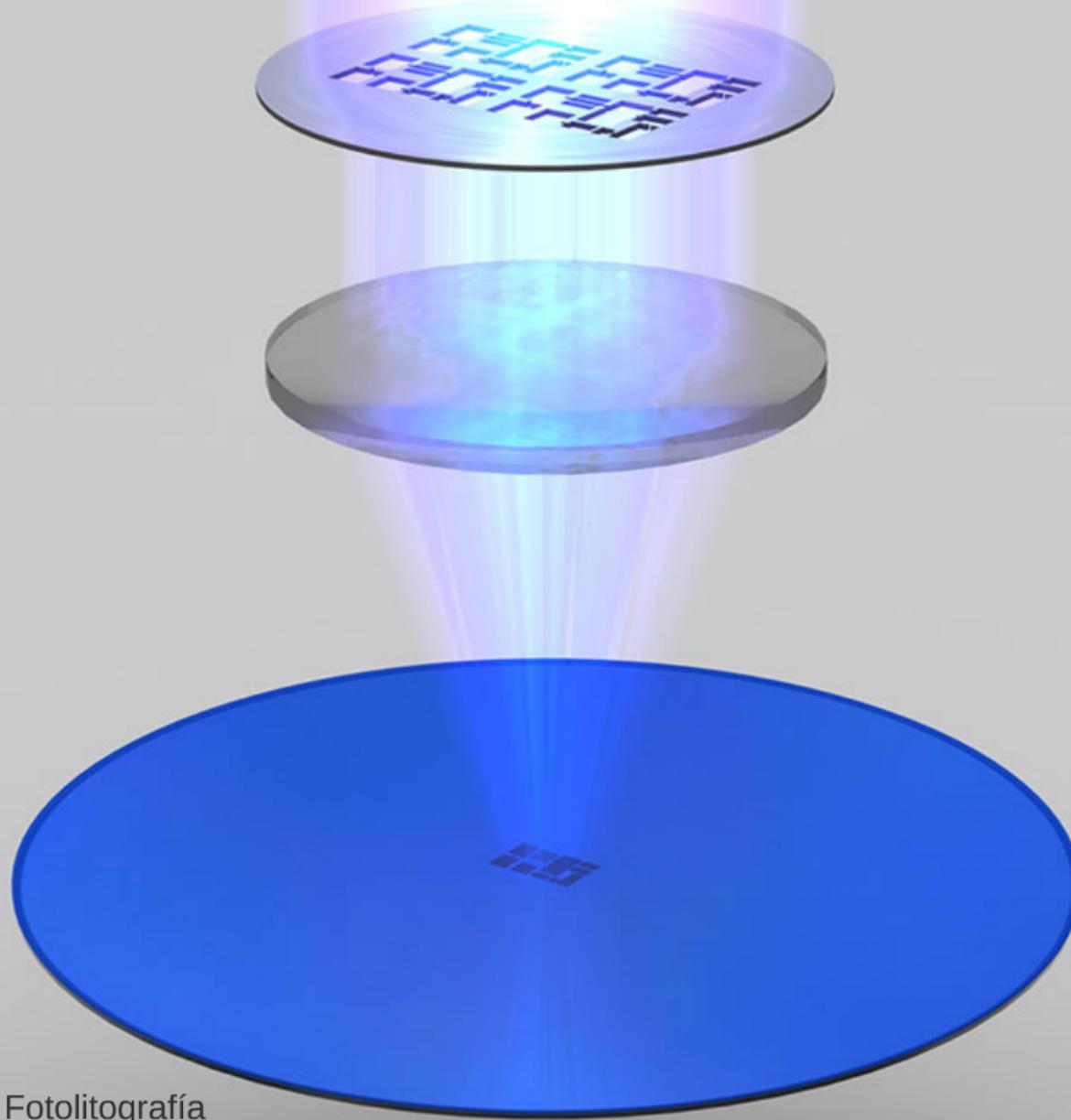


- Inicialmente se cubre el wafer con una emulsión fotosensible.
- Se somete a luz ultravioleta, utilizando una máscara en negativo o positivo.
- Se revela con un químico como ser el tricloroetileno.
- Se realiza corrosión química sumergiendo el wafer en ácido fluorhídrico.





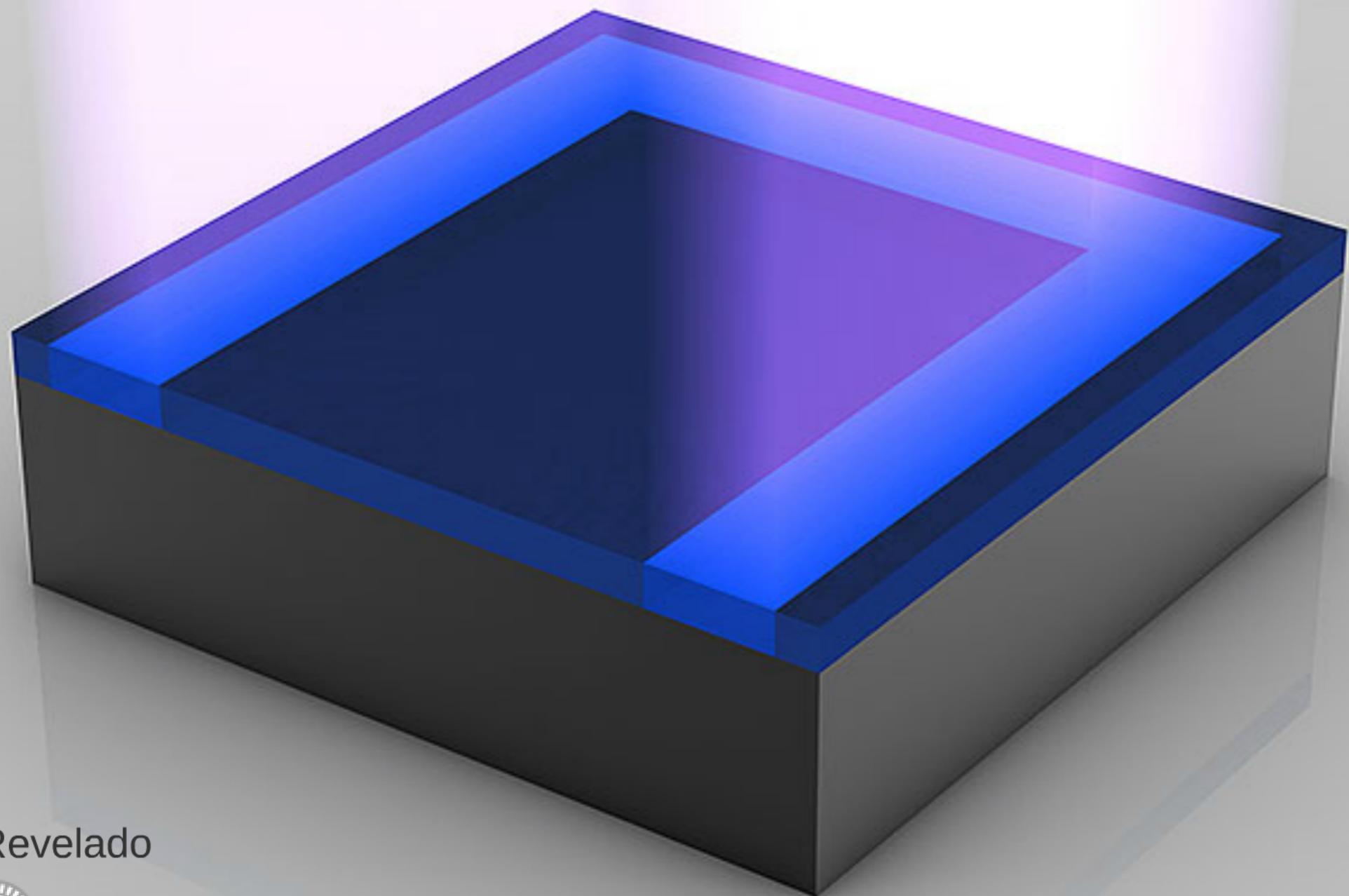
Emulsión Fotosensible



Fotolitografía

Revela

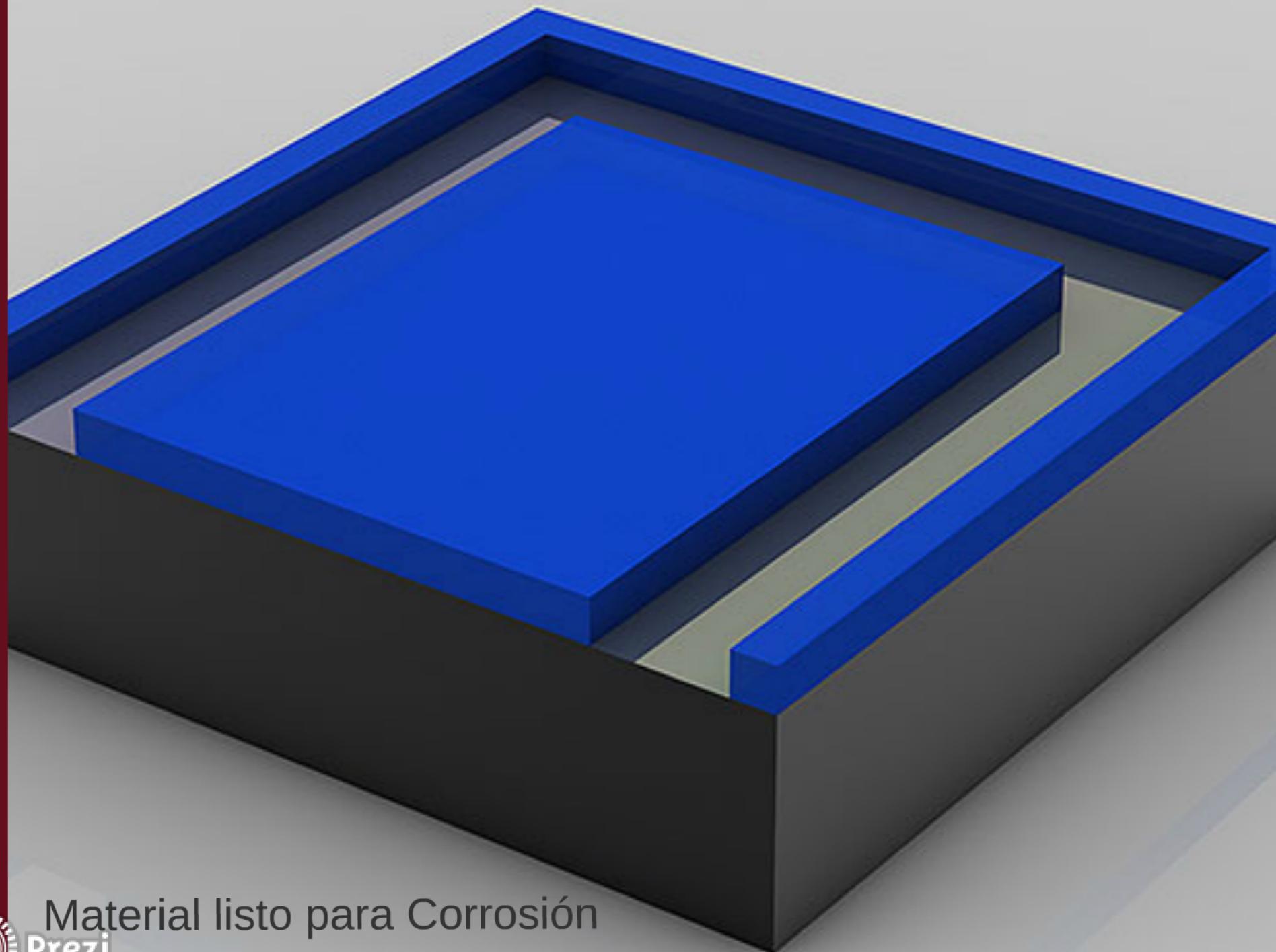
sible



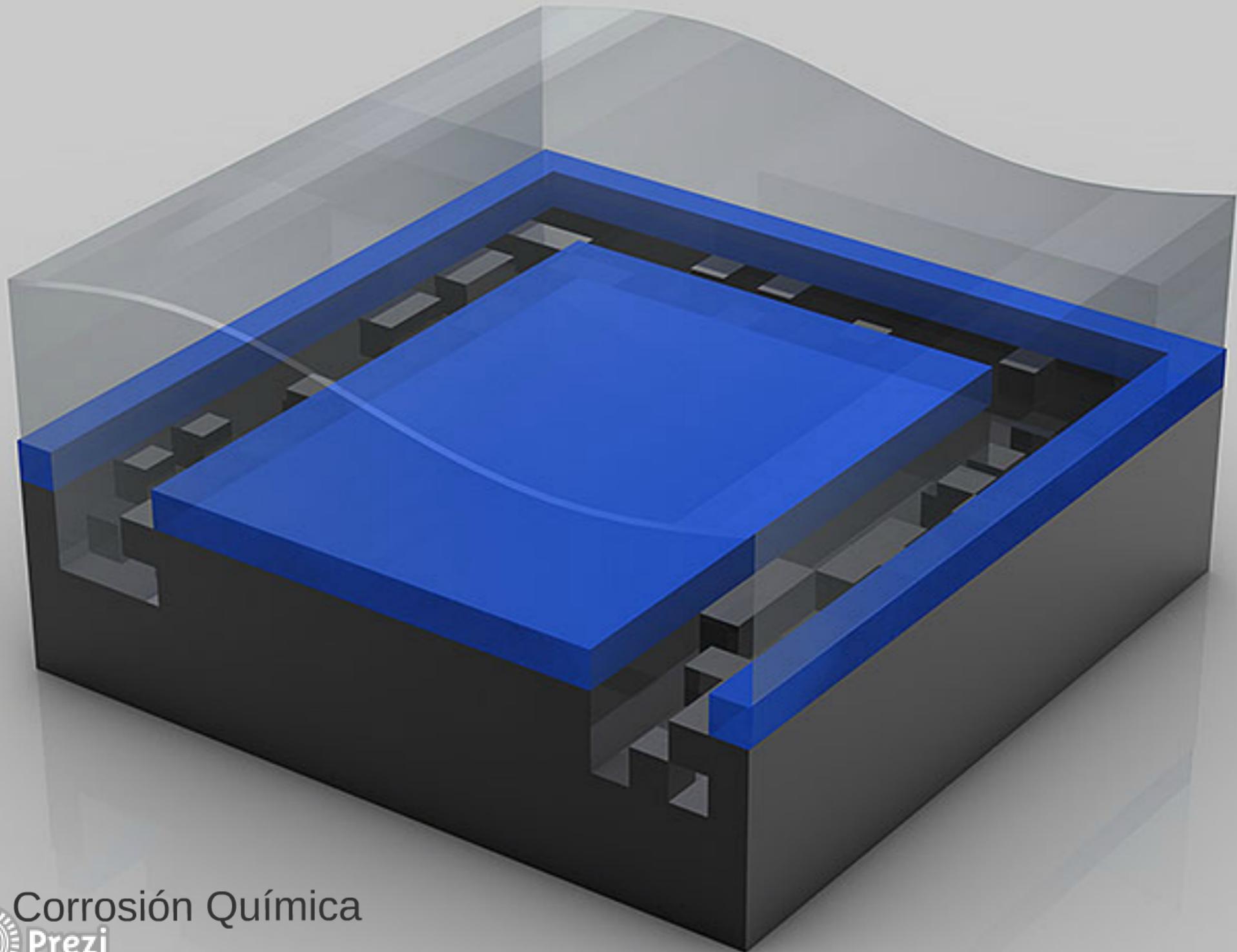
Revelado



Prezi



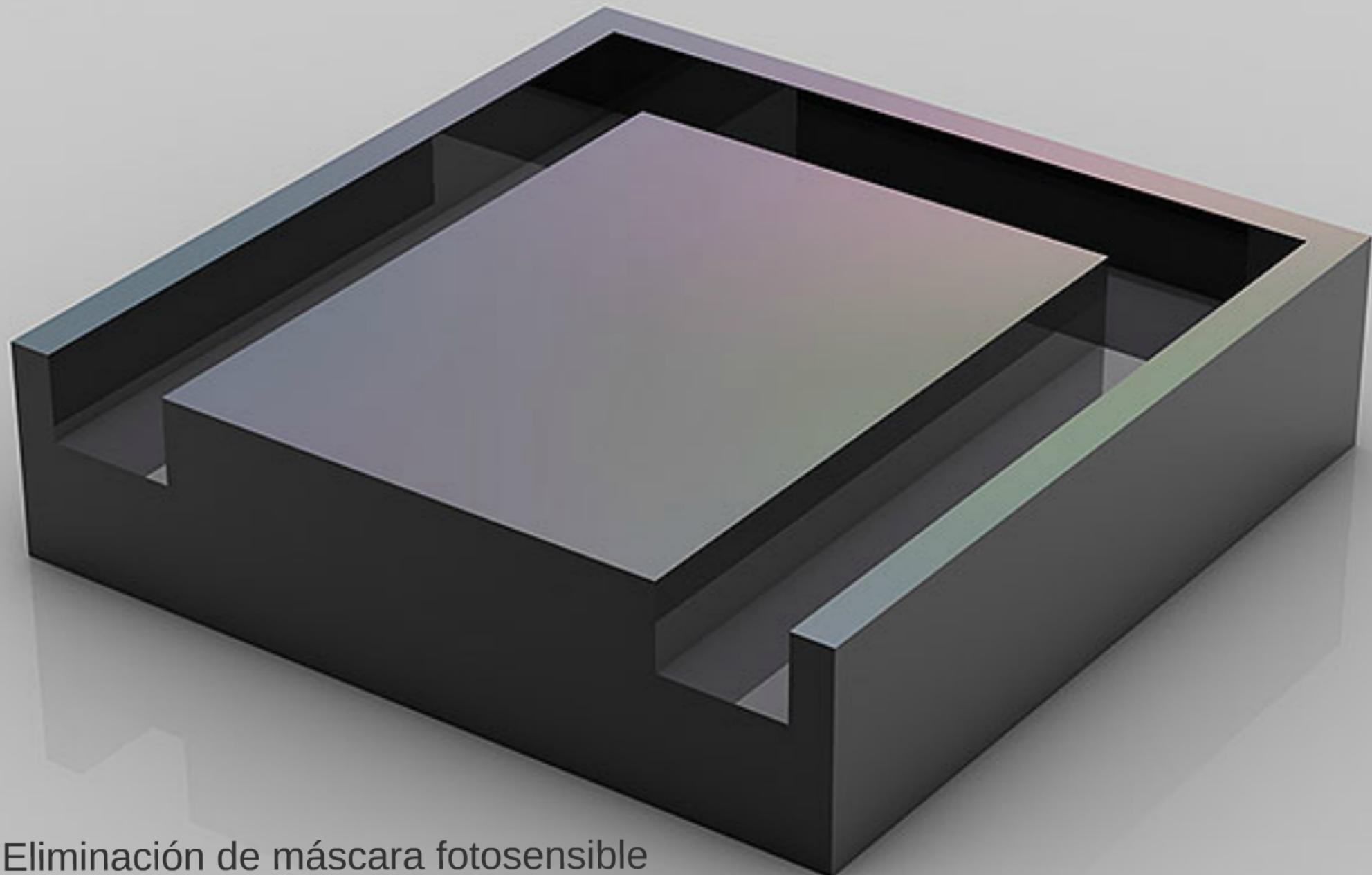
Material listo para Corrosión



Corrosión Química

Prezi

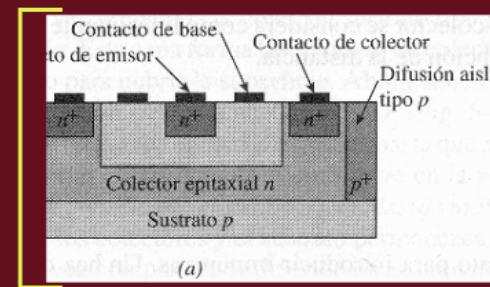




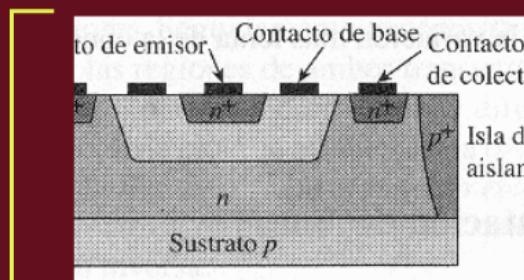
Eliminación de máscara fotosensible

PROCESO PLANAR

- Difusión
- Se introducen varios wafer en un horno. Se hace circular un gas que permite que los átomos de las fuentes de impurezas se difundan en el silicio. Temperatura de operación 1000°C. Duración 1 a 2 horas.
 - Impurezas:
 - Hidruro de Boro - p
 - Fósforo - n

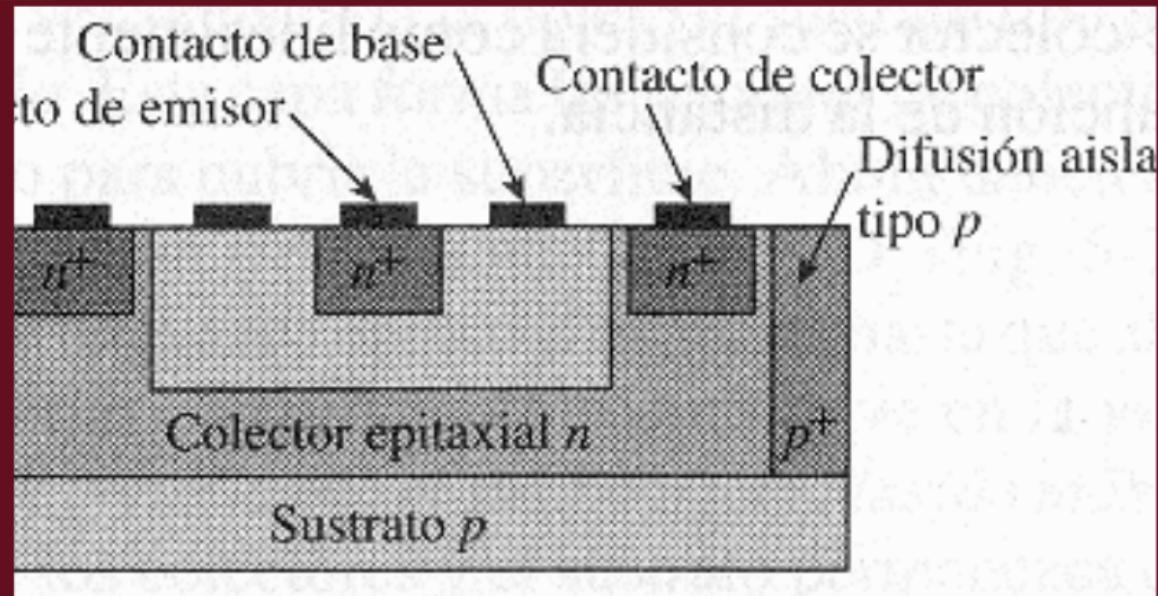


Resultado
IDEAL

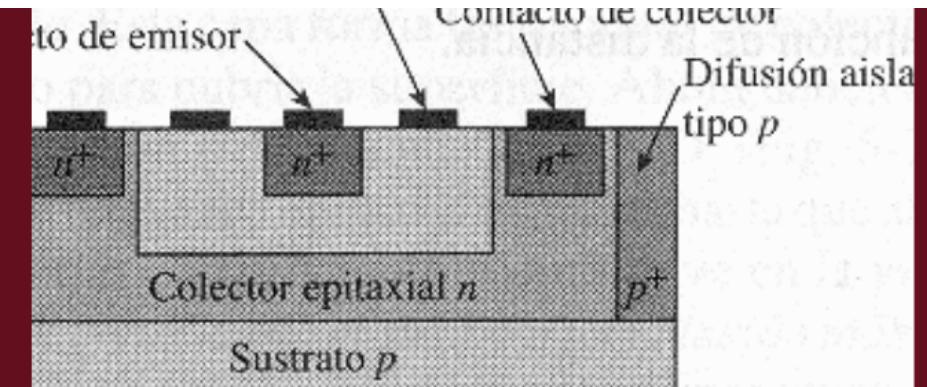
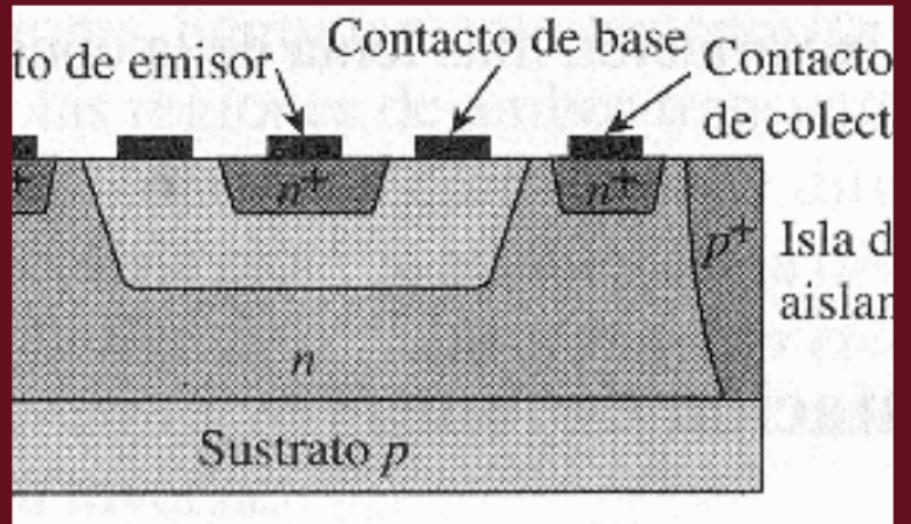


Resultado REAL

Boro - p



Resultado IDEAL



(a)

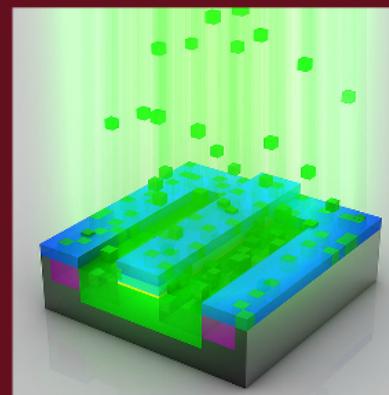
Resultado REAL

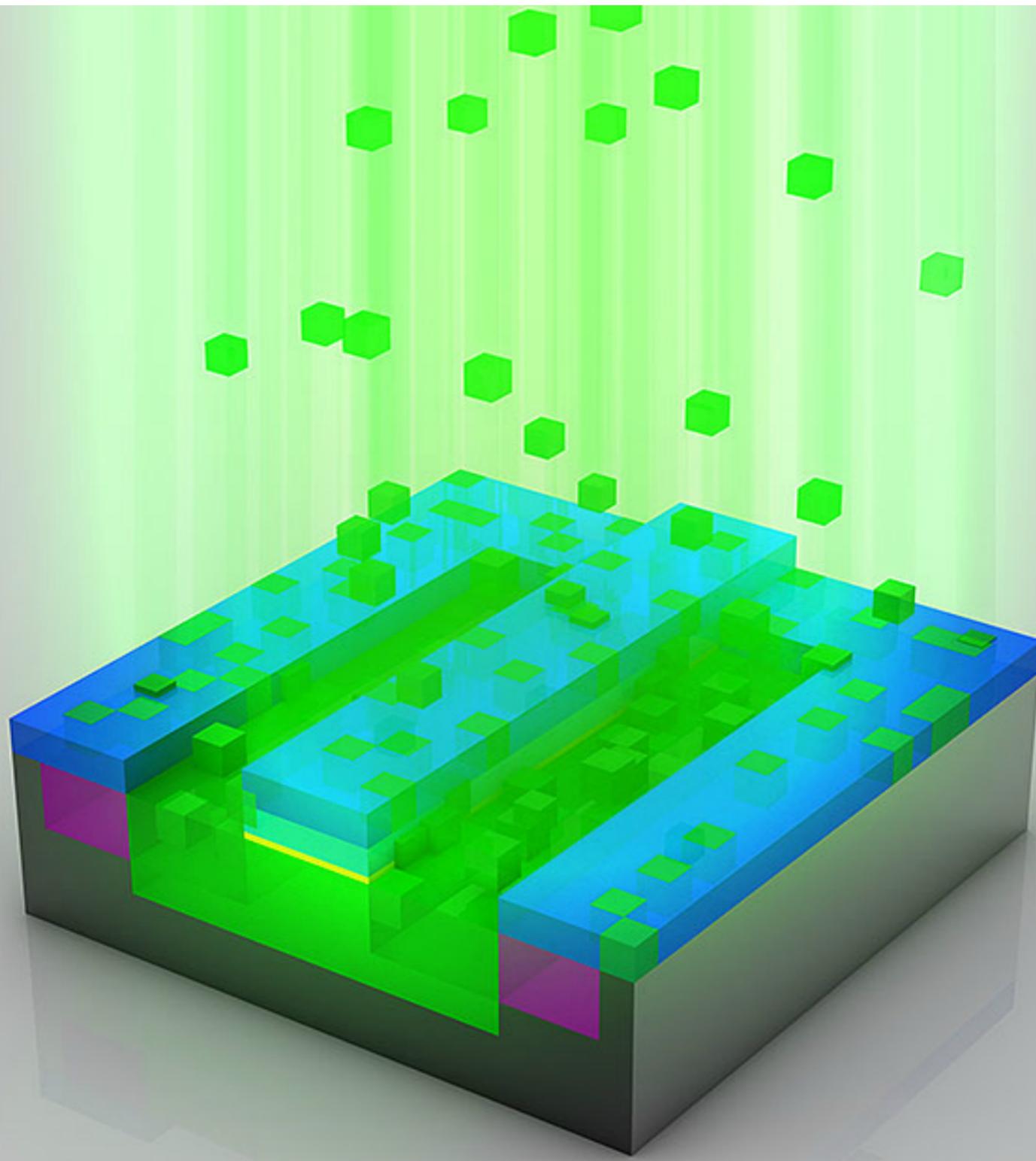
no. Se
ue los
as se
ra de
s.

resultado
IDEAL

PROCESO PLANAR

- **Implantación de Iones**
 - Se bombardea la superficie de silicio con un haz de iones de Boro, para tipo p, o de Fósforo para tipo n.
 - Se aceleran con energía entre 30 y 200kV.
 - Se define la profundidad controlando la energía.
 - Capas finas
 - Emisor en BJT
 - Canal en MOSFET
 - Gate en JFET
 - Proceso a baja temperatura.

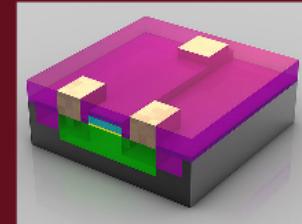
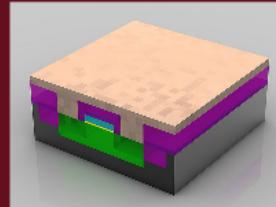
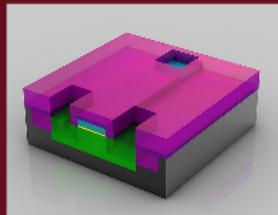


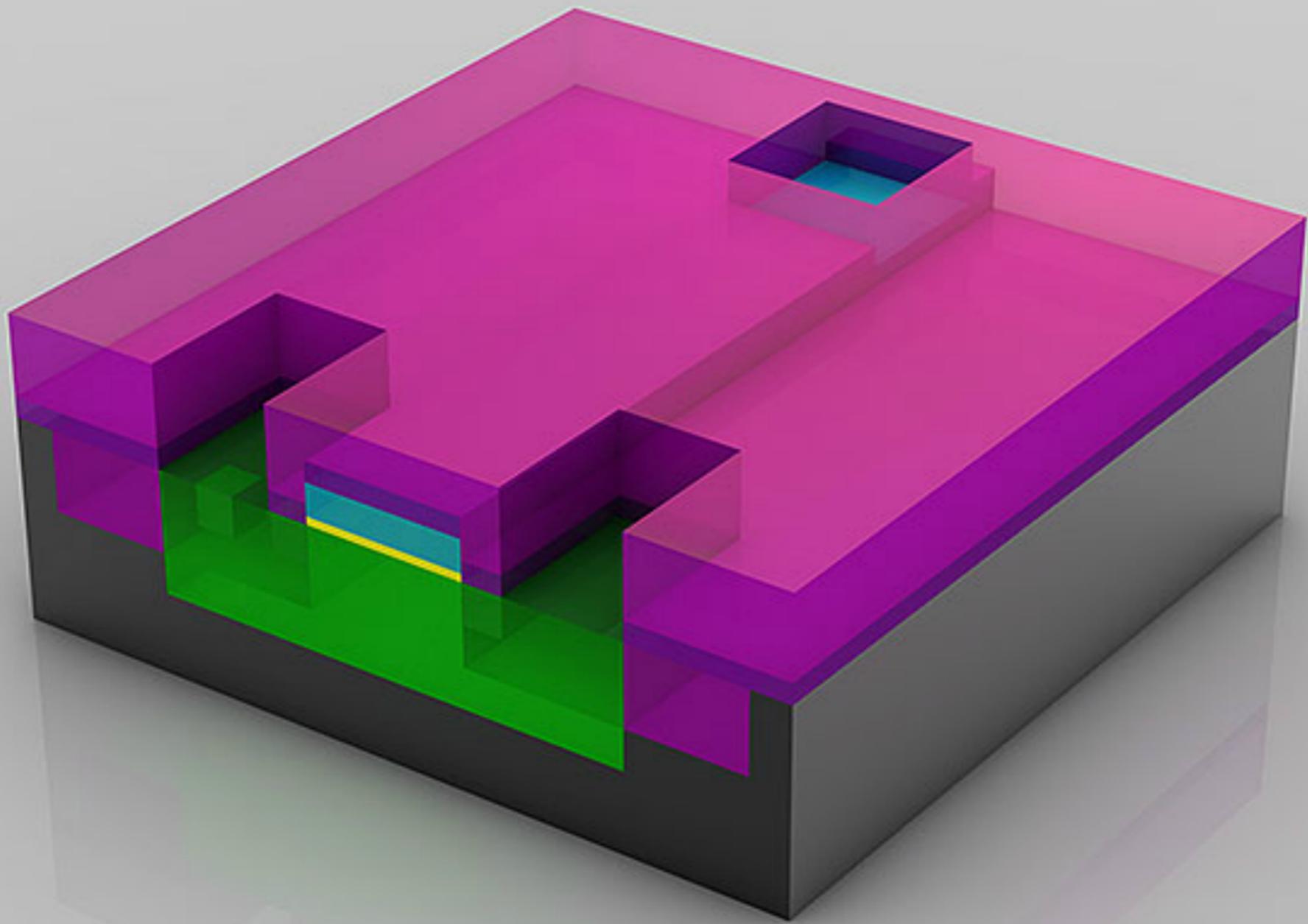


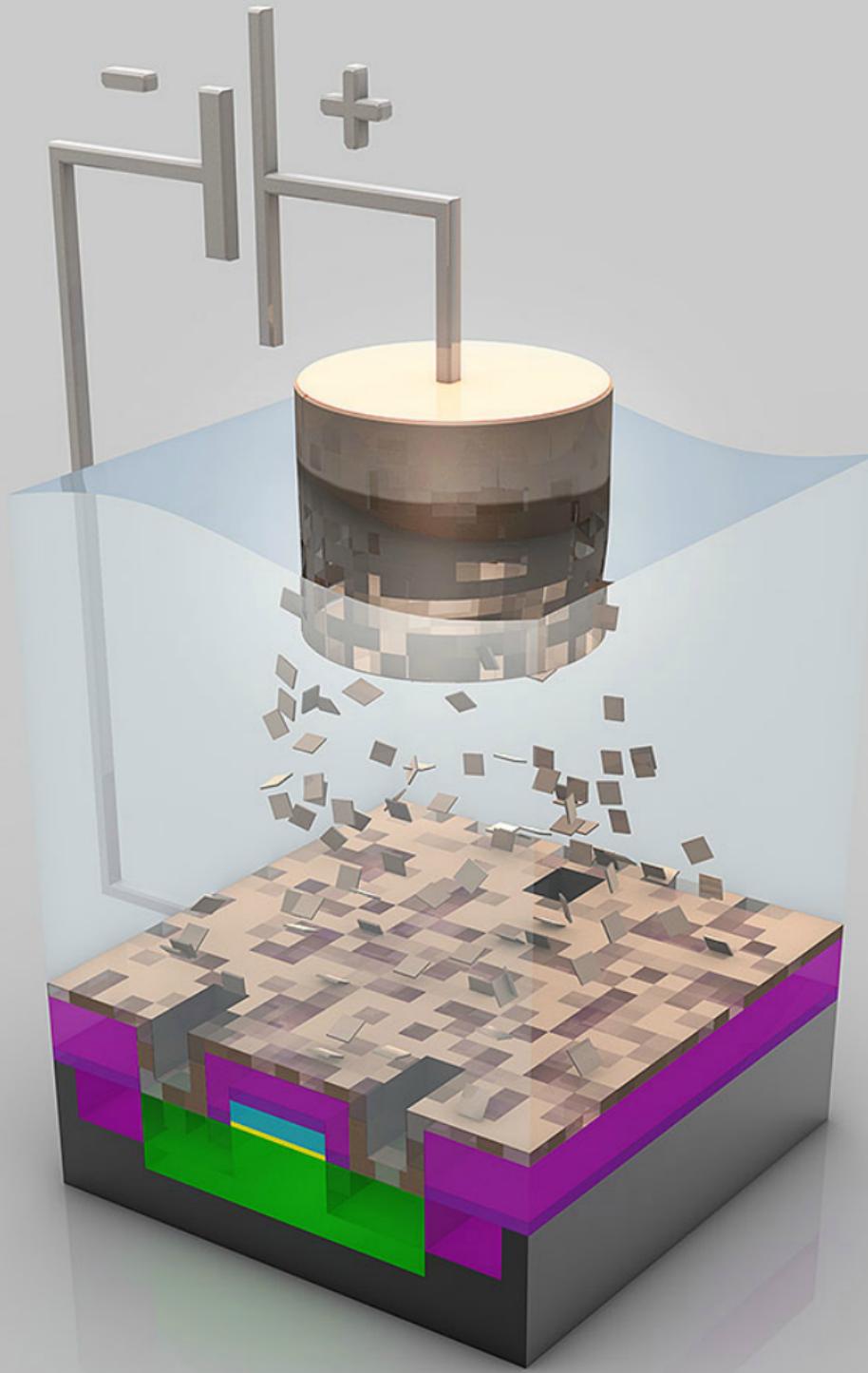
PROCESO PLANAR

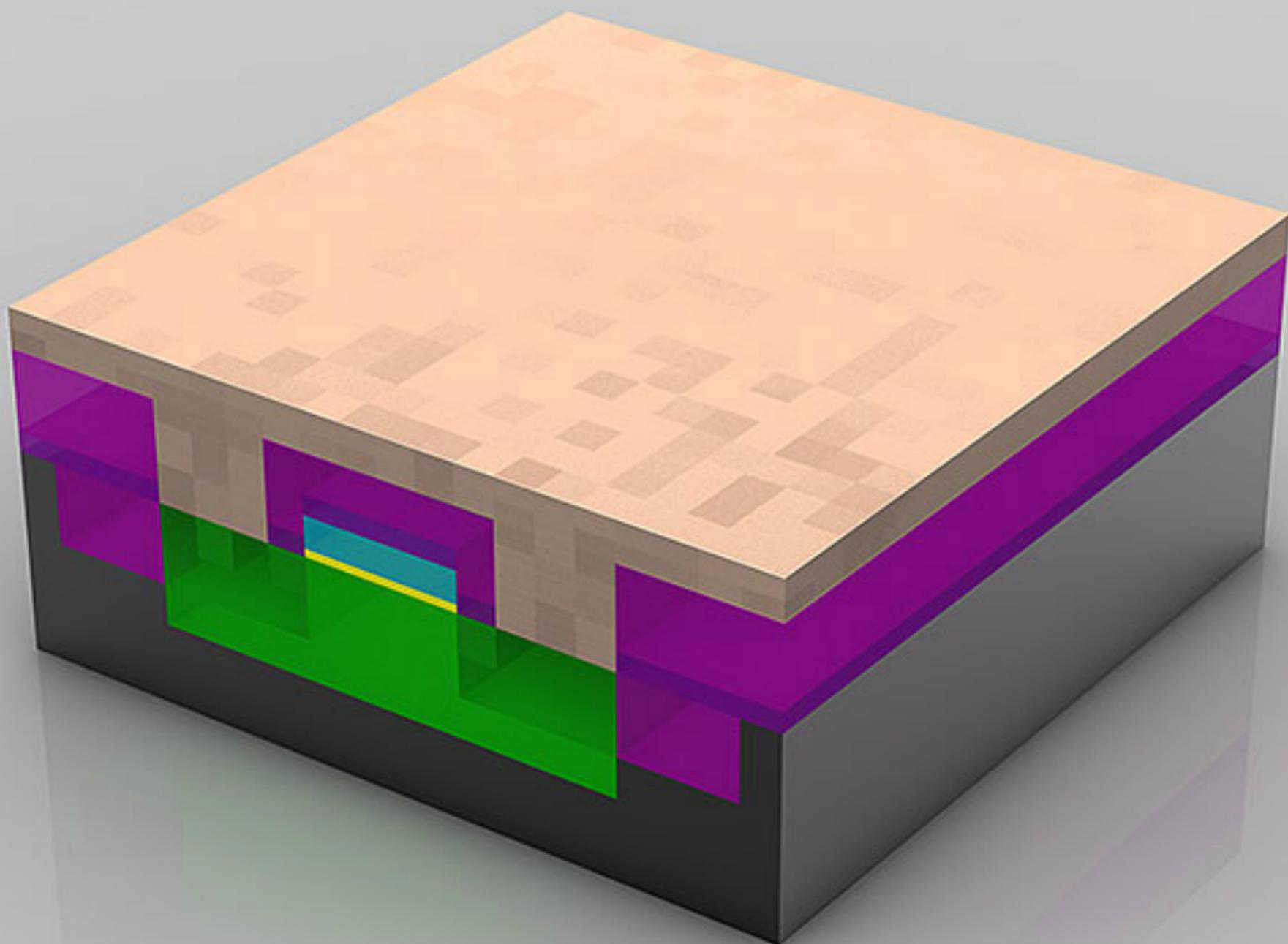
- Metalización

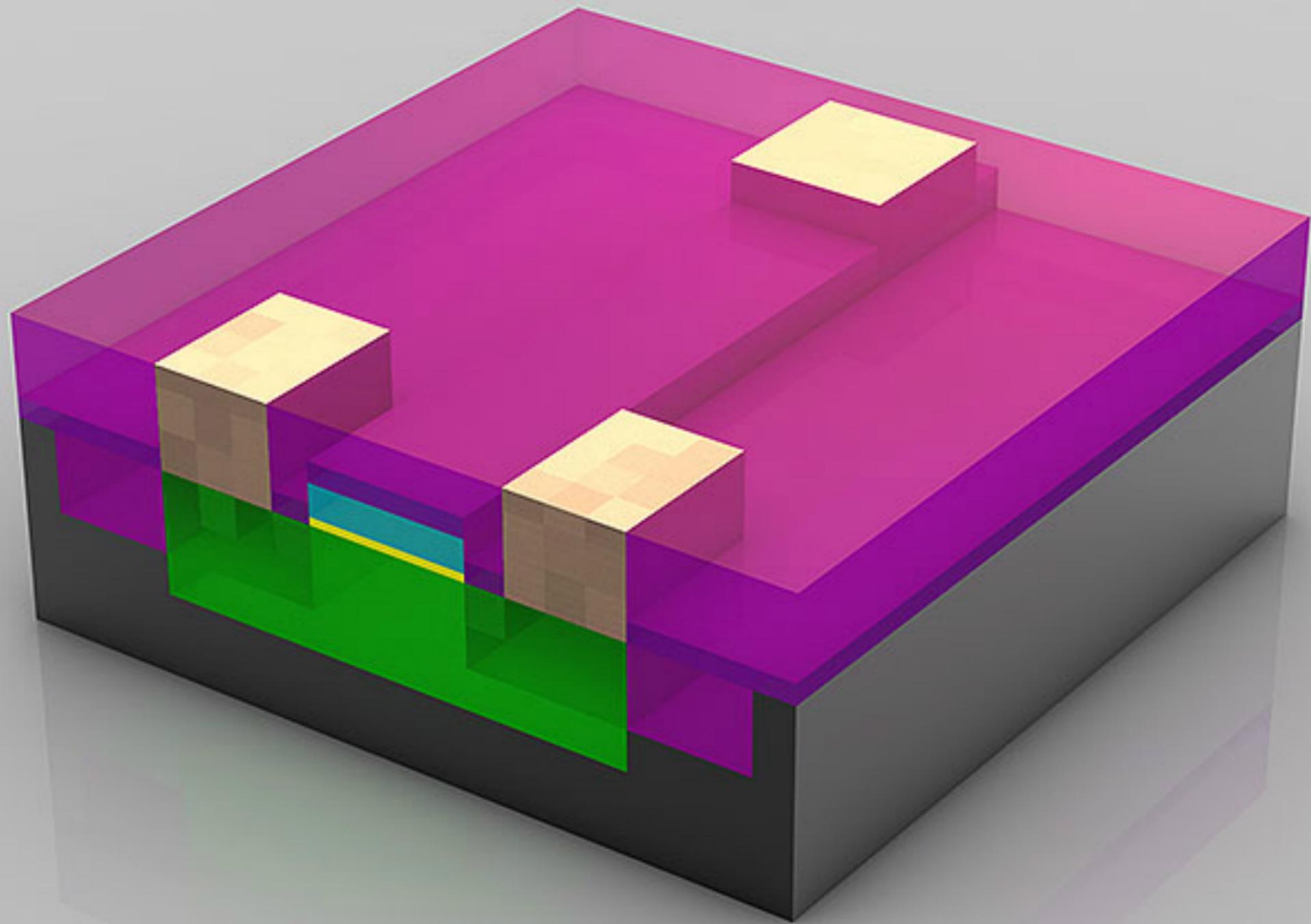
- En ambiente con alto vacío se vaporiza el metal elegido.
- Se cubre toda la superficie de la oblea.
- Por litografía se seleccionan las zonas que luego por corrosión química serán removidas.
- Se utiliza
 - Oro
 - Aluminio
 - Plata
 - Cromo
 - Aleaciones de ferroniquel
 - Cermets





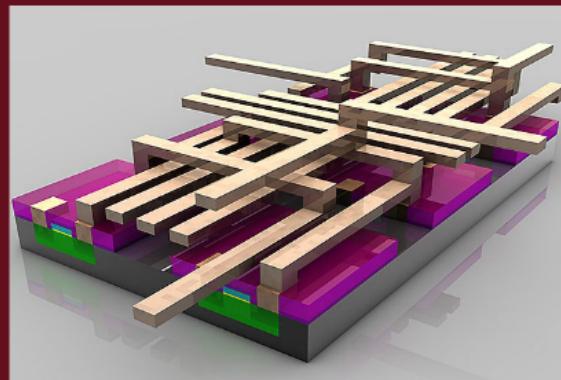




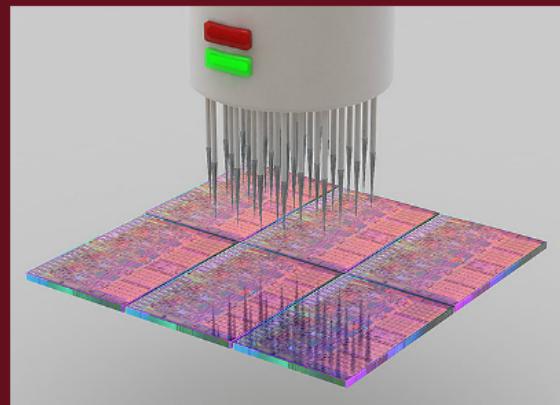


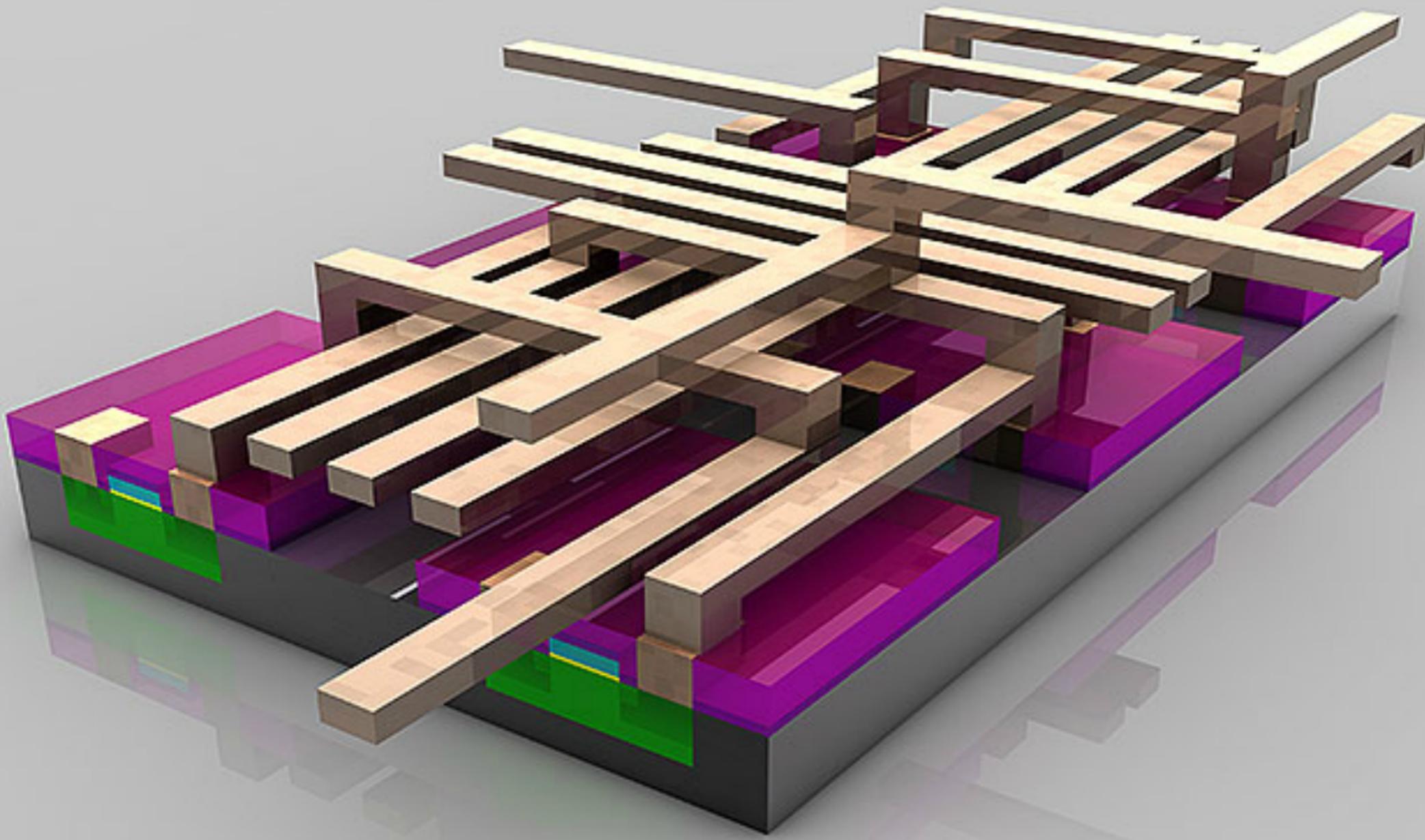
PROCESO PLANAR

- Interconexión de los distintos elementos

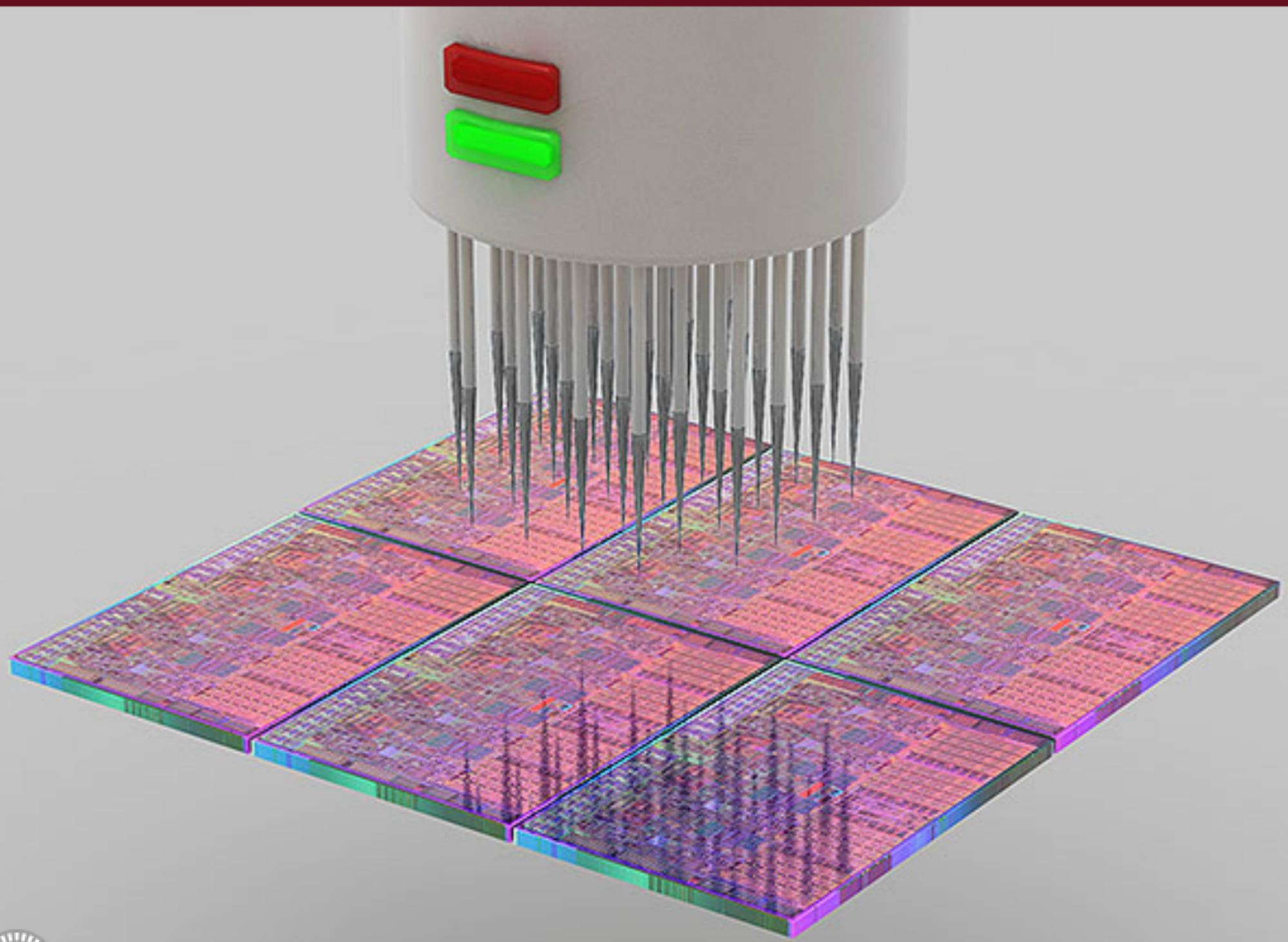


- Verificación de cada chip que compone el wafer.
- Los que no pasan el test son marcados



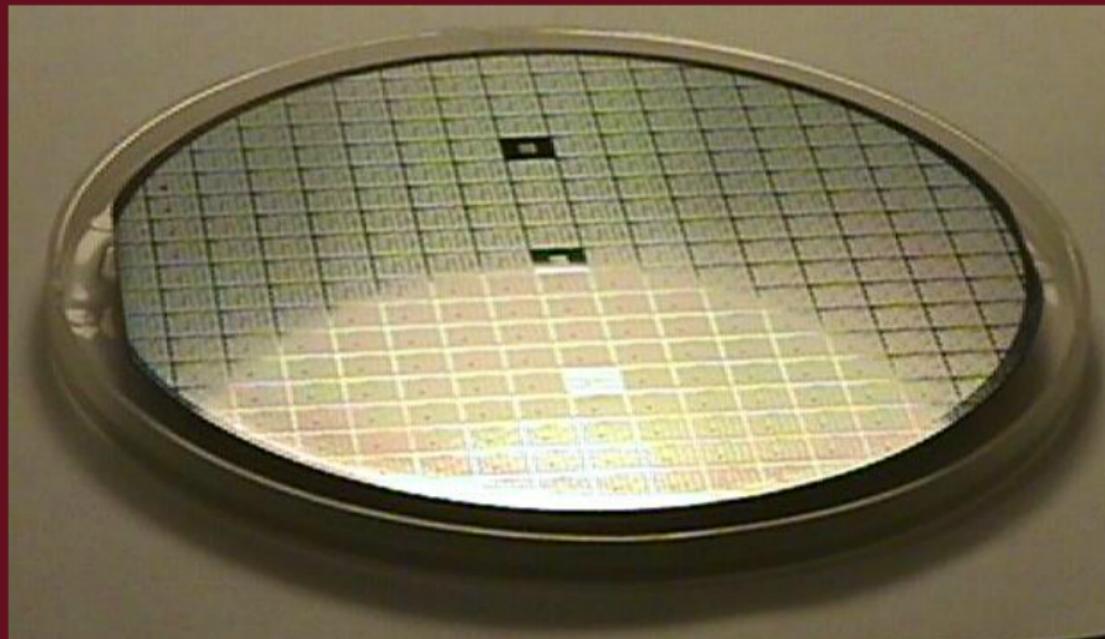


Prezi



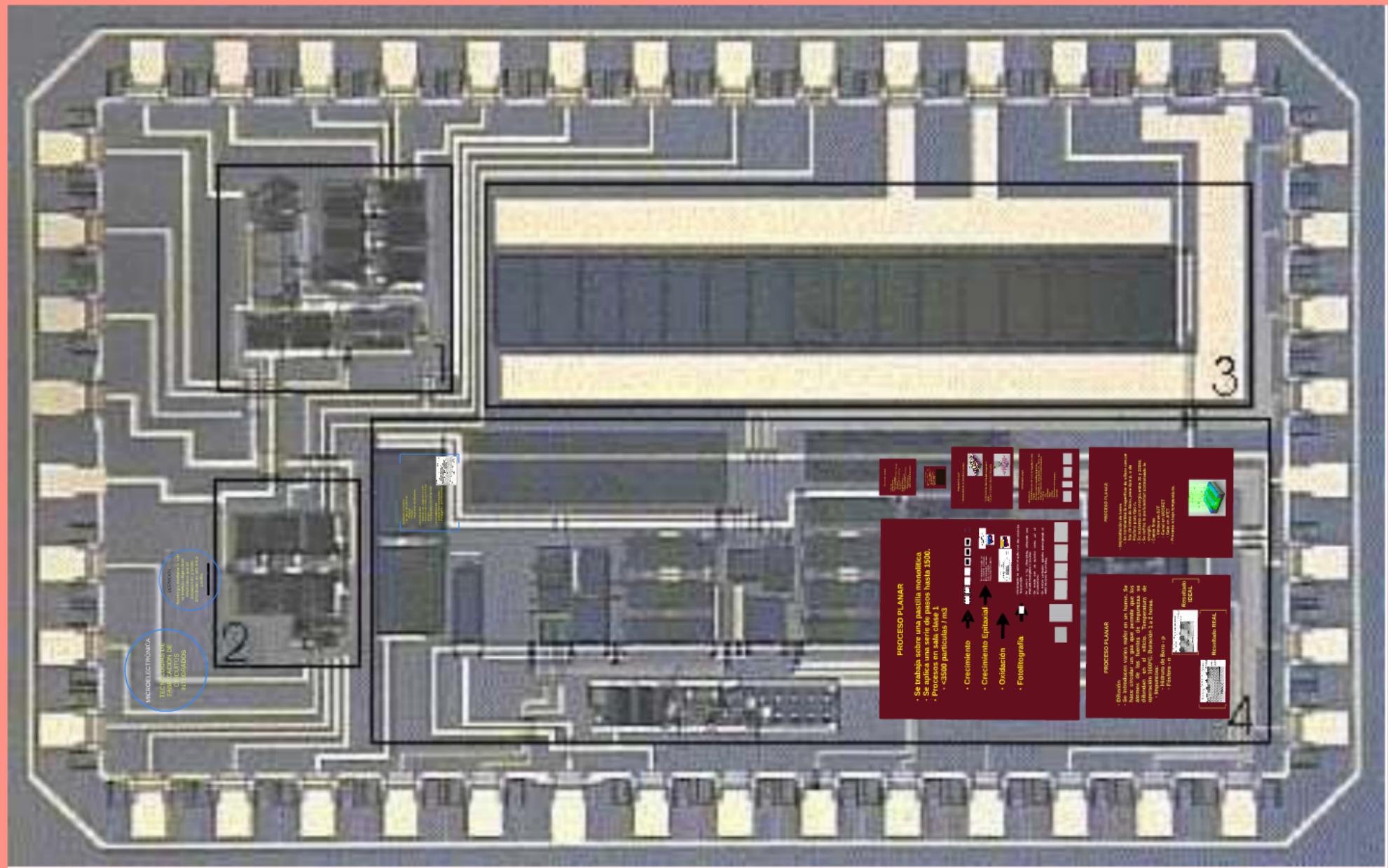
VENTAJAS DEL PROCESO

- MAYOR tamaño del wafer --> menor costo final
- Proceso por lotes --> 20 obleas simultaneas
 - 160.000 circuitos integrados a la vez
 - 700 componentes promedio
 - 100 millones de componentes
- Debido a los defectos de fabricacion
 - 10% de chip optimos
 - 16000 chips por serie



VENTAJAS DEL PROCESO

- **Bajo Costo**
- **Tamaño reducido**
- **Elevada confiabilidad**
 - Los componentes se fabrican en forma simultaneas
 - Se reducen las fallas eléctricas y mecánicas
- **Mejores prestaciones**
- **Igualdad de características**
 - Todos los transistores se fabrican simultáneamente
 - Iguales parámetros
 - Mismo coeficiente de temperatura



MICROELÉCTRÓNICA
TECNOLÓGICAS DE
CIRCUITOS
EN SEBOS

INTRODUCCIÓN

INTRODUCCIÓN

INTRODUCCIÓN

PROCESO PLANAR

- Se trabaja sobre una pastilla monocrómatica
- Se aplica una serie de pasos hasta 1500.
- Procesos en sala clase 1.
- <300 partículas / ml



PROCESO DE LAJE

- Depósito de óxido de silicio en un horno. Se aplica una capa de óxido de silicio de 10 nm.
- Depósito de óxido de silicio en un horno. Se aplica una capa de óxido de silicio de 10 nm.
- Depósito de óxido de silicio en un horno. Se aplica una capa de óxido de silicio de 10 nm.
- Depósito de óxido de silicio en un horno. Se aplica una capa de óxido de silicio de 10 nm.



PROCESO DE LAJE

- Depósito de óxido de silicio en un horno. Se aplica una capa de óxido de silicio de 10 nm.
- Depósito de óxido de silicio en un horno. Se aplica una capa de óxido de silicio de 10 nm.
- Depósito de óxido de silicio en un horno. Se aplica una capa de óxido de silicio de 10 nm.
- Depósito de óxido de silicio en un horno. Se aplica una capa de óxido de silicio de 10 nm.

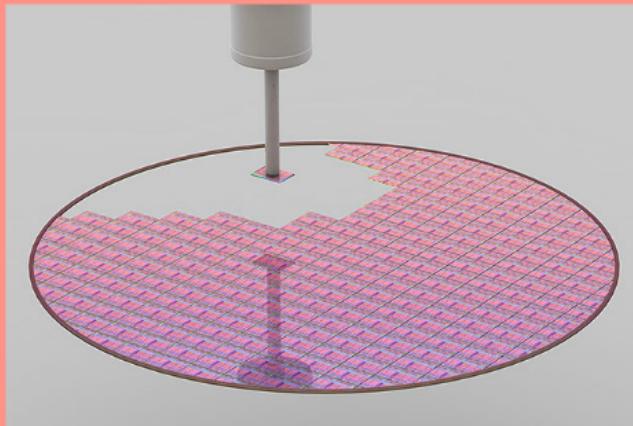
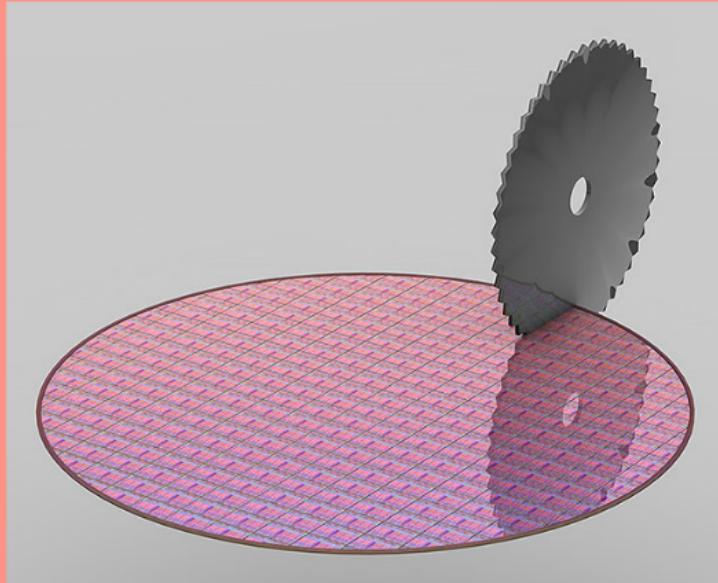




© AP



Una vez que el wafer esta listo, se procede al corte de cada IC.



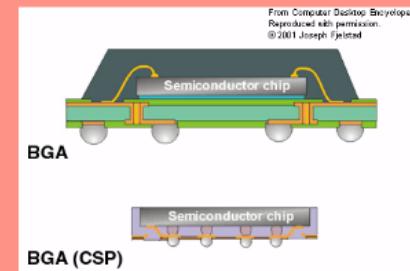
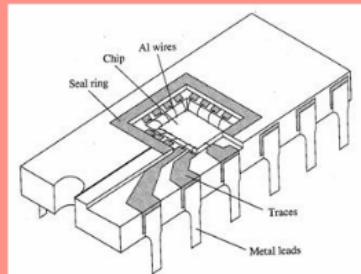
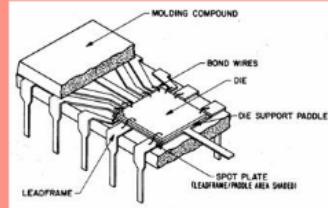
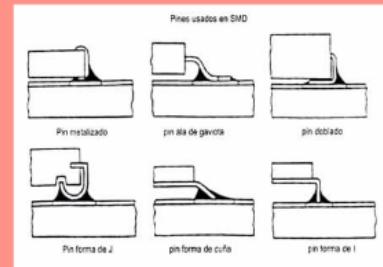
Luego vendrá el montaje sobre el encapsulado final

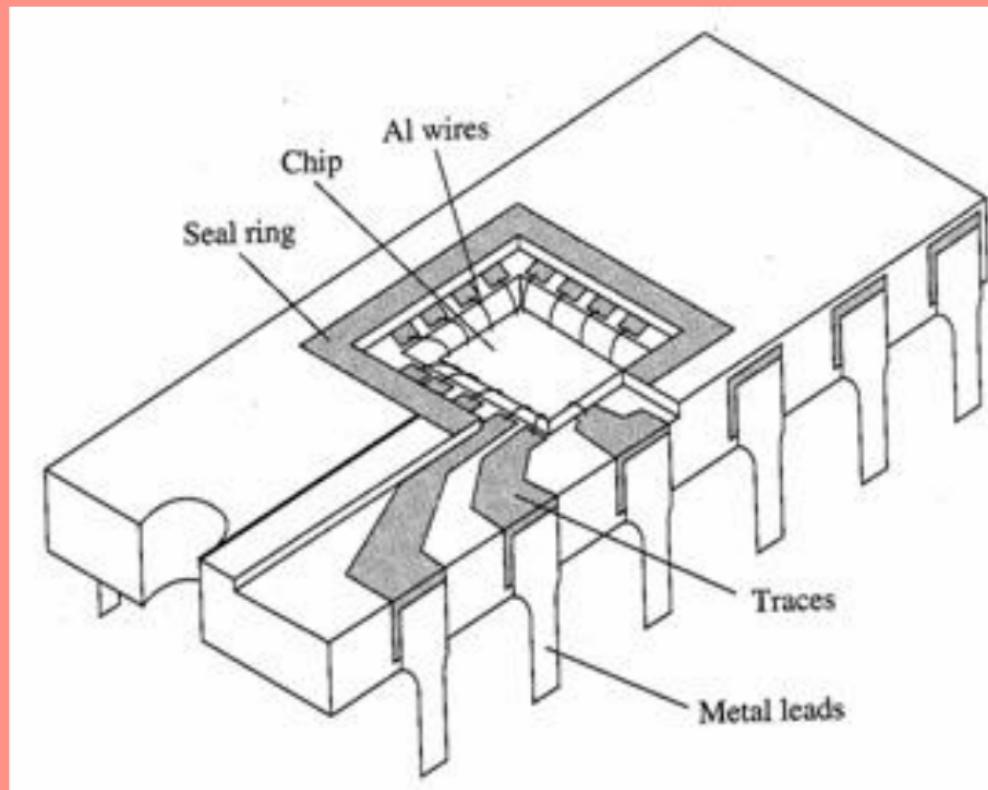
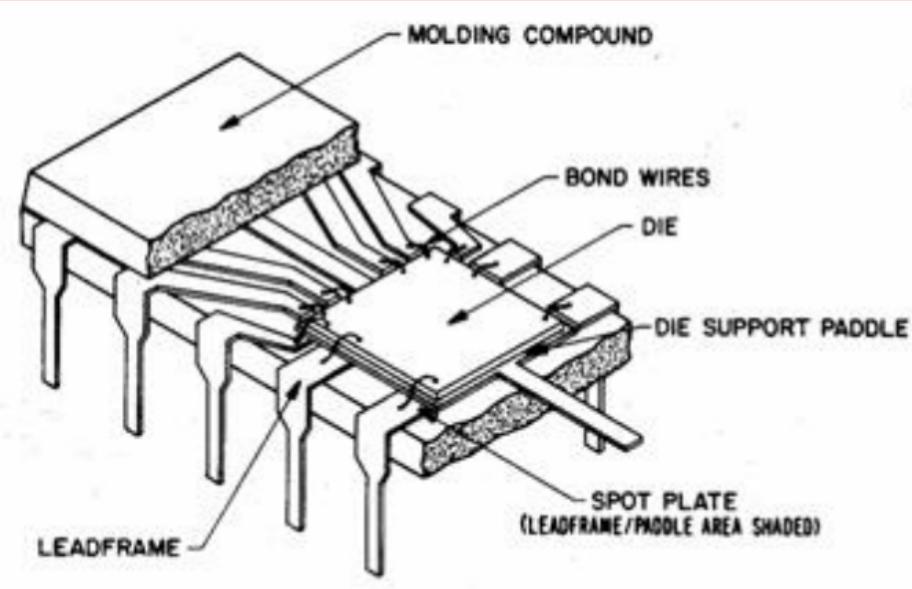


Luego vendrá el
montaje sobre el
encapsulado final

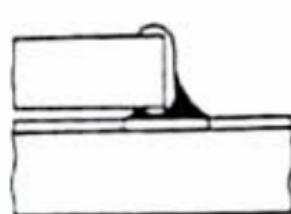
TIPOS de Encapsulado

- Plástico
- Cerámico
 - Herméticos
 - Mejor disipación
- DIP
- SMD
- BGA

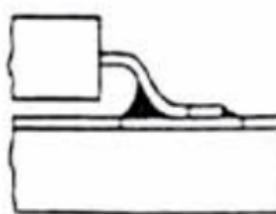




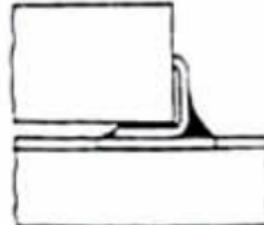
Pines usados en SMD



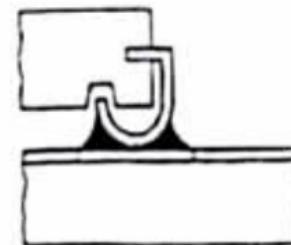
Pin metálico



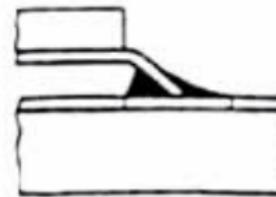
pin ala de gaviota



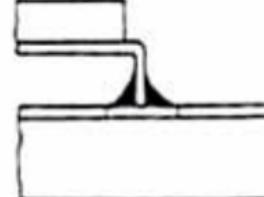
pin doblado



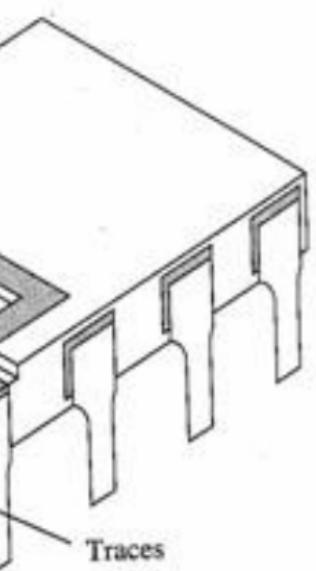
Pin forma de J



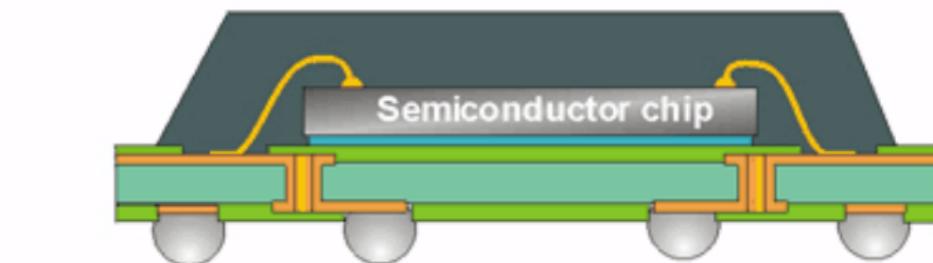
pin forma de cuña



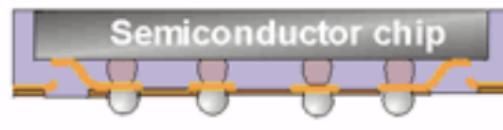
pin forma de I



From Computer Desktop Encyclopedia
Reproduced with permission.
© 2001 Joseph Fjelstad



BGA

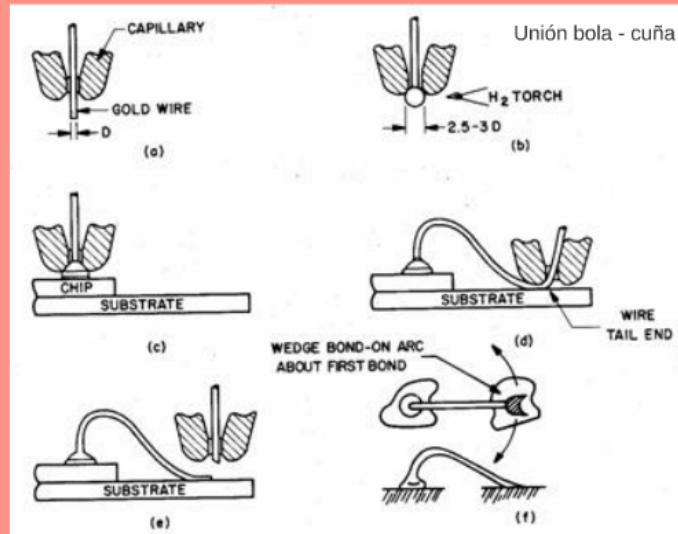


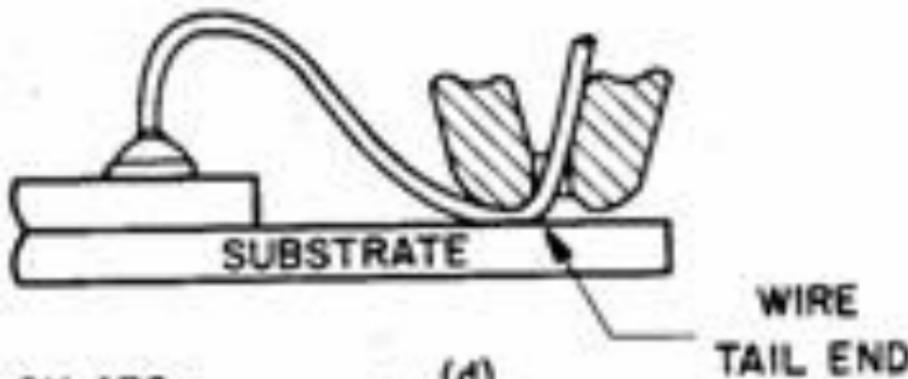
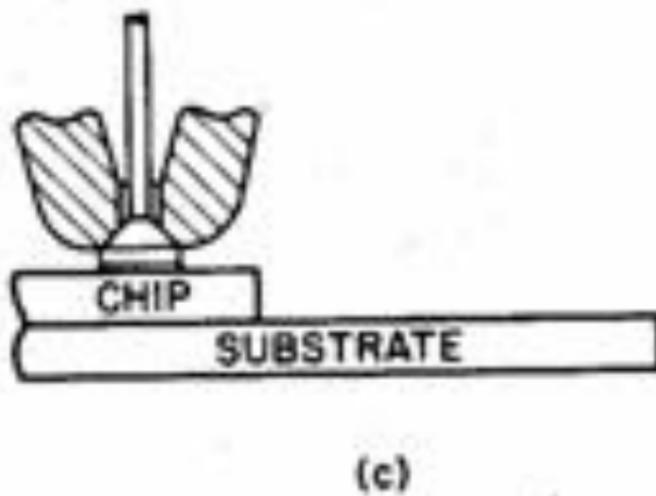
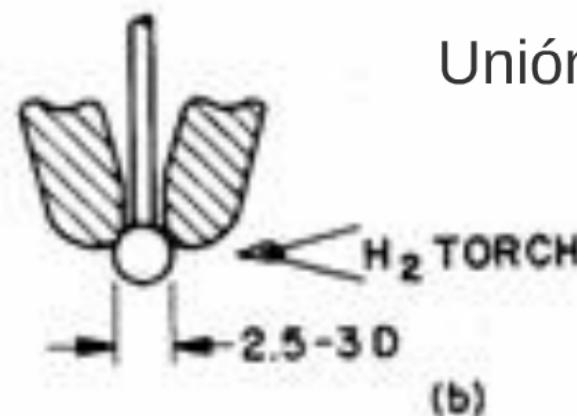
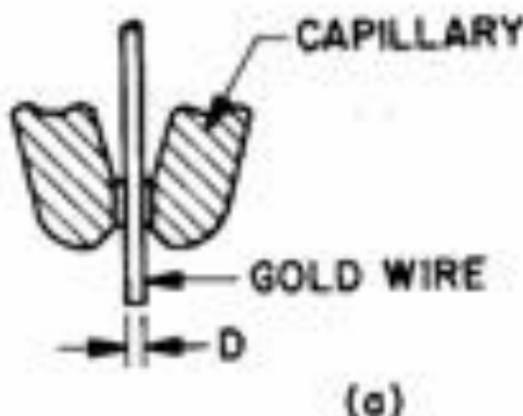
BGA (CSP)

TIP

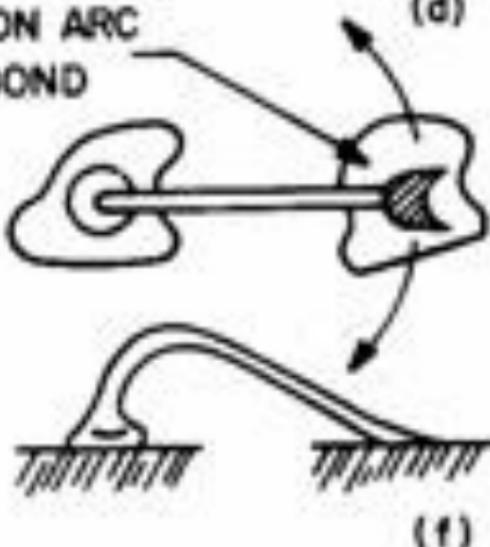
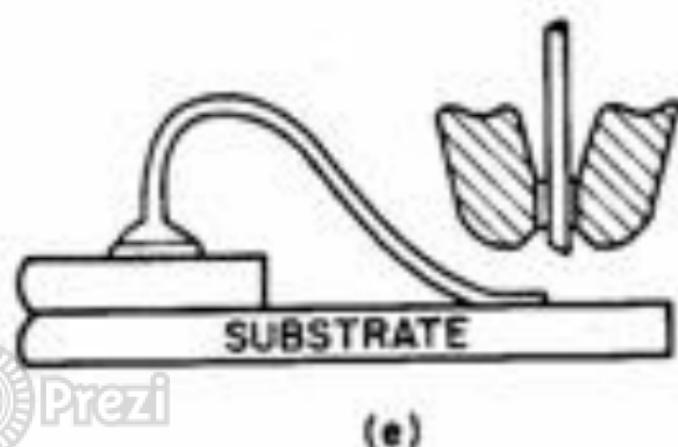
- F
- C
- D
- S
- E

Conexión a los pines externos





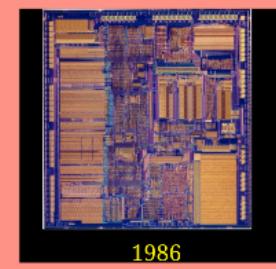
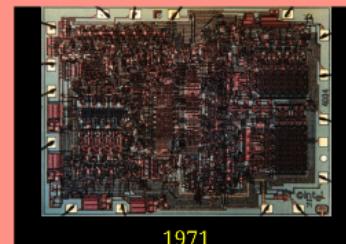
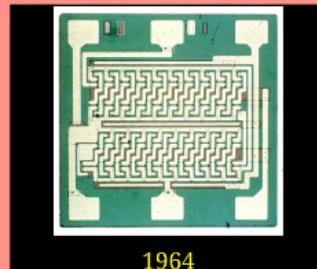
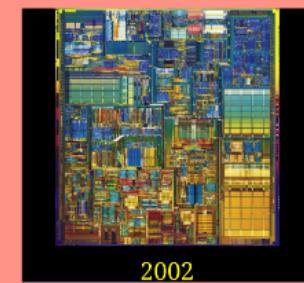
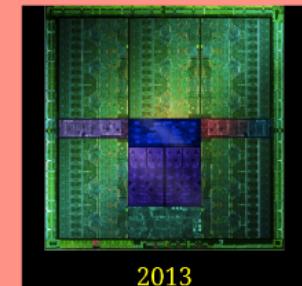
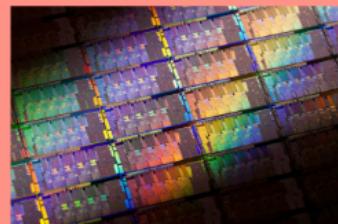
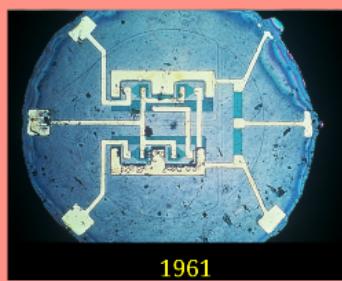
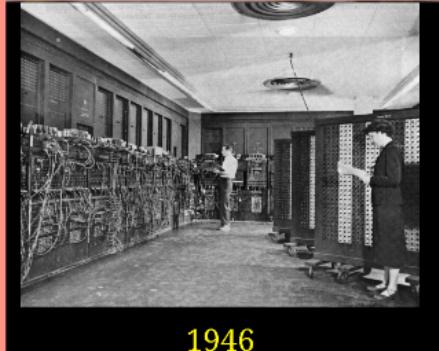
WEDGE BOND-ON ARC
ABOUT FIRST BOND



Unión bola - cuña



Evolución de la Tecnología

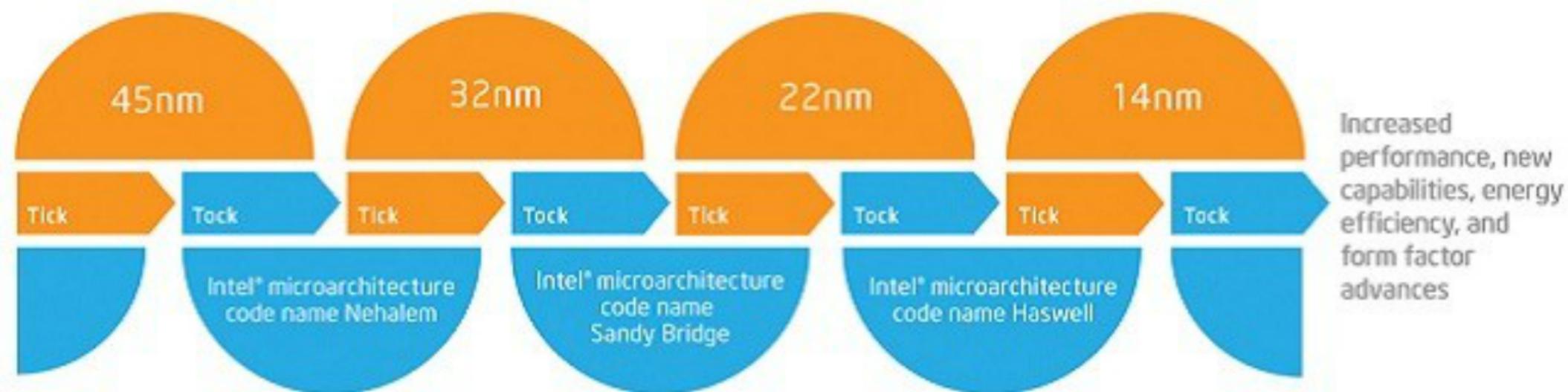


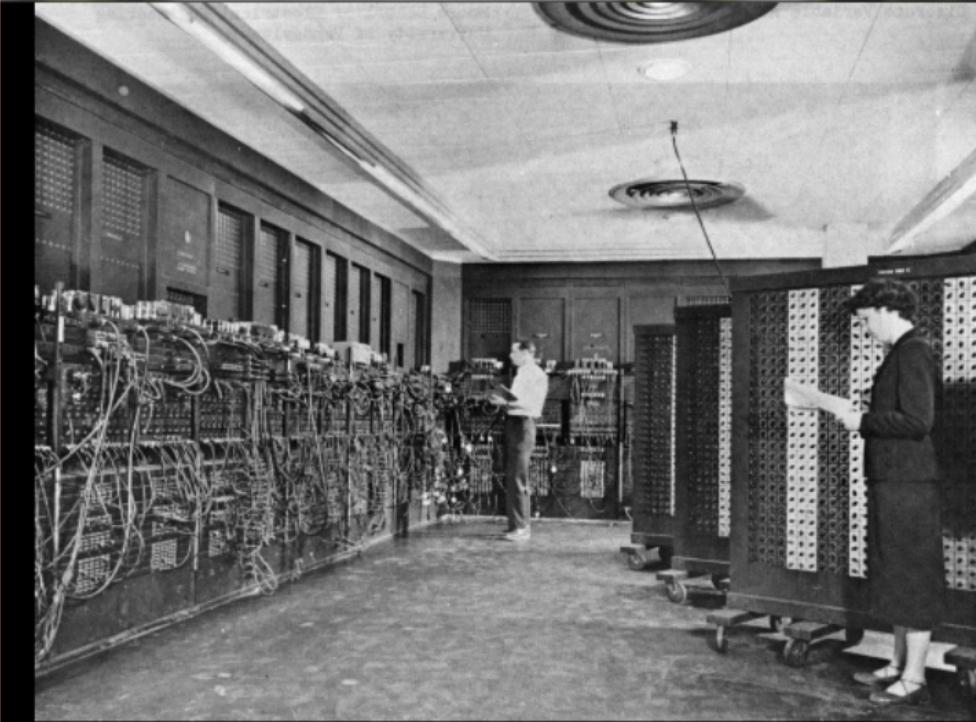
web: viaje al interior de un microchip

Technology

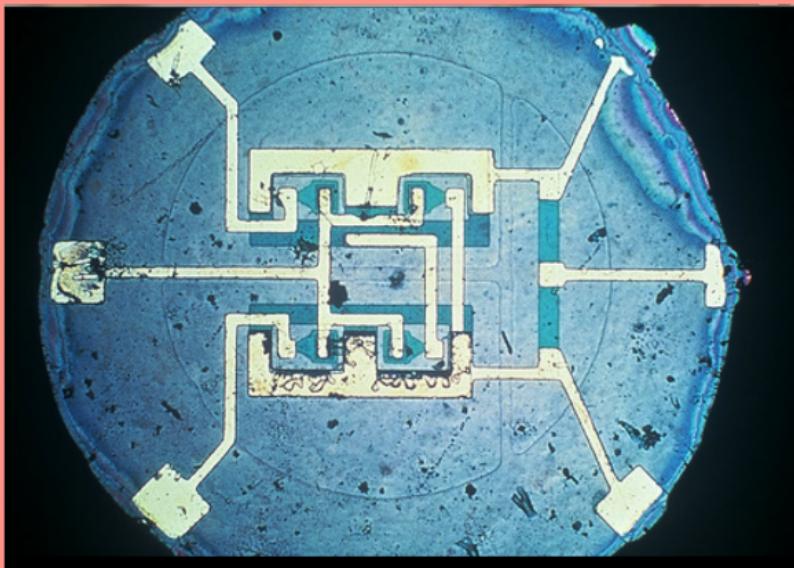
Manufacturing process technology

Microarchitectures

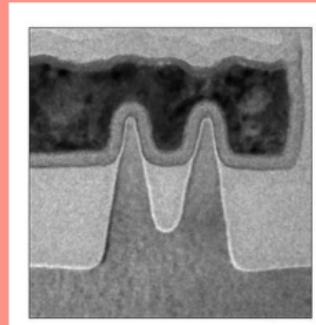
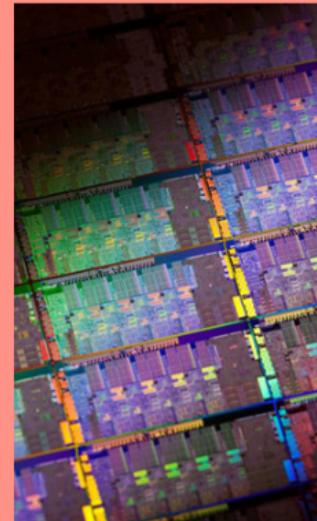




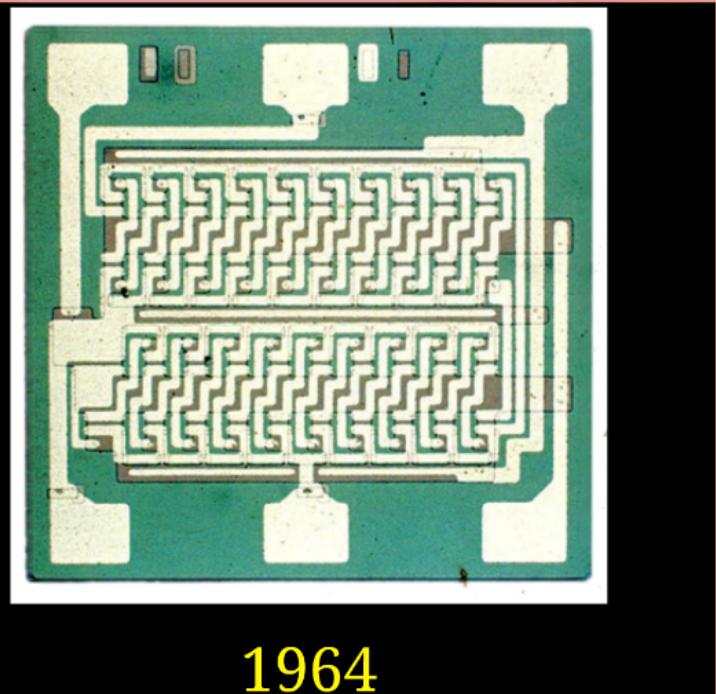
1946



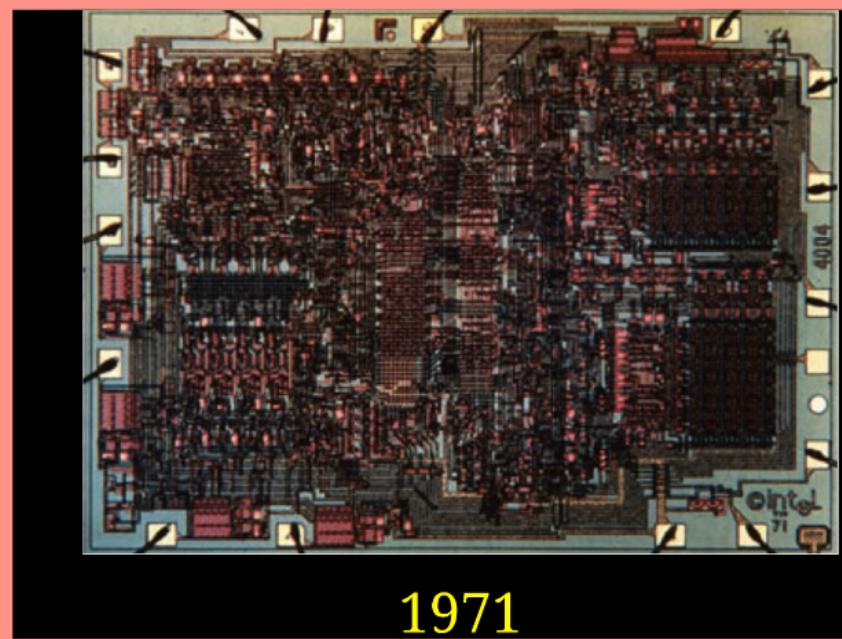
1961



1961

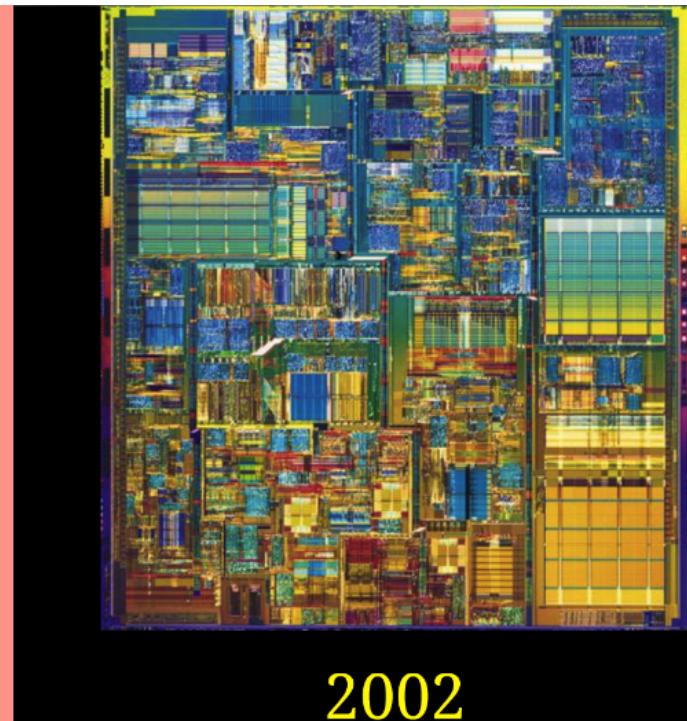


1964

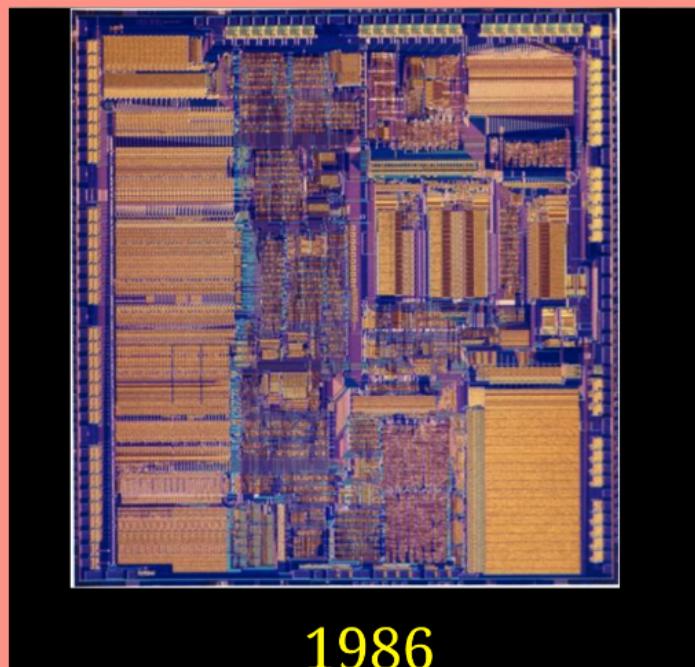


1971

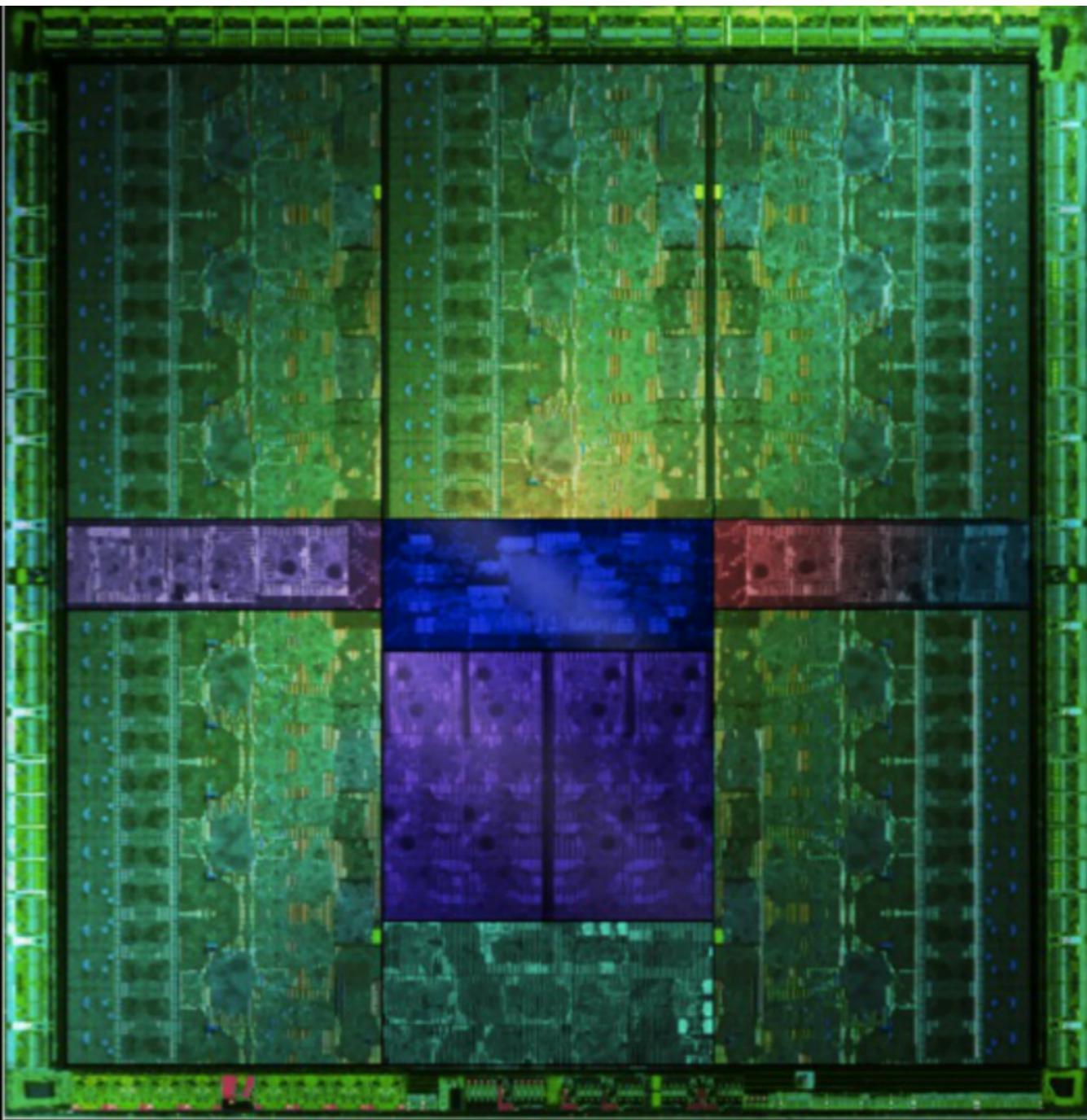
litografía
7nm
IBM



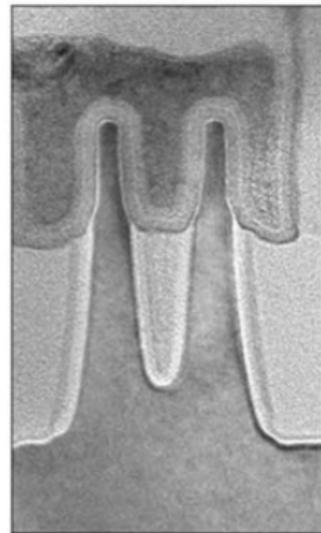
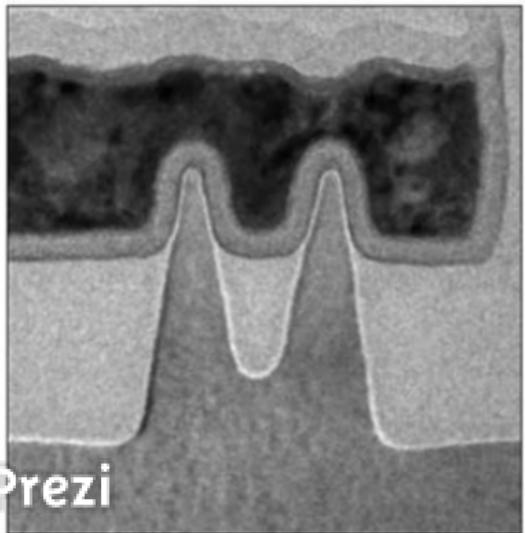
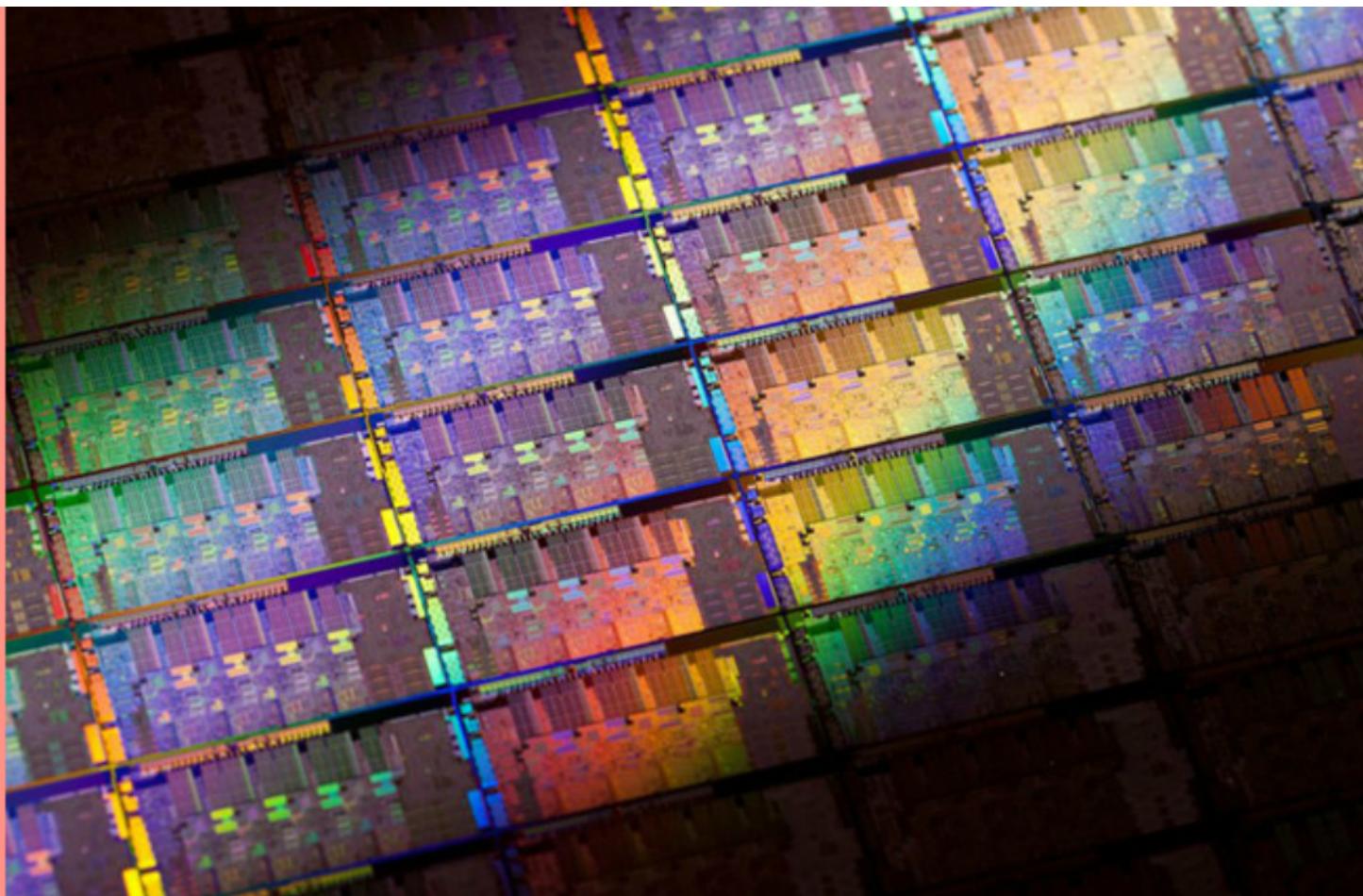
2002



1986



2013



litografía
7nm
IBM

Bibliografía

- The Art of ANALOG LAYOUT
- Semiconductor Device Fundamentals
- Fabricación de Circuitos Integrados. (<http://www.edutecne.utn.edu.ar>)
- Integrated Circuit Test Engineering - Chapter 2 - Fabrication Processes for Integrated Circuits
- Tecnología y producción de Circuitos Integrados - youtube
- EL ASOMBROSO PROCESO DE FABRICAR UN MICROCHIP. CHIPS, PROCESO DE FABRICACIÓN - youtube
- Cómo se hace un microprocesador - Texas Instruments - youtube
- <http://www.globalfoundries.com/>
- <http://www.universitywafer.com/> --> Wafer Fabrication
- <https://www.mosis.com/>--> Microelectronic Fabrication

PREGUNTAS???