

Pines del CPLD	Característica de pin	Disposición en placa
1	I/O (1)	Led[0] LSB
2	I/O (2)	Led[1]
3	I/O (3)	Led[2]
4	I/O (4)	Led[3]
5	GCK1 (I/O)	JP3(Sel_Freq_1)
6	GCK2 (I/O)	JP5(Sel_Freq_3)
7	GCK3 (I/O)	JP4(Sel_Freq_2)
8	I/O (5)	MAX232(T2IN)
9	I/O (6)	JP1=>PSR0 o MAX 232(R2OUT)
10	GND	GND
11	I/O (7)	Led[4]
12	I/O (8)	Led[5]
13	I/O (9)	Led[6]
14	I/O (10)	Led[7] MSB
15	TDI	TDI
16	TMS	TMS
17	TCK	TCK
18	I/O (11)	siete_seg[0]
19	I/O (12)	siete_seg[1]
20	I/O (13)	siete_seg[2]
21	VCC	VCC
22	I/O (14)	siete_seg[3]
23	GND	GND
24	I/O (15)	siete_seg[4]
25	I/O (16)	siete_seg[5]
26	I/O (17)	siete_seg[6]
27	I/O (18)	PSR2
28	I/O (19)	transistor_1
29	I/O (20)	transistor_2
30	TDO	TDO
31	GND	GND
32	VCC(I/O)	VCC(I/O)
33	I/O (21)	PSR1
34	I/O (22)	switch[7]
35	I/O (23)	switch[6]
36	I/O (24)	switch[5]
37	I/O (25)	switch[4]
38	I/O (26)	switch[3]
39	GSR I/O (27)	switch[2]
40	GTS2 I/O (28)	switch[1]
41	VCC	VCC
42	GTS1 I/O (29)	switch[0]
43	I/O (30)	transistor_4
44	I/O (31)	transistor_3

Cuadro 2.1: Conexión de los terminales del CPLD en la placa.

Capítulo 3

Placa expansión

3.1. Introducción

Ésta placa tiene como objetivo brindar al programador una cantidad considerable de dispositivos digitales con los cuales el usuario puede generar estímulos al CPLD y de ésta forma explotar los recursos del mismo.

Posee elementos tales como *leds*, *displays* de siete segmentos y optoacopladores con los cuales podemos corroborar el funcionamiento de nuestro diseño de *hardware* y la respuesta de la descripción que se está ejecutando.

El diseño estuvo basado en la utilización de todos los recursos de entrada / salida que dispone el CPLD, es por eso que se hace énfasis en la designación de los terminales, dejando a disposición del programador el cuadro , y un modelo en el apéndice A.2 para realizar la disposición de pines en el archivo ".ncf", por lo tanto se recomienda que el mapeo de los pines se realice con pleno conocimiento de éste reporte, para el correcto funcionamiento de la descripción de *hardware* realizada y sobretodo para evitar cortocircuitos.

En la figura 3.1, se presenta el diagrama de la placa de expansión.

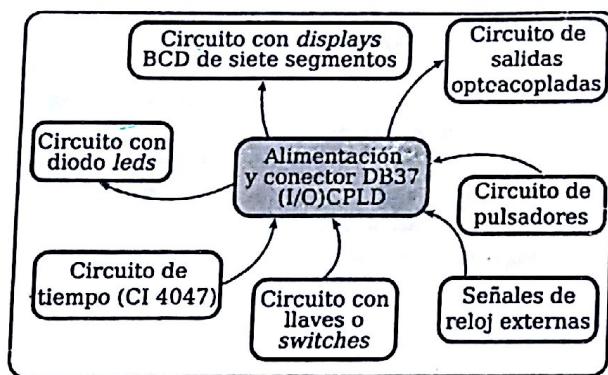


Figura 3.1: Diagrama que representa los bloques de la placa de expansión.

3.2. Alimentación de la placa y conector DB37

La alimentación de ésta placa se obtiene desde la placa programadora a través del conector DB37, es decir que recibe 5V del regulador de tensión LM 7805C que se encuentra en la placa programadora y que fue previamente descrito en éste informe.

El conector DB37 se utiliza para acoplar ambas placas sin necesidad de usar cables, se eligió éste conector debido a que la cantidad de terminales a conectar es importante. Recordemos que el CPLD posee 44 terminales, de los cuales podemos usar 31 como entrada / salida (de hecho están todos utilizados en ésta placa de expansión), el resto de los terminales se utiliza para alimentación, temporización y para el puerto JTAG. El mapeo de los pines se puede apreciar en el cuadro .

Respecto del conector DB37 cabe resaltar que proporciona como se puede apreciar en la figura , dos salidas de VCC a la placa de expansión en sus pines 34 y 35 provenientes de la placa programadora, la división de la línea de alimentación tiene como objetivo el de no sobrecargar las pistas.

3.3. Circuito de Pulsadores

Se cuenta con dos pulsadores que están normalmente en nivel alto, los que podrán ser utilizados en cualquier descripción realizada por el programador.

Los capacitores acoplados a los terminales P33 y P27, constituyen antirrebotes, es decir, mientras los pulsadores no sean accionados se tendrá un '1' lógico, oficiando los capacitores de memoria del nivel alto en el terminal del CPLD, de ésta manera sólo existirá un nivel bajo cuando los pulsadores sean accionados por un tiempo superior al tiempo dado por su correspondiente $\tau = RC$, y el nivel será establecido como curva creciente o decreciente.

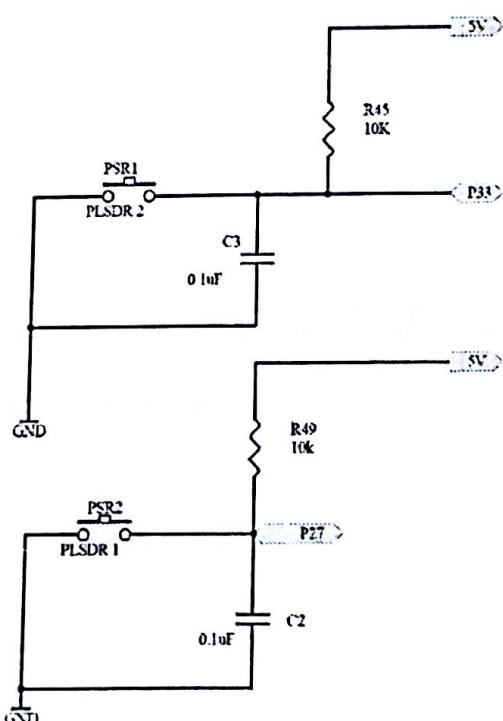


Figura 3.3: Circuito de Pulsadores.

3.4. Circuito con llaves o *switches*

En la placa de expansión contamos con ocho llaves o *switches* que serán de gran utilidad cuando se quieran emplear señales variables en tiempo de ejecución.

Se recomienda utilizarlas para ingresar registros o *bytes* de datos en alguna descripción que así lo requiera.

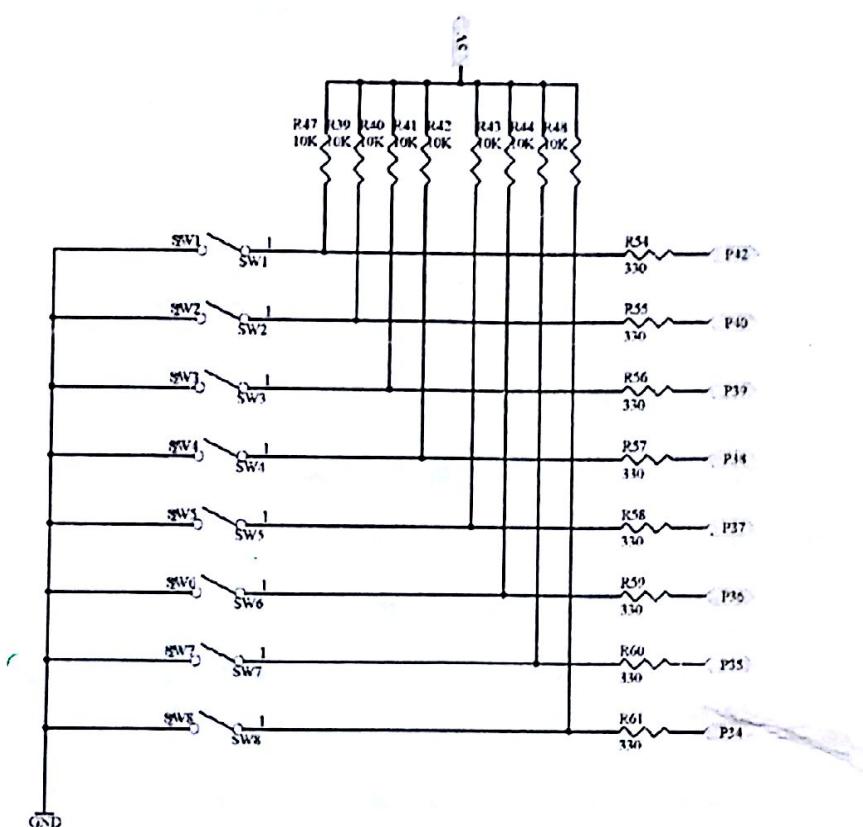


Figura 3.4: Circuito con llaves o *switches*.

3.5. Circuito de tiempo (CI 4047)

Como se describió con anterioridad, en la placa programadora se encuentran tres señales de reloj de entrada para el CPLD, obtenidas de un divisor de frecuencias constituido por un cristal de 16 MHz.

En la placa de expansión, se implementó el circuito formado por el multivibrador astable / monoestable CI 4047, con el cual el alumno ya estará familiarizado. Éste circuito posee una frecuencia ajustable y tiene como finalidad llevar el sincronismo de eventos de período extenso. Como bien se detalló en el capítulo posterior 2.6, la señal de reloj de éste circuito, puede seleccionarse con el *jumper* dispuesto en el conector JP5.

En la figura 2.9 del capítulo anterior aparece con la denominación "Frec. Var.".

A continuación se muestra el circuito oscilador completo.

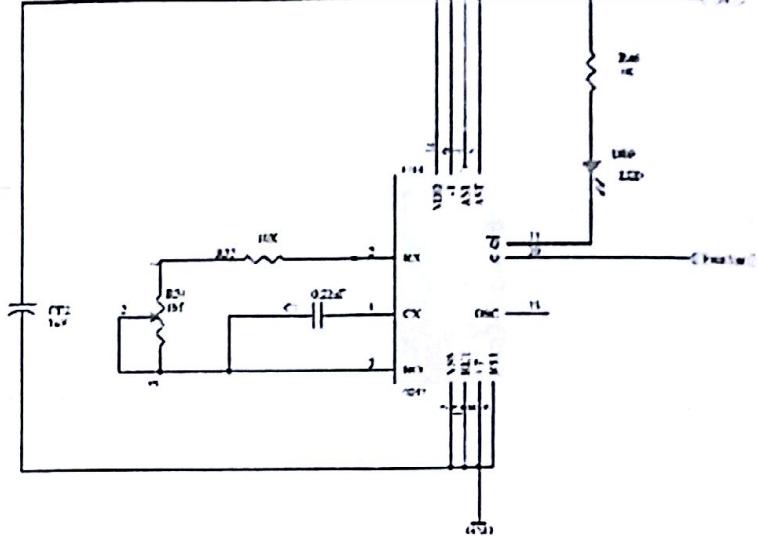


Figura 3.5: Circuito de tiempo (CI 4047).

3.6. Señales de reloj externas

La designación de éste puerto le permitirá al programador utilizar otro tipo de señales de sincronismo externo, un sensor óptico por ejemplo podría oficiar de reloj. Se podría decir que se trata de un reloj asíncrono porque el período del próximo pulso no estaría definido, si bien ésta terminología no es técnicamente correcta, sería la más adecuada.

De ésta manera se podrán ingresar al CPLD señales que permitirán controlar los tiempos de proceso en diferentes circunstancias.

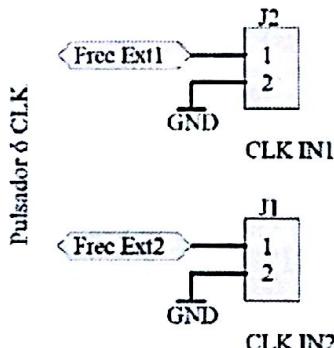


Figura 3.6: Señales de reloj externas.

3.7. Circuito con diodos leds

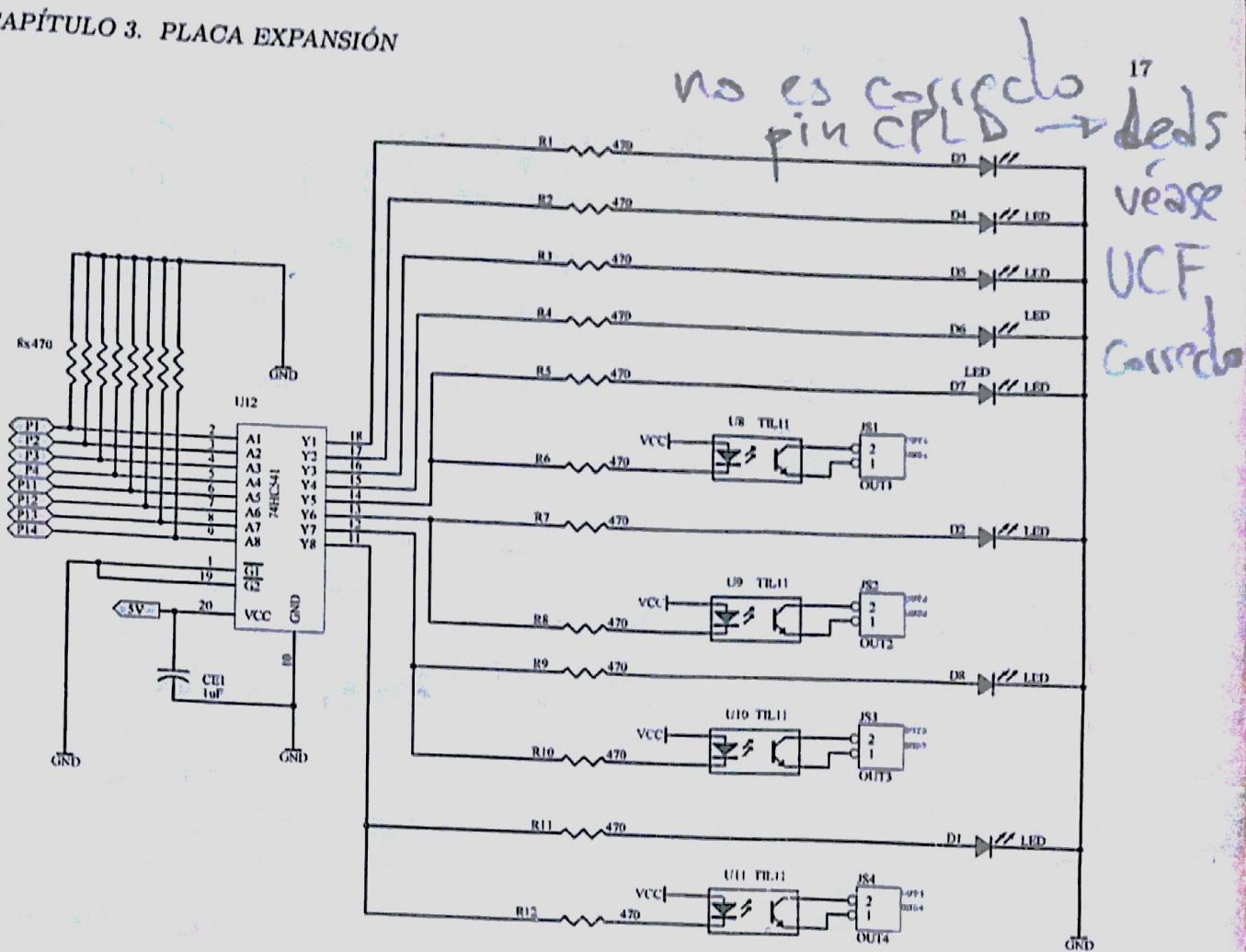
Para la visualización de datos o registros se dispone de ocho diodos *leds* en configuración cátodo común.

En la figura 3.7. se puede observar que cuatro de los diodos están conectados en paralelo con los optoacopladores de modo que, por ejemplo:

Un '1' lógico en P11 enciende el *led* para visualización y apaga el *led* del optoacoplador por lo que el transistor de acoplamiento se encontrará en corte.

Un '0' lógico en P11 apaga el *led* para visualización pero coloca el transistor en saturación a través de su *led* de acople óptico cuyo cátodo se une a masa a través del 74HC541.

En el apéndice B se puede encontrar información referida al manejo de corriente por parte de los optoacopladores.

Figura 3.7: Circuito con diodos *leds* y optoacopladores.

3.8. Circuito de salidas optoacopladas

Con la utilización de optoacopladores, (en este caso se eligió en su mayoría el Cl TIL116), se realiza un circuito que permite tener cuatro salidas con protección de la placa cuando se quiera trabajar con otros niveles de tensión y corriente, por ejemplo para excitar motores o relés.

Sobre estas salidas se efectuaron pruebas que se describen en el apéndice .

Este circuito está ligado a los ocho leds de visualización como ya se explicó anteriormente, y se puede apreciar en la figura 3.7.

3.9. Circuito con *displays BCD* de siete segmentos

Uno de los bloques más importantes de la placa de expansión está constituido por cuatro displays con los cuales se realiza la visualización de datos BCD.

Los displays poseen sus ánodos conectados a los transistores PNP BC327 y son manejados por éstos al ser polarizados desde sus bases con cuatro terminales del CPLD.

Se puede apreciar en la figura 3.8 que los segmentos de los cuatro displays están conectados en paralelo, de forma que se puedan multiplexar¹.

¹De hecho es recomendable que sean multiplexados para que nunca estén encendidos al mismo tiempo mas de siete segmentos, disminuyendo así el consumo de corriente.

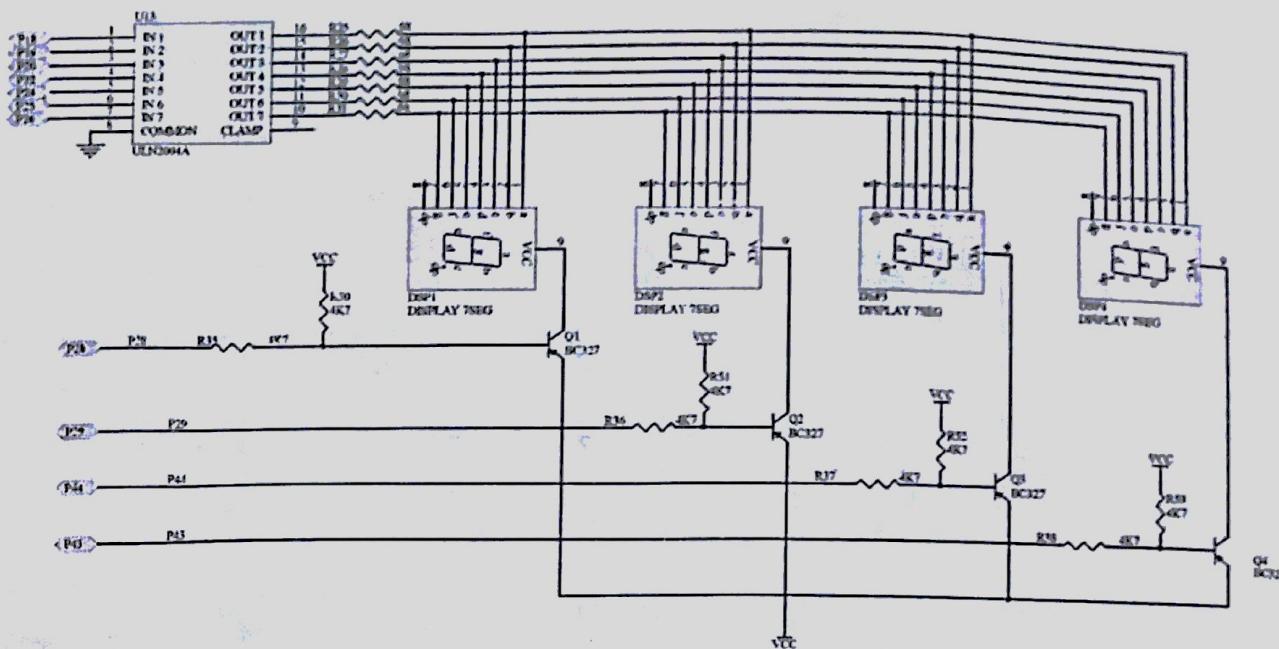
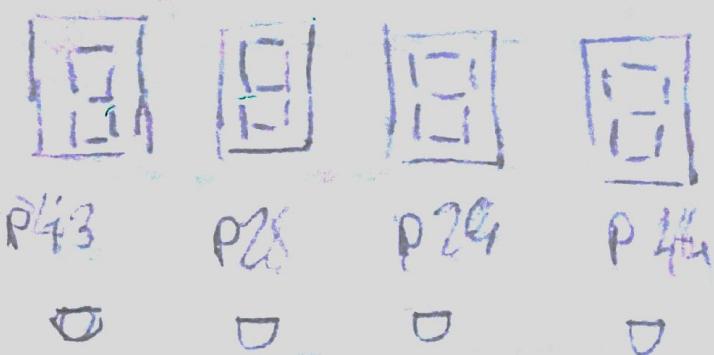


Figura 3.8: Circuito con *displays* BCD de siete segmentos.

Viendo el CPLD:



Apéndice A

Información de programación

A.1. La Entidad (*Entity*)

La entidad es una parte del programa de gran importancia, en el mismo se describe con detalle los puertos de comunicación del CPLD con el exterior, así también los componentes creados en el mismo. Se describirá con mayor detalle en el “Tutorial de práctica sobre CPLD” que será editado a continuación de este informe. Se espera que los estudiantes tomen como práctica sana de programación una entidad similar a la proporcionada a continuación, no solo por estandarización sino también por que esta entidad especifica todos los puertos disponibles en el equipo.

```
1 library IEEE;
2 use IEEE.STD_LOGIC_1164.ALL;
3 use IEEE.STD_LOGIC_ARITH.ALL;
4 use IEEE.STD_LOGIC_UNSIGNED.ALL;
5
6 entity top_prueba_expansion is
7 Port (
8 -- Definimos las entradas al CPLD
9 clk1 : in STD_LOGIC;
10 clk2 : in STD_LOGIC;
11 clk3 : in STD_LOGIC;
12 pulsador_rx_prog : in STD_LOGIC;
13 pulsador1 : in STD_LOGIC;
14 pulsador2 : in STD_LOGIC;
15 llaves : in STD_LOGIC_VECTOR(7 downto 0);
16-- Definimos las entradas al CPLD
17 led_tx_prog : out STD_LOGIC;
18 transistor1 : out STD_LOGIC;
19 transistor2 : out STD_LOGIC;
20 transistor3 : out STD_LOGIC;
21 transistor4 : out STD_LOGIC;
22 leds : out STD_LOGIC_VECTOR(7 downto 0);
23 siete_seg : out STD_LOGIC_VECTOR(6 downto 0));
24 end top_prueba_expansion;
25
26 architecture Behavioral of top_prueba_expansion is
27 begin
28
29--Descripción.....
30
31 end Behavioral;
```