

Aluno: \_\_\_\_\_

Matrícula: \_\_\_\_\_ Data: \_\_\_\_\_

### Sprint 2 – Revisão de Verilog/SystemVerilog – Simulação (Sequencial)

**Descrição geral do problema:** Revisão de Verilog/SystemVerilog. Implemente uma série de módulos sequenciais e seus respectivos testbenches. Simule-os no ambiente <https://edaplayground.com/>.

#### Preparação para a sprint:

1. Revise os conceitos aprendidos na disciplina de Circuitos Lógicos. Sugestão: capítulos 1 ao 5 do livro de referência, “Sarah Harris and David Harris. *Digital Design and Computer Architecture, RISC-V Edition*. 1. Morgan Kaufmann. 2021”.
2. Crie uma conta no <https://edaplayground.com/> e inicie um projeto novo.
  - Language: *SystemVerilog/Verilog*.
  - Tools & Simulator: *Aldec Riviera Pro 2023.04*.
  - Habilite a opção: *Open EPWave after run*.
3. Assista os vídeos de revisão de Verilog, na seguinte playlist (infelizmente ainda não temos material gravado em SystemVerilog):  
<https://youtube.com/playlist?list=PLKM6TRQ8YHKfgnljhJUu1f4dJscXkxhom&si=zEG01mgT9oXouUz4>
4. Assista o tutorial de como criar testbenches e simular módulos no EDAPlayground:  
<https://www.youtube.com/watch?v=VsP6zHarUSM&list=PLKM6TRQ8YHKfgnljhJUu1f4dJscXkxhom&index=8>

#### Requisitos mínimos:

1. Implemente um **registrador de 4bits** com enable, reset assíncrono, entrada paralela e saída paralela.
  - Caso ocorra uma borda de descida no reset, o registrador é zerado;
  - Na borda de subida do clock, caso o enable esteja em nível alto, a entrada é registrada;
  - Caso o enable esteja em nível baixo, o valor registrado é mantido, mesmo que ocorra uma borda de subida do clock;
  - A saída sempre reflete o valor registrado.

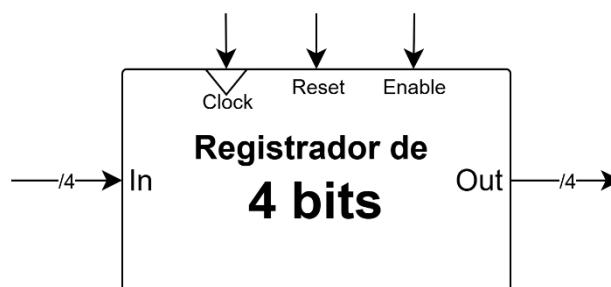


Diagrama de blocos do registrador de 4bits

Escolha o nível de abstração que mais lhe convém. *Dica: assista o [video](#).*

2. Implemente um testbench para validar cenários representativos do registrador de 4bits implementado no item 1. Simule-o no EDA Playground e cheque se os resultados estão de acordo com o previsto. **Chame o professor para Validar seu progresso até esse ponto.**



3. Utilize os módulos já implementados e validados da Sprint 1 para construir um novo módulo que possibilite armazenar o resultado das operações em um registrador de 4 bits.

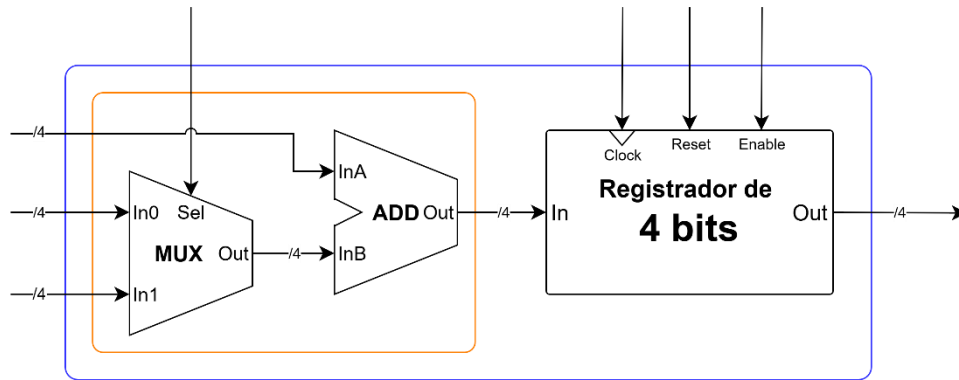


Diagrama de blocos da montagem com o MUX e o somador

4. Implemente um testbench para validar a sua montagem do item 3. Simule-o no EDA Playground e cheque se os resultados estão de acordo com o previsto. **Chame o professor para Validar seu progresso até esse ponto.**



Após o professor conferir seus testes, compacte todos os arquivos em um **.zip** e submeta-o no **SIGAA**



#### Desafio (Valendo +0,2 na média geral)

1. Utilizando somente os módulos de Somador, Mux2x1 e Registrador que você já implementou e validou, implemente um novo módulo contador de 16 estados. Inclua um sinal para selecionar se a contagem será crescente (0-F) ou decrescente (F-0);
2. Faça um rascunho do diagrama de blocos da sua solução;
3. Implemente um testbench para validar os cenários mais significativos do seu novo módulo de ULA.