

Práctico 6

Implementación de Sistema Básico de Comunicaciones

FUNDACION FULGOR

26 de agosto de 2023
Autor: Marcos Raimondi

Práctico 6

Implementación de Sistema Básico de Comunicaciones

Consigna

Diseñar un sistema de comunicaciones básico que contenga los bloques PRBS9, filtro transmisor, diezmador con selección de fase óptima de muestreo, contador de Bit Error Rate y módulo de Control tal como se observa en la Fig. 1.

Características:

- Modulación: QPSK
- Frecuencia de Reloj: 100MHz
- Over Sampling Factor: 4
- Tipo de Filtro: Raised Cosine (6 baudios)
- Roll Off: 0.5
- Control: Controla el funcionamiento a diferentes velocidades de los módulos del sistema.
- BER: El contador de BER debe realizar la etapa de inicialización cada vez que se cambia la fase de muestreo.
- Seed PRBS9: PRBS9I (9'h1AA) - PRBS9Q (9'h1FE).

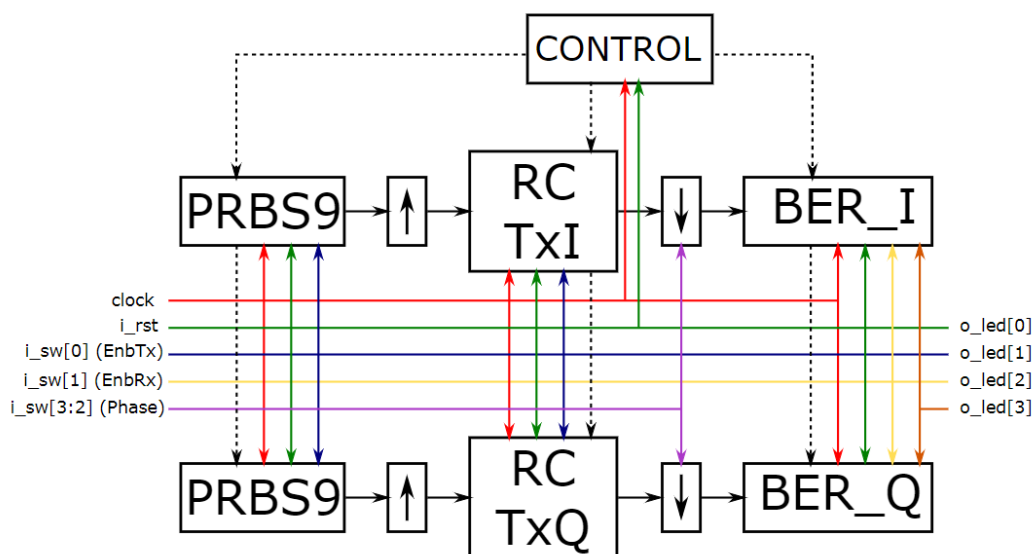
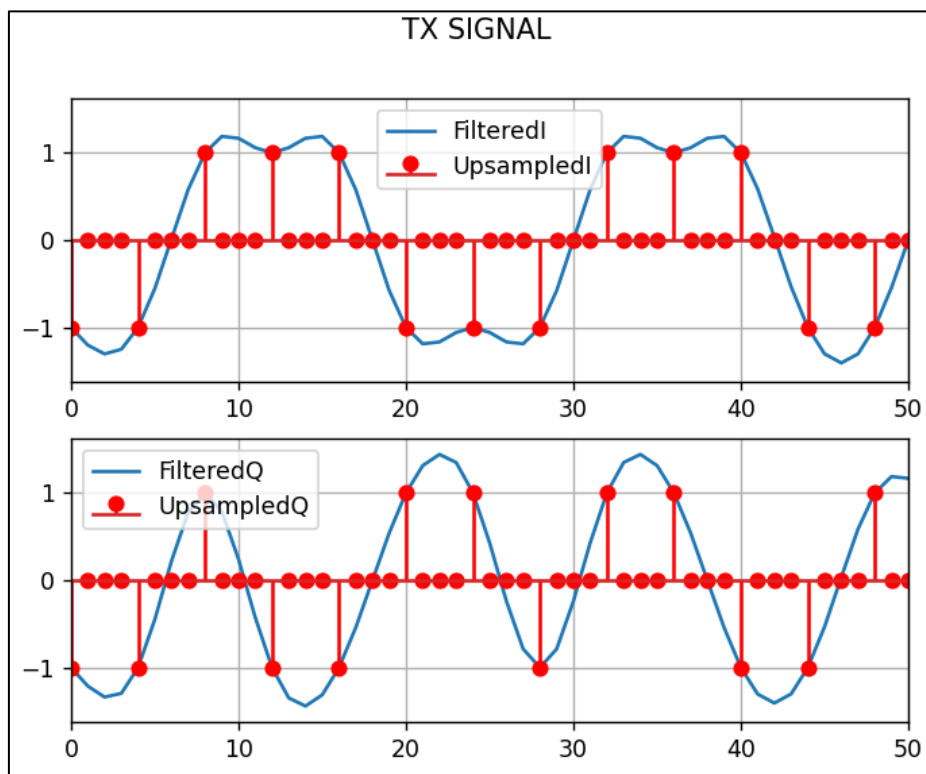
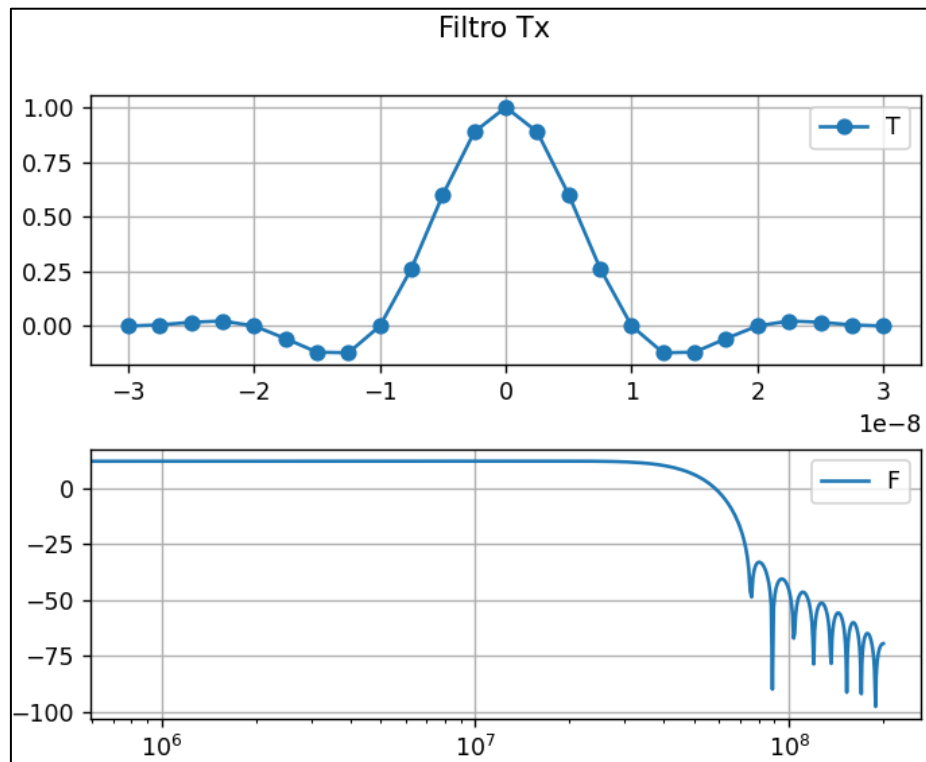


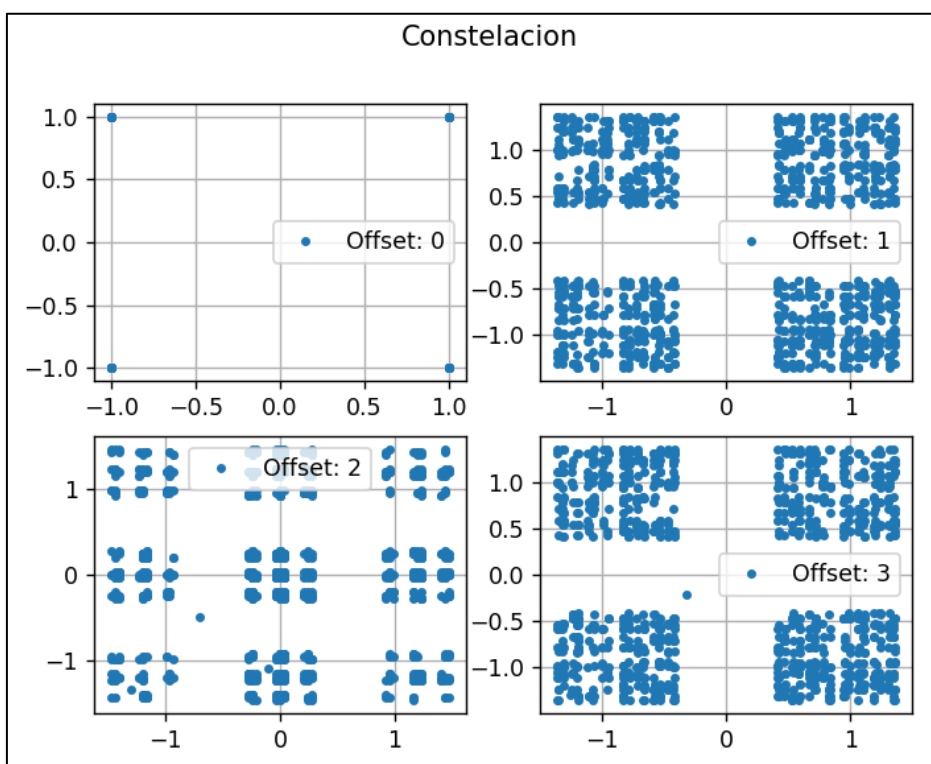
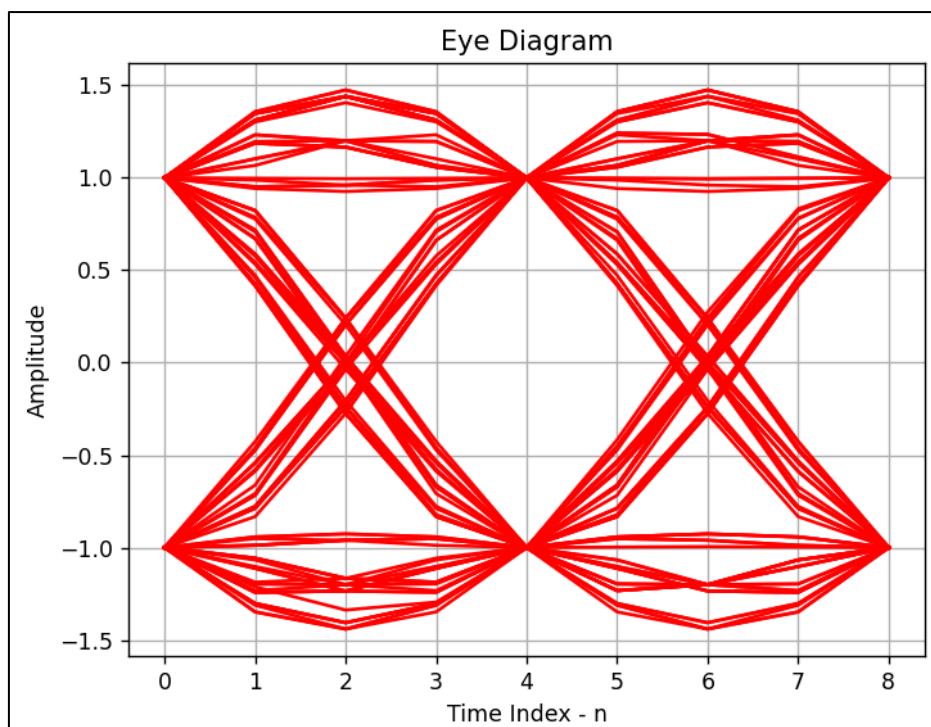
Figura 1: Diagrama en bloques del sistema de comunicaciones.

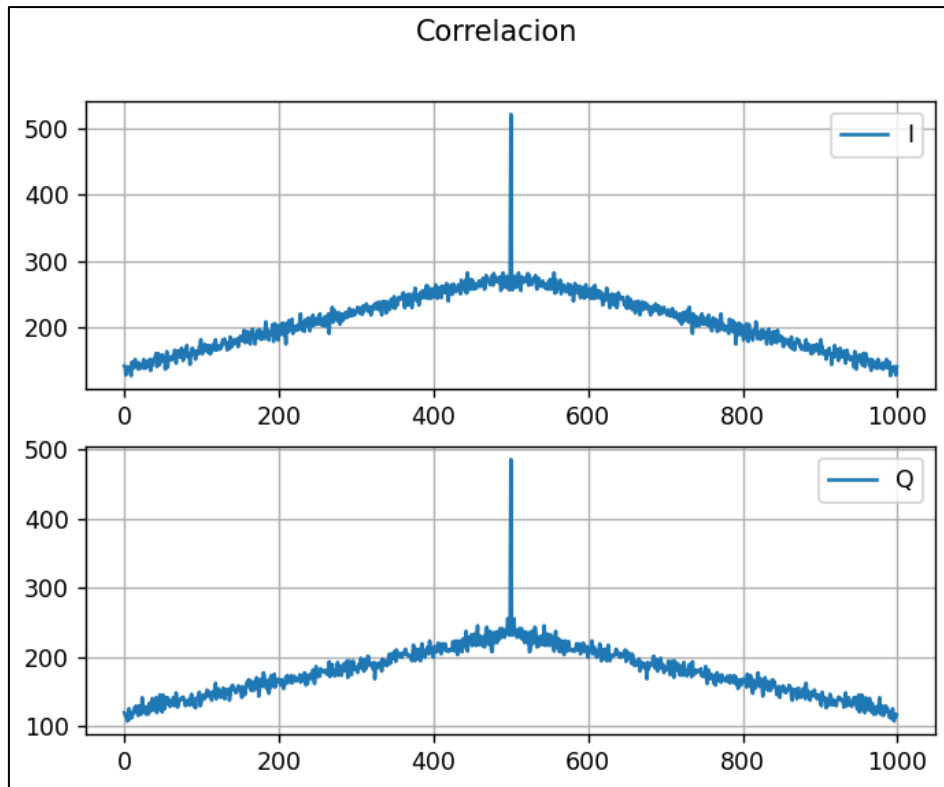
Parte 1: Simulador Punto Flotante

Se desarrolla en Python un simulador a punto flotante donde la prbs9 se realiza con un generador de números aleatorios y la BER una comparación de vectores.

Resultados







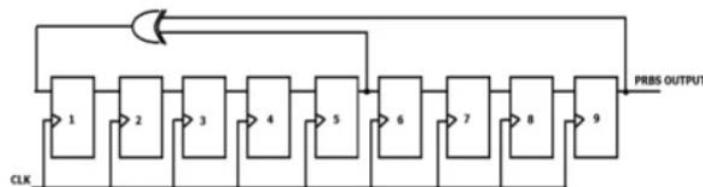
Parte 2: Simulador Punto Fijo

Se desarrolla en Python un simulador de punto fijo utilizando la librería **fixedInt.py**.

Se definen las resoluciones para las diferentes etapas de diseño. Se utiliza una representación en punto fijo signado de 7 bits para la parte fraccional, $S(8,7)$. Esta resolución es adecuada dado que los coeficientes del filtro son menores a uno.

Se implementa el concepto de diseño de hardware para la prbs9 y el contador de BER.

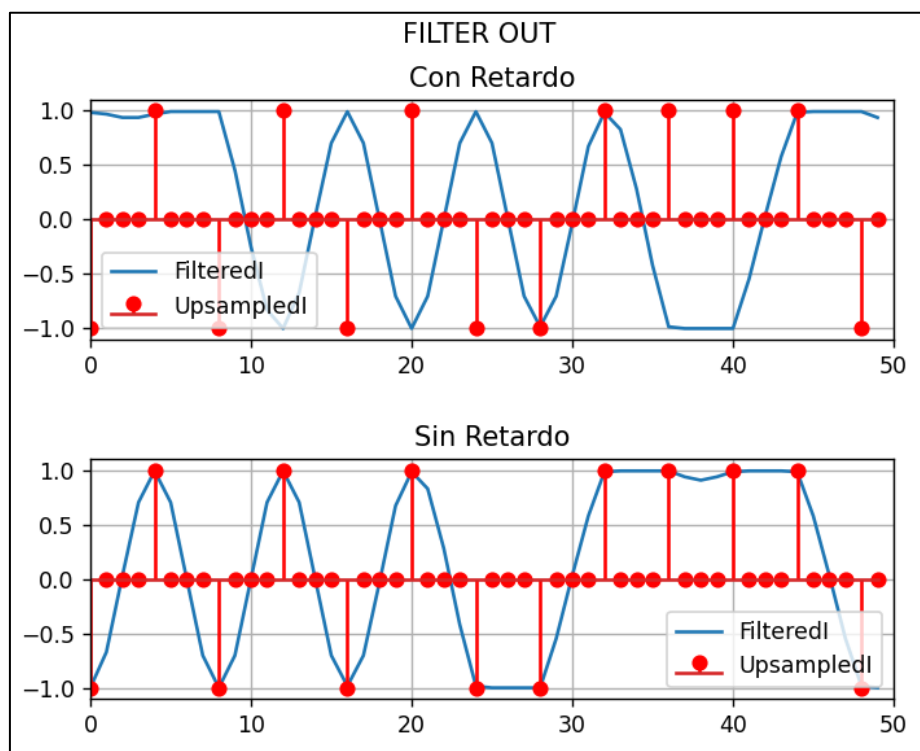
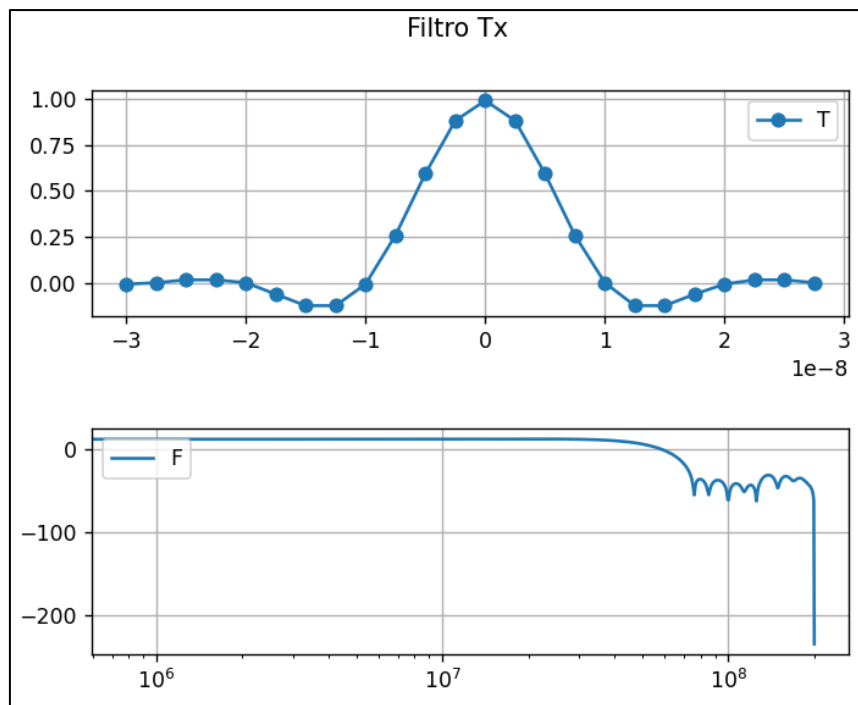
PRBS9:

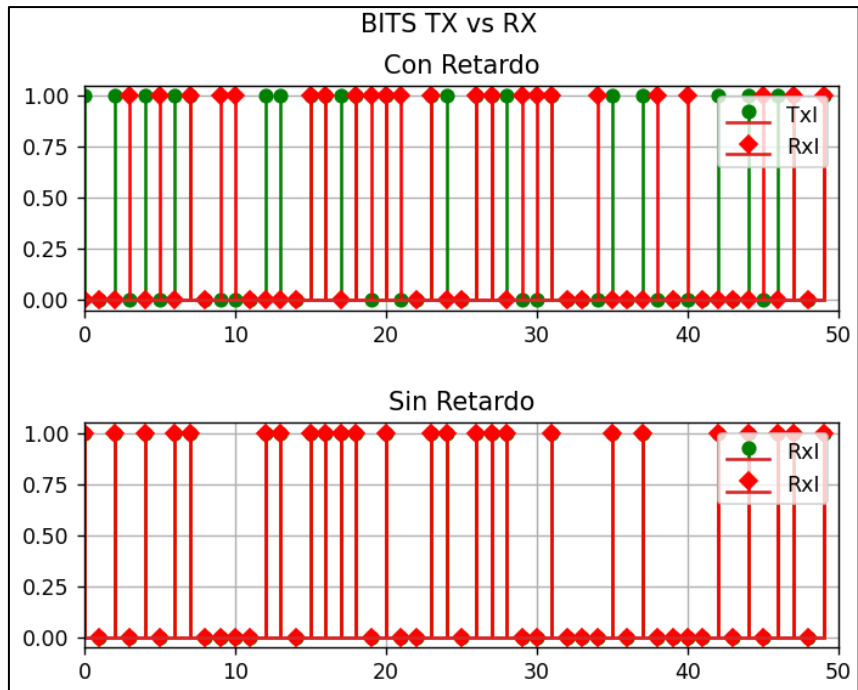


El contador de ber es encargado también de la sincronización de la señal detectando la latencia.

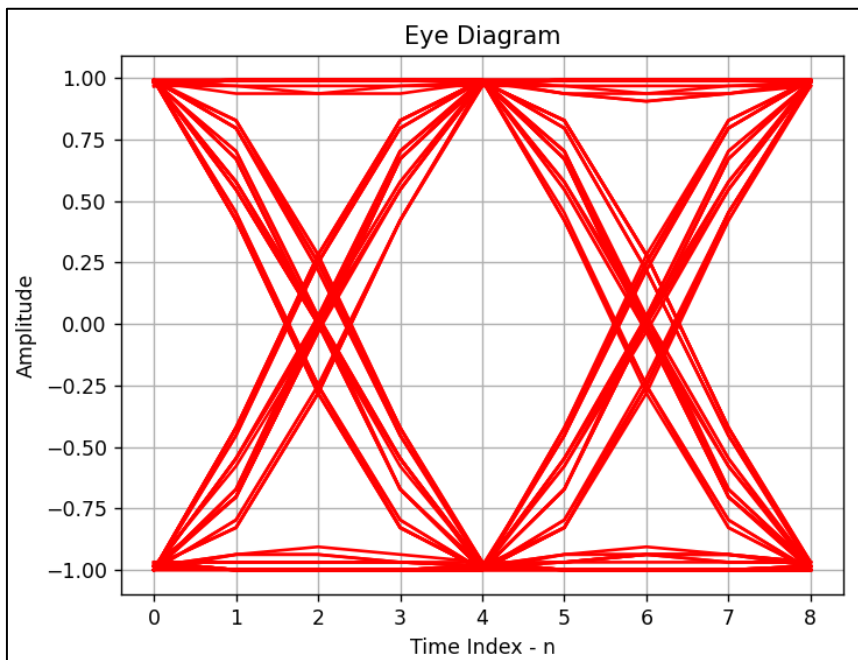
Se guardan los resultados en un archivo de texto para utilizarlos posteriormente como parte de testbench de los módulos asociados.

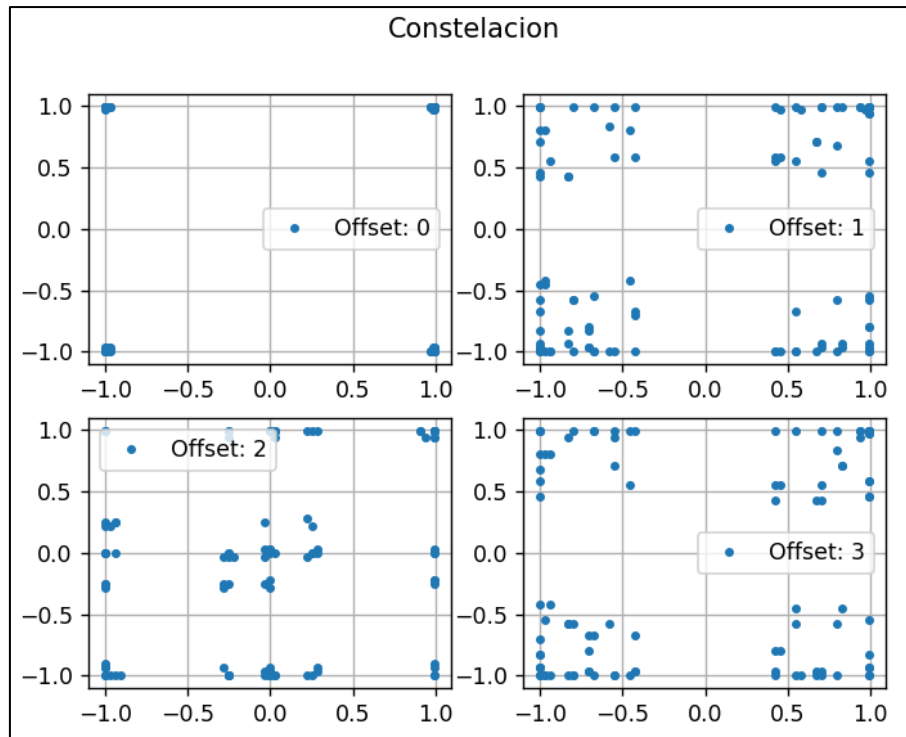
En este modelo se observan los retardos propios de un sistema implementado en hardware por la utilización de registros.





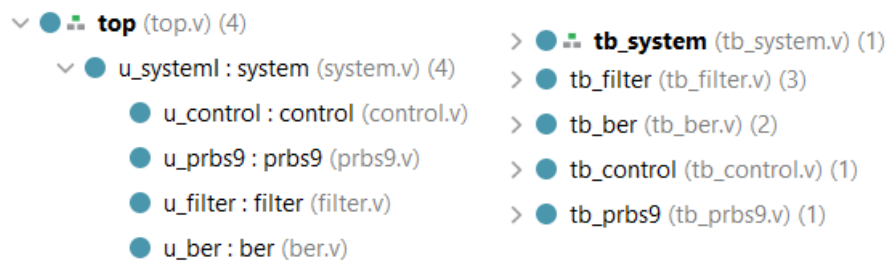
Se observa una latencia de 3 bits (12 muestras)





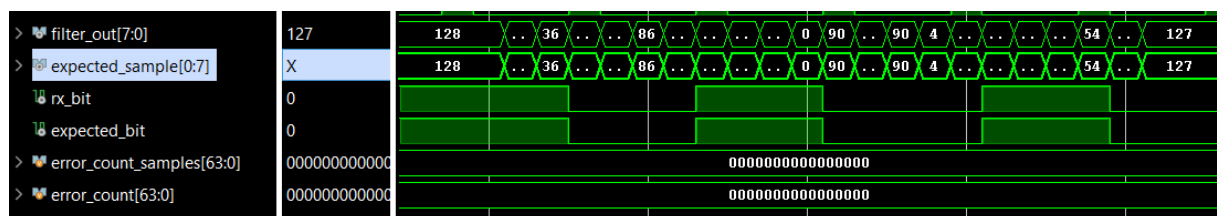
Parte 3: Implementación en Verilog del modelo de punto fijo

Se implementan los diferentes módulos del sistema en verilog cada uno con sus respectivas pruebas con los datos obtenidos en la simulación para verificar que su comportamiento es el deseado.

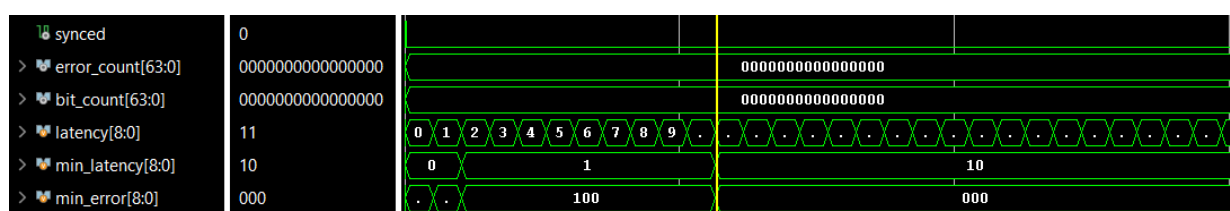


Resultados

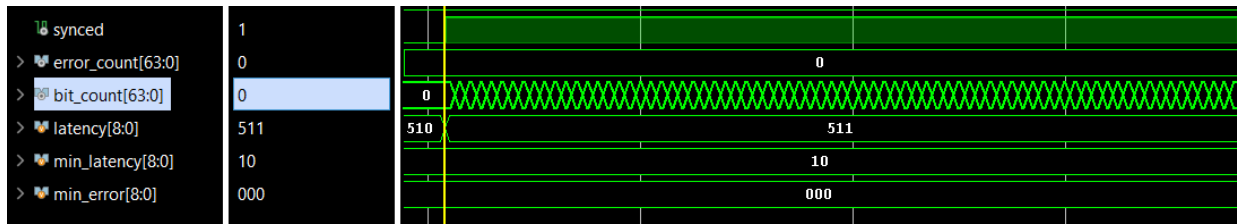
- **filter:**



- **ber:** en este test se implementa un retardo con un shiftregister de 10 registros.



En la instancia de sincronización el módulo recorre todos los posibles retardos, guardando la latencia que da menor error, en este caso 10.

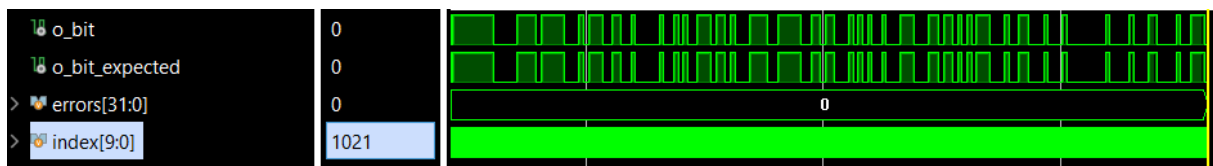


Cuando termina de recorrer todos los retardos, empieza a contar bits recibidos y errores teniendo en cuenta esa latencia de menor error.

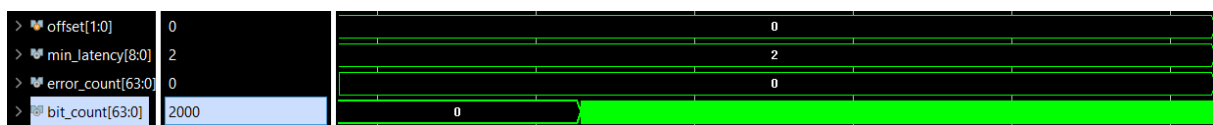
- **control:** divisor de frecuencias por 4 (por el oversampling factor) con un contador de 2 bits. La señal de valid tiene un período 4 veces mayor al período del clock.



- **prbs9:**



- **system:** se integra todo el sistema

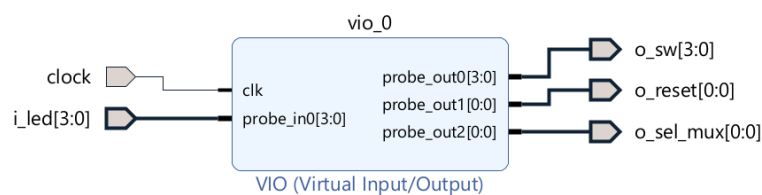


Se observa como el sistema se sincroniza, detectando la latencia del sistema completo y pudiendo transmitir sin errores.

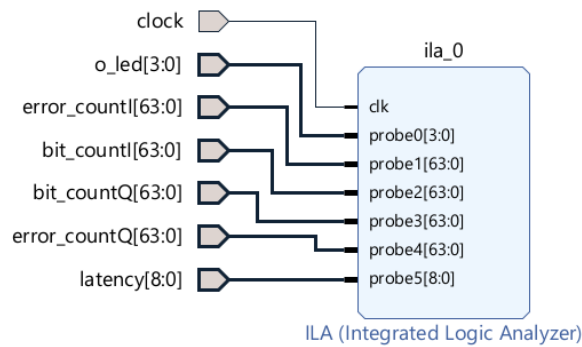
Parte 4: Implementación en FPGA

Para la implementación en FPGA se agregan dos módulos para el control remoto de la FPGA:

- VIO (Virtual Input Output): permite controlar el input de la placa y observar el output



- ILA (Integrated Logic Analyzer): permite colocar puntas de prueba para ver determinadas variables



Como resultado se programa la FPGA con el bitstream generado luego de la síntesis e implementación.

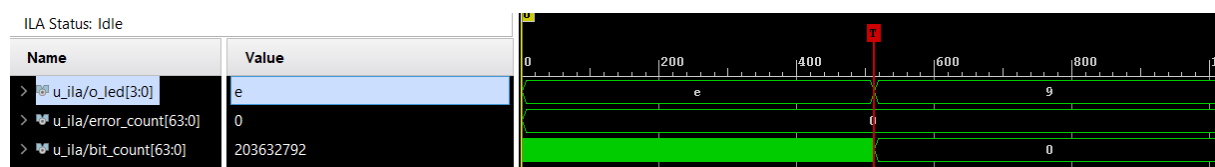
Resultados

Resultado de Timing de la implementación:

Período de reloj = 10 [ns]

Design Timing Summary					
Setup		Hold		Pulse Width	
Worst Negative Slack (WNS): 1,448 ns		Worst Hold Slack (WHS): 0,029 ns		Worst Pulse Width Slack (WPWS): 3,750 ns	
Total Negative Slack (TNS): 0,000 ns		Total Hold Slack (THS): 0,000 ns		Total Pulse Width Negative Slack (TPWS): 0,000 ns	
Number of Failing Endpoints: 0		Number of Failing Endpoints: 0		Number of Failing Endpoints: 0	
Total Number of Endpoints: 10750		Total Number of Endpoints: 10734		Total Number of Endpoints: 5498	
All user specified timing constraints are met.					

Cuando se pone en reset desde el VIO se reinician los contadores:



Al salir del reset, se inician los contadores:



Con el offset correcto seleccionado no se producen errores.

Al cambiarlo:



Poniendo el offset correcto (0), se dejan de producir errores:

> u_ila/o_led[3:0]	6	6
> u_ila/er...t[63:0]	496643655	496643655
> u_ila/bi...t[63:0]	6136875170	

Separando parte en fase y parte en cuadratura:

> o_led[3:0]	e	e
> error_countI[63:0]	0	0
> bit_countI[63:0]	368266724	
> error_countQ[63:0]	0	0
> bit_countQ[63:0]	368266724	
> latency[8:0]	2	2