

Parte c. (1,5 puntos) La tabla de la derecha muestra las instrucciones Risc-V ejecutadas por un programa. Haga un diagrama que muestre el ciclo en que se ejecuta cada etapa de las instrucciones, considerando una arquitectura (i) en pipeline con etapas *fetch*, *decode* y *execute*, y (ii) superescalar, con 2 pipelines con las mismas etapas de (i). Suponga que el salto en F ocurre (y no hay ningún tipo de predicción de saltos). Base su diagrama en los ejemplos que aparecen en [estas cátedras](#).

A	sub	a3,s5,t2
B	add	a5,t2,s4
C	andi	a3,a3,255
D	addi	a3,a3,1
E	ori	a5,a5,15
F	bgt	a3,s1,R
G	add	...
H	sub	...
I	xor	...
J	andi	...
...		
R	sub	a3,a3,a5
S	ori	a3,a3,255

i) pipeline con etapas.

ciclo	fetch	decode	execute
1	A		
2	B	A	
3	C	B	A
4	D	C	B
5	E	D	C
6	F	E	D
7	G	F	E
8	H	G	F
9	R		
10	S	R	
11		S	R
12			S

ii) superescalar, con 2 pipelines.

ciclo	fetch	decode	execute
1	AB		
2	CD	AB	
3	EF	CD	AB
4		D	C
5	GH	EF	D
6	IJ	GH	EF
7	RS		
8		RS	
9		S	R
10			S