



UFRR

UNIVERSIDADE FEDERAL DE RORAIMA
CIÊNCIA DA COMPUTAÇÃO - GRADUAÇÃO

RELATÓRIO DO LABORATÓRIO DE CIRCUITOS

Boa vista – Roraima

2024

MARCUS VINÍCIUS MAIA DOS SANTOS

ÍGOR PEREIRA DA SILVA

RELATÓRIO DO LABORATÓRIO DE CIRCUITOS

Relatório técnico apresentado ao Prof. Dr.
Herbert Oliveira Rocha, como requisito
de obtenção de nota parcial na disciplina
DCC 301 - Arquitetura e Organização de
Computadores.

Boa vista – Roraima

2024

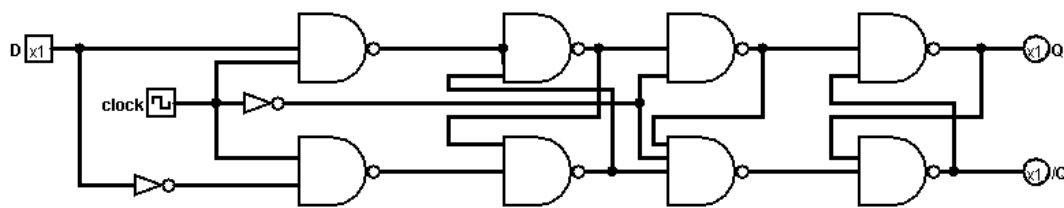
- 1. Introdução**
- 2. Componentes**
 - 2.1. Flip Flop do Tipo D e JK**
 - 2.1.1. Flip Flop JK
 - 2.1.2. Flip Flop D
 - 2.2. Multiplexador de 4 entradas**
 - 2.3. Porta lógica XOR usando port map com os componentes : AND, NOT e OR**
 - 2.4. Somador de 8 bits**
 - 2.5. Somador de 8 bits que recebe um valor inteiro e soma com o valor 4.**
 - 2.6. Memória ROM de 8 bits**
 - 2.7. Memória RAM de 8 bits**
 - 2.8. Banco de Registradores de 8 bits**
 - 2.8.1. Registrador 8-bits
 - 2.9. Detector de sequência binária**
 - 2.10. ULA de 8 bits**
 - 2.11. Extensor de sinal de 4 bits para 8 bits.**
 - 2.12. Máquina de Estados**
 - 2.13. Contador Síncrono**
 - 2.14. Detector de paridade ímpar**
 - 2.15. Problema de otimização utilizando mapas de Karnaugh**
 - 2.16. Decodificador de 7 segmentos**
 - 2.17. Detector de número primo**
- 3. Repositório**

O Circuito do Flip-Flop JK, possui as entradas J e K, as saídas são Q e Q negado, e o clock para alterar o valor dentro do Flip-Flop.

Quando o clock varia de 0 para 1, o valor a ser guardado pelo Flip-Flop alternam se as entradas J e K forem iguais a 1, e permanecerá o mesmo se ambos forem 0. Se as entradas forem diferentes, então o valor torna-se 1 se a entrada J for 1 e 0 se a entrada K for 1.

2.1.2. Flip Flop D

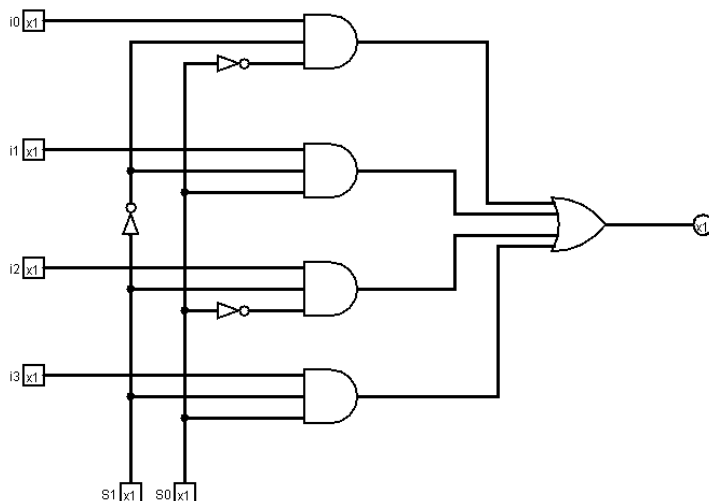
O Flip Flop D é baseado no Flip Flop JK, sendo mudado somente as entradas.



Nesse Flip Flop, o estado da saída de Q é igualado ao estado de D quando o clock varia entre 0 e 1.

2.2. Multiplexador de 4 entradas

O multiplexador é um dispositivo eletrônico que é utilizado para selecionar um sinal de entrada, para que esteja presente na saída. O multiplexador de 4 entradas é capaz de selecionar um dado entre os outros 3 que vai receber, por meio do endereço recebido.

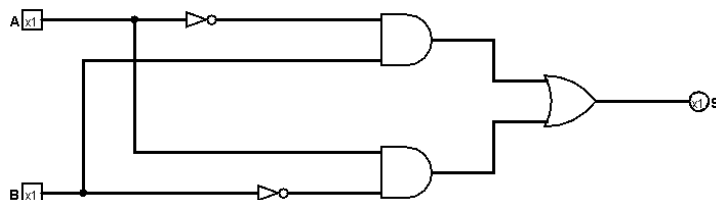


Nesse circuito estão presentes 4 entradas, sendo i0, i1, i2 e i3. O endereço é formado pelas entradas S0 e S1, onde vai ser selecionado qual das 4 entradas vai passar para a saída.

ENTRADA		SAÍDA
S1	S0	S
0	0	i0
0	1	i1
1	0	i2
1	1	i3

2.3. Porta lógica XOR usando port map com os componentes : AND, NOT e OR

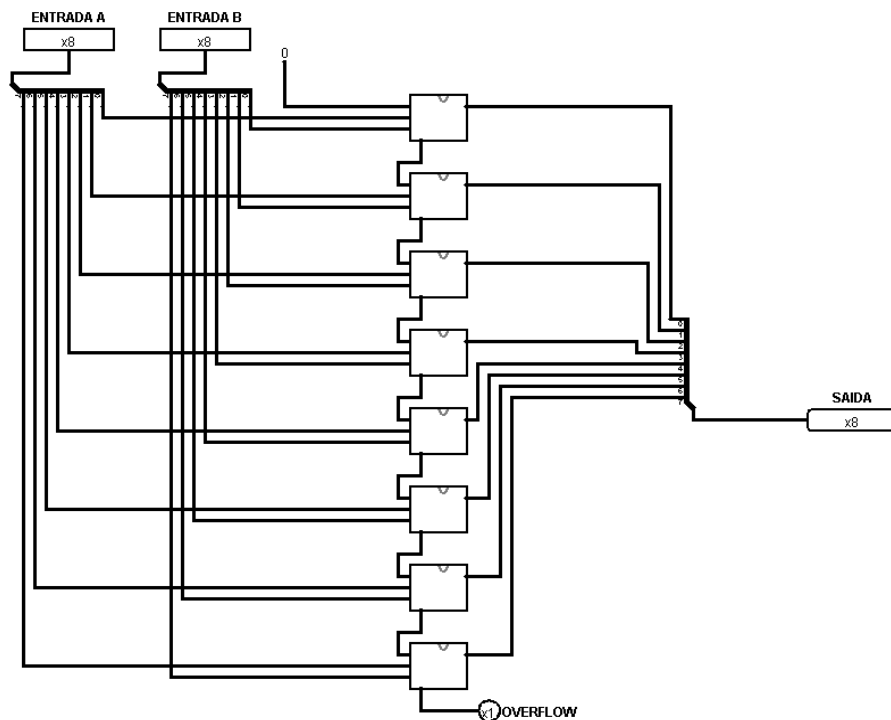
A porta lógica XOR, é uma porta de duas entradas que produz em sua saída o nível lógico 1 quando suas entradas tiverem valores diferentes entre si, e o nível lógico 0 quando as entradas forem iguais.



2.4. Somador de 8 bits

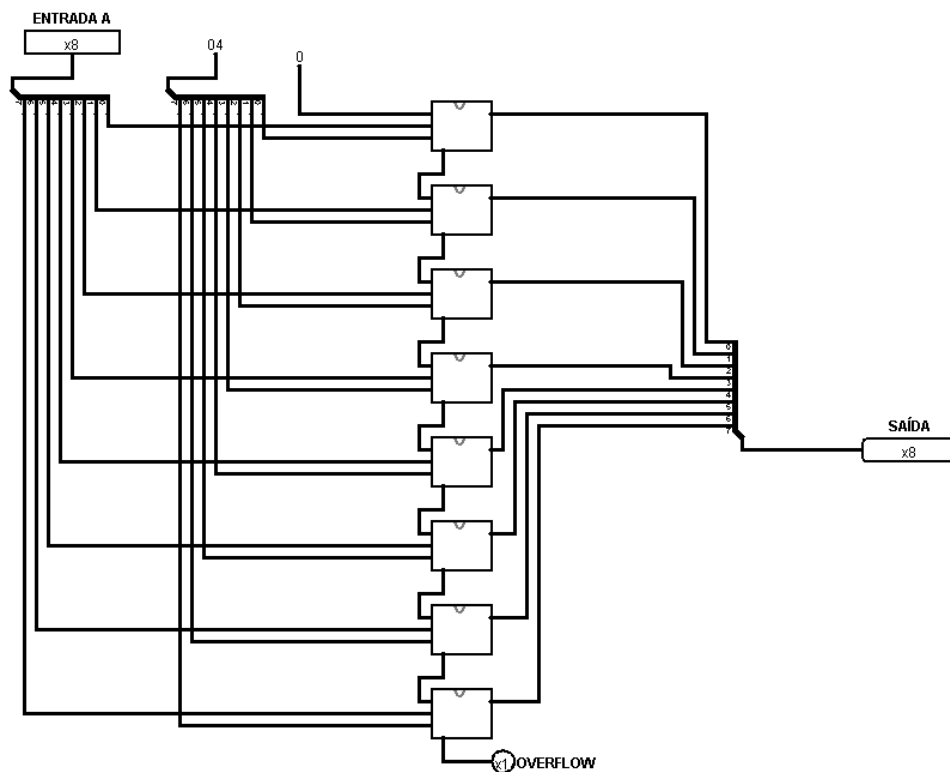
O somador de 8 bits usa 8 do mesmo componente “adicao”, esse componente será responsável por calcular bit a bit do somador.

O somador possui duas entradas de 8 bits, uma saída de 8 bits e outra saída de 1 bit para o overflow.



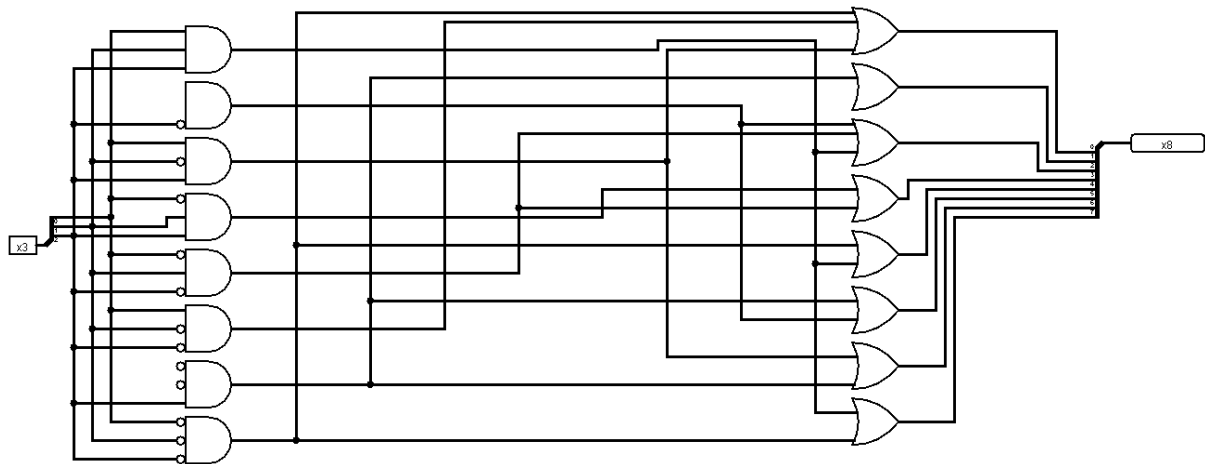
2.5. Somador de 8 bits que recebe um valor inteiro e soma com o valor 4.

Esse somador é similar ao anterior, com a diferença de possuir somente uma entrada de 8 bits e outra de 4 bits



2.6. Memória ROM de 8 bits

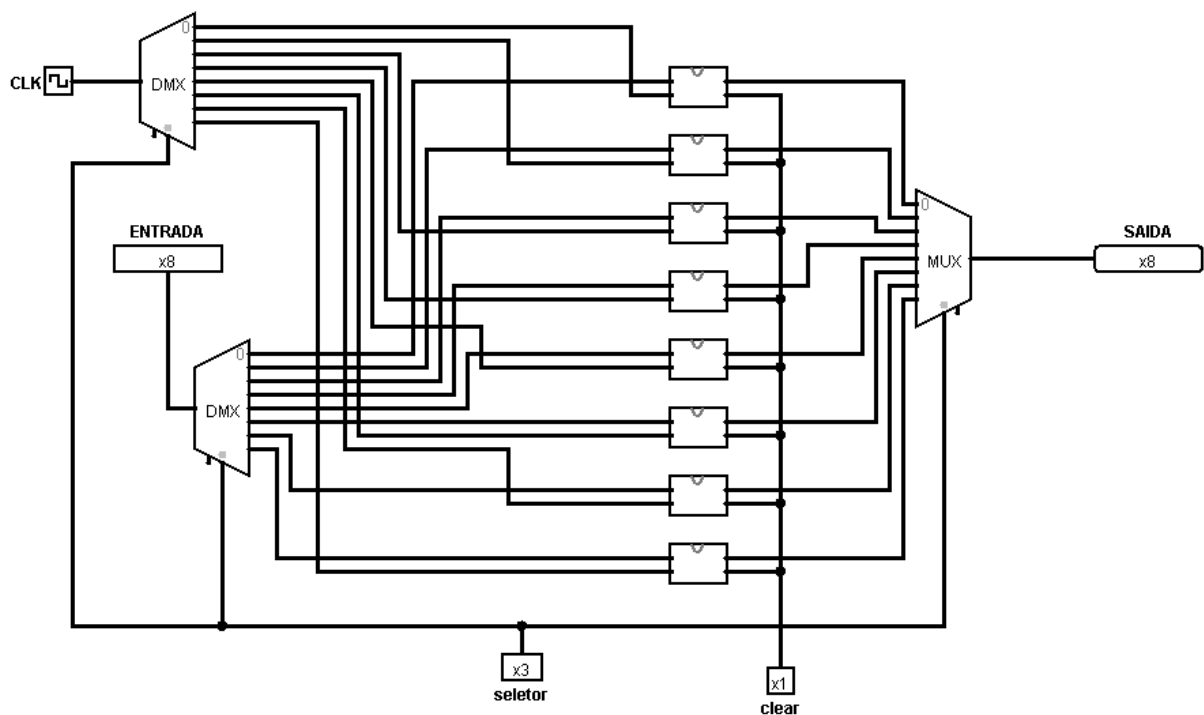
A memória ROM é um dispositivo eletrônico, em que somente ocorre a leitura de dados, não sendo possível alterar ou apagar dados, somente acessá-los. Os valores guardados na memória ROM são mostrados no componente.



No componente de Memória ROM com 8 bits, os bits de entrada vão ser digitados pelo usuário dentro do campo de 3 bits distribuídos e o endereço digitado será exibido na saída.

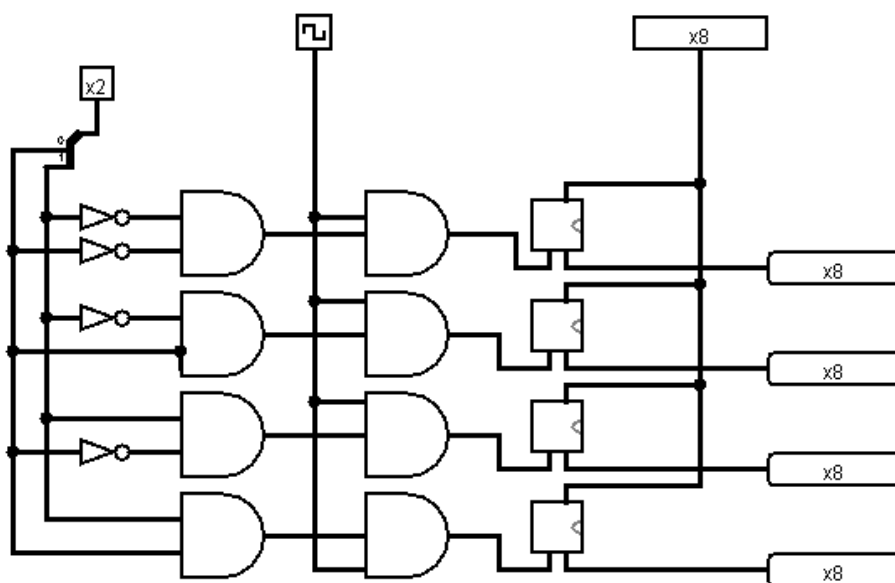
2.7. Memória RAM de 8 bits

A RAM desenvolvida dispõe de 8 espaços para armazenar valores, sendo que cada espaço pode conter 8 bits. O seletor está ligado a um demultiplexador, onde atua como entrada de seleção (select), enquanto a entrada principal do demultiplexador é conectada ao clock principal. Das oito saídas do demultiplexador, uma é utilizada como clock para o componente "valor", responsável por guardar os 8 bits de dados por meio de oito Flip-flops do tipo D. Esse módulo "valor" recebe uma entrada de 8 bits, além de duas entradas individuais de 1 bit, correspondendo ao clock e ao clear, e fornece uma única saída de 8 bits.



2.8. Banco de Registradores de 8 bits

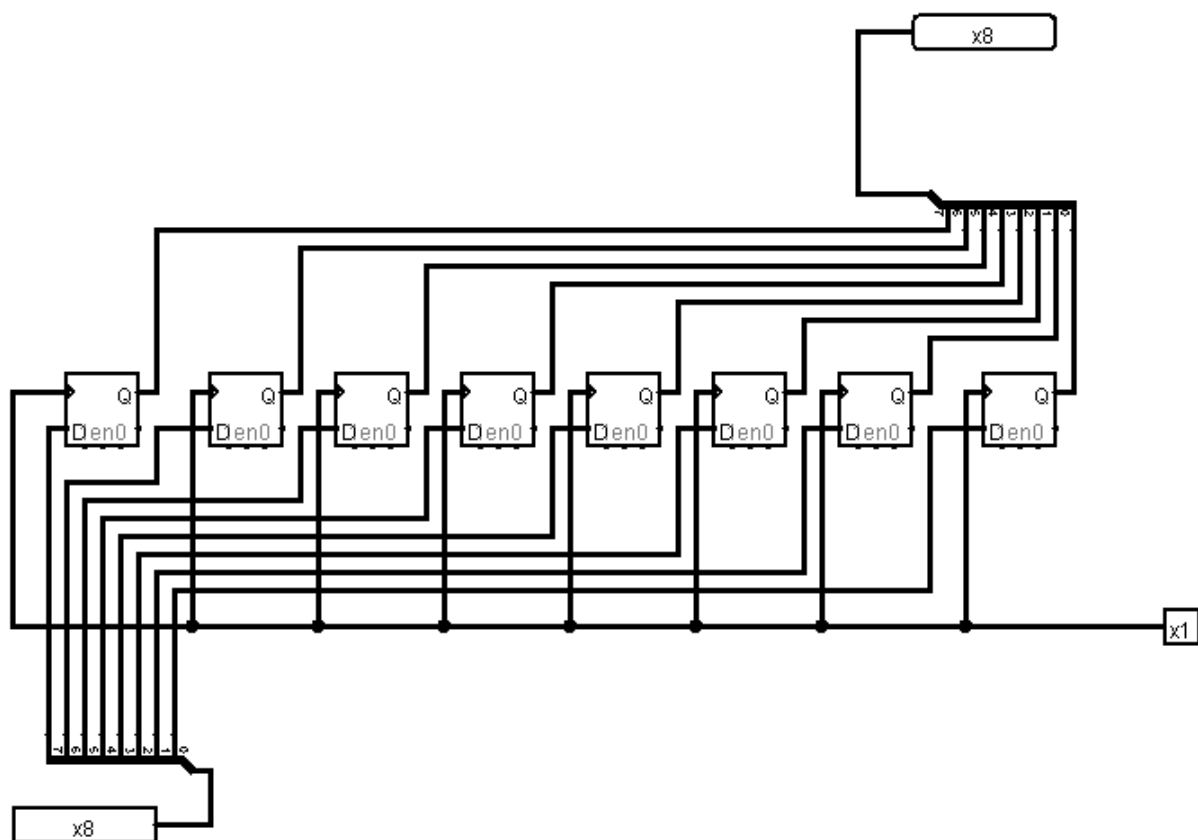
Um banco de registradores é um componente digital composto por um conjunto de registradores que podem ser acessados de forma organizada. De uma maneira geral, podem ser executadas operações de leitura dos dados anteriormente gravados e de escrita de dados para modificar as informações internas.



O banco de registradores é composto por 4 Registradores com 4 espaços de memória, dispositivo de entrada, chamada de Endereço, clock para alterar os dados do registrador e a entrada que diz se o valor do registrador será alterado. Para a realização deste circuito é preciso a construção de um registrador de 8-bits e um registrador com 4 espaços de memória.

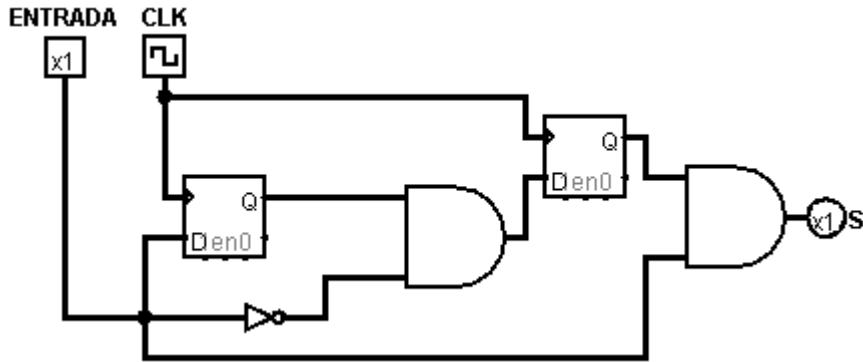
2.8.1. Registrador 8-bits

Nesse circuito foram utilizados 8 registradores de 1-bit com a estrutura de storage e load, onde em toda subida de clock para 1, o valor é salvo no espaço de memória.



2.9. Detector de sequência binária

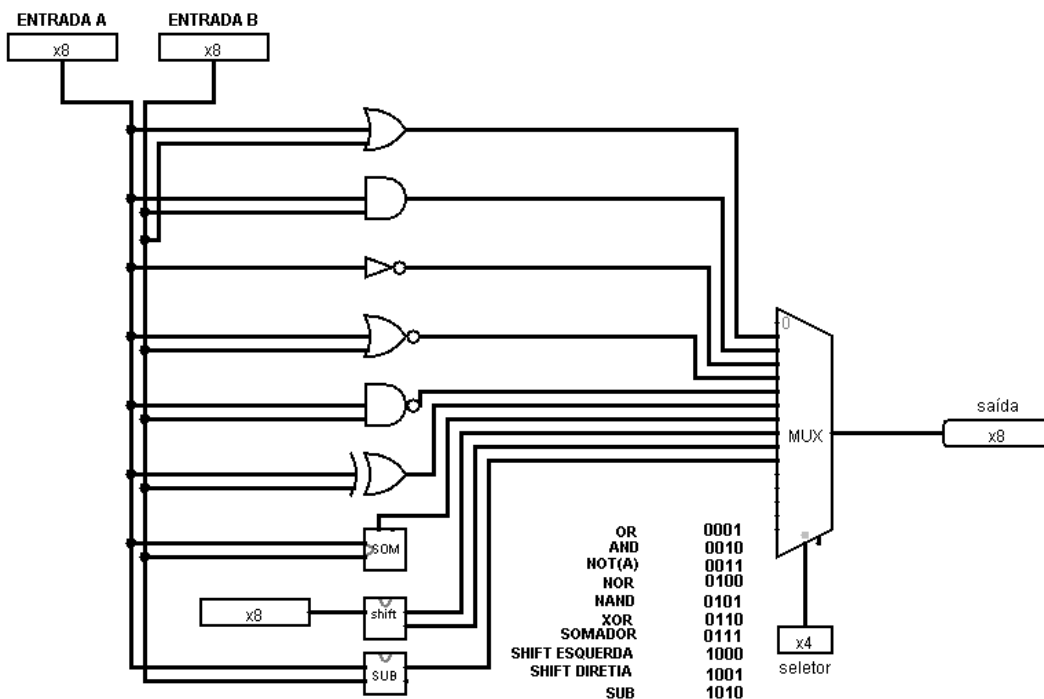
Este detector de sequência binária detecta a sequência 101 digitado na entrada e com isso a saída será 1.



2.10. ULA de 8 bits

Uma Unidade Lógica e Aritmética (ULA) é um dispositivo que realiza operações lógicas e aritméticas sobre números representados em circuitos lógicos. Tipicamente, uma ULA recebe dois operandos como entrada, e uma entrada auxiliar de controle permite especificar qual operação deverá ser realizada.

Por esse motivo, a construção de uma ULA se baseia em dois fundamentos principais: o controle de fluxo de dados e a construção de circuitos que implementam operações.



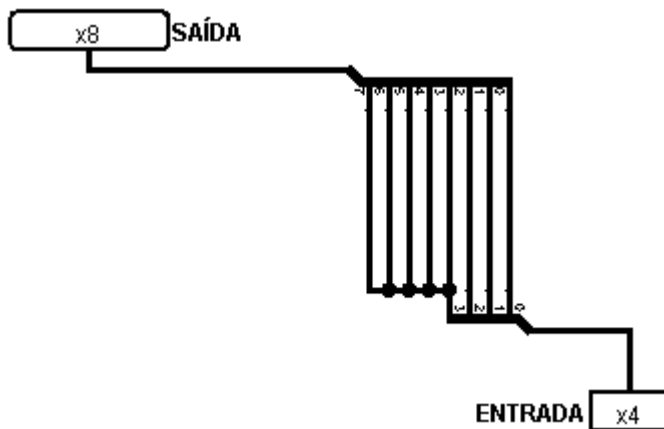
No circuito acima é apresentado uma ULA de 8 bits, que possui as entradas A e B, a saída, um seletor para as equações e para o shift. A ULA apresenta os componentes AND, OR, NOT, NOR, NAND, XOR, SHIFT de 2 bits à esquerda, SHIFT de bits à direita, soma e subtração. No circuito a escolha do tipo de equação ocorre pelo seletor.

Saídas:

- Ao digitar 0001 no seletor, vai ser acionado o OR.
- Ao digitar 0010 no seletor, vai ser acionado o AND.
- Ao digitar 0011 no seletor, vai ser acionado o NOT.
- Ao digitar 0100 no seletor, vai ser acionado o NOR.
- Ao digitar 0101 no seletor, vai ser acionado o NAND.
- Ao digitar 0110 no seletor, vai ser acionado o XOR.
- Ao digitar 0111 no seletor, vai ser acionado o SOMADOR.
- Ao digitar 1000 no seletor, vai ser acionado o SHIFT P/ESQUERDA.
- Ao digitar 1001 no seletor, vai ser acionado o SHIFT P/DIREITA.
- Ao digitar 1010 no seletor, vai ser acionado o SUBTRATOR.

2.11. Extensor de sinal de 4 bits para 8 bits.

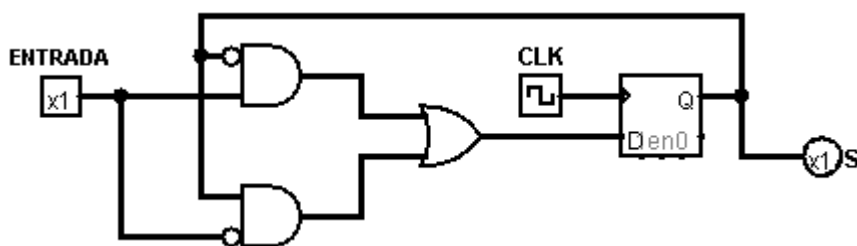
O extensor de sinal transformará um valor em outro de largura diferente. Se for para transformar para uma largura menor, os bits de mais baixa ordem serão simplesmente truncados. Se for para transformar para uma largura maior, os bits menos significativos serão os mesmos, e você terá uma escolha para os bits de mais alta ordem: eles poderão ser todos iguais a 0, ou todos iguais a 1, o concordarem com a entrada do bit de sinal (o mais significativo), ou ainda ter esse valor determinado por uma entrada adicional.



No circuito acima é feito um extensor de sinal de 4 bits, esse circuito possui uma entrada de 4 bits, uma saída de 8 bits, 2 distribuidores sendo um de 8 bits e outro de 4 bits, e 4 valor de constantes como 0 (poderia ser 1 também). Quando ocorre a entrada de 4 bits no distribuidor de 4 bits, é passado esses para os bits de mais baixa ordem do distribuidor de 8 bits e os de mais alta ordem recebem 0 para que ocorra a saída do circuito como 8 bits.

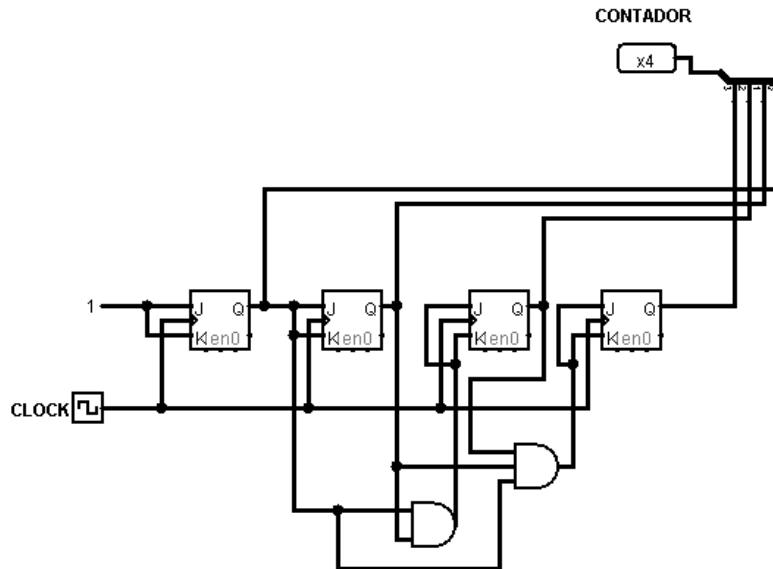
2.12. Máquina de Estados

Essa máquina de estados, baseada num sistema de semáforo, só altera o seu estado, ou seja, sua saída, somente quando a entrada da máquina for 1.



2.13. Contador Síncrono

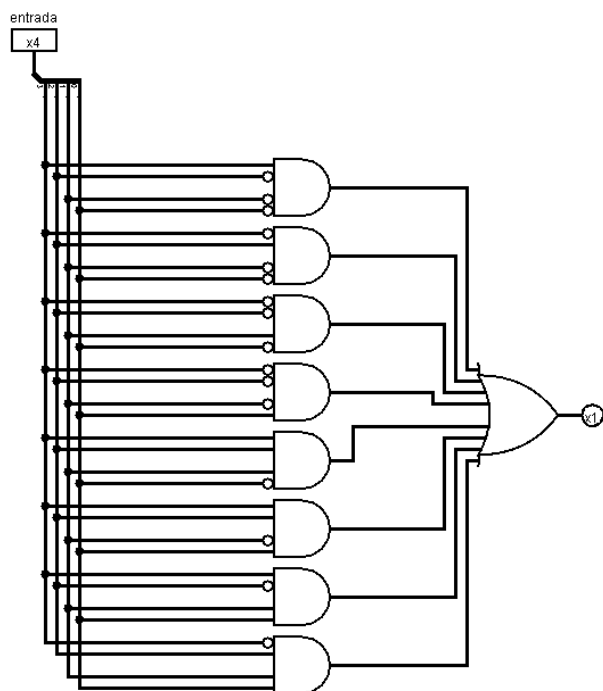
Contador síncrono é um circuito digital formado por flip-flops em paralelos, tal que todas as entradas clocks estejam conectadas na mesma fonte de clock.



O contador possui uma sequência de 4 Flip-Flops de tipo JK, um pino de uma constante, o pulso de clock e a saída. A cada subida do clock para 1, é aumentado o número da saída.

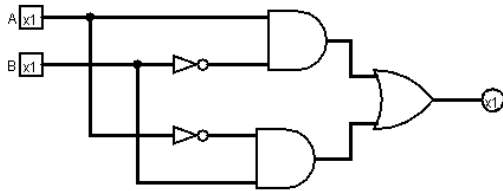
2.14. Detector de paridade ímpar

Esse componente possui uma entrada de 4 bits, o que possibilita digitar 16 números diferentes. Os números primos digitados, como 2 (0010), 3(0011), 5(0101), 7(0111), 11(1011), 13(1101) e 15(1111) terão como saída 1.

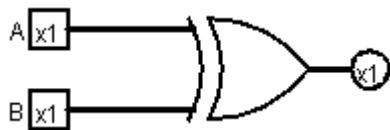


2.15. Problema de otimização utilizando mapas de Karnaugh

Circuito original que compõem a porta XOR:

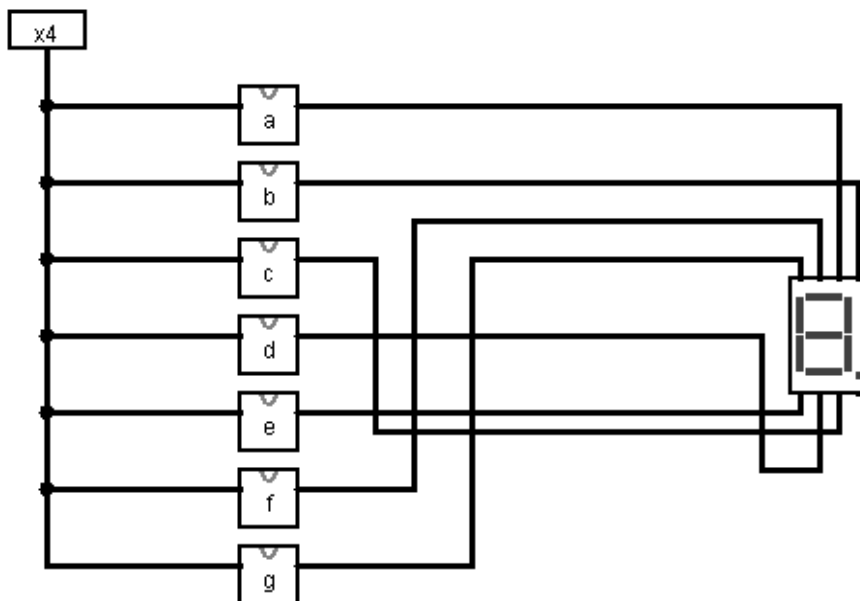


Circuito otimizado:



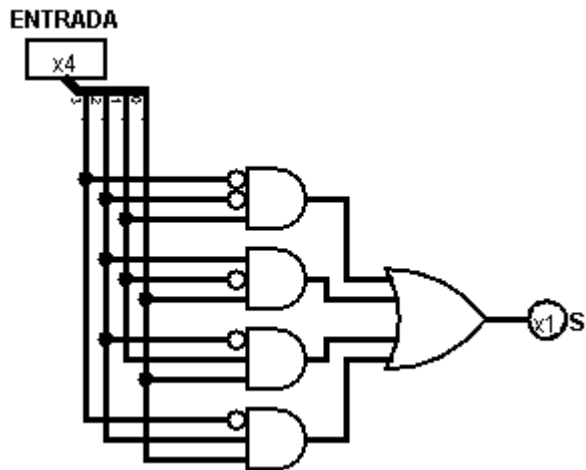
2.16. Decodificador de 7 segmentos

O decodificador abaixo possui uma entrada de 4 bits e uma saída utilizando um display hexadecimal. Esse circuito teve como uso 8 componentes adicionais, em que cada um deles representa um segmento diferente que facilita na visualização do circuito inteiro.



2.17. Detector de número primo

Assim como o componente detector de paridade ímpar, o detector de número primo possui uma entrada de 4 bits, o que possibilita digitar 16 números diferentes. Os números ímpares digitados, como 1 (001), 3(0011), 5(0101), 7(0111), 9(1001), 11(1011), 13(1101) e 15(1111) terão como saída 1.



3. Repositório

Link para o acesso ao repositório com os componentes e suas respectivas imagens:

https://github.com/marcusv0/AOC_MarcusIgor_UFRR_LabCircuitos_2024/tree/main