

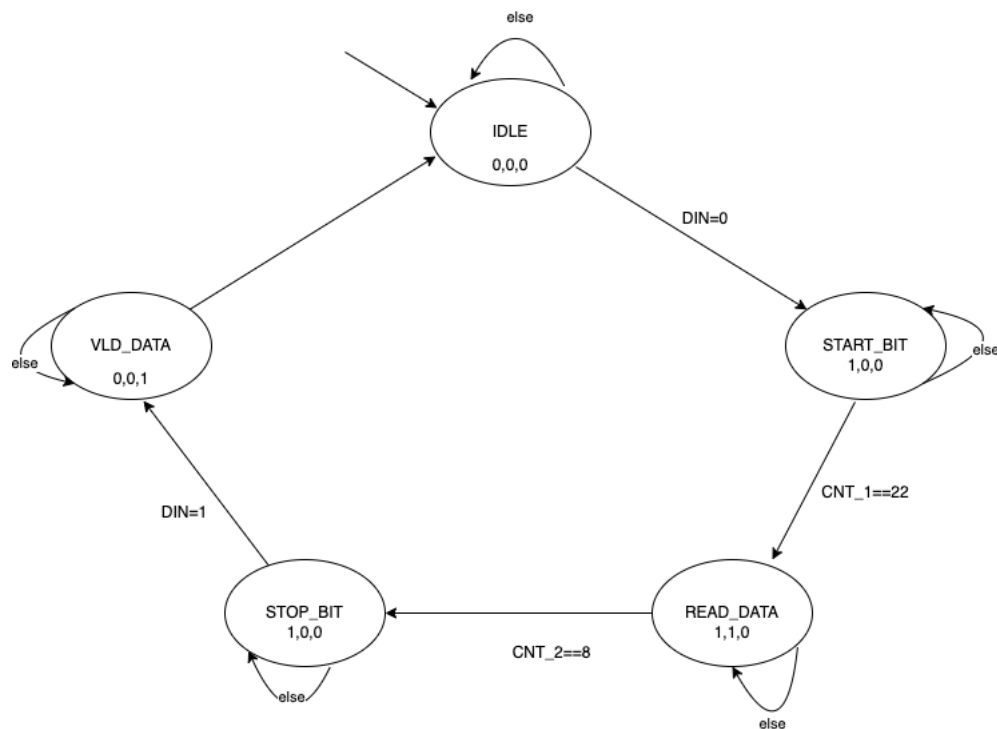
- FSM čeká na první bit, který spustí CNT\_1
- CNT\_1 postupuje po 16 nástupných hranách
- CNT\_2 počítá počet bitů, v případě, že jsou všechny přečteny, posílá je na výstup
- Dále jsou signály resetovány a čeká se na další 8-bitové slovo

# Návrh automatu (Finite State Machine)

## Schéma automatu

Legenda:

- Stavy automatu: IDLE, START\_BIT, READ\_DATA, STOP\_BIT, VLD\_DATA
- Vstupní signály: DIN, CNT\_1, CNT\_2
- Moorovy výstupy: CLOCK\_CNT, DATA\_CNT, DATA\_VLD



## Popis funkce:

- Automat čeká ve stavu IDLE, dokud na vstupní signál nepřijde 0 (DIN=0)
- Poté se přepne stav na START\_BIT a automat čeká 24 tiků než se dostane do MIDBIT
- V tomto stavu počítá CLK\_2 do 8 a poté čeká na STOP\_BIT (DIN=1)
- Jakmile ho dostane, přepne se stav na VLD\_DATA a ověří se platnost datového slova nastavením log. 1
- Po stop\_bitu a validaci opět začíná čekání na další bitové slovo ve stavu IDLE

# Snímek časového průběhu

