

# Projekt: UART – přijímací část

Cílem projektu je získat základní dovednosti potřebné pro návrh a implementaci číslicových obvodů. Naučit se tyto obvody správně popisovat v jazyce VHDL a získat zkušenosti s jejich simulací a syntézou s využitím profesionálních nástrojů.

Jako zvolený příklad komponenty, na které uvedené dovednosti získáte, nám poslouží komponenta pro příjem a vysílání dat po asynchronní sériové lince (anglicky UART – Universal Asynchronous Receiver-Transmitter).

Pro jednoduchost budeme v projektu vytvářet pouze vybranou část UART řadiče, konkrétněji se zaměříme na přijímací část. Ta je zodpovědná za zpracování dat ze sériové linky a jejich rekonstrukci (deserializaci jednotlivých bitů). V porovnání s plnohodnotným řadičem UART budeme uvažovat i řadu dalších zjednodušení, aby celková složitost vypracování projektu nebyla velká.

Vypracování projektu je rozděleno na tři části. V první části jde o návrh fungování obvodu na úrovni RTL a také logiky jeho řídicího automatu. Volitelně se odevzdává dokument s popisem vámi navrženého řešení. Druhá část je zaměřena na implementaci navrženého obvodu v jazyce VHDL a odladění jeho správné funkcionality pomocí nástrojů pro simulaci číslicových obvodů. Odevzdávají se zdrojové kódy implementace a doplněná zpráva s popisem fungování vytvořeného obvodu. Vyřešení druhé části je nutnou podmínkou k získání bodů a zápočtu za projekt. Pro zájemce je nakonec připravena třetí část projektu v podobě testování vytvořené implementace na hardwarovém přípravku PYNQ-Z2.

## Po zkušenostech z minulých let ještě jedno důležité upozornění!

Podle Směrnice děkana FIT doplňující Studijní a zkušební řád VUT (Rozhodnutí děkana FIT č. 34/2010), K článku 11, odst. 4: *„Veškeré testy, projekty a další hodnocené úlohy vypracovává student samostatně, pokud projekt nebo úloha nebyly výslovně zadány pro stanovenou skupinu studentů.“*

V případě odhalení plagiátorství nebo nedovolené spolupráce na projektu nebo jeho částech, bude proto student odměněn neudělením zápočtu z předmětu INC (0 bodů za projekt). Dále může také dojít k předvolání před disciplinární komisí podle Disciplinárního řádu pro studenty Fakulty informačních technologií Vysokého učení technického v Brně.