

INC 2022

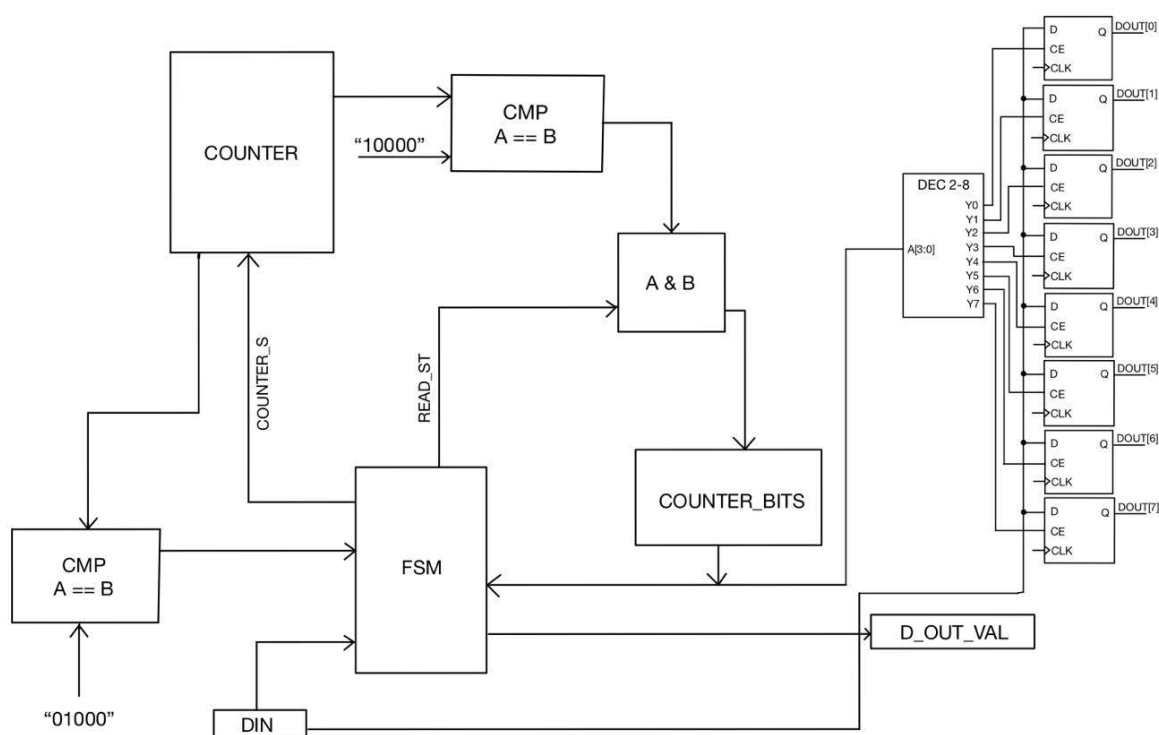
Výstupná správa návrhu obvodu UART_RX

Marek Špirka

xlogin: xspirk01

01.05.2022

Architektúra navrhnutého obvodu (na úrovni RTL)



Obvod je zložený z :

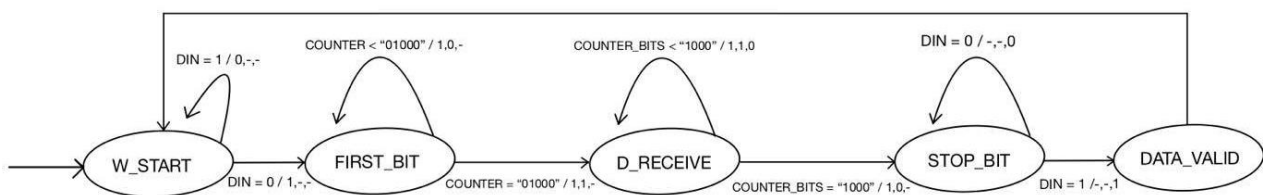
- **FSM** - Fine state machine (stavový automat)
- **COUNTER** – počíta dobu medzi *start_bitom* a *mid_bitom* a medzi ďalšími jednotlivými bitmi.
- **COUNTER_BITS** – počíta počet prenesených bitov
- **DEKÓDER** – prepínač výstupov

Popis fungovania :

Obvod vyčkáva v stave W_START, po prechode DIN do logickej hodnoty 0 sa vo FSM vydá rozkaz na počítanie do COUNTERU, COUNTER_S a READ_ST sa prepne z log. 0 do log. 1. COUNTER následne napočíta 8 krát signál CLK pre načítanie stredu prvého bitu. Ďalej komparátor porovnáva výstup z COUNTERU a porovnáva ho s bitovou konštantou „10000“, to znamená, že napočítal 16 krát signál CLK, čo znamená, že načítal ďalší bit. Ďalej si porovnáme či je aktívne načítavanie dát (READ_ST). Následne po signáli z COUNTER_BITS, ktorý príde do dekodéru si priradíme ku bitu výstupu DOUT. COUNTER_BITS nám určuje, do ktorého bitu v DOUT zapíšeme aktuálnu hodnotu z DIN. Po napočítaní 8 bitov v COUNTER_BITS je bitové slovo kompletne a čakáme kým sa DIN zmení na log. 1. Slovo validujeme, či je kompletne a vrátime sa do stavu W_START.

Návrh automatu (FSM)

Schéma:



Popis:

Automat je zložený z 5 stavov :

- W_START, FIRST_BIT, D_RECEIVE, STOP_BIT, DATA_VALID

Výstupné signály :

- counter_enable, read_enable, valid_data

Ak je RST rovné logickej 1 automat vyčkáva stave W_START, keď automat prijme signál z DIN na log. úrovni 0, čo pre automat značí prepnutie do stavu FIRST_BIT, kde čaká na načítanie stredu prvého bitu. Prvý BIT načítame po 8 CLK, nakoľko v tomto čase by sa nachádzame v strede prvého bitu. Po nasnímaní prvého bitu sa počíta ďalších 7 bitov. O počítaní bitov sa stará COUNTER_BITS, po načítaní 8 bitov sa automat prepne na stav STOP_BIT. V tomto stave vyčkáva dokým sa DIN nezmení na hodnotu 1 a následne dáta validujeme. Po validácii dát sa automat znova prepne do stavu W_START, kde znova pretrváva do ďalšieho prepnutia DIN na log. hod. 0.

