

## Laboratorio 2

---

### Objetivo

- Utilización de las instrucciones concurrentes *conditional signal assignment* (CSA), *selected signal assignment* (SSA), *component-declaration* y *component-instantiation*.
- Familiarización con el software Quartus y con el software ModelSim.
- Uso de sub-componentes para crear un sistema jerárquico.
- Uso de la guía de usuario del baord DE2-115
- Uso de archivo de restricción para pines E/S del FPGA vinculados a hardware del board DE2-115.
- Realizar simulación funcional.
- Realizar estudio y determinación de camino crítico combinacional.
- Generar archivo de configuración de FPGA.
- Configuración del FPGA con el código VHDL correspondiente.

## Parte A

**Objetivo:** Usando (solo) *instrucciones concurrentes* describa el funcionamiento de un decodificador genérico de 3 a 8. Implemente el diseño en la placa DE2-115, usando los switches como entradas del decodificador y los LEDs como salida.

### Descripción:

El decodificador debe tener una entrada de habilitación, de modo que cuando ésta entrada esté en valor lógico '0' el decodificador funciona normalmente. Cuando al entrada de habilitación esté en valor lógico '1', todas las salidas deben ir a '0'.

Use el Manual de Usuario del kit de desarrollo DE2-115 para encontrar las E/S correspondientes.

Realice una simulación funcional. Una vez que el sistema cumpla los requerimientos de funcionamiento, verifique en el kit DE2-115 el correcto comportamiento del sistema.

## Parte B

**Objetivo:** Realice un decodificador de BCD a 7-segmentos. El decodificador tiene cuatro bits de entrada que codifica un número entre 0 y 9. Como salida, el decodificador tiene siete salidas, segmentos *a*, *b*, *c*, *d*, *e*, *f* y *g'*, correspondiendo cada letra a un segmento del display. Cada segmento es activo en bajo

### Descripción:

1. Realice la tabla de verdad del decodificador considerando que se deben solo mostrar los dígitos del 0 al 9.
2. Escriba el código VHDL correspondiente, usando **SOLO** instrucciones concurrentes.
3. Realice la asignación de E/S del decodificador.
4. Realice los pasos necesarios para ejecutar la *síntesis y place and route* del diseño.
5. Verifique que NO se haya generado erróneamente ningún latch.
6. Lea el reporte generado por la herramienta de *place and route*. Anote cuantas look-up tables fueron necesarias para implementar el diseño.
7. Realice una simulación funcional del sistema descrito en VHDL. Una vez comprobado el correcto funcionamiento, pase el siguiente ítem.
8. Genere el archivo de configuración.
9. Configure el FPGA del Kit DE2-115 con el archivo de configuración correspondiente.
10. Compruebe el funcionamiento del decodificador.

## Parte C

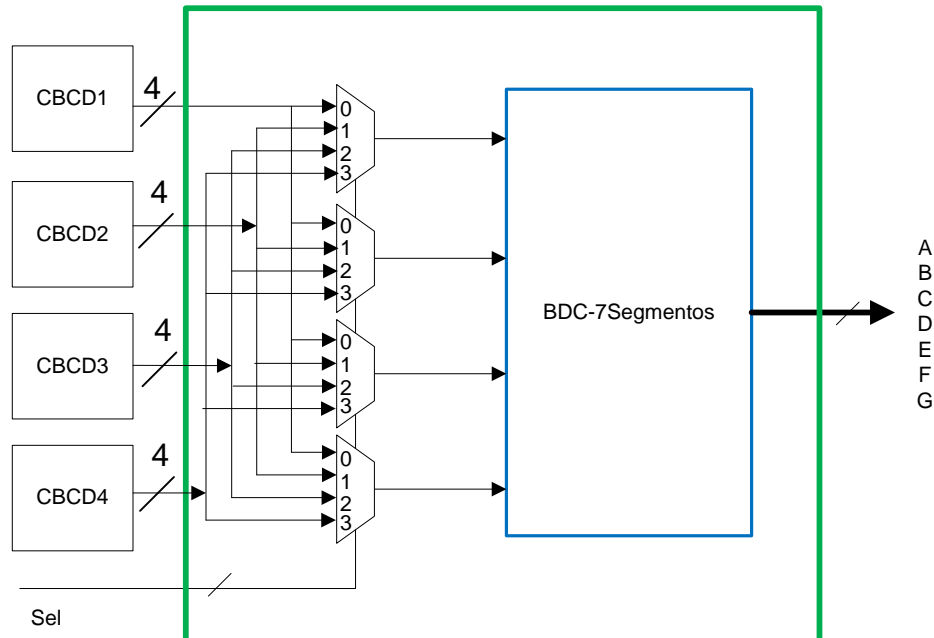
**Objetivo:** Realice un decodificador de Hexadecimal a 7-segmentos. El decodificador tiene cuatro bits de entrada que codifica un número entre 0 y 15. Como salida, el decodificador tiene siete salidas, segmentos *a*, *b*, *c*, *d*, *e*, *f* y *g*, correspondiendo cada letra a un segmento del display. Cada segmento es activo en bajo.

### Descripción:

Modifique el decodificador realizado en la Parte B para cumplir el objetivo de esta Parte C.

## Parte D

**Objetivo:** Describa el siguiente sistema en VHDL:



## Descripción:

- Describa en VHDL solo los bloques dentro del rectángulo verde.
  - Utilice el decodificador BCD-7 Segmentos descrito en la Parte B.
  - Describa solo **un** multiplexer.
- En el componente de más alto nivel SOLO deben haber instrucciones de instanciación de componentes.
  - Preferentemente use un for-generate para generar los cuatro multiplexer.
- Los bloques CBCDx (contadores BCD) son externos al diseño y NO serán implementados en este laboratorio. Sin embargo, las entradas al sistema deben dejarse listas para poder conectar los contadores (paso que será hecho en el próximo laboratorio).
- Realice los pasos necesarios para ejecutar la *síntesis* y *place and route* del diseño.
- Verifique que NO se haya generado erróneamente ningún latch.
- Lea el reporte generado por la herramienta de *place and route*. Anote cuantos CLB fueron necesarios para implementar el diseño.
- Siguiendo los pasos detallados en “Apéndice F’ al final de este laboratorio, encuentre el camino crítico del sistema combinacional que Ud. a descrito en VHDL. Siga todos los pasos explicados a fin de obtener:
  - Data Path
  - Technology View of the Data Path
  - Data Path in Chip Planner

En este laboratorio no hace falta generar el archivo de configuración ni configurar el FPGA. Este diseño será usado en el próximo laboratorio.

## Informe

Presentar:

- Un informe completo del diseño siguiendo las reglas especificadas en la guía para la presentación de informes de laboratorios.
- De la parte D de este laboratorio, incluya en el informe una captura de pantalla del retardo de propagación crítico (Data Path), Technology View del Data Path, y el Data Path en el Chip Planner.
- Los códigos escritos para los distintos componentes deben ser agregados al informe como apéndices.
- Presentar un ítem en el informe describiendo los problemas encontrados y sus respectivas soluciones. Como así también los warnings generados por el Quartus y sus soluciones.

## Apéndice A

Pines del FPGA a los que entran los switches de la placa.

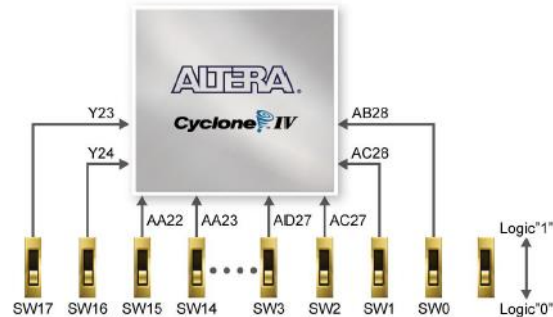
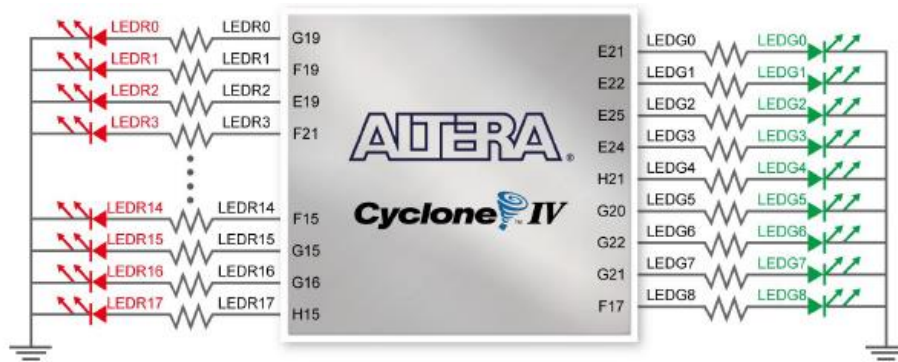


Table 4-1 Pin Assignments for Slide Switches

Signal Name	FPGA Pin No.	Description	I/O Standard
SW[0]	PIN_AB28	Slide Switch[0]	Depending on JP7
SW[1]	PIN_AC28	Slide Switch[1]	Depending on JP7
SW[2]	PIN_AC27	Slide Switch[2]	Depending on JP7
SW[3]	PIN_AD27	Slide Switch[3]	Depending on JP7
SW[4]	PIN_AB27	Slide Switch[4]	Depending on JP7
SW[5]	PIN_AC26	Slide Switch[5]	Depending on JP7
SW[6]	PIN_AD26	Slide Switch[6]	Depending on JP7
SW[7]	PIN_AB26	Slide Switch[7]	Depending on JP7
SW[8]	PIN_AC25	Slide Switch[8]	Depending on JP7
SW[9]	PIN_AB25	Slide Switch[9]	Depending on JP7
SW[10]	PIN_AC24	Slide Switch[10]	Depending on JP7
SW[11]	PIN_AB24	Slide Switch[11]	Depending on JP7
SW[12]	PIN_AB23	Slide Switch[12]	Depending on JP7
SW[13]	PIN_AA24	Slide Switch[13]	Depending on JP7
SW[14]	PIN_AA23	Slide Switch[14]	Depending on JP7
SW[15]	PIN_AA22	Slide Switch[15]	Depending on JP7
SW[16]	PIN_Y24	Slide Switch[16]	Depending on JP7
SW[17]	PIN_Y23	Slide Switch[17]	Depending on JP7

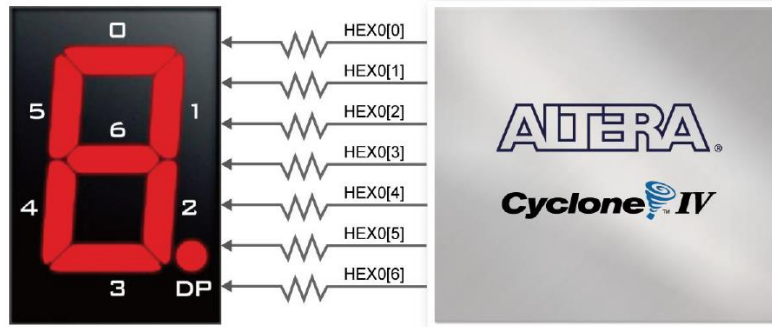
## Apéndice B

Pines del FPGA que controlan los LEDs verdes y LEDs rojos.



## Apéndice D

Pines del FPGA que controlan el primer 7 segmentos.



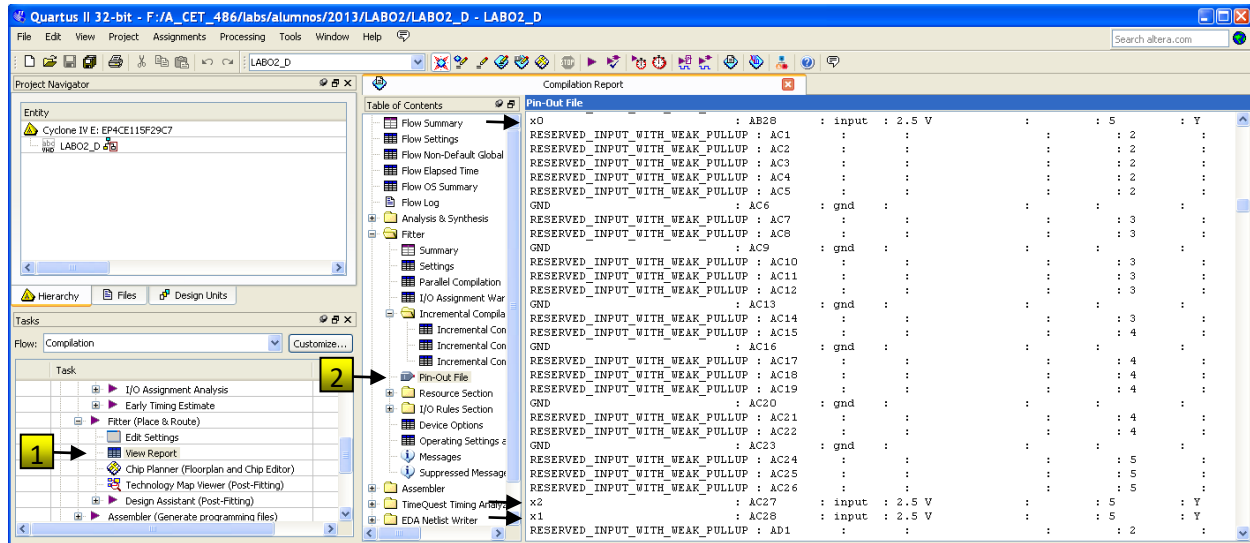
**Table 4-4 Pin Assignments for 7-segment Displays**

Signal Name	FPGA Pin No.	Description	I/O Standard
HEX0[0]	PIN_G18	Seven Segment Digit 0[0]	2.5V
HEX0[1]	PIN_F22	Seven Segment Digit 0[1]	2.5V
HEX0[2]	PIN_E17	Seven Segment Digit 0[2]	2.5V
HEX0[3]	PIN_L26	Seven Segment Digit 0[3]	Depending on JP7
HEX0[4]	PIN_L25	Seven Segment Digit 0[4]	Depending on JP7
HEX0[5]	PIN_J22	Seven Segment Digit 0[5]	Depending on JP7
HEX0[6]	PIN_H22	Seven Segment Digit 0[6]	Depending on JP7
HEX1[0]	PIN_M24	Seven Segment Digit 1[0]	Depending on JP7
HEX1[1]	PIN_Y22	Seven Segment Digit 1[1]	Depending on JP7
HEX1[2]	PIN_W21	Seven Segment Digit 1[2]	Depending on JP7
HEX1[3]	PIN_W22	Seven Segment Digit 1[3]	Depending on JP7
HEX1[4]	PIN_W25	Seven Segment Digit 1[4]	Depending on JP7
HEX1[5]	PIN_U23	Seven Segment Digit 1[5]	Depending on JP7
HEX1[6]	PIN_U24	Seven Segment Digit 1[6]	Depending on JP7
HEX2[0]	PIN_AA25	Seven Segment Digit 2[0]	Depending on JP7
HEX2[1]	PIN_AA26	Seven Segment Digit 2[1]	Depending on JP7
HEX2[2]	PIN_Y25	Seven Segment Digit 2[2]	Depending on JP7
HEX2[3]	PIN_W26	Seven Segment Digit 2[3]	Depending on JP7
HEX2[4]	PIN_Y26	Seven Segment Digit 2[4]	Depending on JP7
HEX2[5]	PIN_W27	Seven Segment Digit 2[5]	Depending on JP7
HEX2[6]	PIN_W28	Seven Segment Digit 2[6]	Depending on JP7



## Apéndice E

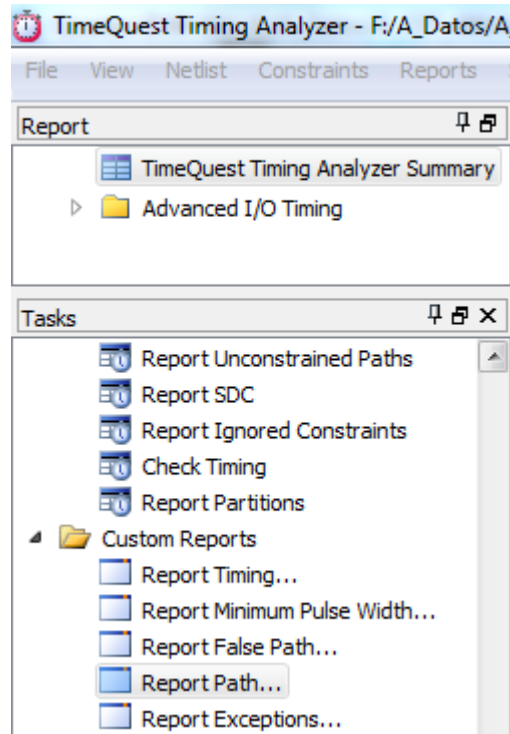
Verificación de la correcta asignación de pines de E/S.





## Apéndice F

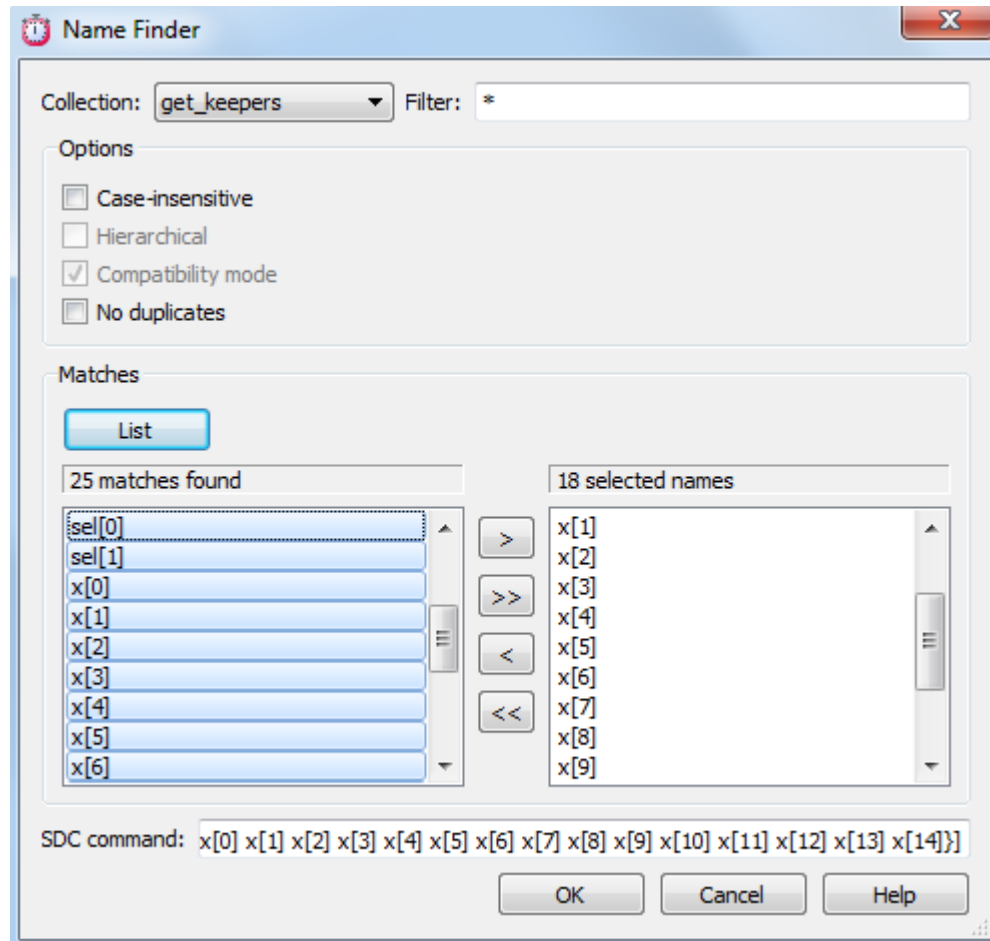
Como obtener el camino crítico en un sistema combinacional.

- Genere y trate de entender el esquemático generado por *RTL Viewer*.
- Genere y trate de entender el esquemático generado por *Technology Map Viewer (Post-Fitting)*.
- Ejecute “*TimeQuest Timing Analysis*”
- Ejecute “*TimeQuest Timing Analyzer*”
  - En el panel “*Tasks*” haga doble click en “*Report Path ...*”





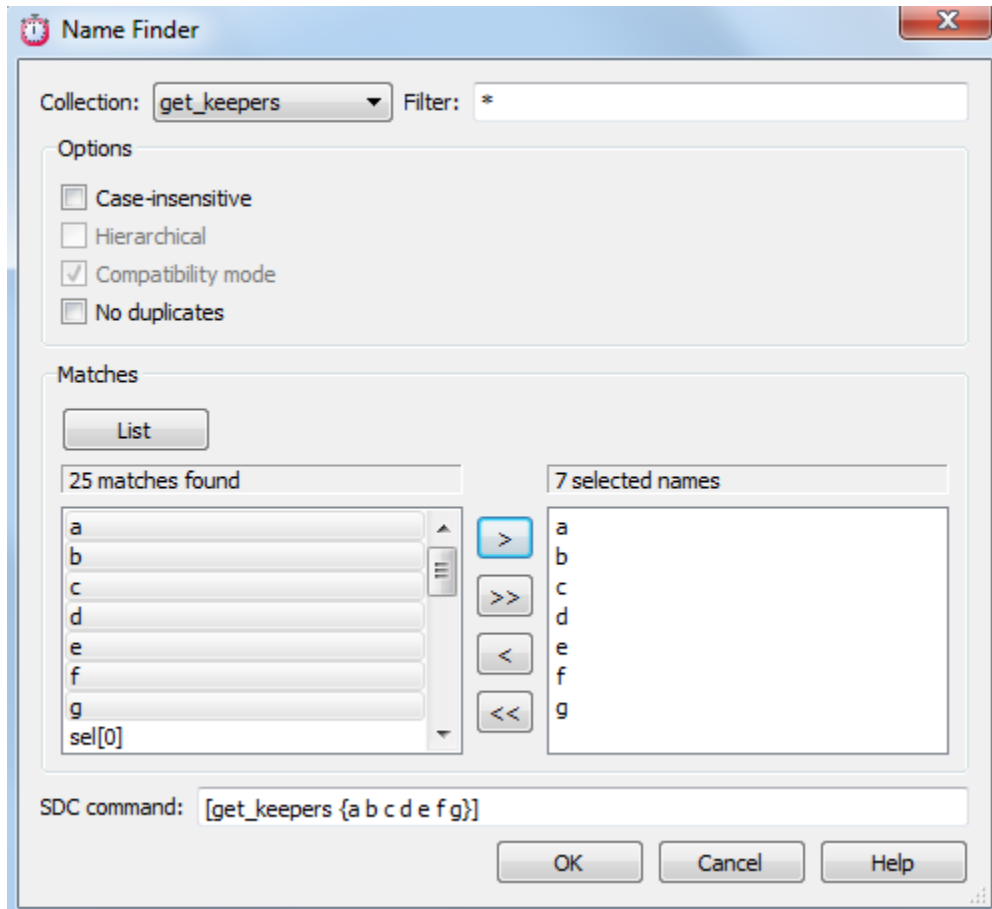
- b. En la nueva ventana, “*Report Path*”, en el panel “*Targets*” se deben seleccionar todos los caminos (paths) que se deseen analizar con la herramienta “*TimeQuest Timing Analyzer*”. Entonces aquí se deberán introducir los puntos de partida, “*From*”, y los puntos de llegada, “*To*”, de los posibles caminos de las señales del sistema a analizar.

- c. Presionar el cuadrado de los tres puntos, , relacionados a “*From*”. En la ventana emergente, “*Name Finder*”, dejar el “\*” como ‘Filter’ (es decir que liste TODOS los “*From*” posibles. Presionando el botón “List”, aparecerán los nombres de las señales que pueden usarse como ‘*From*’. Seleccione las señales que son entradas al sistema, luego presione , para pasar las senales a la ventana de ‘*Selected Names*’. Luego de este proceso debería tener algo similar a lo siguiente:



d. Presione OK.

- e. Presione los tres puntos relacionados a 'To', . En la En la ventana emergente, "Name Finder", dejar el "\*" como 'Filter' (es decir que liste TODOS los 'To' posibles. Presionando el botón "List", aparecerán los nombres de las señales que pueden usarse como 'To'. Seleccione las señales que son salidas al sistema, luego presione , para pasar las senales a la ventana de 'Selected Names'. Luego de este proceso debería tener algo similar a lo siguiente:



- f. Presione *OK*.
- g. En la ventana *'Report Path'* cambie *'Report number of paths'* a 10 (para que muestre los 10 caminos críticos). La configuración de la ventana *'Report Path'* debería ser similar a la siguiente:

**Report Path**

**Targets**

From:

Through:

To:

**Paths**

Report number of paths:

Maximum number of paths per endpoint:

**Output**

☒ Report panel name:

☐ File name:

File options

☒ Overwrite ☐ Append

☐ Console

Tcl command:

- h. Click 'Report Path'.
- i. En el panel 'Report Path' se presentaran los 10 caminos críticos para las señales seleccionas como 'From' y como 'To'.

Report Path			
Command Info		Summary of Paths	
	Delay	From Node	To Node
1	9.820	x[11]	d
2	9.779	x[11]	c
3	9.763	x[11]	g
4	9.733	x[11]	f
5	9.690	x[11]	e
6	9.663	x[3]	d
7	9.646	sel[1]	d
8	9.639	x[3]	c
9	9.605	sel[1]	c
10	9.596	x[3]	e

j. Al seleccionar uno de los diez caminos críticos, por ejemplo el 1 (que es el camino de mayor retardo), en la ventana inferior se muestra un detalle del camino crítico. En realidad hay tres distintas ventanas: *'Path Summary'*, *'Statistics'*, y *'Data Path'*. ;

i. *'Path Summary'* detalla el punto de partida, *'From Node '*, el punto de llegada *'To Node'* y el retardo, *'Delay'*.

Path #1: Delay is 9.820		
Path Summary   Statistics   Data Path		
	Property	Value
1	From Node	x[11]
2	To Node	d
3	Delay	9.820

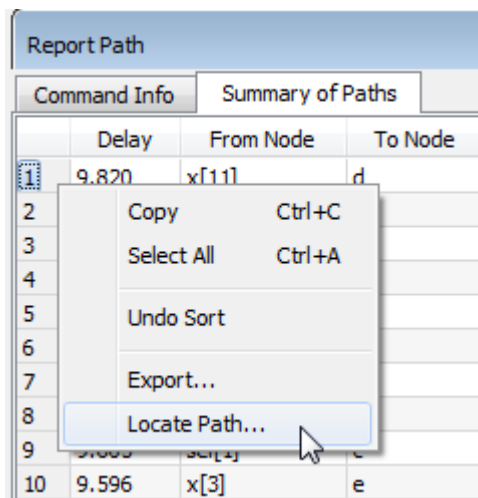
ii. *'Statistics'* detalla el retardo máximo, y luego lo descompone en el retardo de interconexión, IC, y el retardo lógico, CELL. Detalla también el porcentaje de contribución de cada tipo de retardo al retardo total, y los valores mínimo y máximo de cada uno de estos retardos.

Path #1: Delay is 9.820							
Path Summary   Statistics   Data Path							
	Property	Value	Count	Total Delay	% of Total	Min	Max
1	Data Delay	9.820					
2	Number of Logic Levels		4				
3	Physical Delays						
1	IC		5	5.391	54	0.000	3.742
2	Cell		6	4.429	45	0.000	2.581

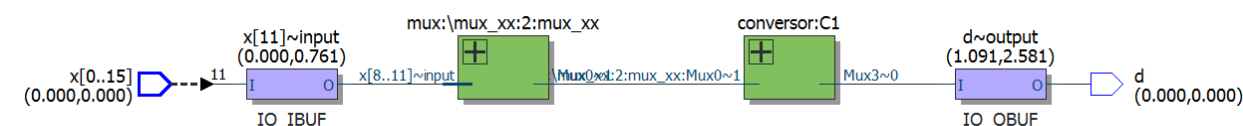
k. *'Data Path'* detalla los números concretos de cada retardos lógico, CELL, y de cada retardos de interconexión, IC. Incluso se detalla la locación de la celda lógica usada. Por ejemplo para el camino critico número 1, el detalla de retardos lógicos y de interconexión es el siguiente:

Path #1: Delay is 9.820							
Path Summary		Statistics	Data Path				
	Total	Incr	RF	Type	Fanout	Location	Element
1	9.820	9.820					data path
1	0.000	0.000			1	PIN_32	x[11]
2	0.000	0.000	FF	IC	1	IOIBUF_X0_Y6_N15	x[11]~input i
3	0.761	0.761	FF	CELL	1	IOIBUF_X0_Y6_N15	x[11]~input o
4	4.503	3.742	FF	IC	1	LCCOMB_X31_Y9_N16	\mux_xx:2:...x0~0 datab
5	4.852	0.349	FF	CELL	1	LCCOMB_X31_Y9_N16	\mux_xx:2:...x0~0 combout
6	5.095	0.243	FF	IC	1	LCCOMB_X31_Y9_N2	\mux_xx:2:...x0~1 datab
7	5.464	0.369	FF	CELL	7	LCCOMB_X31_Y9_N2	\mux_xx:2:...x0~1 combout
8	5.779	0.315	FF	IC	1	LCCOMB_X31_Y9_N30	C1 Mux3~0 datab
9	6.148	0.369	FF	CELL	1	LCCOMB_X31_Y9_N30	C1 Mux3~0 combout
10	7.239	1.091	FF	IC	1	IOOBUF_X28_Y0_N2	d~output i
11	9.820	2.581	FF	CELL	1	IOOBUF_X28_Y0_N2	d~output o
12	9.820	0.000	FF	CELL	0	PIN_66	d

- l. Para poder ver el camino crítico dentro del FPGA, TimeQuest ofrece distintas opciones. Primero se debe seleccionar que camino crítico se quiere visualizar, y luego se presiona botón derecho del mouse y se selecciona 'Locate Path'. Esto es localizar el camino seleccionado.



- m. Una vez presionado 'Locate Path' la ventana 'Locate' aparecerá con sus tres opciones. Para el propósito de este laboratorio selecciones 'Technology View'. Debería obtener una vista similar a la siguiente:



- 
- The diagram illustrates a multi-ported logic cell architecture. It begins with an input multiplexer (mux1) selecting between two inputs, x[1] and x[0], based on a select signal s[1]. The selected input is then fed into a logic cell combinator block (AAE4). This block has two outputs, DATAA and DATAC, which are connected to a second logic cell combinator block (EZCC). The EZCC block also has two outputs, DATAA and DATAD, which are connected to a third multiplexer (mux3). The mux3 selects between the outputs of the EZCC block based on a select signal s[0]. The final output of the mux3 is then passed through an output buffer (IO\_OBUF) to produce the final output d.

- 
- Chip Planner - F:/A\_Datos/A\_CET\_486/labs/alumnos/deco\_mux/deco\_mux - deco\_mux
- File Edit View Tools Window Help
- Search altera.com
- Report Report not available
- Coordinate: Editing Mode: ECO - EP4CE6E22C6
- Layers Settings Basic
- Background
  - ☐ None
  - ☒ Block Utilization
  - ☐ Design Partition...
  - ☐ Logic Lock Regions
- Layers Settings Color Legend
- Connection Properties
- Selected elements: x[11] -> d
- General
- Path Information:
 

Start Node	x[11]
End Node	d
- Tasks
  - Generate Clock Data
  - Toggle Background
  - Report Resources
  - Report Compiler
  - Mark Selection
- Timing Located Objects
- Located 1 paths
  - 9.820 x[11] -> d