Pontifícia Universidade Católica de Minas Gerais Instituto de Ciências Exatas e Informática – ICEI Arquitetura de Computadores I

## Orientação geral:

Os arquivos para simulação em Logisim (.circ), deverão ser identificados internamente e entregues, acompanhados (ou não) de figuras equivalentes exportadas pela ferramenta.

Programas em Verilog deverão ser entregues em formato (.v) com previsão de testes.

ARQ1 Aula 13

Tema: Introdução à linguagem Verilog e simulação em Logisim

Atividade: Circuitos sequenciais – Flip-Flops Todos os circuitos deverão ser simulados no Logisim.

- 01.) Projetar e descrever em Logisim e Verilog um módulo para implementar um registrador de deslocamento para a esquerda, com 5 bits (estágios), com carga de 1 bit (load=LD) no primeiro estágio. DICA: Ver modelo anexo.
- 02.) Projetar e descrever em Logisim e Verilog um módulo para implementar um registrador de deslocamento para a esquerda, com 5 bits (estágios), com carga inicial em todos os estágios.
- 03.) Projetar e descrever em Logisim e Verilog um módulo para implementar um registrador de deslocamento circular ("ring") para a direita, com 5 bits (estágios), com carga unitária no primeiro estágio.
- 04) Projetar e descrever em Logisim e Verilog um módulo para implementar um registrador de deslocamento circular, em anel torcido ("twisted ring"), para a esquerda, com 5 bits (estágios), com carga unitária no primeiro estágio. DICA: Ver modelo anexo.
- 05.) Projetar e descrever em Logisim e Verilog um módulo para implementar um conversor paralelo-série para 5 bits.

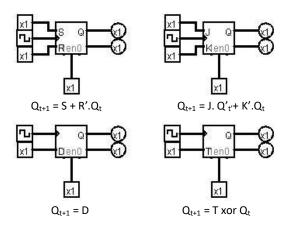
DICA: Ver modelo anexo.

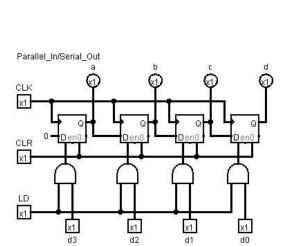
## Extras

- 06.) Projetar e descrever em Logisim e Verilog um módulo para implementar um registrador de deslocamento circular ("ring") para a esquerda, com 5 bits (estágios), com carga inicial em todos os estágios.
- 07.) Projetar e descrever em Logisim e Verilog um módulo para implementar um registrador de deslocamento circular, em anel torcido ("twisted ring"), para a direita, com 5 bits (estágios), com carga inicial em todos os estágios.

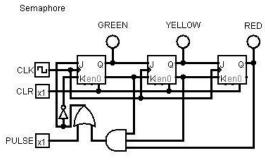
```
module dff ( output q, output qnot,
                                                         module srff (output q, output qnot,
            input d, input clk);
                                                                      input s, input r, input clk);
reg q, qnot;
                                                         reg q, qnot;
always @( posedge clk )
                                                         always @( posedge clk )
begin
                                                         begin
  q \ll d;
                qnot \leq ~d;
                                                           if (s & ~r)
end
                                                            begin q \ll 1;
                                                                                 qnot <= 0; end
endmodule // dff
                                                           else
                                                            if (~s & r)
module tff ( output q, output qnot,
                                                             begin q \le 0;
                                                                                 qnot <= 1; end
            input t, input clk,
                                                            else
            input preset, input clear );
                                                              if (s&r)
                                                              begin
reg q, qnot;
                                                                     q <= 0;
                                                                                 qnot <= 0; // arbitrary
                                                              end
always @( posedge clk )
                                                         end
begin
if (~clear)
                                                         endmodule // srff
begin
 q <= 0;
                qnot <= 1;
                                                         module jkff (output q, output qnot,
 end
                                                                      input j, input k, input clk);
else
                                                         reg q, qnot;
 if (~preset)
 begin
                                                         always @( posedge clk )
                qnot \ll 0;
  q <= 1;
                                                         begin
 end
                                                           if (j \& \sim k)
 else
                                                            begin
                                                                     q <= 1;
                                                                                  qnot \le 0;
                                                                                                  end
 begin
                                                           else
  if (t)
                                                            if (~j & k)
   begin
                                                             begin q \le 0;
                                                                                  qnot <= 1;
                                                                                                  end
    q <= ~q;
                qnot <= ~qnot;
                                                            else
   end
                                                              if (j & k)
 end
                                                              begin q \ll q;
                                                                                 qnot <= ~qnot; end
end
                                                         end
endmodule // tff
                                                         endmodule // jkff
```

## Flip-flops





OPS: data - CLR - LD - CLK



Operation: CLR - PULSE (UP) - CLK - PULSE (DOWN) - CLK ...

