Pontifícia Universidade Católica de Minas Gerais Instituto de Ciências Exatas e Informática – ICEI Arquitetura de Computadores I

ARQ1 _ Aula_04

Tema: Introdução à Álgebra de Boole

Atividade: Álgebra de Boole

Em Matemática, chama-se *proposição* ao enunciado de uma verdade que se quer demonstrar, ou como usaremos: uma sentença que pode ser falsa (0), ou verdadeira (1), mas nunca ambos ao mesmo tempo.

A conjunção é uma relação entre sentenças que estabelece um resultado <u>verdadeiro</u> (1) quando associadas duas proposições (p e q), ambas <u>verdadeiras</u> (iguais a 1). Basta uma delas ser <u>falsa</u> (0), para que a conjunção (s) também seja <u>falsa</u> (0).

A porta **AND** (E) é um componente de circuito lógico que implementa essa relação; pode ter duas (p, q), ou mais entradas, e a saída (s) assumirá o valor 1 (<u>verdadeiro</u>) se, e somente se, todas as entradas forem iguais a 1 (<u>verdadeiras</u>); caso uma, ou mais entradas forem iguais a 0 (<u>falso</u>), a saída terá valor igual a 0 (**falso**).

A disjunção é uma relação entre sentenças que estabelece um resultado <u>falso</u> (0) quando duas proposições (p e q) forem <u>falsas</u> (0). Basta uma delas ser <u>verdadeira</u> (1), para que a disjunção também seja <u>verdadeira</u> (1).

A porta **OR** (OU) é um componente de circuito lógico que implementa essa relação; pode ter duas (p, q), ou mais entradas, e a saída (s) assumirá o valor 0 (<u>falso</u>) se, e somente se, todas as entradas forem iguais a 0 (<u>falso</u>); caso uma, ou mais entradas forem iguais a 1 (<u>verdadeiro</u>), a saída terá valor 1 (<u>verdadeiro</u>).

A negação determina que se uma proposição (p) for <u>falsa</u> (0), seu resultado será <u>verdadeiro</u> (1), ou vice-versa.

A porta **NOT** (NÃO) é um componente de circuito lógico que implementa essa relação, também chamada de **INVERTER** (INVERSOR), só possui uma entrada (p), e a saída assumirá o valor 1 (<u>verdadeiro</u>), se a entrada for igual a 0 (<u>falso</u>); senão, a saída terá valor 0 (<u>falso</u>), se a entrada for igual a 1 (<u>verdadeiro</u>).

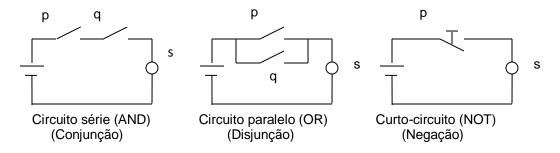
- Analogias com circuitos elétricos

O primeiro circuito a seguir (conjunção) determina que se duas chaves (p e q) forem fechadas (1), o resultado (s) será o de um circuito fechado com uma lâmpada acesa (1), por exemplo; basta que uma delas seja aberta (0), para que o circuito se abra, e a lâmpada apague (0). O circuito poderá ter duas (p, q), ou mais chaves, em série que a saída (s) terá o mesmo resultado (1) se, e somente se, todas as chaves forem fechadas (1); caso uma, ou mais chaves forem abertas (0), o resultado será um circuito aberto com a lâmpada apagada (0).

O segundo circuito a seguir (disjunção) determina que se duas chaves (p e q) forem abertas (0), o resultado (s) será o de um circuito aberto com uma lâmpada apagada (0), por exemplo; basta que uma delas seja fechada (1), para que o circuito se feche. O circuito poderá ter duas (p, q), ou mais chaves, em paralelo que a saída (s) terá o mesmo resultado (0), se, e somente se, todas as entradas forem abertas (0); caso uma, ou mais chaves forem fechadas (1), o resultado será um circuito fechado coma lâmpada acesa (1).

O terceiro circuito a seguir (negação) determina que se uma chave (p) for acionada (1), o resultado (s) será o de um circuito aberto com uma lâmpada apagada (0); caso contrário, o circuito permanecerá fechado, e a lâmpada se manterá acesa (1).

- Representações por circuitos



- Representações de relações lógicas

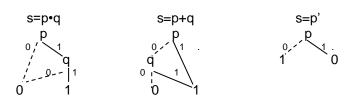
Notações

Conjunção (E) (p e q)	Disjunção (OU) (p ou q)	Negação (NÃO) (não p)
$p \wedge q$	$p \vee q$	¬p
$p \cdot q = p q$	p + q	/p = p' = p
p & q	p q	~p
p && q	p q	! p

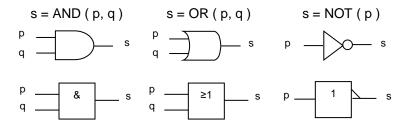
Tabela-verdade

Conjunção (E)	Disjunção (OU)	Negação (NÃO)
p q s	p q s	p s
$0 \cdot 0 = 0$	0 + 0 = 0	
$0 \cdot 1 = 0$	0 + 1 = 1	0' = 1
$1 \cdot 0 = 0$	1 + 0 = 1	1' = 0
1 • 1 = 1	1 + 1 = 1	

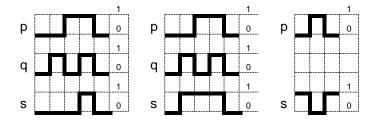
Diagrama de Decisão Binária (BDD)



Portas Lógicas



Diagramas de tempo para as portas lógicas



- Prioridade de conectivos

Estabelece-se que a ordem de avaliação de uma expressão, envolvendo conectivos lógicos, será da esquerda para a direita, respeitando-se as prioridades dos conectivos na ordem mostrada abaixo, sendo a primeira a mais alta quando aplicada imediatamente a um valor.

Pode-se mudar a ordem de avaliação por meio de parênteses.

Exemplo:

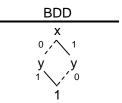
Considere a expressão lógica: (! x && y) || (x && ! y) de forma mais simples como $(x' \cdot y) + (x \cdot y')$ A sua avaliação será feita na seguinte ordem de prioridade:

negação de (x) : x'
conjunção com (y) : x' • y
negação de (y) : y'
conjunção com (x) : x • y'

- disjunção das conjunções : (x' • y) + (x • y')

A expressão poderá ser representada nas formas tabular (*tabela-verdade*) ou por BDD (*Binary Decision Diagram*):

ху	(x' • y)	(x • y')	$(x'\bullet y)+(x\bullet y')$
0 0	0	0	0
0 1	1	0	1
1 0	0	1	1
1 1	0	0	0



Resumidamente as relações em uma tabela também poderão ser indicadas

- pela disjunção (+) das conjunções iguais a 1 (ou mintermos)

ху	(x' • y)	(x • y')	$(x'\bullet y)+(x\bullet y')$
0 0	0	0	0
0 1	1	0	1
1 0	0	1	1
11	0	0	0

mintermos (=1)

$$m0 = x' \cdot y' = 0$$
.
 $m1 = x' \cdot y = 1 \leftarrow$
 $m2 = x \cdot y' = 2 \leftarrow$
 $m3 = x \cdot y = 3$.

$$f(x, y) = (x' \cdot y) + (x \cdot y') = m1 + m2 = \sum m(1,2) = SoP(1,2)$$

- pela conjunção (•) das disjunções iguais a 0 (ou MAXTERMOS).

XY	(X+Y')	(X'+Y)	(X+Y')•(X'+Y)
0 0	0	0	0
0 1	1	0	1
1 0	0	1	1
1 1	0	0	0

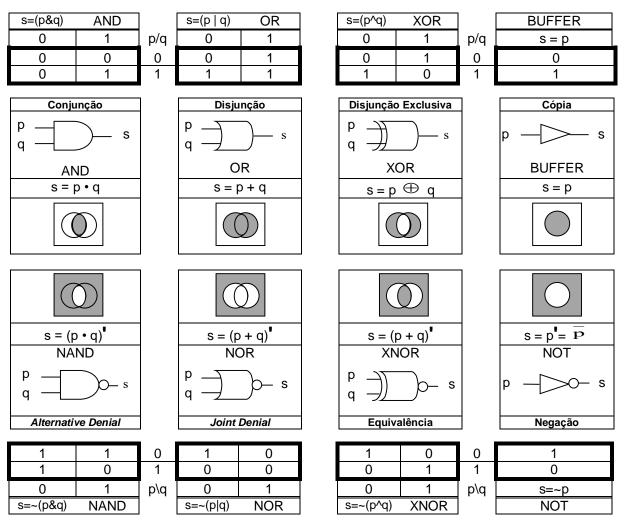
MAXTERMOS (=0)

$$m0 = X + Y = 0 \leftarrow$$

 $m1 = X + Y' = 1$
 $m2 = X' + Y = 2$
 $m3 = X' + Y' = 3 \leftarrow$

$$F(X, Y) = (X+Y') \cdot (X'+Y) = M1 \cdot M2 = \Pi M(0,3) = PoS(0,3)$$

Principais relações da álgebra de Boole



Resumo

					AND	OR	XOR	XNOR	NOR	NAND
	m	M	р	q	p&q	p q	p ^ q	~ (p ^ q)	~ (p q)	~ (p & q)
0	p' • q'	P+Q	0	0	0	0	0	1	1	1
1	p' • q	P+Q	0	1	0	1	1	0	0	1
2	p • q'	P+Q	1	0	0	1	1	0	0	1
3	p•q	P'+Q	1	1	1	1	0	1	0	0
					[1]	[7]	[6]	[9]	[8]	[14]
mintermos		SoP	(+)	[=1]	3	1,2,3	1,2	0,3	0	0,1,2
MAXTERMOS		PoS	(•)	[=0]	0,1,2	0	0,3	1,2	1,2,3	3

Principais propriedades da Álgebra de Boole

Idempotência	Comutativa	Associativa	
p + p = p	p + q = q + p	(p + q) + r = p+(q + r)	
p • p = p	p • q = q • p	$(p \cdot q) \cdot r = p \cdot (q \cdot r)$	
Identidade	De Morgan	Distributiva	
p + 0 = p p • 0 =0	$\overline{(p+q)} = \overline{p} \cdot \overline{q}$	$p + (q \cdot r) = (p + q) \cdot (p + r)$	
p + 1 = 1 p • 1 = p	$\overline{(p \cdot q)} = \overline{p} + \overline{q}$	$p \cdot (q+r) = (p \cdot q) + (p \cdot r)$	
Complementar	Absorção	Consenso	
p + p = 1 (tautalogia)	$p + (\stackrel{\triangle}{p} \cdot d) = (p + d)$	$(p \cdot q) + (\overline{p} \cdot r) + (q \cdot r)$	
(tautologia)		$= (p \cdot q) + (p \cdot r)$	
$p \cdot p = 0$	$p + (p \cdot q) = (p + q)$	(p+q) • (p+r) • (q+r)	
(contradição)		$=(p+q) \cdot (p+r)$	
= p = p	$b + (b \cdot d) = b$		
(dupla negação)			

Principais propriedades da álgebra com XOR.

Básicas	Identidade	Complementar
$p \oplus p = 0$	p ⊕ 0 = p	$p \oplus q = p \oplus q$
$p \oplus \overline{p} = 1$	p⊕1= ¯	$\overline{(p \oplus q)} = \overline{p} \oplus q = p \oplus \overline{q}$
Associativa		Comutativa
$(p \oplus q) \oplus r = p \oplus (q \oplus r)$		$p \oplus q = q \oplus p$
Disjunção	Distributiva	Transposição
se: $p=q \oplus r$ e $q \cdot r=0$ então: $p=q+r$	$p \bullet (q \oplus r) = (p \bullet q) \oplus (p \bullet r)$	se: $p=q \oplus r$ então: $q=p \oplus r$ e $r=p \oplus q$

Tabela-verdade

Expressões lógicas podem ser expressas na forma tabular (tabela-verdade):

Exemplo:

Avaliar a expressão: x' • y + x • y'

considerando a ordem de prioridades entre negação, conjunção e disjunção.

_ x y	x' • y	x • y'	x'• y + x • y'
0 0	0	0	0
0 1	1	1	1
1 0	0	0	1
11	0	0	0

A descrição equivalente em Verilog será

Uma função lógica também pode ser descrita pela soma de produtos (mintermos) ou SoP (disjunção das conjunções dos termos na tabela onde a função for igual a 1).

#mintermo	mintermo	ху	f(x,y)	_
0	x'• y'	0 0	0	
1	x'• y	0 1	1	_ ←
2	x • y'	1 0	1	_ ←
3	x • y	1 1	0	

$$f(x,y) = (x' \cdot y) + (x \cdot y') = \sum m(1, 2)$$

A descrição equivalente em Verilog será

Uma função lógica pode ser descrita pelo produto de somas (MAXTERMOS) ou PoS, (conjunção das disjunções dos termos na tabela onde a função for igual a 0), cujo resultado é equivalente à soma de produtos complementar

#MAXTERMOS	MAXTERMOS	ΧY	F(X,Y)	
0	X +Y	0 0	0	←
1	X +Y'	0 1	1	_
2	X'+Y	1 0	1	_
3	X'+Y'	1 1	0	←

$$F(X,Y) = (X + Y) \cdot (X' + Y') = \prod M(0, 3)$$

A descrição equivalente em Verilog será

endmodule // PoS

cujo módulo com os conjuntos de testes em Verilog poderá ser

```
// -----
// -- test_module
// -----
module test_module;
reg x, y;
wire s1, s2, s3;
      // instancias
fxy FXY1 (s1, x, y);
SoP SOP1 (s2, x, y);
PoS POS1 (s3, x, y);
      // valores iniciais
initial begin: start
   x=1'bx; y=1'bx; // indefinidos
end
      // parte principal
initial begin: main
 // identificacao
    $display("Exemplo-xxx yyy zzz - 999999");
    $display("Test boolean expression");
    \frac{(\n x'&y+x&y'=s\n'')}{(\n x'&y+x&y'=s\n'')};
 // monitoramento
    \frac{1}{2} \sin(x y) = s1 s2 s3;
    monitor("%2b %2b = %2b %2b %2b", x, y, s1, s2, s3);
 // sinalizacao
 #1 x=0; y=0;
 #1 x=0; y=1;
 #1 x=1; y=0;
 #1 x=1; y=1;
end
```

endmodule // test_module

Preparação

Vídeos recomendados

Como preparação para o início das atividades, recomenda-se assistir os seguintes vídeos:

http://www.youtube.com/watch?v=Tb1qLGR2hvUhttp://www.youtube.com/watch?v=UrA-miNZ6aghttp://www.youtube.com/watch?v=wAqlu7M4xvAh

Exercícios:

Orientação geral:

Apresentar uma forma de solução em formato texto (.txt).

Outras formas de solução serão avaliadas como atividades extras (.v, .c).

As funções poderão ser desenvolvidas em Verilog ou C,

e as execuções deverão apresentar as respostas e/ou gravá-las em arquivo texto.

Exemplos em Verilog serão fornecidos como ponto de partida.

01.) Construir a tabela-verdade para as proposições

e verificar pelas respectivas tabelas-verdades implementadas em Verilog: Exemplo:

$$\bar{x} + (\bar{y} \cdot \bar{z})$$

#mintermos	mintermos	хуг	x'	y'	z'	y'•z'	x'+(y'•z')
0	x'•y'•z'	000	1	1	1	1	1
1	x'•y'•z	001	1	1	0	0	1
2	x'•y•z'	010	1	0	1	0	1
3	x'•y •z	011	1	0	0	0	1
4	x•y'•z'	100	0	1	1	1	1
5	x•y'•z	101	0	1	0	0	0
6	x•y•z'	110	0	0	1	0	0
7	x•y•z	111	0	0	0	0	0

SoP (0,1,2,3,4)

module fxyz (output s,

assign $s = \sim x \mid (\sim y \& \sim z);$

endmodule // fxyz

$$d.) (x.y)' + z'$$

e.)
$$(x'+y)$$
. $(x+z')$

02.) Simplificar as expressões abaixo pelas propriedades da álgebra de Boole e verificar pelas respectivas tabelas-verdades implementadas em Verilog: Exemplo:

$$(x+y) \cdot (x+z)$$

= x'+(y'•z') (propriedade distributiva)
module fxyz (output s1, output s2, input x, y, z);
assign s1 = (~x | ~y) & (~x | ~z);
assign s2 = ~x | (~y & ~z);
endmodule // fxyz

b.)
$$(x + y') + (x . y)$$

c.)
$$(x.y)'.(x'+y')$$

$$d.) (x'.y)' + (x + y')'$$

e.)
$$(y + x)'$$
. $(y' + x')$

03.) Montar as tabelas-verdades expressas pelas somas de produtos abaixo e verificar pelas respectivas tabelas-verdades implementadas em Verilog: Exemplo:

$$\begin{split} f & (x,y,z) = \sum m \; (\; 0,\; 1,\; 2,\; 3,\; 4\;) = SoP \; (0,1,2,3,4) = 1 \\ & \text{module SoP (output s, input } \; x,\; y); \qquad // \; \text{mintermos} \\ & // & \; m \; \; 0 \qquad \qquad 1 \qquad \qquad 2 \qquad \qquad 3 \qquad \qquad 4 \\ & \text{assign s} = (\sim x\&\sim y\&\sim z) \; | \; (\sim x\&\sim y\&\sim z) \; | \; (\sim x\&y\&\sim z) \; | \; (\sim x\&y\&\sim z) \; | \; (x\&\sim y\&\sim z); \end{split}$$

endmodule // SoP

хух	mintermos	SoP (0,1,2,3,4)
0 0 0	x'•y'•z' = m0	1
0 0 1	x'•y'•z = m1	1
0 1 0	x'•y •z' = m2	1
011	x'•y •z = m3	1
100	x•y'•z' = m4	1
101	X•y'•Z	0
110	x•y•z'	0
111	x•y•z	0

a)
$$f(x,y,z) = \sum m(1, 2, 3, 6)$$

b)
$$f(x,y,z) = \sum m(1, 2, 3, 5)$$

c)
$$f(x,y,w,z) = \sum m(1, 3, 6, 7, 9, 10, 11)$$

d)
$$f(x,y,w,z) = \sum m(0, 2, 5, 6, 8, 10, 13)$$

e)
$$f(x,y,w,z) = \sum m(1, 2, 3, 5, 8, 11)$$

04.) Montar as expressões PoS equivalentes aos produtos das somas abaixo e verificar pelas respectivas tabelas-verdades implementadas em Verilog: Exemplo:

$$\begin{split} F & (X,Y,Z) = \textbf{TT} \ M \ (\ 5,\ 6,\ 7\) = PoS \ (5,6,7) = 0 \\ \\ module \ PoS \ (output \ S, input \ \ X,\ Y); \qquad // \ MAXTERMOS \\ // \qquad M \quad 5 \qquad 6 \qquad 7 \\ \\ assign \ S & = (\sim X|\ Y|\sim Z) \ \& \ (\sim X|\sim Y|\ Z) \ \& \ (\sim X|\sim Y|\sim Z); \end{split}$$

endmodule // PoS

хуz	MAXTERMOS	PoS (5,6,7)
000	X+Y+Z	1
0 0 1	X+Y+Z'	1
010	X+Y'+Z	1
0 1 1	X+Y'+Z'	1
100	X'+Y+Z	1
101	X'+Y+Z' = M5	0
110	X'+Y'+Z = M6	0
111	X'+Y'+Z' = M7	0

- a) $F(X,Y,Z) = \Pi M (1, 3, 5, 6)$
- b) $F(X,Y,Z) = \Pi M (0, 1, 2, 3, 7)$
- c) $F(X,Y,W,Z) = \Pi M (0, 1, 2, 3, 7, 8, 11, 12)$
- d) F(X,Y,W,Z) = TT M (0, 2, 4, 6, 7, 9, 13)
- e) $F(X,Y,W,Z) = \Pi M (0, 1, 2, 4, 7, 14, 15)$

05.) Identificar as expressões SoP e PoS equivalentes às tabelas abaixo e verificar pelas respectivas tabelas-verdades implementadas em Verilog:

a.)

n	ху	f(x,y)		
0	0 0	1	SoP() =
1	0 1	1	_	
2	1 0	0	PoS() =
3	11	1		
			_	

b.)

n	ху	f(x,y)		
0	0 0	1	SoP() =
1	0 1	0	_	
2	1 0	1	PoS() =
3	11	0	_	

c.)

n	хух	f(x,y,z)
0	000	1
1	001	1
2	010	0
3	011	1
4	100	0
5	101	1
6	110	1
7	111	1

SoP(

PoS(

d.)

n	хух	f(x,y,z)
0	000	1
1	001	0
2	010	1
3	011	1
4	100	1
5	101	1
6	110	0
7	111	0

SoP(

PoS(

e.)

n	хуwz	f(x,y,w,z)
0	0000	1
1	0001	1
2	0010	1
3	0011	0
4	0100	1
5	0101	0
6	0110	1
7	0111	0
8	1000	1
9	1001	0
10	1010	1
11	1011	1
12	1100	0
13	1101	1
14	1110	1
15	1111	1

SoP(

PoS(