

Pontifícia Universidade Católica de Minas Gerais
Instituto de Ciências Exatas e Informática – ICEI
Arquitetura de Computadores I

ARQ1 _ Aula_07

Tema: Introdução à linguagem Verilog e simulação em Logisim

Preparação

Vídeos recomendados

https://www.youtube.com/watch?v=_Wta-lt79RU

<https://www.youtube.com/watch?v=o8aHEaAsLw8>

<https://www.youtube.com/watch?v=bh1c5pv56lY>

Orientação geral:

Apresentar uma forma de solução em formato texto (.txt).

Os arquivos para simulação em Logisim (.circ) deverão ser identificados internamente e entregues, acompanhados (ou não) de figuras equivalentes exportadas pela ferramenta.

Separar as versões completas (a) das simplificadas (b).

Programas em Verilog poderão ser entregues em formato (.v) com previsão de testes.

Atividade: Projeto de unidade lógica e aritmética

Para os exercícios a seguir, considerar o exemplo abaixo em Verilog.

```
// -----  
// Exemplo_0601 - GATES  
// Nome: xxx yyy zzz  
// Matricula: 999999  
// -----  
  
// -----  
// f6_gate  
// -----  
module f6 ( output s,  
            input a,  
            input b );  
  
// descrever por portas  
  
endmodule // f6
```

```

// -----
// multiplexer
// -----
module mux ( output s,
              input a,
              input b,
              input select );

// definir dados locais
wire notselect;
wire sa;
wire sb;

// descrever por portas
not NOT1 ( notselect, select );

and AND1 ( sa, a, notselect );
and AND2 ( sb, b, select );

or OR1 ( s, sa, sb );
endmodule // mux


module test_f6;
// ----- definir dados
    reg x;
    reg y;
    reg s;
    wire w;
    wire z;

    f6 modulo ( w, x, y );

    mux MUX1 ( z, x, y, s );

// ----- parte principal

    initial
    begin : main
        $display("Exemplo_0601 - xxx yyy zzz - 999999");
        $display("Test LU's module");
        $display(" x y s z");

        x = 1'b0; y = 1'b1; s = 1'b0;

        // projetar testes do modulo
        #1 $monitor("%4b %4b %4b %4b", x, y, s, z);
        #1 s = 1'b1;

    end

endmodule // test_f6

```

- 01.) Projetar e descrever em Verilog, usando portas nativas, uma unidade lógica (LU) com operações AND e OR, com duas saídas simultâneas (paralelas, 2 respostas), para variáveis de entrada 01 com bit cada. O nome do arquivo deverá ser Exemplo_0601.v, e poderá seguir o modelo descrito abaixo. Incluir previsão de testes. Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos.
- 02.) Projetar e descrever em Verilog, usando **portas nativas**, uma unidade lógica (LU) com operações AND e OR, com uma saída selecionável (1 resposta), para variáveis de entrada com 01 bit cada. O nome do arquivo deverá ser Exemplo_0602.v. Incluir previsão de testes. Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos. DICA: Usar para o sinal extra para a seleção (0-OR;1-AND).
- 03.) Projetar e descrever em Verilog, usando **portas nativas**, uma unidade lógica (LU) com o acréscimo das operações NAND e NOR, com uma saída só para ambas, para variáveis de entrada com 01 bit cada, além de AND e OR na mesma situação. Os resultados de cada grupo serão selecionados por uma primeira chave (2x1); para selecionar uma porta em cada grupo, e outra chave (2x1) que selecionará entre o grupo (AND, OR) ou o grupo (NAND, NOR). O nome do arquivo deverá ser Exemplo_0603.v. Incluir previsão de testes. Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos. DICA: Usar para o primeiro sinal para a seleção (0-NAND/AND;1-NOR/OR). Usar para o segundo sinal para a seleção (0-grupo NAND/NOR;1-AND/OR).
- 04.) Projetar e descrever em Verilog, usando **portas nativas**, uma unidade lógica (LU) com o acréscimo das operações XOR e XNOR, , com uma saída só para ambas, para variáveis de entrada com 01 bit cada, além de OR E NOR; na mesma situação. Os resultados de cada grupo serão selecionáveis entre o grupo (XOR, XNOR) ou o grupo (OR, NOR), seleção (4x1). O nome do arquivo deverá ser Exemplo_0604.v. Incluir previsão de testes. Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos. DICA: Usar para o sinal extra de 2 bits para a seleção (00-OR; 01-NOR;10-XOR; 11-XNOR).
- 05.) Projetar e descrever em Verilog, usando **portas nativas**, uma unidade lógica (LU) com o acréscimo das operações NOT, OR, NOR, AND, NAND, XOR, XNOR, simultâneas, com apenas 1 saída, selecionável (7x1). O nome do arquivo deverá ser Exemplo_0605.v. Incluir previsão de testes. Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos. DICA: Usar um sinal extra de 3 bits para a seleção.

Extras

- 06.) Projetar e descrever em Verilog, usando portas nativas, uma unidade lógica (LU) com um comparador usando portas XOR e XNOR para calcular a igualdade ou desigualdade, para variáveis com 2 bits cada, selecionável (0-igual; 1-diferente).
O nome do arquivo deverá ser Exemplo_0606.v.
Incluir previsão de testes.
Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos.
DICA: Montar a tabela-verdade e identificar os mintermos.
- 07.) Projetar e descrever em Verilog, usando portas nativas, uma unidade lógica (LU) com um comparador usando apenas portas básicas (NOT, AND, OR) para calcular a magnitude (se maior ou menor), para variáveis com 2 bits cada, selecionável (0-menor; 1-maior).
O nome do arquivo deverá ser Exemplo_0607.v.
Incluir previsão de testes.
Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos.
DICA: Montar a tabela-verdade e identificar os mintermos.