



Laboratório de Sistemas Digitais (SICO5A)

5º Experimento: VHDL - Introdução

(Atividade em Dupla ou Individual)

1) Objetivos

No simulador EDAPlayground (<https://www.edaplayground.com>):

- a) Simular e analisar a linguagem VHDL para circuitos lógicos e memória RAM.

2) Material utilizado

- Aqui, o aluno deve descrever todos os componentes utilizados nos projetos e simulações.

3) Parte prática – Exemplo

- i) A seguir é apresentado um circuito lógico.

Figura 1 – Display de 7 segmentos

$$D + B + CA + \overline{C}\overline{A}$$

- ii) Simule o código da alternativa i em VHDL, no simulador edaplayground, dado por:

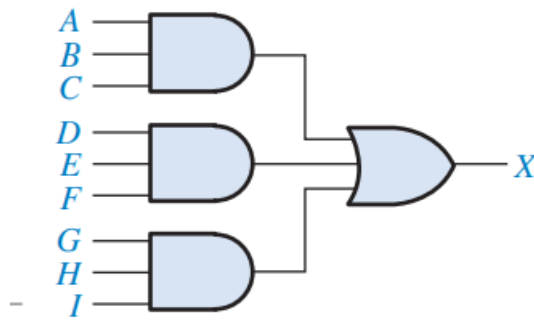
Figura 2 – Display de 7 segmentos

```
entity SEGLOGIC is
    port (A, B, C: in bit; SEGa: out bit);
end entity SEGLOGIC;
architecture LogicFunction of
    SEGLOGIC is
begin
    SEGa <= (A and C) or (not A
              and not C) or B or D;
end architecture LogicFunction;
```

4) Parte prática – Implementação em VHDL.

- i) Implemente a Figura 3 em VHDL.

Figura 3 – Circuito Lógico



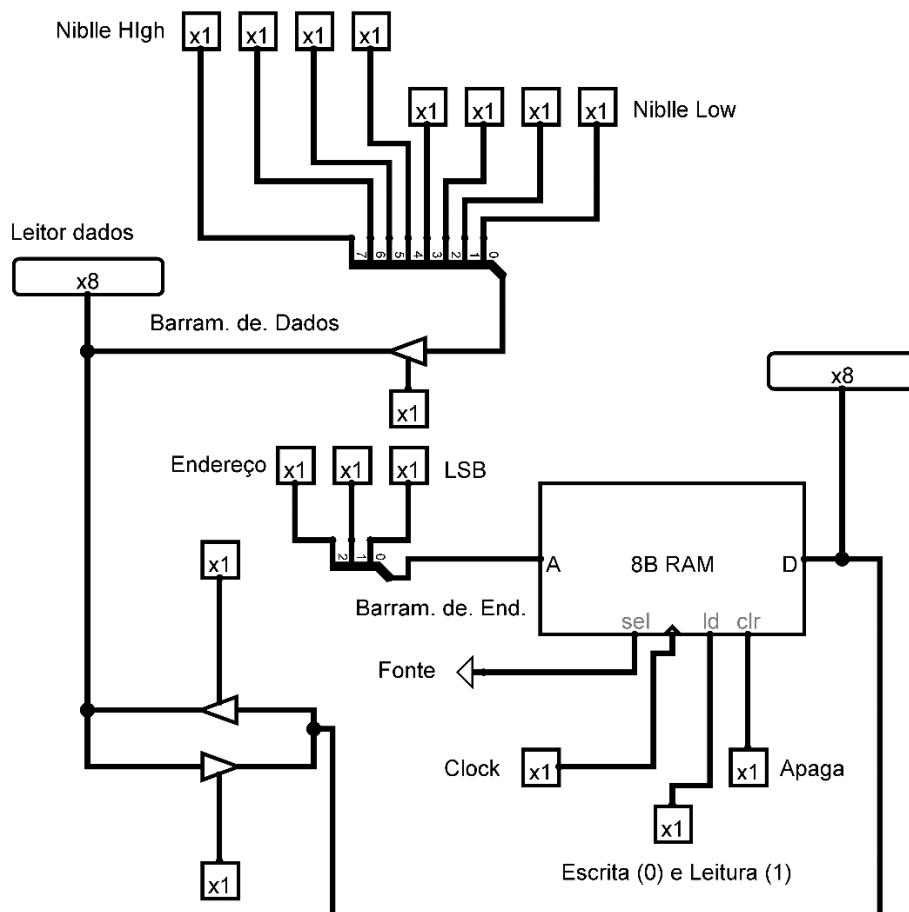
ii) Implemente em VHD:

$$Y = \overline{A}BC + A\overline{B}C + AB\overline{C} + \overline{A}\overline{B}C$$

3) Parte prática – Memória RAM

Figura 5 – Memória RAM.

Informação de bits (Hexadecimal)



i) Explique um código (destacando os conceitos da aula de introdução ao VHDL) que emula uma memória RAM similar a Figura 1, em VHDL.

<https://www.edaplayground.com/x/3Zs>

ii) Explique o que é testbench e design VHDL.

Observações:

- Submeta a simulação do LOGIM junto com o PDF.
- Siga o modelo de relatório disponibilizado no moodle.
- A data de entrega está especificada no moodle.