



Relatório do laboratório 03

DUPLA

Ruan Mateus Trizotti (Líder)

Matrícula: 2152177

Maria Eduarda Pedroso

Matrícula: 2150336

Análise de Sistemas Lineares (SICO5A)

Resumo

Nessa atividade todas as simulações e análises foram feitas em conjunto, em dupla e também com auxílio dos conteúdos disponibilizados pelo professor e sua ajuda em aula. O intuito desse relatório é fixar e analisar sobre sistemas lógicos programáveis, sendo o primeiro o PAL no qual ele não é reprogramável uma vez feita a lógica e queimado os fusíveis não têm volta, e o GAL que pode ser reprogramável devido aos seus transistores.

Após essa análise conseguimos prototipar 2 outros SPLD segundo a tabela verdade nos passada e fazer suas respectivas análises.

Por fim, simulamos o controle tristate, utilizado em células do tipo macrocélula, para as condições descritas nas figuras contidas no PDF disponibilizado pelo professor. Como foi realizada apenas análise e prototipagem no software Logisim não houve cálculos nem valores que seriam da parte prática do experimento.

Objetivos e Fundamentos

- Simular, analisar e projetar o funcionamento de um modelo SPLD – PAL.
- Simular, analisar e projetar o funcionamento de um modelo SPLD – PAL.
- Simular, analisar e projetar o funcionamento de um modelo SPLD – PAL/GAL.

Materiais e equipamentos

Os materiais utilizados foram todos relacionados ao que possui no Logisim, visto que toda a simulação foi feito no mesmo, sendo esses materiais:

- Buffer de controle
- Pinos de entrada
- Pinos de saída
- Portas lógicas AND e OR

Procedimentos

Primeiramente replicamos o modelo SPLD-PAL utilizando pinos de entrada como se fossem fusíveis portas and para fazer a parte de configuração lógica programável e porta or para o resultado da nossa lógica, para configurar esse tipo de SPLD precisamos queimar os fusíveis que não irão ser usados, no nosso caso deixar o pino em baixa, e manter apenas o que será utilizado. Abaixo poderão ver como ficou esse dispositivo.

Figura 1: Resultado da replicação do modelo SPLD-PAL

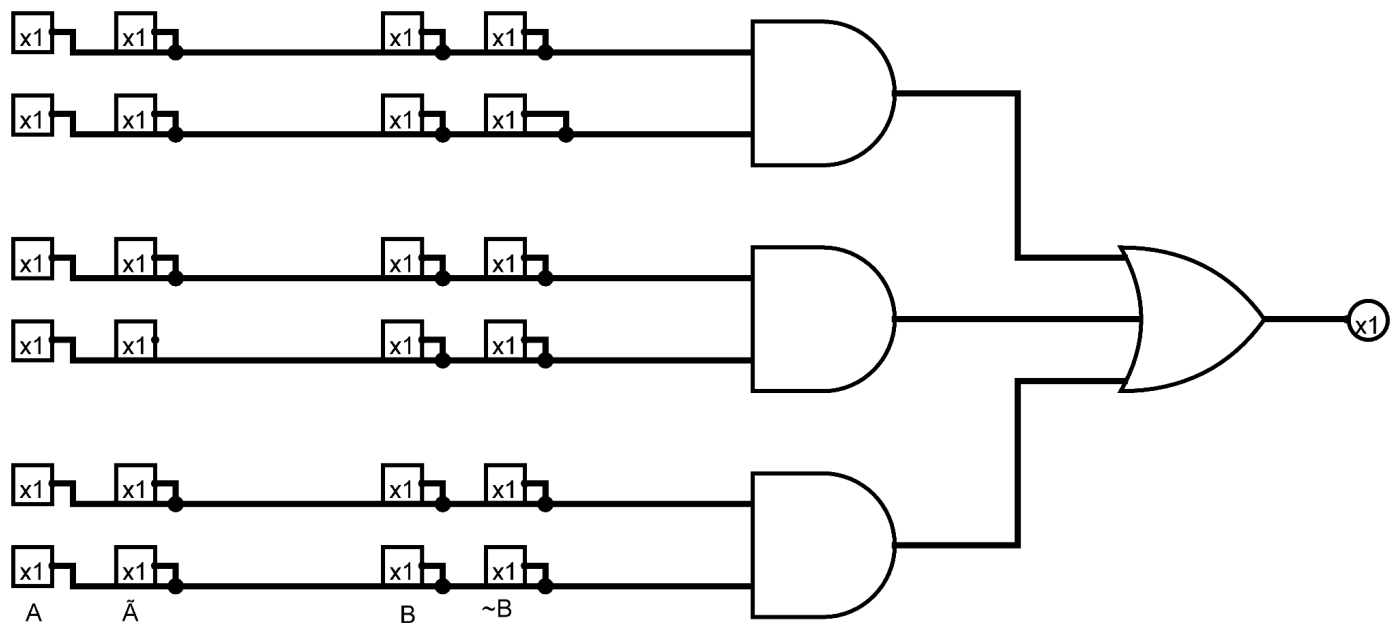


Figura 1: Resultado da replicação do modelo SPLD-PAL.

Para a segunda parte precisamos replicar e construir um SPLD-GAL adotando o transistor sendo um buffer controlado já que esse dispositivo permite que ele seja reprogramado.

Como podemos notar na imagem abaixo, esse possui 2 portas AND sendo elas para a lógica programável e sua porta OR para o resultado, coincidentemente ele possui 4 entradas sendo a e b, as duas com seus dois estados cada 0 e 1.

Figura 2: Resultado da replicação do modelo SPLD-GAL

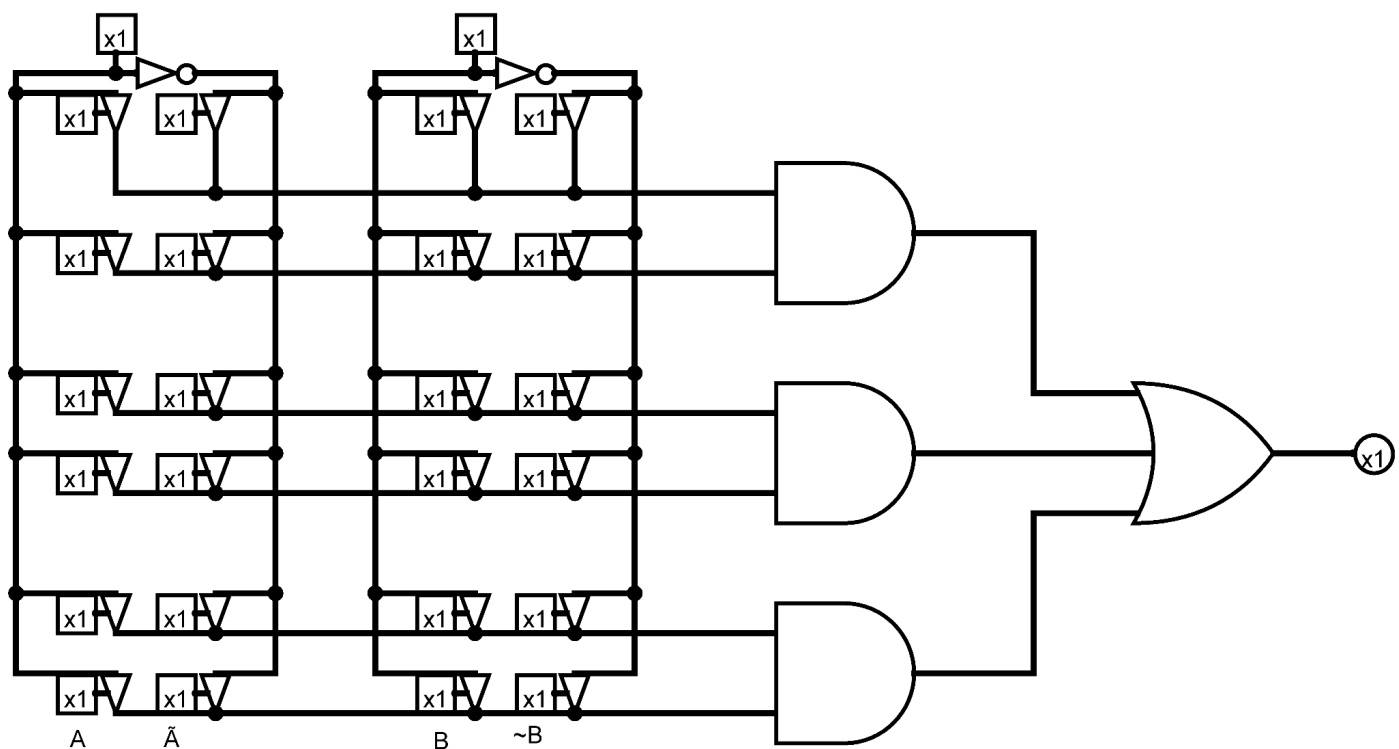


Figura 2: Resultado da replicação do modelo SPLD-GAL.

Para a terceira parte precisamos replicar e construir um SPLD-PAL/GAL adotando como base os 2 modelos anteriores, utilizando pinos de entrada como se fossem fusíveis portas and para fazer a parte de configuração lógica programável e porta or para o resultado da nossa lógica usamos e transistor sendo um buffer controlado.

Figura 3: Resultado da replicação do modelo SPLD-PAL/GAL

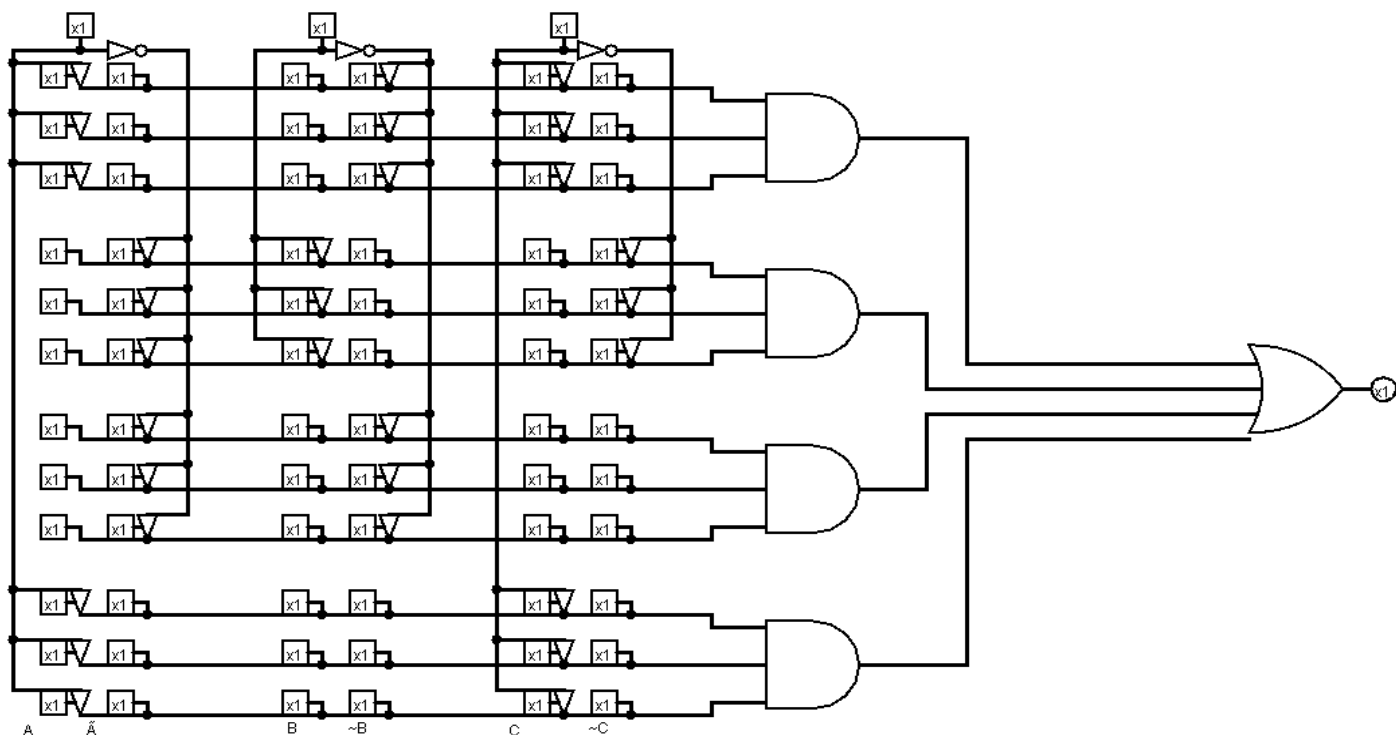
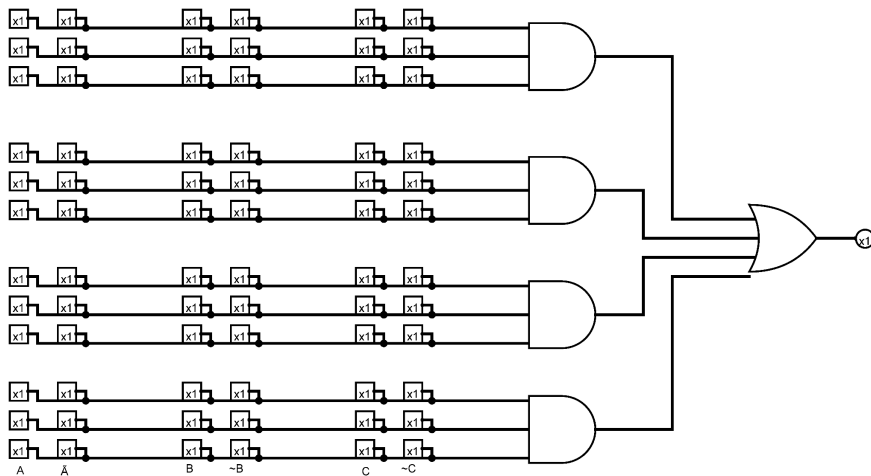


Figura 3: Resultado da replicação do modelo SPLD-PAL/GAL.

Análise

Após entender o funcionamento dos três SPLD projetamos e simulamos os mesmos com 3 entradas, após essa parte realizamos as configurações necessárias para atender a tabela verdade da figura 4,5,6(B), os mesmos ficaram da forma mostrada nas figuras abaixo.

Figura 4: (A)Resultado da prototipação do modelo SPLD-PAL (B)Tabela Verdade e expressão Booleana



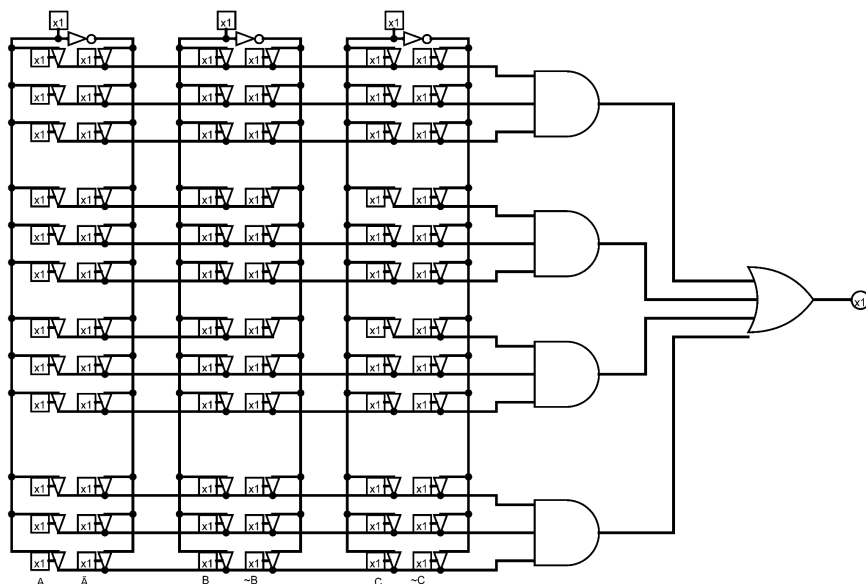
A	B	C	S
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

(A)Resultado da prototipação do modelo SPLD-PAL

(B)Tabela Verdade e expressão Booleana

Figura 3: (A)Resultado da prototipação do modelo SPLD-PAL (B)Tabela Verdade e expressão Booleana

Figura 5: (A)Resultado da prototipação do modelo SPLD-GAL (B)Tabela Verdade e expressão Booleana



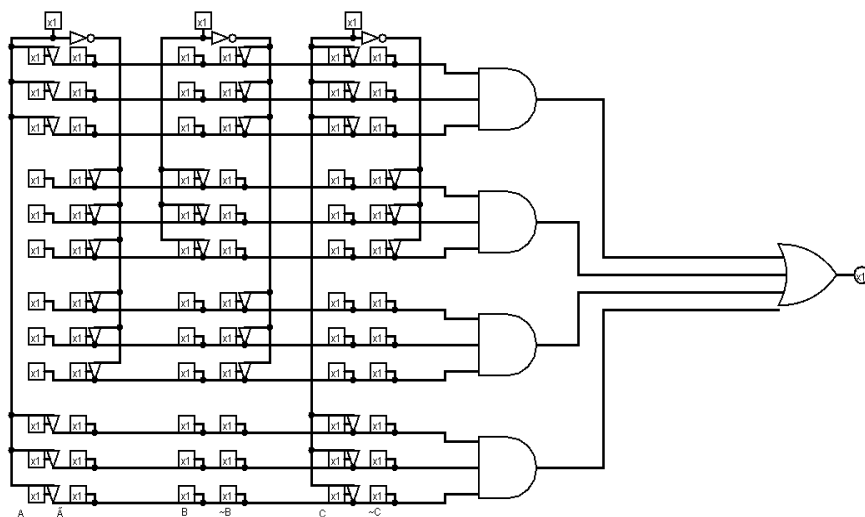
A	B	C	S
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

(A)Resultado da prototipação do modelo SPLD-GAL

(B)Tabela Verdade e expressão Booleana

Figura 4: (A)Resultado da prototipação do modelo SPLD-GAL (B)Tabela Verdade e expressão Booleana

Figura 6: (A)Resultado da prototipação do modelo SPLD-PAL/GAL (B)Tabela Verdade e expressão Booleana



A	B	C	S
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

(A)Resultado da prototipação do modelo SPLD-PAL/GAL

(B)Tabela Verdade e expressão Booleana

Figura 6: (A)Resultado da prototipação do modelo SPLD-PAL/GAL (B)Tabela Verdade e expressão Booleana

Analisando primeiramente os resultados obtidos através dos relacionamentos entre a construção dos SPLDs e as Tabelas Verdades temos uma comprovação do grau de complexidade dos mesmos, tendo em vista que devem possuir sua lógica programável simples.

Mux

Explicando um pouco sobre MUX ou Multiplexador (Multiplexer em inglês), é um dispositivo que possui múltiplos fluxos de dados na entrada e somente um fluxo de dados na saída. Ele envia um sinal de ativo aos terminais de saída baseado nos valores de uma ou mais "entradas de seleção" e numa entrada escolhida. Por exemplo, um multiplexador de duas entradas é uma simples conexão de portas lógicas cuja saída S é tanto a entrada A ou a entrada B dependendo do valor de uma entrada C que seleciona a entrada. A sua equação booleana é:

$$S = (A \text{ and not } C) \text{ or } (B \text{ and } C)$$

a qual pode ser expressa como a seguinte tabela verdade:

A	B	C	$A \cdot \bar{C}$	$B \cdot C$	S
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	1	1
1	0	0	1	0	1
1	0	1	0	0	0
1	1	0	1	0	1
1	1	1	0	1	1

Figura 7: Tabela verdade MUX

Multiplexadores maiores também são comuns. Um multiplexador de 8 entradas possui oito entradas de dados e três entradas de seleção. As entradas de dados são numeradas de X0 até X7, e as entradas de seleção são numeradas como S4, S2, e S1. Se S4 e S1 são verdadeiros, e S2 é falso, por exemplo, a saída será igual ao valor da entrada X5. S1 é muitas vezes chamado entrada "mais significativa", com saídas menos significativas à sua direita. A entrada mais à esquerda é a mais significativa do multiplexador. Esta ordem é uma convenção para igualar a ordem padrão de uma tabela da verdade. Existem outros pontos fortes de se usar um multiplexador que se refere ao custo benefício do equipamento projetado.

Resultados e Conclusão

Ruan Mateus Trizotti

A partir dessa prática obtivemos o entendimento de como os sistemas lógicos programáveis GAL E PAL funcionam, como é seu método de realizar a implementação da lógica e também criamos alguns exemplos da mesma. Fora a parte de sistemas também vimos a parte de controle tristate que para mim, foi algo meio complicado de se entender apenas na teoria, como não houve cálculos e sim análise acredito que essa atividade foi algo de suma importância para um melhor entendimento de como funciona os sistemas.

Resultados e Conclusão

Maria Eduarda Pedroso

Esse relatório foi muito importante para complementar a parte teórica que nos foi passada, através dele conseguimos entender melhor o funcionamento dos sistemas lógicos programáveis de forma prática, a recriação das mesmas foi extremamente importante. Ver a diferença entre as duas SPLD é de extrema importância para entender seu funcionamento.

Como precisávamos fazer apenas a análise e prototipagem nesse relatório, não houve cálculo, apenas uma discussão e complementação das informações passadas em aula