

# **Diseño de Conversores Analógicos Digitales**

Clase 1 - Introducción

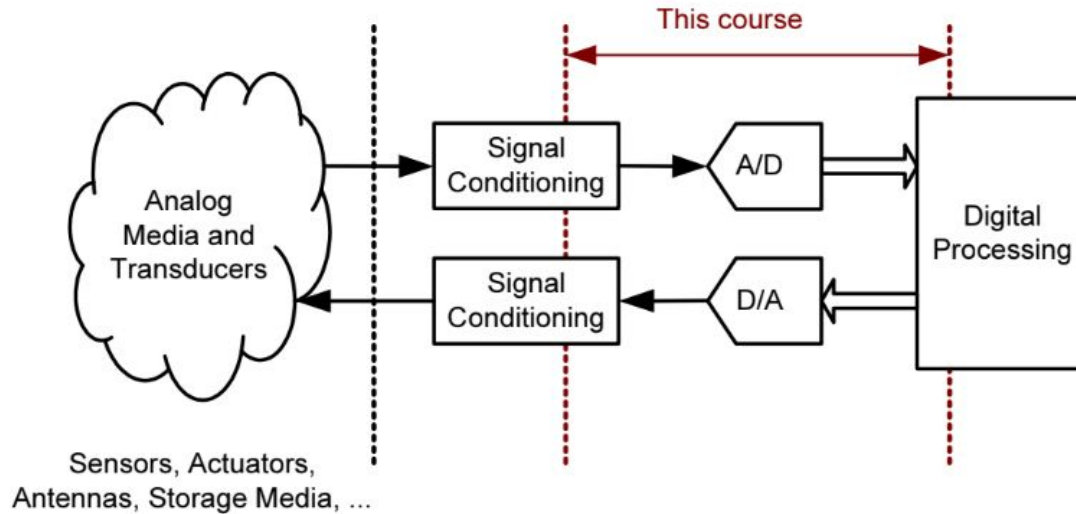
FIUBA, Argentina

- Conversor analógico digital
- Teorema del muestro
- Error de cuantización
- No idealidades
  - Error de offset y ganancia
  - Error de DNL e INL
- Métricas de un ADC:
  - Voltaje de entrada
  - Resolución
  - SNR, SNDR, ENOB y SFDR
  - Figura de Mérito Walden
- Arquitecturas.
  - ADC Flash
  - ADC Pipeline
  - ADC SAR
- ADC SAR
  - Algoritmo
  - Bloques básicos
  - Diagrama temporal
  - Fuentes de ruido
- ADC de tiempo entrelazado (TI-ADC)
- Cálculo de FFT

- **Conversor analógico digital**
- Teorema del muestreo
- Error de cuantización
- No idealidades
  - Error de offset y ganancia
  - Error de DNL e INL
- Métricas de un ADC:
  - Voltaje de entrada
  - Resolución
  - SNR, SNDR, ENOB y SFDR
  - Figura de Mérito Walden
- Arquitecturas
  - ADC Flash
  - ADC Pipeline
  - ADC SAR
- ADC SAR
  - Algoritmo
  - Bloques básicos
  - Diagrama temporal
  - Fuentes de ruido
- ADC de tiempo entrelazado (TI-ADC)
- Cálculo de FFT

# Conversor Analógico Digital

- El mundo natural (*a escalas humanas*) es esencialmente analógico
- Los conversores analógico digitales permiten medir y controlar el mundo analógico que nos rodea.
- Magnitudes tales como luz, peso o el sonido pueden ser digitalizados con un ADC (*previa conversión a magnitudes eléctricas por medio de un transductor*).
- La información digital puede ser almacenada, transportada y post-procesada.



# Aplicaciones

## Comunicaciones:

- Celulares.
- Transceptores.
- Modems, Routers.



## Computación y control:

- Placas de adquisición de datos.
- Discos rígidos.
- Placas de sonido.



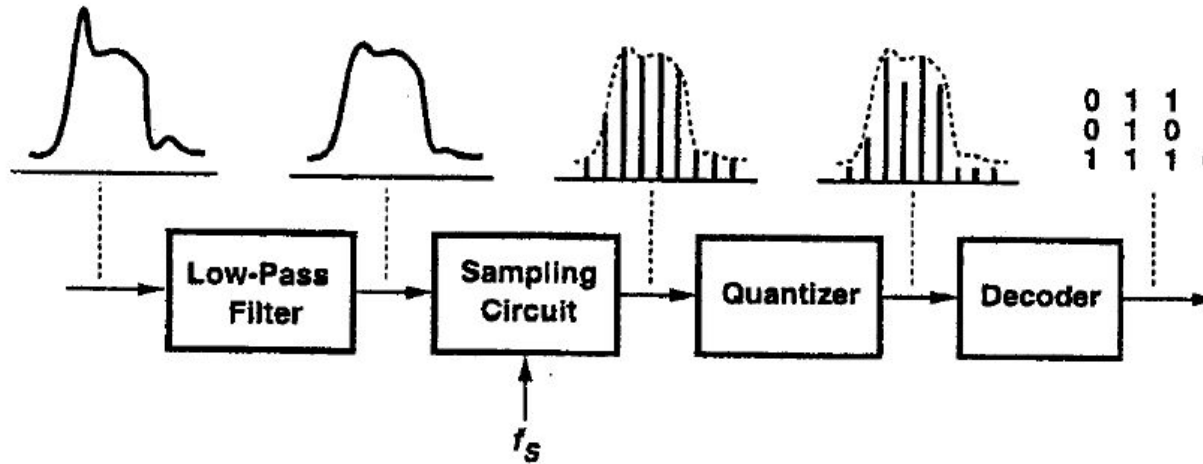
## Instrumentación:

- Equipamientos médicos.
- Bancos de laboratorios.
- Instrumentos científicos.

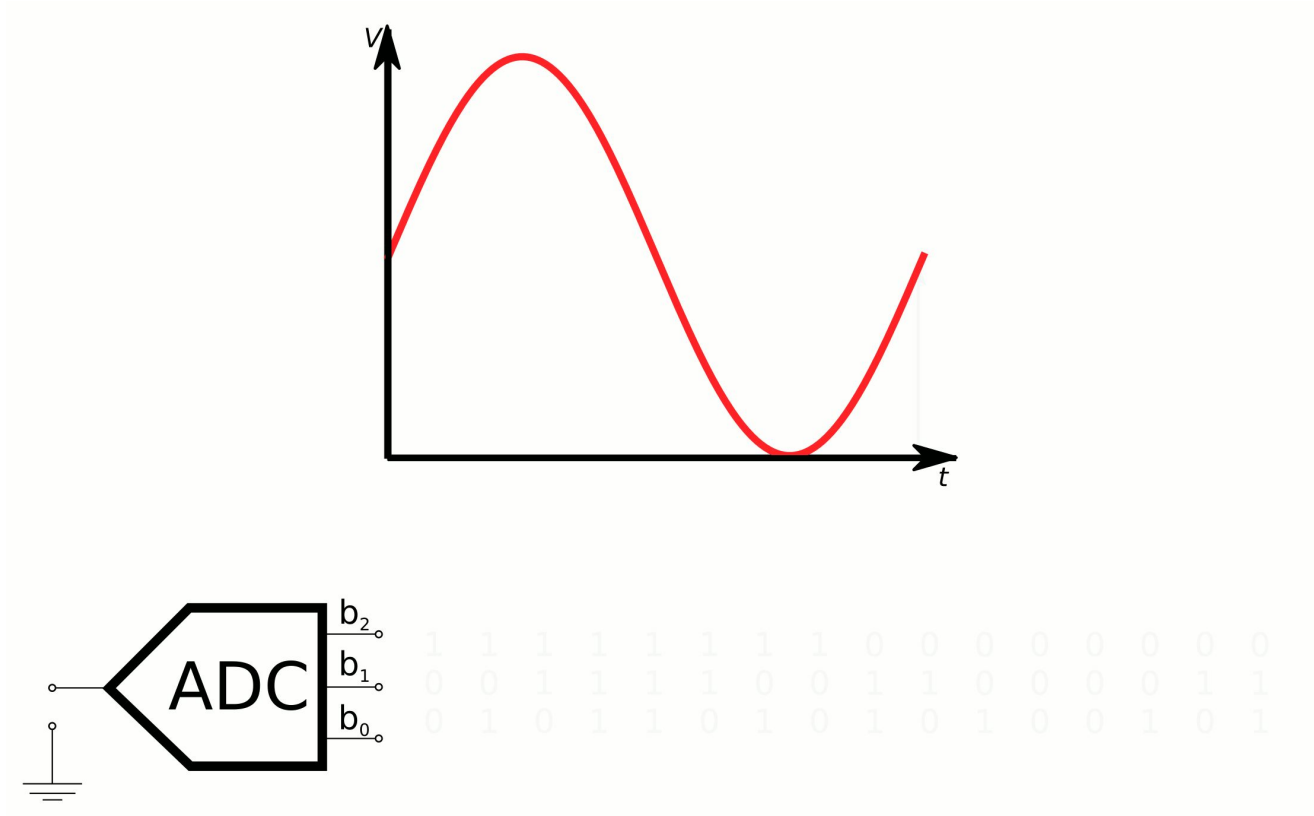


# Definición de ADC

- Un ADC está compuesto por:
  - Filtro pasa bajo, para evitar la cuantización ruidos y señales de alta frecuencia.
  - Una etapa de muestreo convierte la señal a tiempo discreto.
  - Una etapa de cuantización, que discretiza la amplitud de la señal.
  - La señal final obtenida se representa digitalmente en forma de bits.



# Definición de ADC

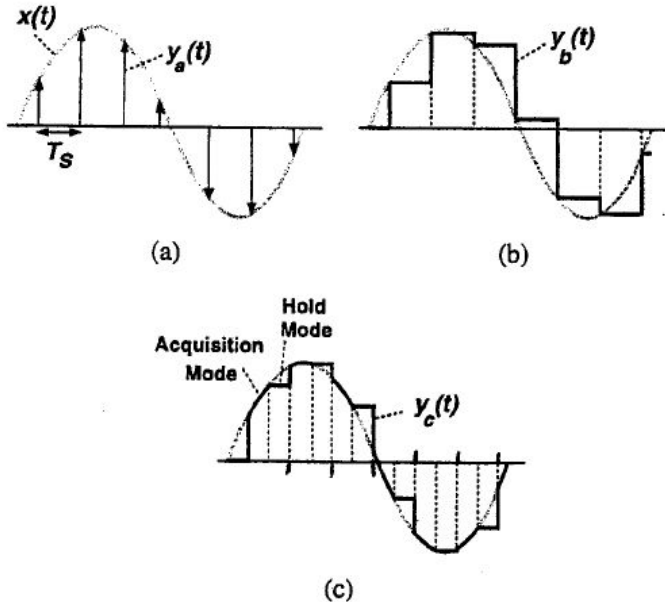


- Conversor analógico digital
- **Teorema del muestreo**
- Error de cuantización
- No idealidades
  - Error de offset y ganancia
  - Error de DNL e INL
- Métricas de un ADC:
  - Voltaje de entrada
  - Resolución
  - SNR, SNDR, ENOB y SFDR
  - Figura de Mérito Walden
- Arquitecturas
  - ADC Flash
  - ADC Pipeline
  - ADC SAR
- ADC SAR
  - Algoritmo
  - Bloques básicos
  - Diagrama temporal
  - Fuentes de ruido
- ADC de tiempo entrelazado (TI-ADC)
- Cálculo de FFT



# Teorema del muestreo

- El muestreo de una señal consiste en almacenar su valor durante un tiempo determinado para poder ser cuantizado.



- La señal  $x(t)$  es multiplicado por un tren de impulsos periódicos:

$$y_a(t) = x(t) \cdot \sum_{k=-\infty}^{+\infty} \delta(t - kT_s),$$

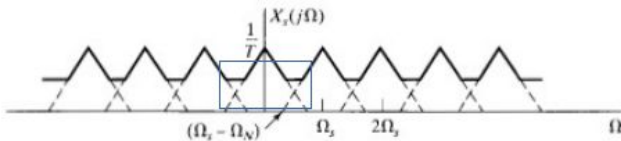
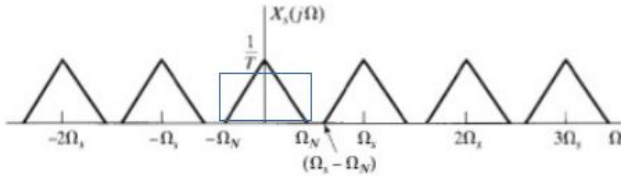
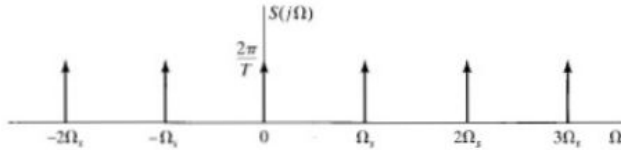
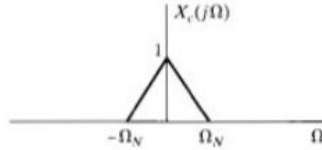
- Transformando al dominio de la frecuencia tenemos una convolución:

$$\begin{aligned} Y_a(f) &= X(f) * \sum_{n=-\infty}^{+\infty} \frac{1}{T_s} \delta(f - \frac{n}{T_s}) \\ &= \frac{1}{T_s} \sum_{n=-\infty}^{+\infty} X(f - \frac{n}{T_s}). \end{aligned}$$

Fig. 2.1 Sampling schemes. (a) Ideal; (b) zero-order hold; (c) track and hold.

$$x(t) = \sum \delta(t - nT) \rightarrow X(f) = (1/T) \sum \delta(f - n/T)$$

# Teorema del muestreo



- La señal muestreada se repite cada  $2\pi/T_s$
- Si no hay aliasing, la señal de salida puede recuperarse con un filtro pasabajo
- Si existe aliasing, existe superposición entre las señales desplazadas. Luego la señal original no puede recuperarse

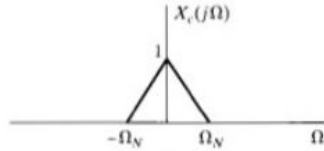
Sin aliasing

Para evitar aliasing se tiene que cumplir el **criterio de Nyquist**

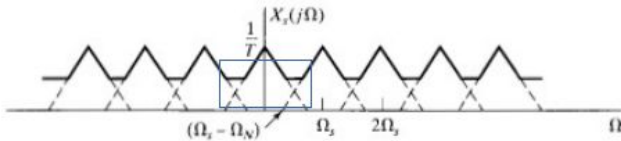
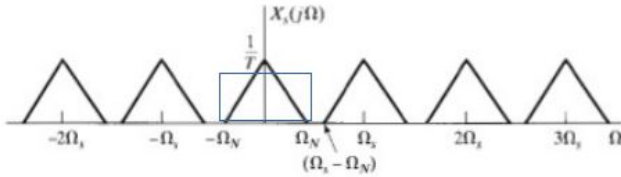
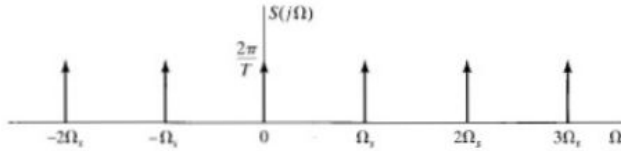
$$f_s > 2 \cdot f_{in}$$

Con aliasing

# Teorema del muestreo



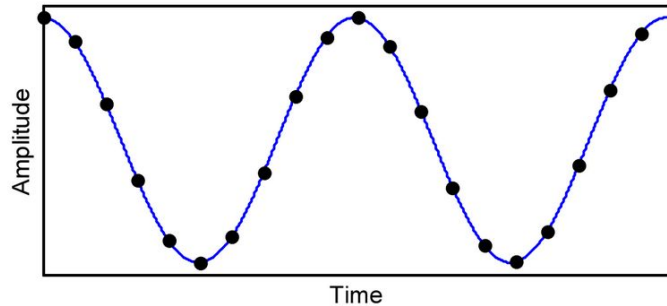
- Algo sobre muestreo de TI-ADC
- Traer un alias a la frecuencia



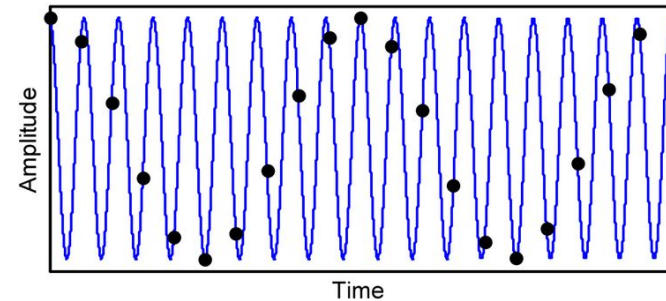
# Teorema del muestreo

- El ADC convierte una señal continua en el tiempo en otra señal discreta tomando muestras regulares.
- Estas muestras representan la señal de entrada en puntos específicos del tiempo.
- La frecuencia de muestreo ( $f_s$ ) indica el número de muestras tomadas por segundo.
- Para cumplir con el criterio de Nyquist se debe cumplir:  $f_s > 2 \cdot f_{in}$ 
  - Si  $f_s < 2 \cdot f_{in} \rightarrow$  Se produce aliasing

Muestreo sin aliasing ( $f_s > 2 \cdot f_{in}$ )



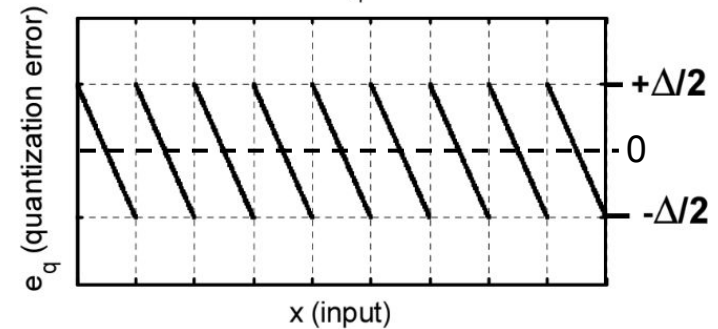
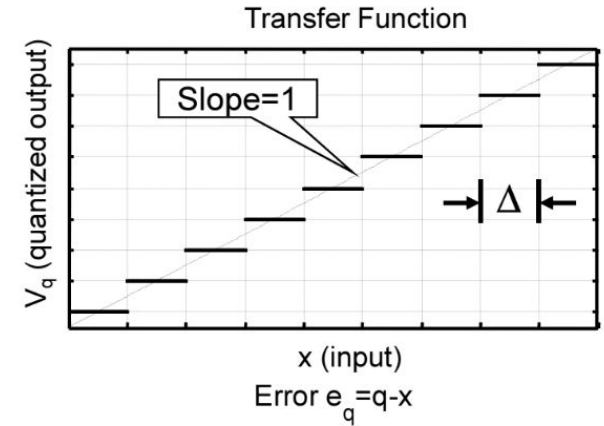
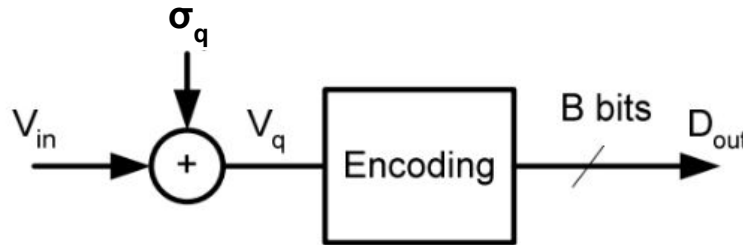
Muestreo con aliasing ( $f_s < 2 \cdot f_{in}$ )



- Conversor analógico digital
- Teorema del muestreo
- **Error de cuantización**
- No idealidades
  - Error de offset y ganancia
  - Error de DNL e INL
- Métricas de un ADC:
  - Voltaje de entrada
  - Resolución
  - SNR, SNDR, ENOB y SFDR
  - Figura de Mérito Walden
- Arquitecturas
  - ADC Flash
  - ADC Pipeline
  - ADC SAR
- ADC SAR
  - Algoritmo
  - Bloques básicos
  - Diagrama temporal
  - Fuentes de ruido
- ADC de tiempo entrelazado (TI-ADC)
- Cálculo de FFT

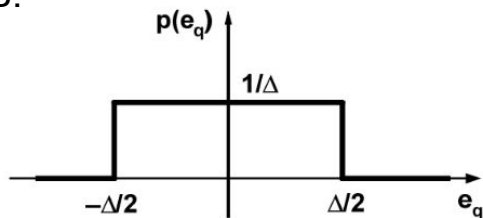
# Error de cuantización

- El error de cuantización es la diferencia entre el valor original de entrada y el valor digital de salida.
- El error de cuantización introduce ruido, llamado **ruido de cuantización**  $\sigma_q^2$ .
- Un modelo de ADC con ruido de cuantización es el siguiente:



# Error de cuantización

- Se asume que el error de cuantización  $e_q(x)$  tiene distribución uniforme entre  $\pm\Delta/2$ , donde  $\Delta = \text{LSB}$ .



- El ruido de cuantización  $\sigma_q^2$  puede obtenerse calculando la varianza del error de cuantización  $e_q$ .

$$\begin{aligned}\sigma_q^2 &= \frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} \varepsilon_q^2 d\varepsilon_q \\ &= \frac{\Delta^2}{12}.\end{aligned}$$

$$\sigma_q^2 = \int_{-\infty}^{\infty} x^2 f(x) dx$$

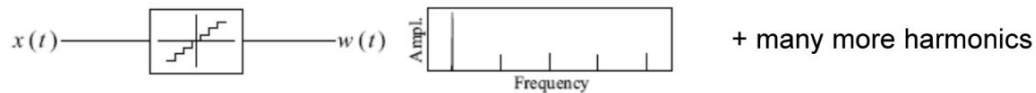
- Asumiendo una señal de entrada sinusoidal pico pico  $V_{in} = 2^B \Delta$ , donde  $B = \text{número de bits}$
- Su valor RMS es  $V_{\text{RMS}} = (2^B \Delta / 2) / \sqrt{2}$
- Podemos obtener la relación señal ruido (SNR) de una señal cuantizada:

$$\text{SQNR} = \frac{P_{\text{sig}}}{P_{\text{qnoise}}} = \frac{\frac{1}{2} \left( \frac{2^B \Delta}{2} \right)^2}{\frac{\Delta^2}{12}} = 1.5 \times 2^{2B} = 6.02B + 1.76 \text{ dB}$$

- Esta ecuación nos indica el desempeño de un ADC con una cuantización de  $B$  bits.

# Error de cuantización

- ¿Cómo está distribuido el ruido de cuantización en frecuencia?
- Si se aplica un cuantizador a un señal senoidal de entrada, se crean un infinito número de señales armónicas



- Si muestreamos la señal cuantizada, los infinitos armónicos se introducen en la banda de frecuencia desde 0 a  $f_s/2$  en forma de aliasing



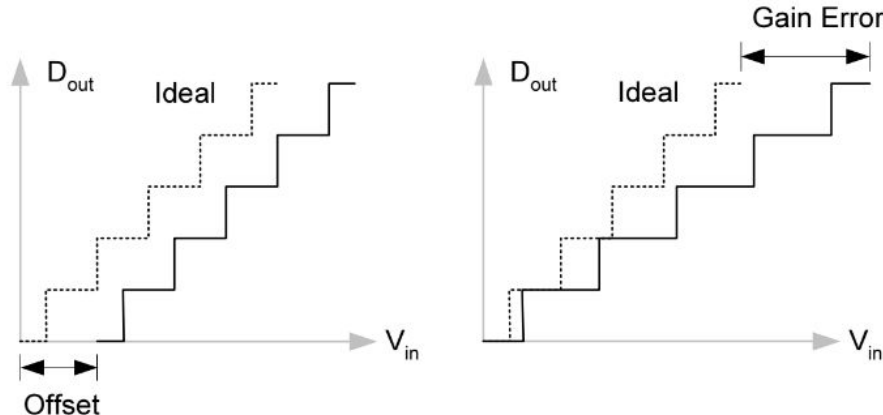
- Por lo tanto, el ruido de cuantización puede asumirse blanco (constante en todo el espectro de frecuencia)



- Conversor analógico digital
- Teorema del muestreo
- Error de cuantización
- **No idealidades**
  - Error de offset y ganancia
  - Error de DNL e INL
- Métricas de un ADC:
  - Voltaje de entrada
  - Resolución
  - SNR, SNDR, ENOB y SFDR
  - Figura de Mérito Walden
- Arquitecturas
  - ADC Flash
  - ADC Pipeline
  - ADC SAR
- ADC SAR
  - Algoritmo
  - Bloques básicos
  - Diagrama temporal
  - Fuentes de ruido
- ADC de tiempo entrelazado (TI-ADC)
- Cálculo de FFT

# No idealidades: Error de offset y ganancia

- Los errores de offset y ganancia generan una relación de transferencia de entrada/salida distinta a la ideal
- El error de offset afecta a todos los códigos por igual.
  - Suele ser producido por desapareamientos de los circuitos diferenciales.
- El error de ganancia representa una diferencia en la pendiente de la transferencia con respecto a la ideal.

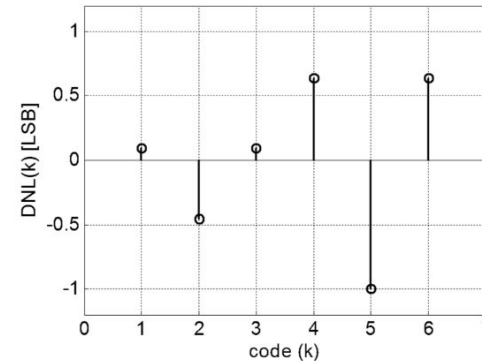
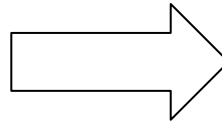
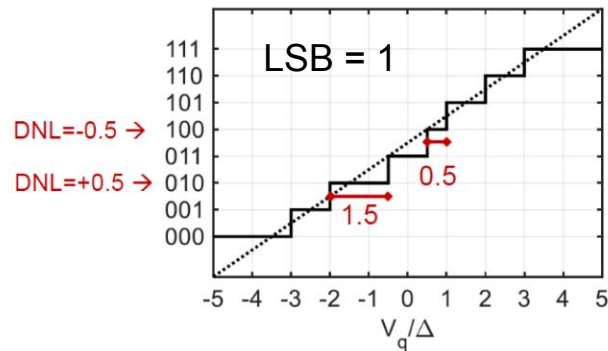


# No idealidades: Error de DNL

- El error de DNL (no linealidad diferencial) se define como la diferencia entre el ancho de paso real ( $W$ ) y el ideal (1 LSB), computado para cada uno de los códigos.
- La DNL se expresa en términos de LSBs:

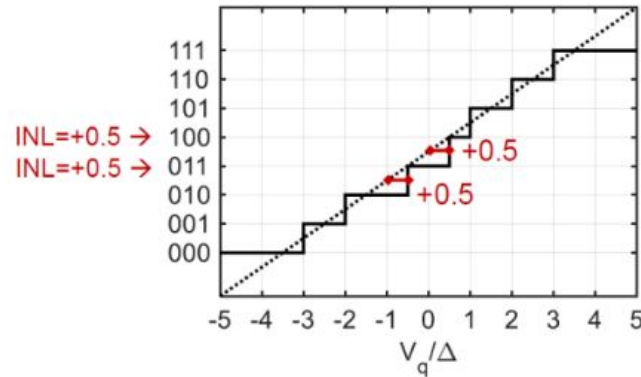
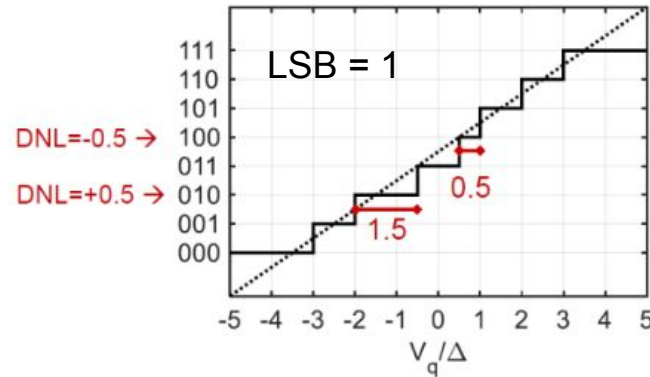
$$DNL[LSB] = \frac{W - LSB}{LSB}$$

- Un ADC ideal tiene  $DNL = 0$ , es decir que cada paso es igual a 1 LSB.
- Una DNL positiva indica un código más ancho que el LSB, y viceversa.
- La mínima DNL posible es  $DNL = -1$ , e indica la pérdida de un código.



# No idealidades: Error de INL

- El error INL (no linealidad integral) se describe como la desviación de la función de transferencia real respecto a la función de transferencia ideal.
- La INL se obtiene realizando una acumulación de los valores de DNL.
- Es decir, la INL de cierto código se obtiene sumando cada una de las DNL de los códigos anteriores.

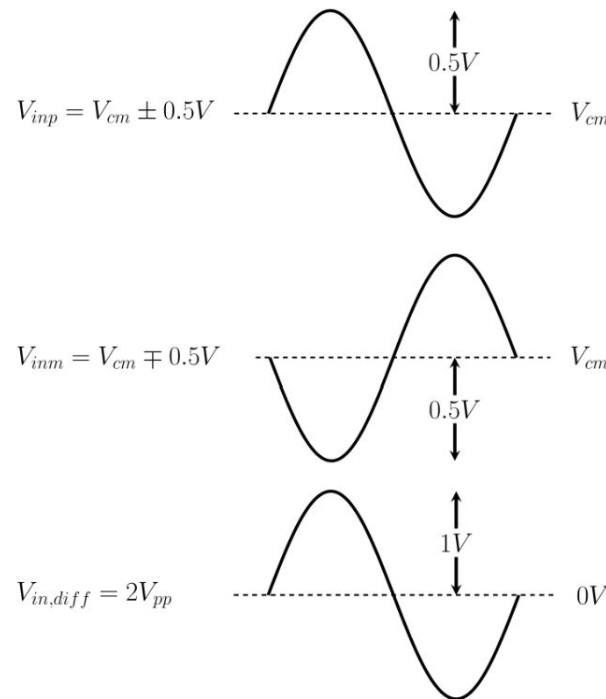


- Conversor analógico digital
- Teorema del muestreo
- Error de cuantización
- No idealidades
  - Error de offset y ganancia
  - Error de DNL e INL
- **Métricas de un ADC:**
  - Voltaje de entrada
  - Resolución
  - SNR, SNDR, ENOB y SFDR
  - Figura de Mérito Walden
- Arquitecturas
  - ADC Flash
  - ADC Pipeline
  - ADC SAR
- ADC SAR
  - Algoritmo
  - Bloques básicos
  - Diagrama temporal
  - Fuentes de ruido
- ADC de tiempo entrelazado (TI-ADC)
- Cálculo de FFT

# Métricas de un ADC: Voltaje de entrada

- El ADC se diseña para una tensión de entrada máxima (voltaje full scale, VFS).
- Cuando  $V_{in} = VFS$ , la salida digital se compone enteramente por unos ("1").
- Tener un VFS muy alto puede generar problemas de linealidad, mientras que si el VFS es muy bajo la SNR empeora.
- El ADC puede trabajar de manera single-ended ( $V_{in}$ ) o diferencial ( $V_{in} = V_{inp} - V_{inm}$ ).
  - Cuando se trabaja de manera diferencial, es necesario diseñar correctamente el valor de modo común ( $V_{cm}$ ) a utilizar.

Ejemplo de señal diferencial



# Métricas de un ADC: Resolución

- La resolución del ADC se define como la tensión incremental de entrada más pequeña que provoca cambio en la salida digital.
- Se expresa como la cantidad de bits del ADC.
- El voltaje de entrada más pequeño que el ADC puede reconocer es denominado LSB (Bit menos significativo):

$$LSB = VFS / 2^N$$

Donde VFS es el voltaje máximo de entrada (Voltaje Full Scale) y N el número de bits del ADC.

- Ejemplo:
  - Considerar un ADC de 10 bits de resolución y VFS=2V.
  - El LSB correspondiente a dicho ADC es aproximadamente 2mV.

$$LSB = 2 / 2^{10} \approx 2mV$$

- Cambios en la señal de entrada menores a 2mV no provocarán un cambio en la salida digital.

# Métricas de un ADC: SNR, SNDR, ENOB y SFDR

- SNR: Relación Señal Ruido.

$$SNR = \frac{P_{Sin}}{P_{Noise}}$$

- SNDR: Relación Señal Ruido Distorsión.

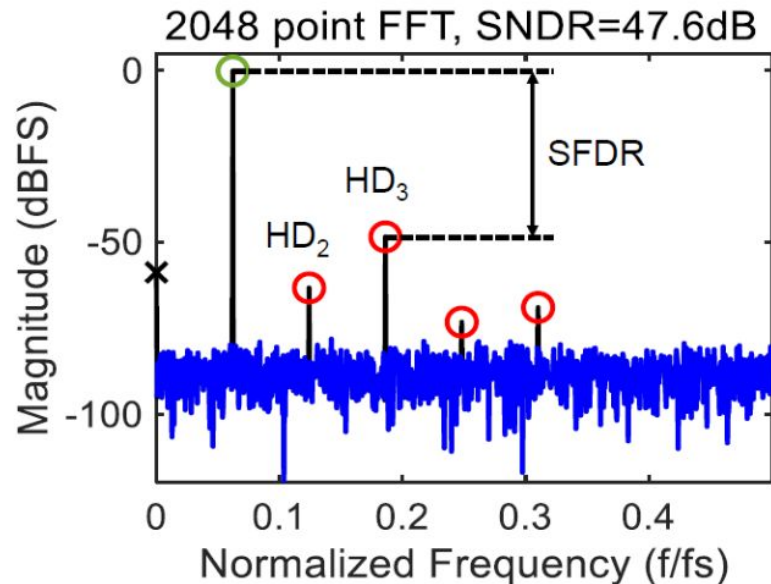
$$SNDR = \frac{P_{Sin}}{P_{Noise} + P_{HD}}$$

- ENOB: Número Efectivo de Bits.

$$ENOB = \frac{SNDR(dB) - 1.76}{6.02}$$

- SFDR: Rango Dinámico Libre de Espurios.

$$SFDR = \frac{P_{Sin}}{P_{largest\ spur}}$$





# Métricas de un ADC:

## Figura de Mérito Walden (Walden FoM)

---

- La Walden FoM caracteriza la eficiencia en la conversión de un ADC:

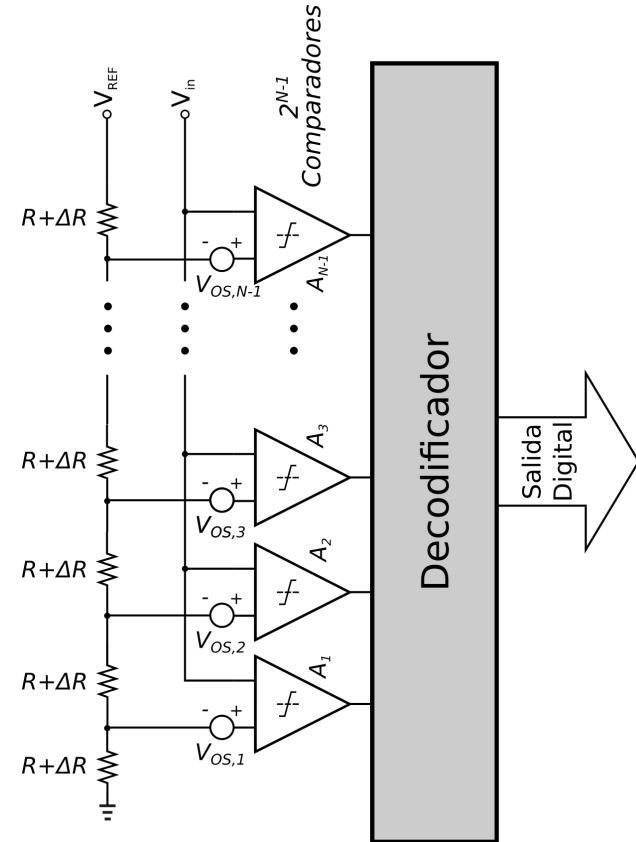
$$FoM = Power / (f_s 2^{ENOB})$$

- La FoM es directamente proporcional al consumo de potencia, e inversamente proporcional a la ENOB y la frecuencia de muestreo.
- Por lo tanto, una FoM menor indica una conversión más eficiente.
- ¿Cómo lograr una mejor FoM?
  - Ejemplo 1: Manteniendo el consumo de potencia y aumentando la velocidad o la resolución ( $f_s$  o ENOB).
  - Ejemplo 2: Manteniendo  $f_s$  o ENOB, pero disminuyendo el consumo energético.

- Conversor analógico digital
- Teorema del muestreo
- Error de cuantización
- No idealidades
  - Error de offset y ganancia
  - Error de DNL e INL
- Métricas de un ADC:
  - Voltaje de entrada
  - Resolución
  - SNR, SNDR, ENOB y SFDR
  - Figura de Mérito Walden
- **Arquitecturas**
  - ADC Flash
  - ADC Pipeline
  - ADC SAR
- ADC SAR
  - Algoritmo
  - Bloques básicos
  - Diagrama temporal
  - Fuentes de ruido
- ADC de tiempo entrelazado (TI-ADC)
- Cálculo de FFT

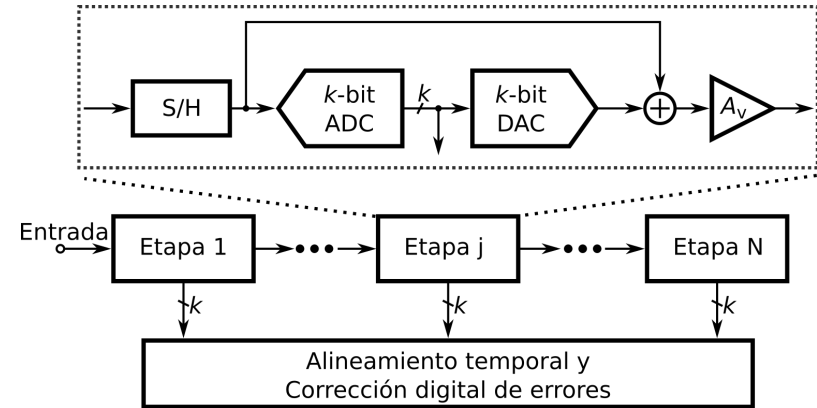
# Arquitecturas: ADC Flash

- El voltaje de entrada se compara con múltiples voltajes de referencia, obteniendo un código termométrico en un solo ciclo
  - Ventaja: Alta velocidad de conversión
- Los voltajes de referencia se obtienen mediante una escalera de resistores.
- Un decodificador convierte el código termométrico a binario
- Se requieren  $2^N - 1$  comparadores.
  - Desventaja: Imprácticos para altas resoluciones.
- La precisión depende de la linealidad de la escalera de resistores y del offset del comparador



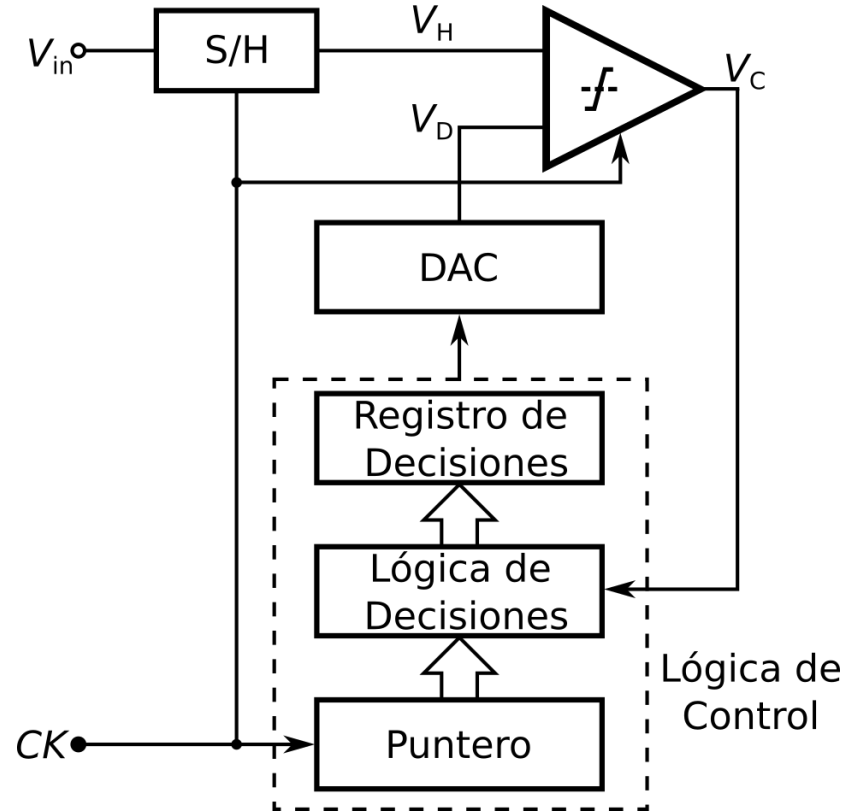
# Arquitecturas: ADC Pipeline

- La cuantización se realiza de manera similar a una línea de ensamblaje (existe latencia).
- Se puede alcanzar una alta resolución (10 a 15 bits) con buena eficiencia, área y velocidad.
- Pueden utilizar comparadores de alto ruido y bajo consumo
- La linealidad de la conversión se ve afectada por el offset y el error de ganancia del THA, y el offset del comparador y el DAC.
- Se puede mejorar el desempeño de conversión con corrección digital de errores (DEC).
- La velocidad del ADC está limitada por el tiempo de amplificación entre etapas.



# Arquitecturas: ADC SAR

- Utiliza un algoritmo de búsqueda binaria iterativo con 1 solo comparador.
- Es la arquitectura más óptima para bajo consumo y menor área.
- El THA puede fusionarse con el DAC.
- Se puede mejorar la linealidad con bootstrapping en el THA.
- El offset del comparador no afecta a la linealidad del ADC.
- Un SAR ADC de N-bits es N veces más lento que un Flash ADC de N-bits.



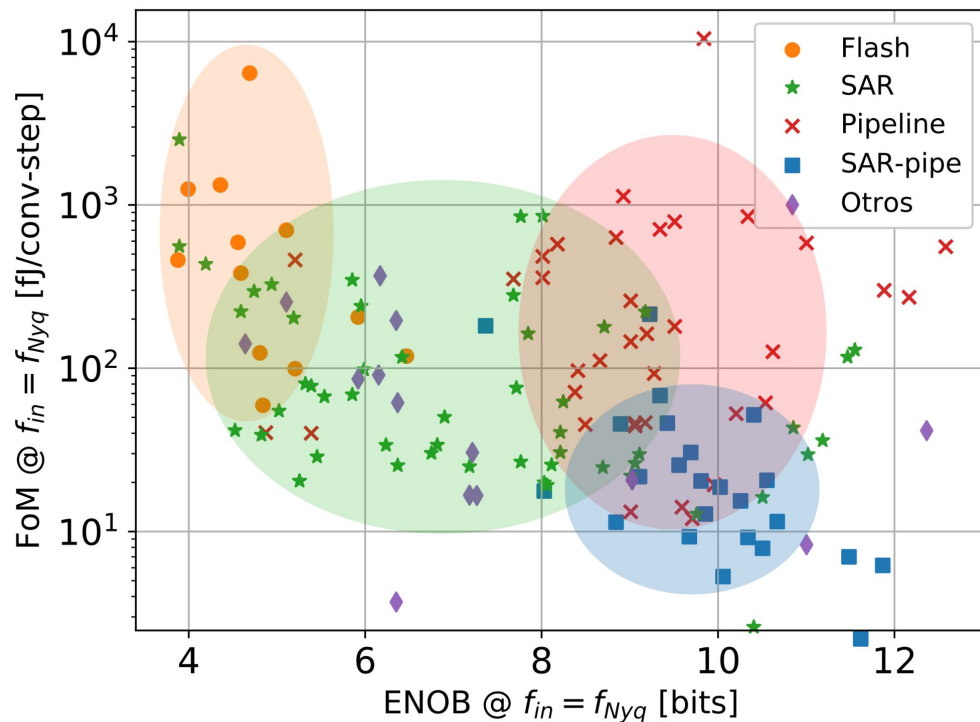
# Arquitecturas: Resumen de las Arquitecturas

---

	Flash	Pipeline	SAR
<b>Velocidad</b> (Normalizada)	1	1 (con latencia)	1/N
<b>Área</b> (número de comparadores)	$2^{N-1}$	2N	1
<b>Consumo</b> (número de comparaciones)	$2^{N-1}$	2N	N

# Arquitecturas: Clasificación de Arquitecturas

- Revisión del estado del arte de ADCs, ordenados según eficiencia vs resolución.
  - Para bajas resoluciones el ADC más utilizado es de tipo flash.
  - Para resoluciones medias el ADC más utilizado es de tipo SAR.
  - Para resoluciones altas el ADC más utilizado es de tipo pipeline.

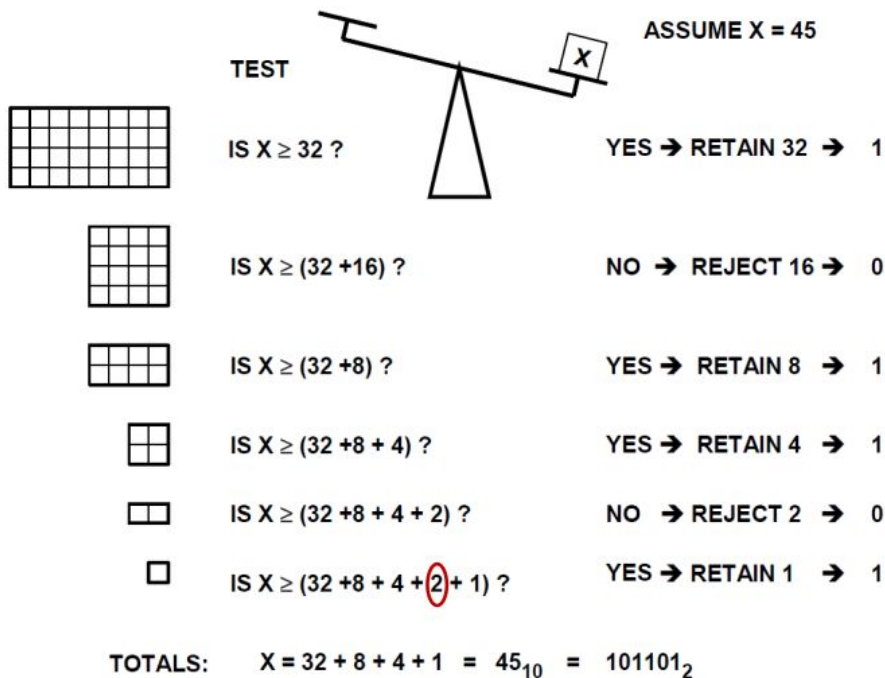


- Conversor analógico digital
- Teorema del muestreo
- Error de cuantización
- No idealidades
  - Error de offset y ganancia
  - Error de DNL e INL
- Métricas de un ADC:
  - Voltaje de entrada
  - Resolución
  - SNR, SNDR, ENOB y SFDR
  - Figura de Mérito Walden
- Arquitecturas
  - ADC Flash
  - ADC Pipeline
  - ADC SAR
- **ADC SAR**
  - Algoritmo
  - Bloques básicos
  - Diagrama temporal
  - Fuentes de ruido
- ADC de tiempo entrelazado (TI-ADC)
- Cálculo de FFT



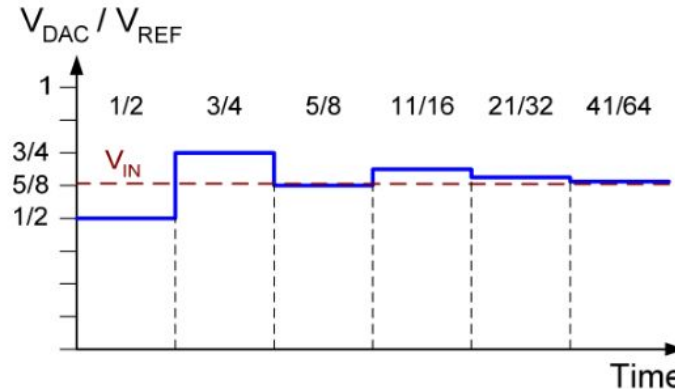
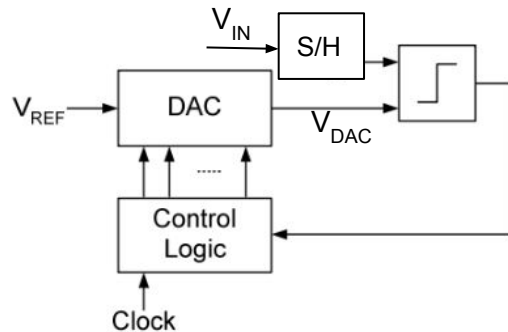
# ADC SAR: Algoritmo SAR

- El algoritmo de aproximaciones sucesivas consiste en realizar comparaciones de manera iterativa para encontrar el valor binario final.
- Se puede explicar el algoritmo con una balanza como la que se muestra en la figura.
- Para encontrar el peso de X (45kg), se compara con un bloque que tiene un peso de la mitad del peso total medible (32kg).
  - ¿Qué bloque es más pesado?
  - La respuesta (1 o 0) nos da el primer bit de conversión.
  - Según la respuesta sea positiva o negativa, la próxima comparación se realizará con un bloque =  $32 \pm 16$ kg.
  - Se repite el proceso.



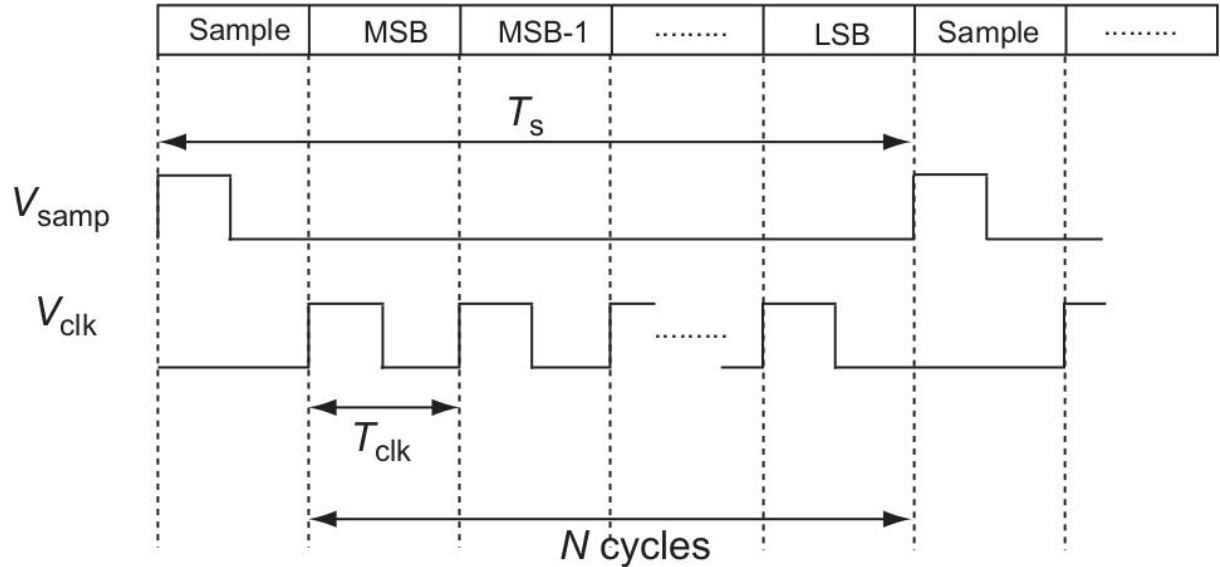
# ADC SAR: Bloques básicos

- Los bloques principales de un ADC SAR son:
  - Circuito de muestreo (S/H).
  - Comparador.
  - DAC.
  - Lógica de control.
- La señal de entrada a cuantizar es muestreada y retenida, y corresponde al voltaje  $V_{IN}$ .
- La señal de entrada es comparada con la señal  $V_{DAC}$ , generada por el DAC.
- Un comparador es el encargado de decidir cuál señal es más grande ( $V_{IN}$  o  $V_{DAC}$ ).
- La lógica de control se encarga de guardar el valor de la comparación y actualiza el valor del DAC ( $V_{DAC}$ ) para realizar una nueva comparación.



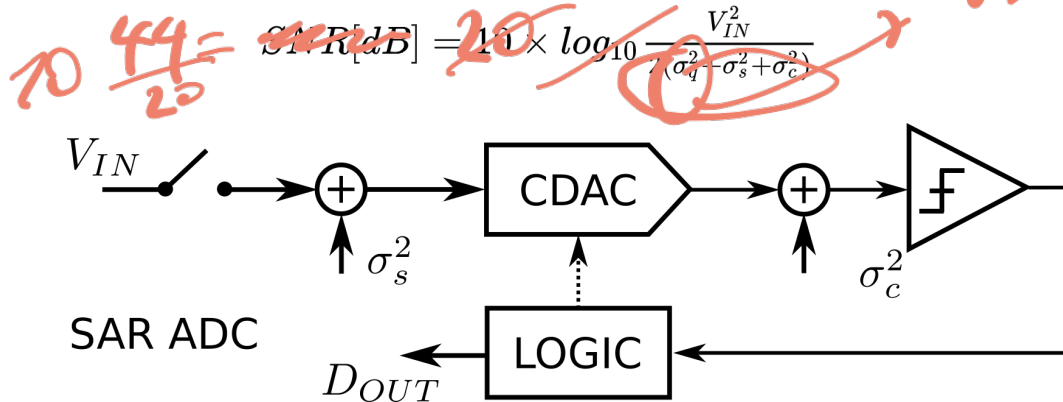
# Diagrama de Tiempo Típico de un ADC SAR

- Un ciclo de conversión de un ADC SAR puede dividirse en:
  - Muestreo.
  - Cuantización.
  - Reinicio y salida de datos.
- El tiempo empleado para cada etapa debe diseñarse de manera adecuada para optimizar la velocidad y el desempeño del conversor.



# ADC SAR: Fuentes de ruido

- Las principales fuentes de ruido de un ADC SAR son:
  - El circuito de muestreo ( $\sigma_s^2 = kT/C$ ).
  - El comparador ( $\sigma_c^2$ ).
  - La cuantización ( $\sigma_Q^2$ ).
- La SNR[dB] de un ADC SAR está dada por las contribuciones, conjunto de todos estos efectos:



- Aclaración:  $V_{IN}$  es el valor pico de la señal de entrada.

## Ejercicio

Calcular el ruido de comparador máximo para lograr una SNR de 44dB (~7bits). Suponer:

- ADC SAR de 8 bits.
- Señal de entrada de 500mVpp.
- Capacidad del DAC = 100fF.
- $T = 300K$ .
- $k = 1,38065 \times 10^{-23} \text{ J K}^{-1}$

Handwritten calculation:

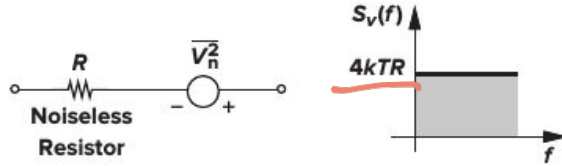
$$LSB = \frac{500}{2^8} = 1.95$$

$$\sigma_c^2 = \frac{(1.95)^2}{12}$$

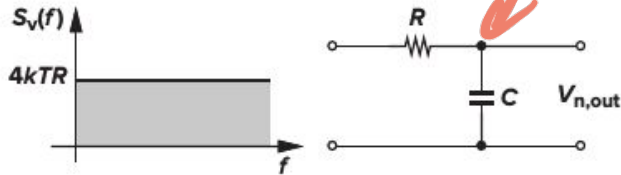
# ADC SAR: Fuentes de ruido - Ruido kT/C

- Ruido térmico ( $V^2/\text{Hz}$ ) de una resistencia:

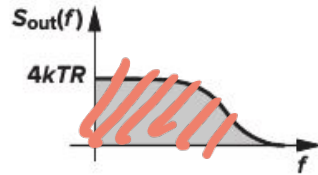
$$S_v(f) = 4kTR, \quad f \geq 0$$



- Ruido térmico ( $V^2$ ) de un circuito RC:



$$P_{n,out} = kT/C$$



- Transferencia entrada/salida:

$$\frac{V_{out}}{V_R}(s) = \frac{1}{RCs + 1}$$

- Ruido térmico ( $V^2/\text{Hz}$ ) de salida:

$$S_{out}(f) = S_v(f) \left| \frac{V_{out}}{V_R}(j\omega) \right|^2$$

$$= 4kTR \frac{1}{4\pi^2 R^2 C^2 f^2 + 1}$$

Integrando en todo el espectro:

$$P_{n,out} = \int_0^\infty \frac{4kTR}{4\pi^2 R^2 C^2 f^2 + 1} df$$

- Luego,

$$P_{n,out} = \frac{2kT}{\pi C} \tan^{-1} u \Big|_{u=0}^{u=\infty} = \frac{kT}{C}$$

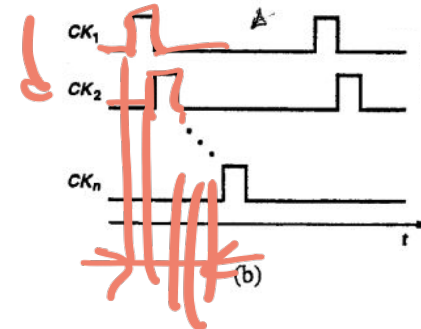
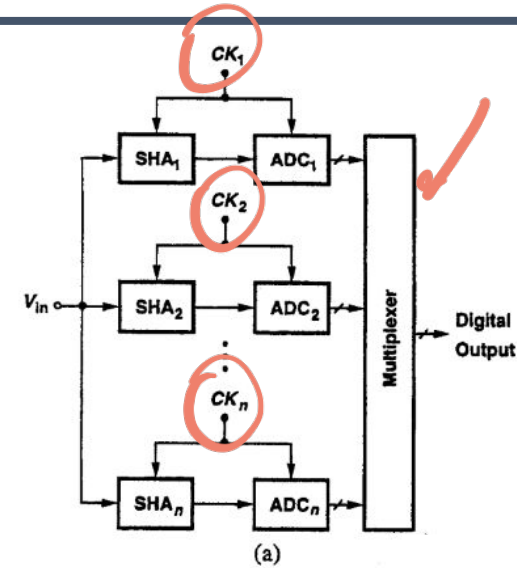
$$\tan^{-1}(\infty) = \frac{1}{2}\pi$$

$$\tan^{-1}(0) = 0$$

- Conversor analógico digital
- Teorema del muestreo
- Error de cuantización
- No idealidades
  - Error de offset y ganancia
  - Error de DNL e INL
- Métricas de un ADC:
  - Voltaje de entrada
  - Resolución
  - SNR, SNDR, ENOB y SFDR
  - Figura de Mérito Walden
- Arquitecturas
  - ADC Flash
  - ADC Pipeline
  - ADC SAR
- ADC SAR
  - Algoritmo
  - Bloques básicos
  - Diagrama temporal
  - Fuentes de ruido
- **ADC de tiempo entrelazado (TI-ADC)**
- Cálculo de FFT

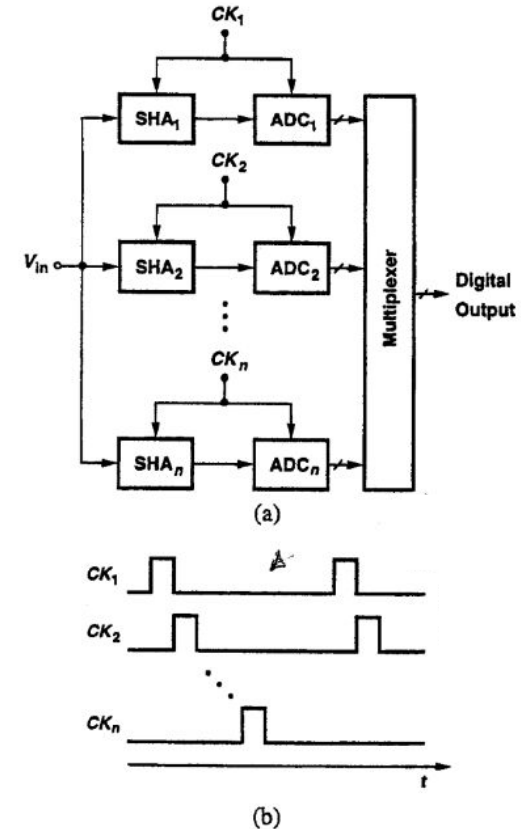
# ADCs de tiempo entrelazado

- Un ADC de tiempo entrelazado (TI-ADC) es una arquitectura en la que se utilizan varios ADCs en paralelo para aumentar la velocidad de conversión
- En un TI-ADC, cada sub-ADC digitaliza una señal de entrada que se encuentra retrasada en el tiempo con respecto a las señales de entrada de los otros conversores
- El sistema completo actúa como un solo convertor de frecuencia  $f_s = M \times f_{\text{ADC}}$ , donde  $f_{\text{ADC}}$  es la frecuencia de cada convertor y  $M$  es la cantidad de convertidores paralelizados



# ADCs de tiempo entrelazado

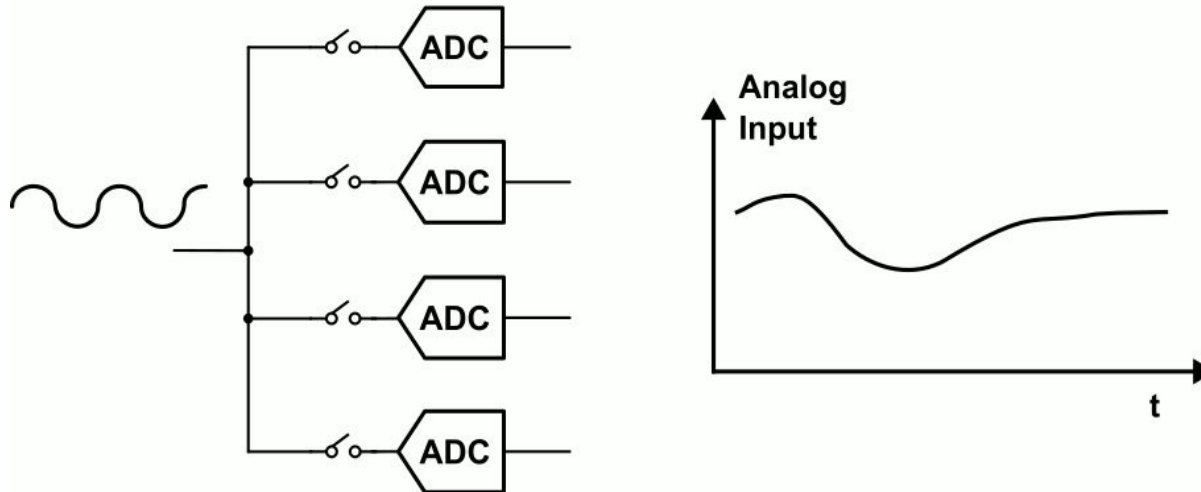
- La ventaja de esta arquitectura es que se pueden aumentar las tasas de conversión sin comprometer la precisión de la conversión.
- Sin embargo, el diseño de un TI-ADC requiere una sincronización precisa de las señales de reloj de cada sub-ADC para asegurar una conversión adecuada.
  - Mayor complejidad
- Por otro lado, los desapareamientos entre los sub-ADCs generan una disminución en el desempeño de la conversión.



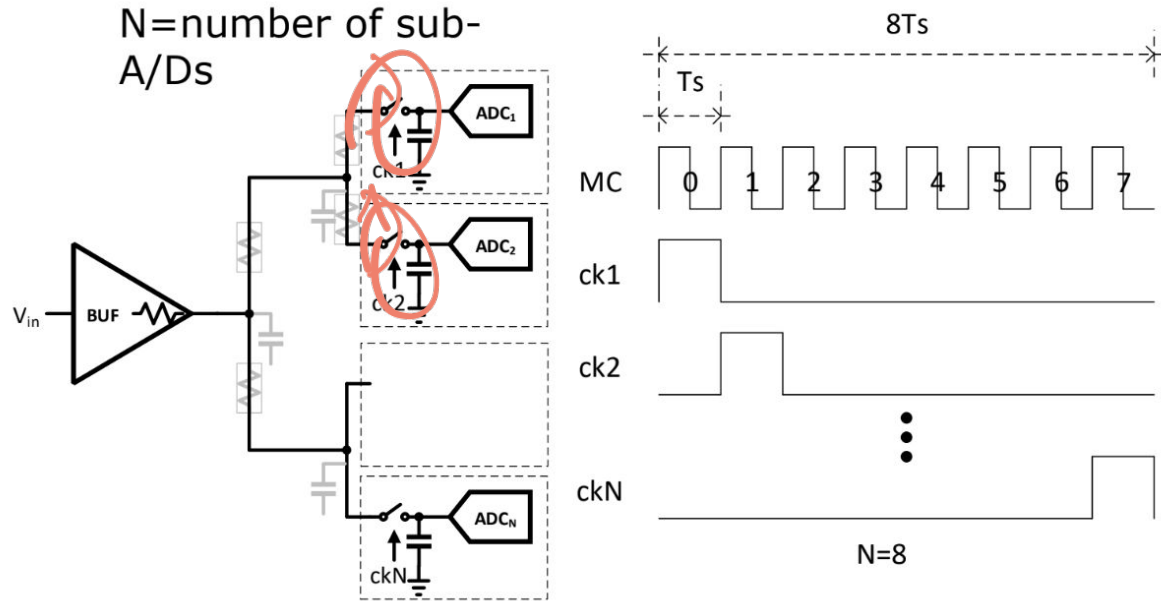


# ADCs de tiempo entrelazado

## Time Interleaved ADC



# Entrelazado directo



- Todos los conversores paralelizados están conectados al mismo nodo
- Gran capacidad de entrada
- Es una buena opción cuando la cantidad de conversores paralelizados es baja ( $N < 8$ )

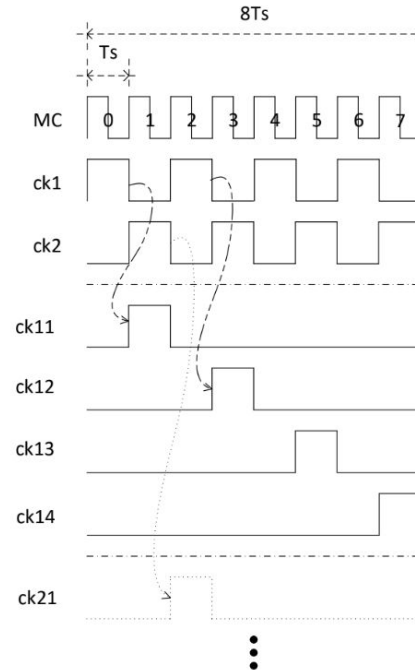
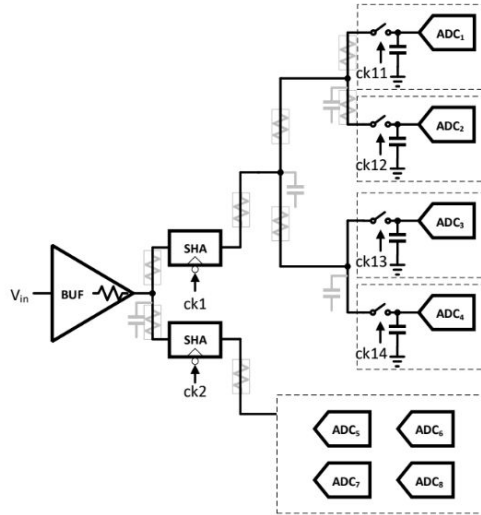
# Entrelazado jerárquico

$N$ =number of sub-A/Ds

$L$ =number of front-end SHAs,

$K$ =number of rank-2 branches ,

$N=L \cdot K$

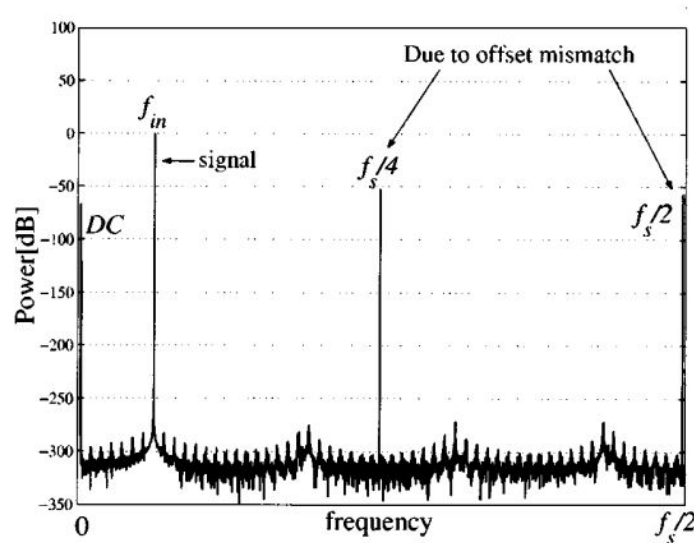
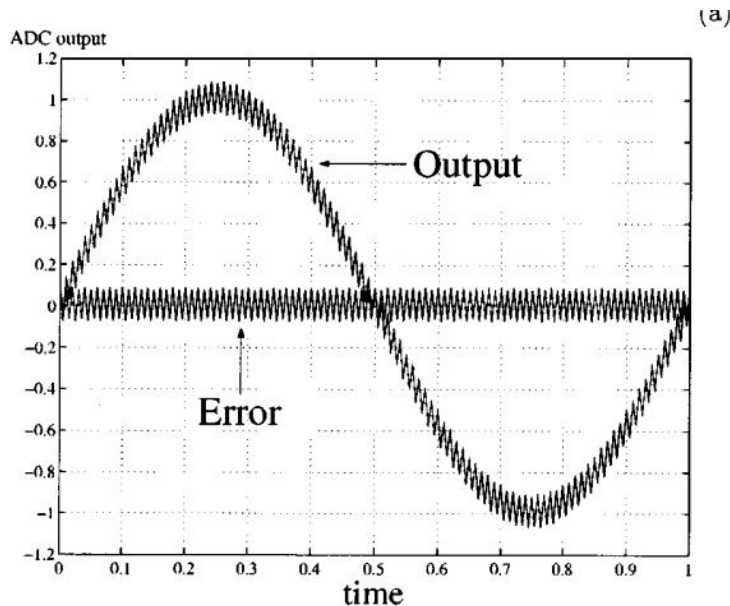


- Se introduce 2 o más jerarquías de muestreo
- Reduce las capacidades de entrada y la complejidad del sincronismo
- Es una buena opción cuando la cantidad de convertidores paralelizados es alta ( $N > 8$ )

# Armónicos en TI-ADC debido a mismatches

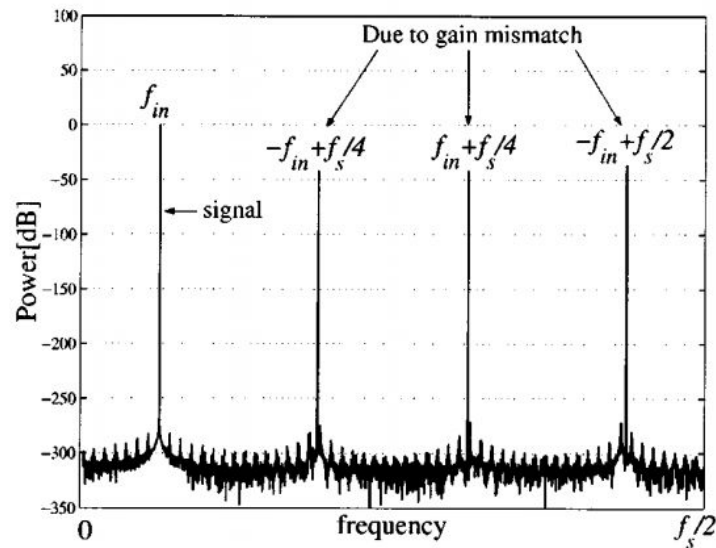
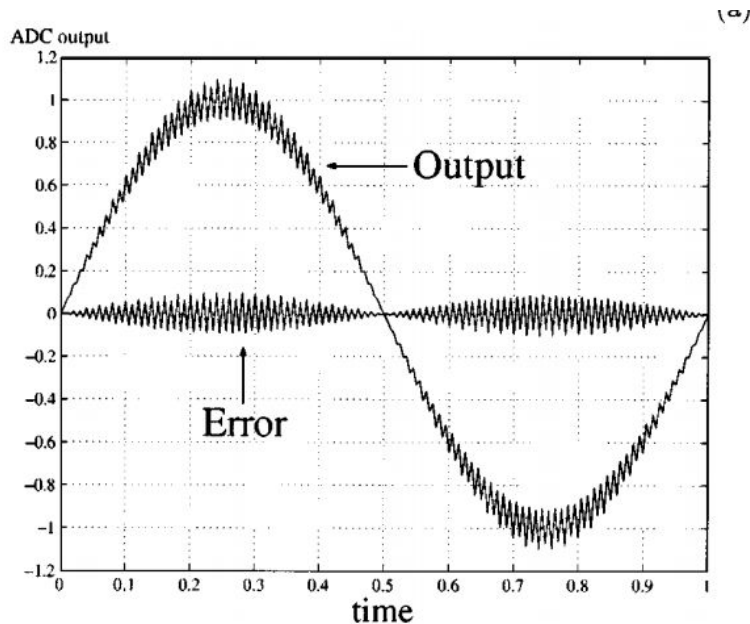
- Errores típicos en TI-ADC: Mismatches de ganancia, offset, tiempo de muestreo, etc
- Los armónicos debidos a desapareamientos de offset aparecen cada  $f_s/M$ , no son dependientes de la señal de entrada. ¿Por qué?

Notar que  $f_s/M$  es la frecuencia del sub-ADC



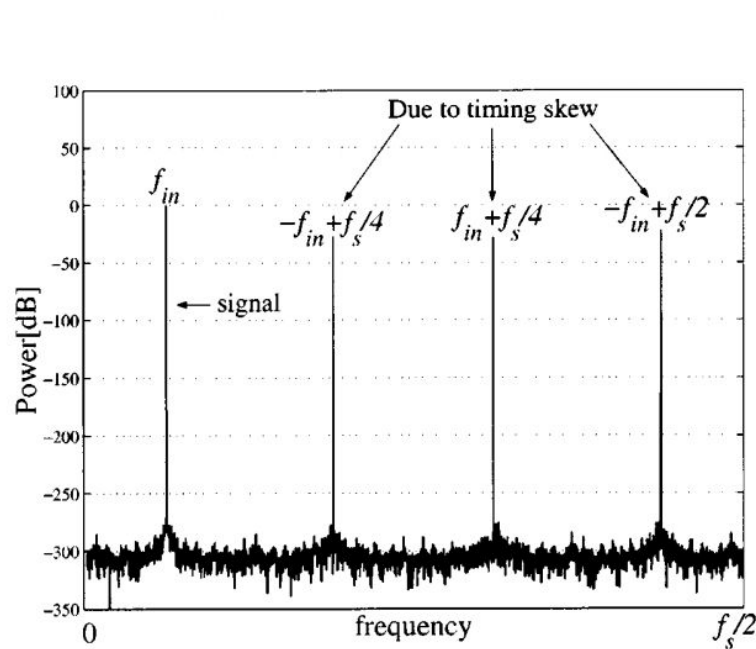
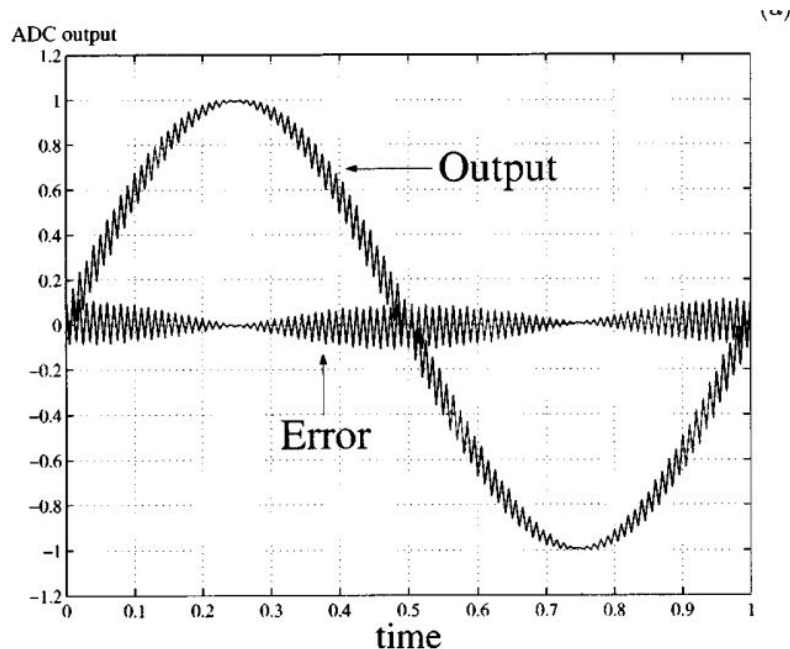
# Armónicos en TI-ADC debido a mismatches

- Los armónicos debidos a mismatches de ganancia y sampling time aparecen cada  $f_s/M \pm f_{in}$ , es decir, a los “costados” de los armónicos de offset. Son dependientes de la frecuencia de entrada ya que  $f_{IN}$  “modula” dichos errores.



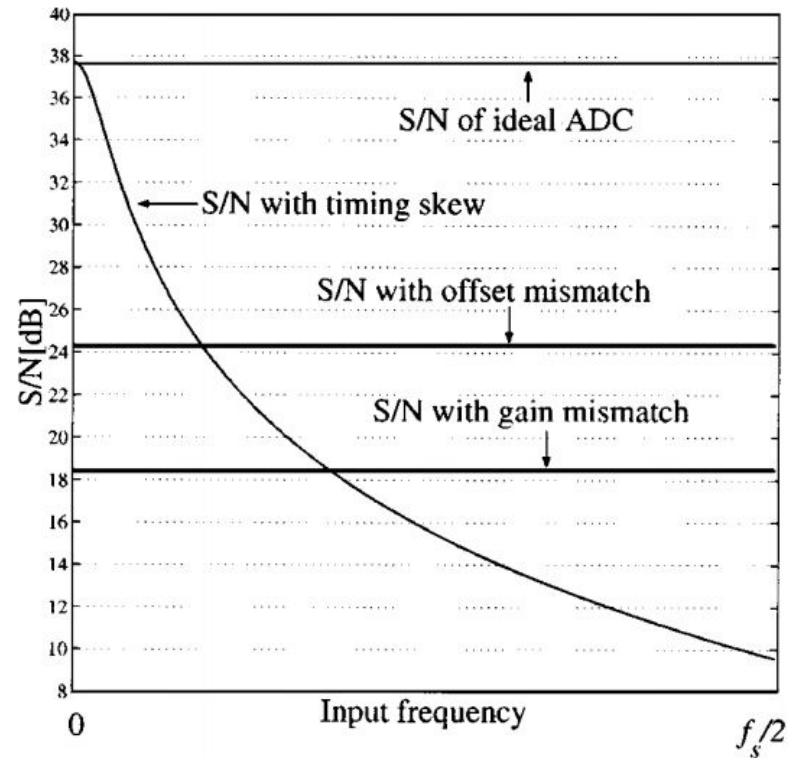
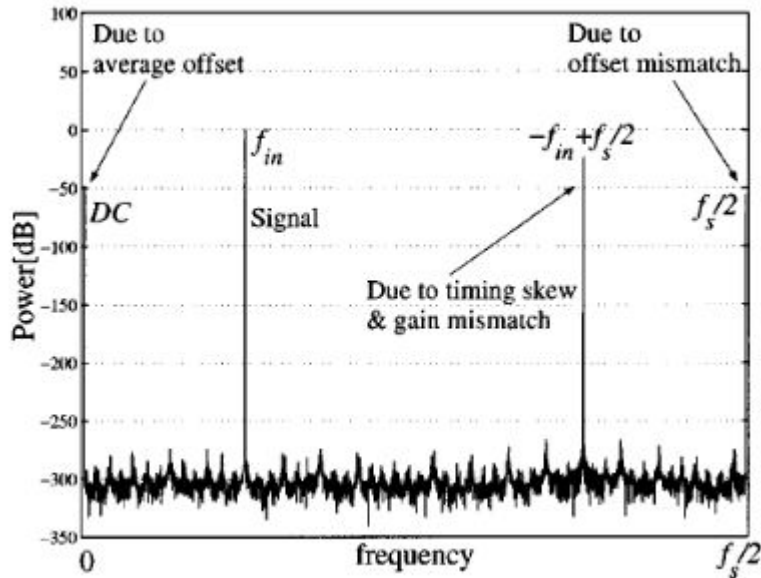
# Armónicos en TI-ADC debido a mismatches

- Los armónicos debidos a mismatches de ganancia y sampling time aparecen cada  $f_s/M \pm f_{in}$ , es decir, a los “costados” de los armónicos de offset. Son dependientes de la frecuencia de entrada ya que  $f_{in}$  “modula” dichos errores.



# Armónicos en TI-ADC debido a mismatches

- Pregunta:** Cómo me puedo dar cuenta si un determinado armónico es por mismatch de ganancia o tiempo de muestreo?

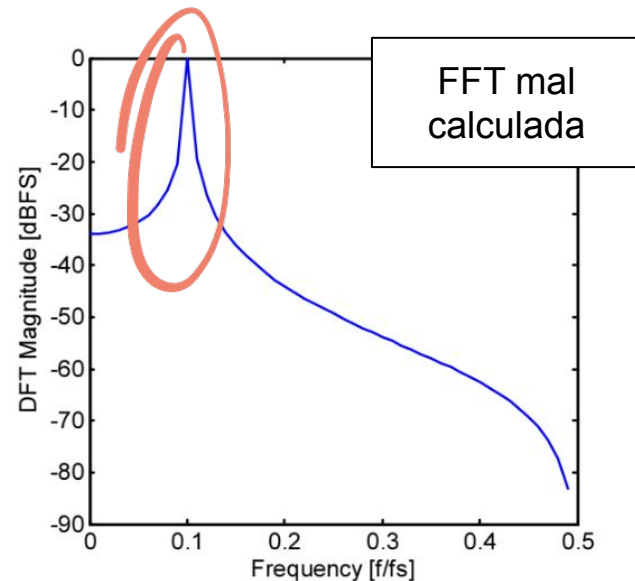
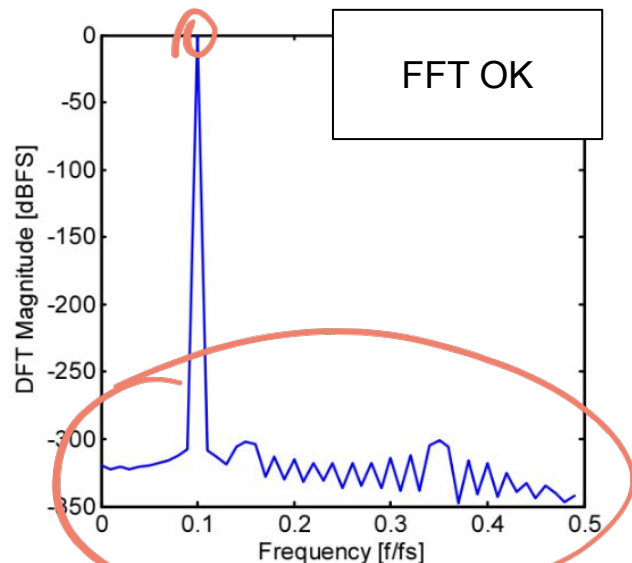


- Conversor analógico digital
- Teorema del muestreo
- Error de cuantización
- No idealidades
  - Error de offset y ganancia
  - Error de DNL e INL
- Métricas de un ADC:
  - Voltaje de entrada
  - Resolución
  - SNR, SNDR, ENOB y SFDR
  - Figura de Mérito Walden
- Arquitecturas
  - ADC Flash
  - ADC Pipeline
  - ADC SAR
- ADC SAR
  - Algoritmo
  - Bloques básicos
  - Diagrama temporal
  - Fuentes de ruido
- ADC de tiempo entrelazado (TI-ADC)
- **Cálculo de FFT**



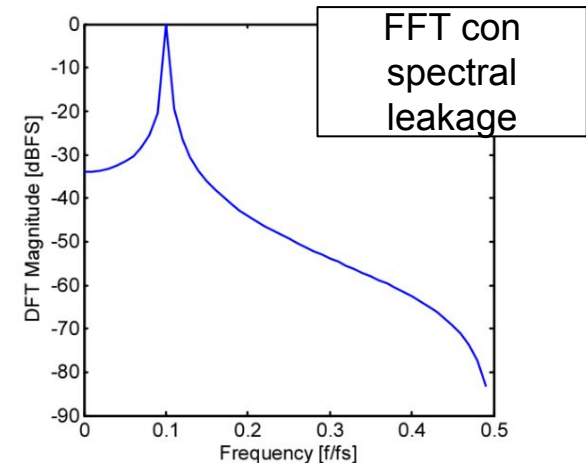
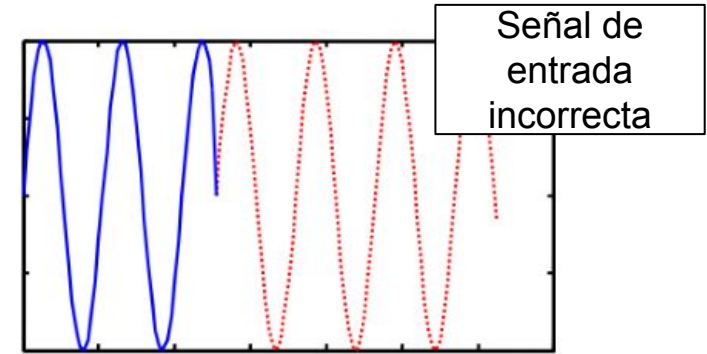
# Cálculo de FFT

- La transformada de fourier nos da información sobre las componentes espectrales de un señal
- Una FFT toma un bloque de N muestras y produce un conjunto de N bins de frecuencias
- El bin k representa a la señal de frecuencia  $k * f_s/N$



# Cálculo de FFT

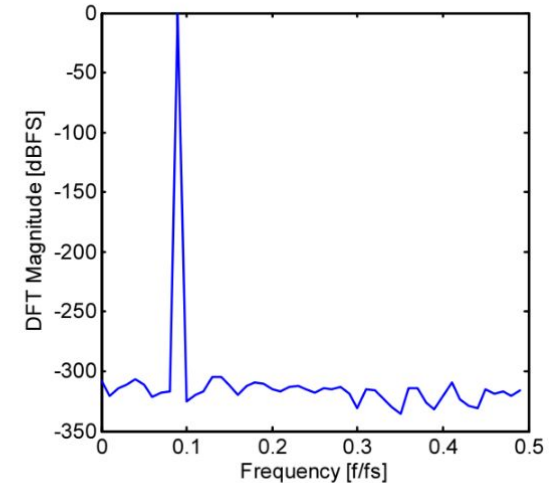
- La FFT computa la repetición periódica de la señal de entrada
- Una señal de entrada que no tiene un número entero de ciclos, genera una discontinuidad en su repetición periódica
- La discontinuidad es como una componente de señal de alta frecuencia
- La potencia de la señal se esparce a través del espectro, generando spectral leakage



- Existen 2 formas de asegurar un correcto cómputo de la FFT:
  - Señal de entrada con un número entero de ciclos
  - Ventaneo de la señal de entrada
- Para el primer caso, se modifica la frecuencia de la señal de entrada
- Ya que existen  $N$  bins separados cada  $f_s/N$ , la frecuencia de entrada debe “caer” totalmente dentro de un bin. Es decir,
$$f_{in} = k * f_s/N$$
  - Donde  $k$  es un valor entero entre 0 y  $N$ . Luego, si queremos setear la  $f_{in}$  en un valor particular, podemos calcular  $k$  como:
$$k = \text{round}(f_{in\_approx} * N/f_s)$$

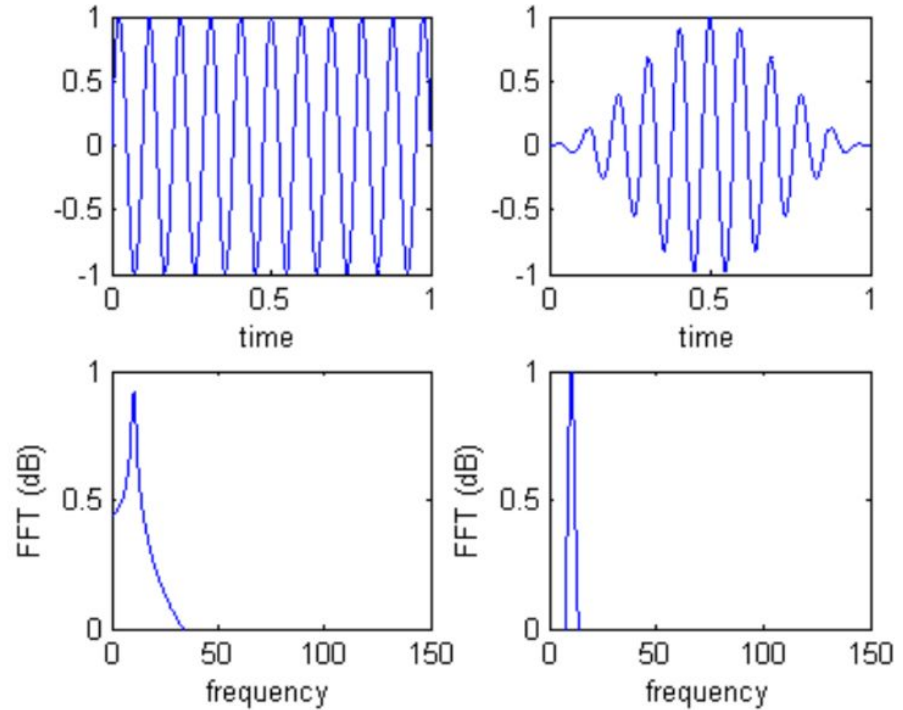
```
N = 100;  
cycles = 9;  
fs = 1000;  
fx = fs*cycles/N;
```

- Usable test frequencies are limited to a multiple of  $f_s/N$



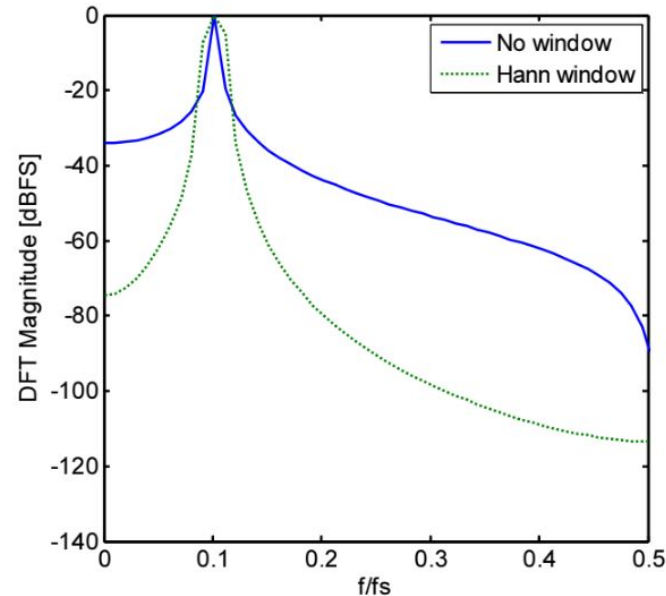
$f_s$	---->	$N$
$f_{in\_approx}$	---->	$k$

- El spectral leakage se puede atenuar mediante el ventaneo de la señal de entrada
- El ventaneo fuerza a 0 tanto el comienzo como el final de la señal, por lo tanto al repetirse dicha señal, siempre será periódica
- Si bien se pierde un poco de precisión con respecto a la FFT ideal, se elimina la dependencia con la frecuencia de la señal de entrada
- Existen diferentes ventanas: Barlett, Blackman, Flat top, Hanning, Hamming, Kaiser-Bessel, Tukey, etc



- Comparación entre una FFT con spectral leakage sin ventaneo y aplicando una ventana Hanning.

```
N = 100;  
fs = 1000;  
fx = 101;  
A = 1;  
  
x = A*cos(2*pi*fx/fs*[0:N-1]);  
s = abs(fft(x));  
x1 = x.*hann(N);  
s1 = abs(fft(x1));
```



---

**FIN**

**¿Preguntas?**