

El Flip-Flop D

10 de septiembre de 2024

Tal como vimos en el primer capítulo, la característica principal flip-flop tipo D (figura: ??) es copiar la entrada a la salida en el flanco de clock, logrando así una memoria de 1 bit.

Analizaremos ahora una serie de métricas temporales de los circuitos secuenciales.

1. Métricas temporales en Flip Flop

- **Tiempo de setup (t_{su} , Set-up Time):** Es el tiempo en que el dato en la entrada D debe quedar estable en un estado antes de una transición del clock para asegurar que la salida Q copie efectivamente el dato desde la entrada D.
- **Tiempo de Hold (t_h , Hold Time):** Es el tiempo en que el dato en la entrada D debe mantenerse estable posteriormente al flanco activo de reloj para asegurar que la salida Q copie efectivamente el dato desde la entrada D.
- **Tiempo de propagación (t_{clk_q} , Propagation Delay):** Es el tiempo en que la salida Q copia el valor desde la entrada D.
- **Ancho mínimo de pulso de clock ($t_{w_{clk}}$, Minimum clock pulse width):** Es el ancho mínimo del pulso de clock que asegura que la salida Q efectivamente copia la entrada D.
- **Tiempo de recuperación (t_{rec} , Set/Reset recovery time):** Es el tiempo que la entrada de reset debe estar desactiva estable antes del flanco activo de clock para asegurar que la salida Q copia el dato desde la entrada D.
- **Tiempo de remoción (t_{rem} , Set/Reset removal time):** Es el tiempo que la entrada de reset debe estar estable activa posterior al flanco activo de clock para asegurar que el flip flop es correctamente reseteado.
- **Ancho mínimo de pulso de set/reset ($t_{w_{rst}}$, Minimum set/reset pulse width):** Es el ancho mínimo del pulso de reset que asegura que la salida Q es efectivamente reseteada.

Por otro lado, para una entrada de un circuito secuencial, se define:

- **Glitch:** Si una entrada de clock, reset o set es un pulso de duración menor al mínimo pulse width especificado para dicha entrada, entonces a dicho pulso se lo denomina glitch

Si el dispositivo posee entradas de SET/Reset asincrónicos, \Rightarrow

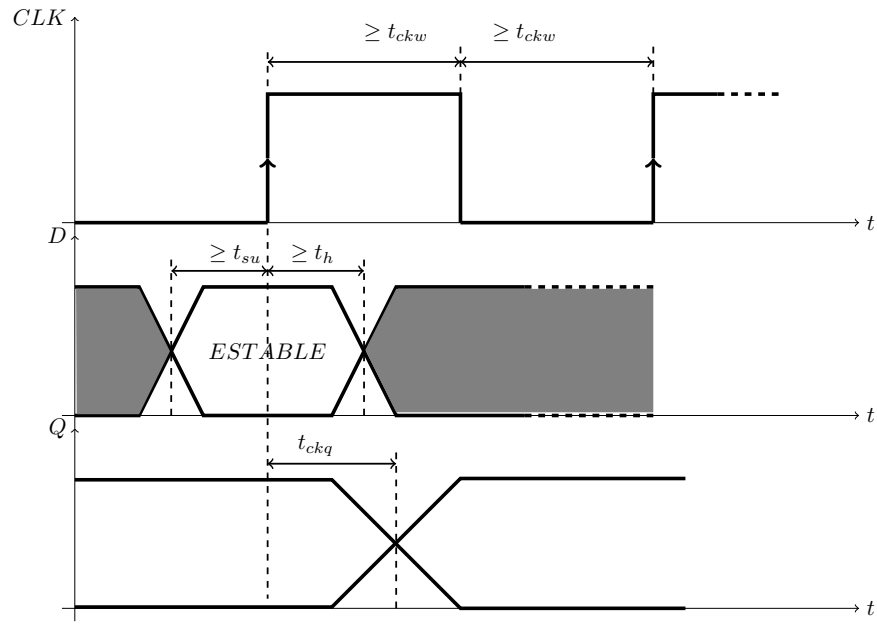


Figura 1: Flip Flop D timing

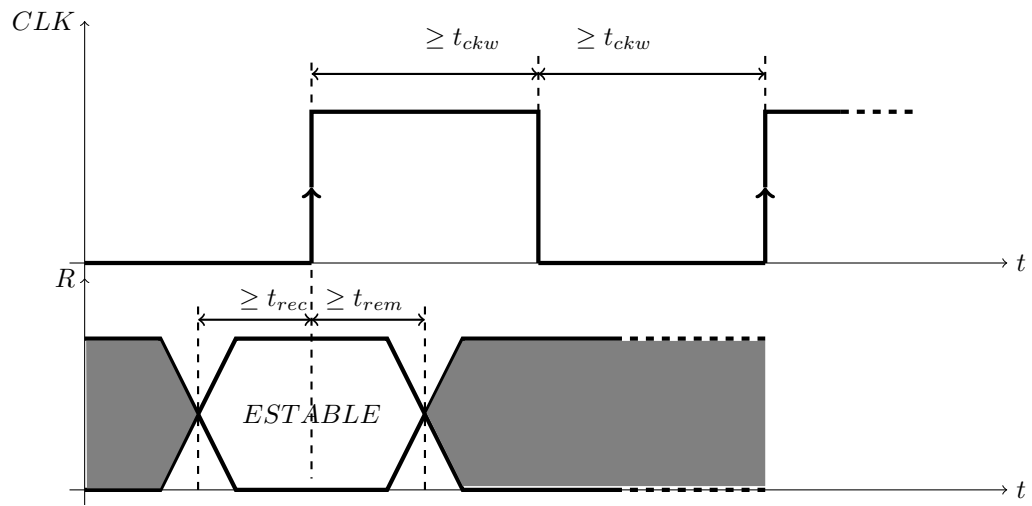


Figura 2: Flip Flop D Set/Reset timing

2. Diseño Lógico del Flip Flop D activado por flanco

El Latch es el componente esencial en la construcción del Flip Flop D activado por flanco.

El Latch Positivo es un circuito *level-sensitive*, esto es transfiere la entrada **D** a la salida **Q** cuando el clock está en alto.

Este Latch se dice que esta en *modo transparente*. Cuando el clock está en estado bajo, los datos muestreados en el flanco descendente se mantienen estables hasta el nuevo flanco ascendente del clock; se dice que el latch está en modo **Retención**.

Las entradas deben ser estables por un período corto alrededor del flanco desdeciente para satisfacer los requerimientos de setup-time y hold-time.

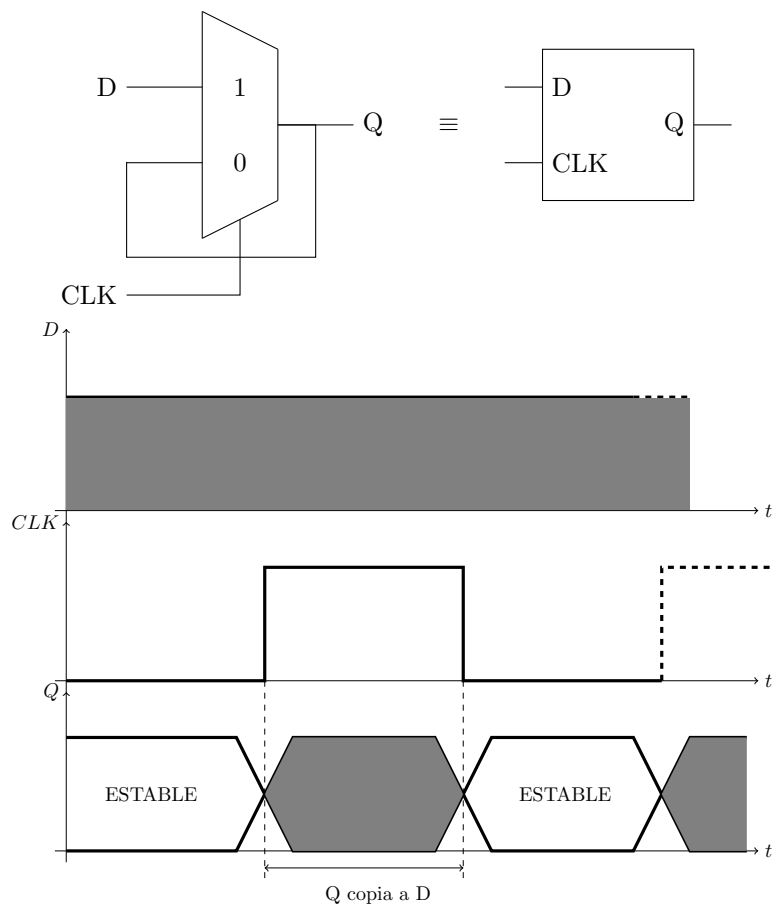


Figura 3: Latch D Positivo

Similarmente, el **Latch Negativo** pasa la entrada **D** a la salida **Q** cuando el clock está en bajo.

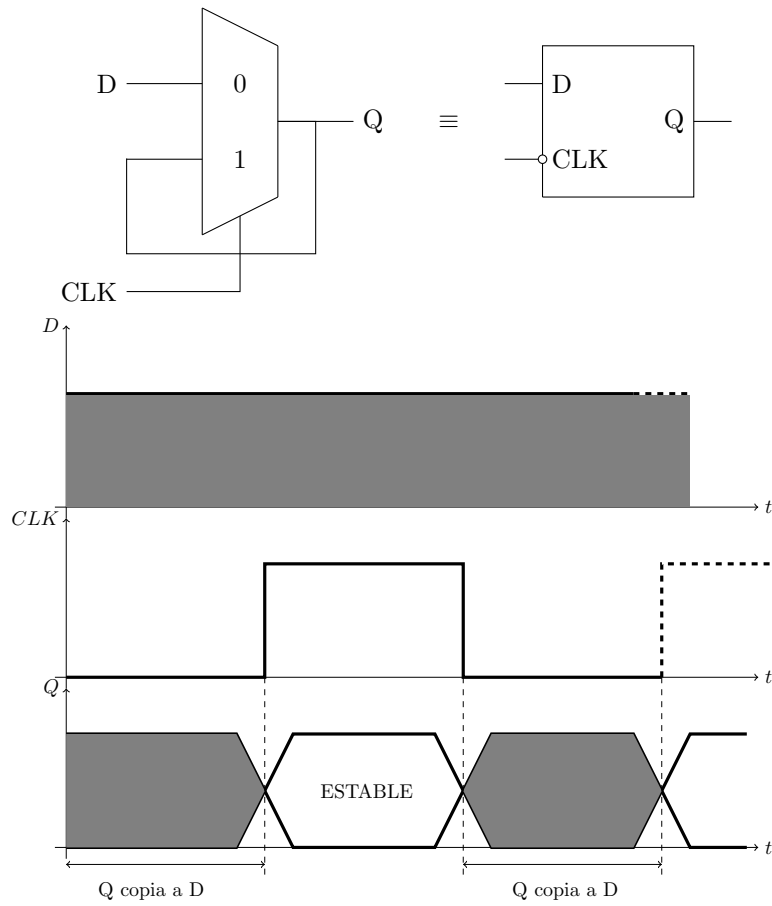


Figura 4: Latch D Negativo

Contrariamente a los Latches level-sensitive, los flip flops activados por flanco únicamente muestrean la entrada en el flanco positivo o negativo del clock.

Estos registros, usualmente se construyen utilizando latches.

La configuración más común es la estructura Master-Slave, que conecta en cascada un latch positivo y uno negativo.

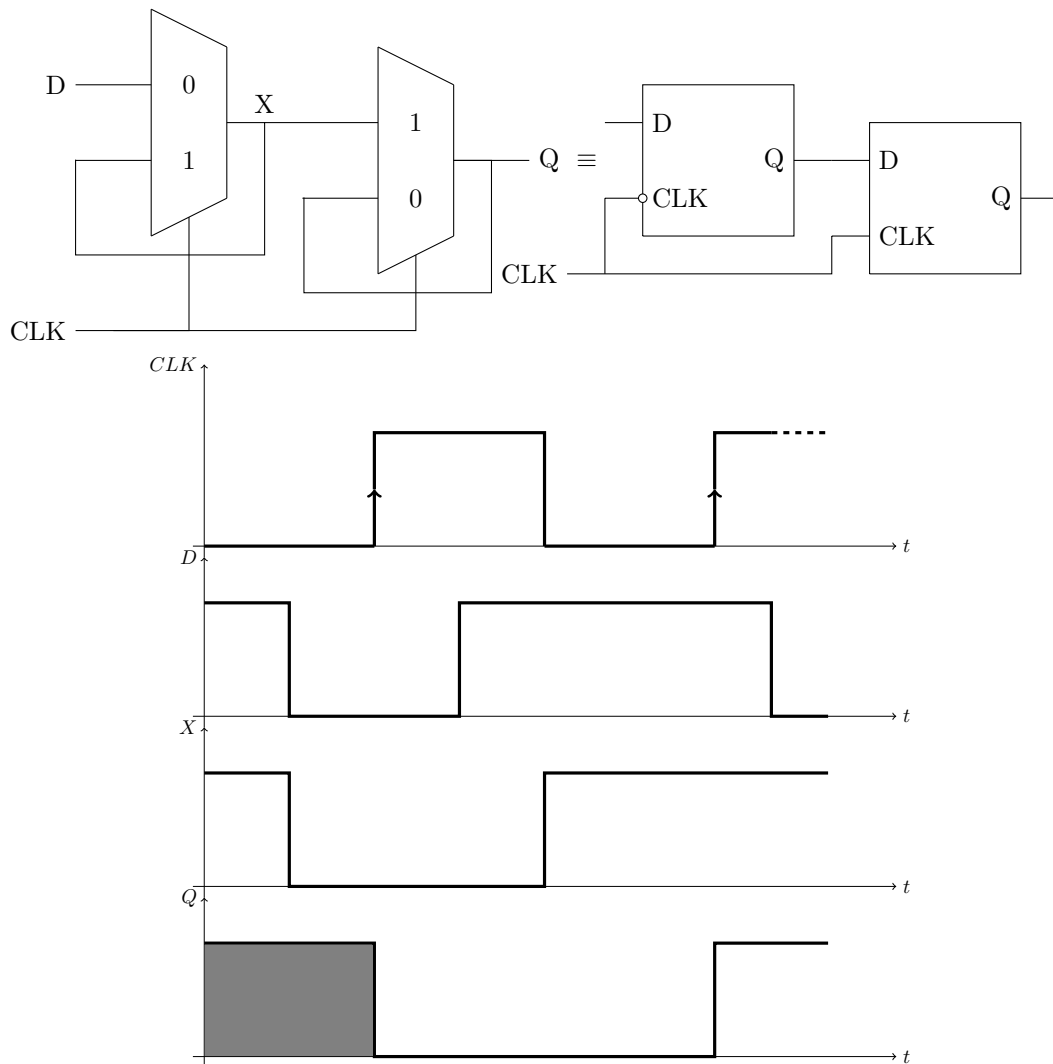


Figura 5: Flip Flop D activado por flanco

3. Reset Asincrónico

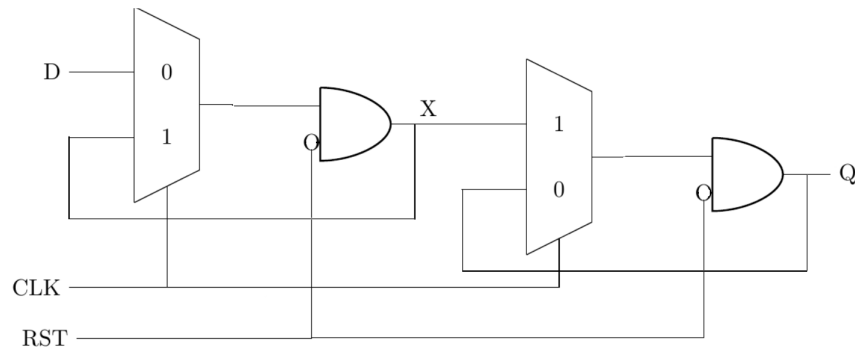


Figura 6: Flip Flop D con reset asincrónico

4. Implementación con Transmission gates

Reemplazando los Multiplexores por Transmission Gates obtenemos:

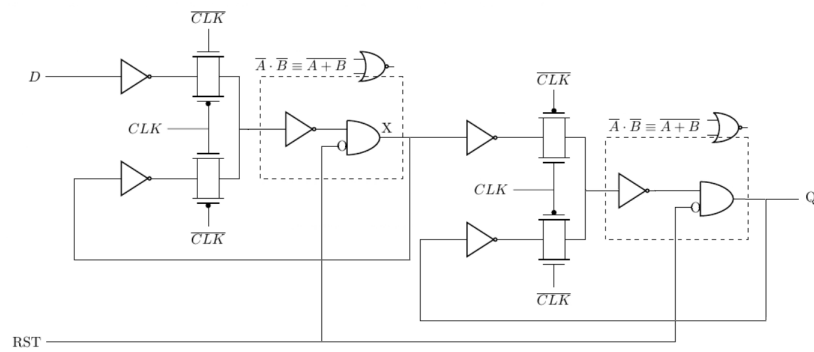


Figura 7: Flip Flop D con reset asincrónico

5. Modelo de metaestabilidad

Elemento de memoria

$$\text{Lazo } 2 \text{ INV } \begin{cases} V1 \\ V2 \end{cases}$$

El lazo 2INV posee dos puntos estables:

- $V1 = GND = 0$ y $V2 = V_{DD} = 1$
- $V1 = V_{DD} = 1$ y $V2 = GND = 0$.

También hay un tercer punto donde $V1 = V2 = V_M$, que se denomina como estado metaestable.

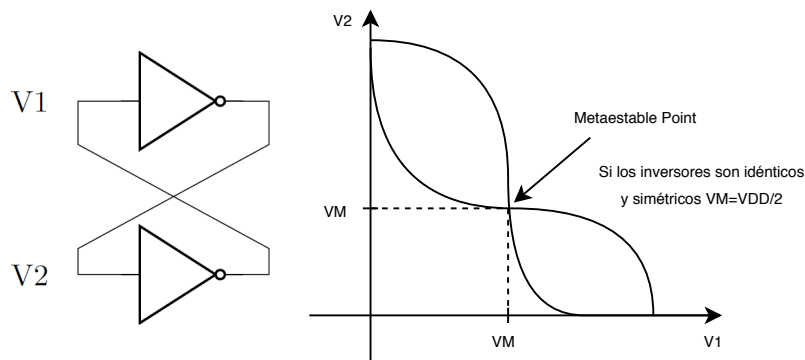


Figura 9: Curvas características de los inversores.

Vemos que en la zona de metaestabilidad ambos inversores operan en su zona lineal.

Para esto usamos un modelo de pequeña señal (todo montado en V_M). Primero, recordar la carga de un capacitor como: $i = C \frac{dv_c}{dt}$

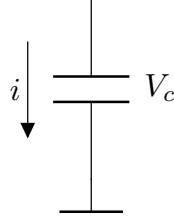


Figura 10: Circuito capacitor cargando.

Suponiendo que $R_{1on} = R_{2on}$, $C_{1in} = C_{2in}$, $A_1 = A_2 = A$ (ganancia del inversor en el punto medio):

$$(1) i_1 = C_{2IN} \frac{dv_2}{dt} = -\frac{A_1 v_1 - v_2}{R_{1ON}} \Rightarrow -C \frac{dv_2}{dt} = \frac{A v_1}{R} + \frac{v_2}{R}$$

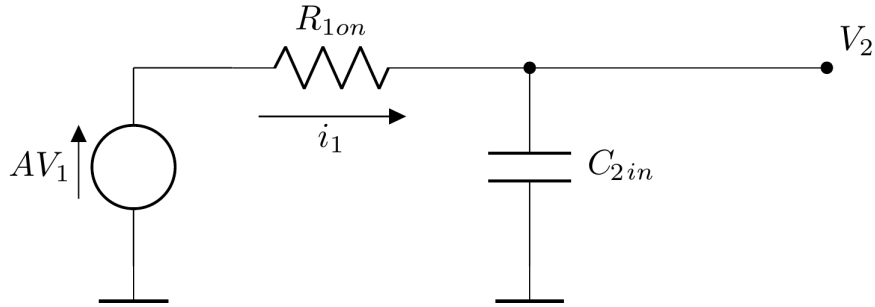


Figura 11: Modelo de pequeña señal inversor 1.

$$(2) i_2 = C_{1IN} \frac{dv_1}{dt} = -\frac{A_2 v_2 - v_1}{R_{2ON}} \Rightarrow -C \frac{dv_1}{dt} = \frac{A v_2}{R} + \frac{v_1}{R}$$

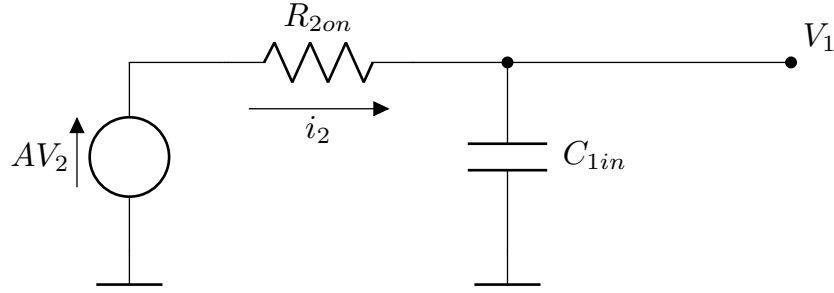


Figura 12: Modelo de pequeña señal inversor 2.

$$\left. \begin{array}{l} (2) \ v_2 = -v_1 - \frac{RC}{A} \frac{dv_1}{dt} \\ (1) \ Av_1 = -v_2 - RC \frac{dv_2}{dt} \end{array} \right\} \Rightarrow -Av_1 - \frac{v_1}{A} - \frac{RC}{A} \frac{dv_1}{dt} - \frac{RC}{A} \frac{dv_1}{dt} - \frac{R^2C^2}{A} \frac{d^2v_1}{dt^2} = 0$$

$$R^2C^2 \frac{d^2v_1}{dt^2} + 2RC \frac{dv_1}{dt} + (1 - A^2)v_1 = 0$$

Esta es una ecuación diferencial de segundo orden, y tiene una solución de la forma:

Proponemos:

$$v_1(t) = ke^{\alpha t}$$

$$v_1'(t) = \alpha ke^{\alpha t}$$

$$v_1''(t) = \alpha^2 ke^{\alpha t}$$

$$\text{Sea } \tau = RC, \text{ tenemos } \tau^2 \frac{d^2v_1}{dt^2} + 2\tau \frac{dv_1}{dt} + (1 - A^2)v_1 = 0$$

$$\text{Luego: } \tau^2 k \alpha^2 e^{\alpha t} + 2\tau k \alpha e^{\alpha t} + (1 - A^2)ke^{\alpha t} = 0$$

$$ke^{\alpha t}(\tau^2 \alpha^2 + 2\tau \alpha + (1 - A^2)) = 0$$

$$e^{\alpha t} + 0 \text{ y } k \neq 0 \Rightarrow \tau^2 + \alpha^2 + 2\tau \alpha + (1 - A^2) = 0$$

$$\alpha = \frac{-2\tau \pm \sqrt{4\tau^2 - 4\tau^2(1 - A^2)}}{2\tau^2}, \quad 1 - A^2 < 0 \Rightarrow -4\tau^2(1 - A^2) > 0$$

$$\alpha = \frac{-2\tau \pm \sqrt{4\tau^2 - 4\tau^2(A^2 - 1)}}{2\tau^2} = \frac{-2\tau \pm \sqrt{4\tau^2 A^2}}{2\tau^2} = \frac{-2\tau \pm 2\tau^2}{2\tau^2}$$

$$\alpha = \frac{-1 \pm A}{\tau}, \text{ entonces:}$$

$$\begin{cases} \alpha_1 = -\frac{A+1}{\tau} \\ \alpha_2 = \frac{A-1}{\tau} \end{cases}$$

Luego:
$$v_1(t) = K_A e^{\frac{-(A+1)t}{\tau}} K_b e^{\frac{(A+1)t}{\tau}}$$

Para t grande, $t > \frac{5\tau}{A+1}$, entonces:

$$v_1(t) = K_b e^{\frac{(A-1)t}{\tau}}$$

La pregunta a plantearse es cuánto vale K_b .

Observación:

K_b depende de la diferencia de fase entre *clock* y D .

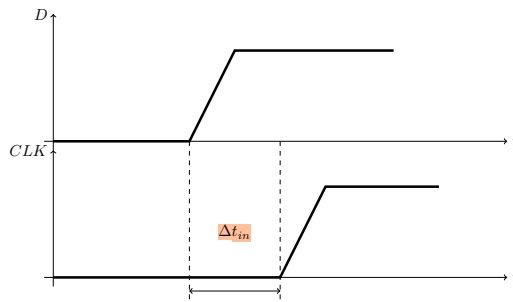


Figura 13: Diferencia de fase entre CLK y D

- Si $T_{clk} - T_d > T_M \Rightarrow K_b > 0 \Rightarrow v_1 \rightarrow \frac{V_{DD}}{2}$, i.e. $V_1 = V_{DD} = '1'$
- Si $T_{clk} - T_d < T_M \Rightarrow K_b < 0 \Rightarrow v_1 \rightarrow -\frac{V_{DD}}{2}$, i.e. $V_1 = GND = '0'$
- Si $T_{clk} - T_d = T_M \Rightarrow K_b = 0 \Rightarrow v_1 = 0$, i.e. $V_1 = V_M$

donde T_M es el tiempo que toma el lazo 2INV en alcanzar desde 0, el valor V_M .

Sea $\Delta t_{in} = T_{clk} - T_d - T_M$, modelamos $K_b = \alpha \Delta t_{in}$, $\alpha > 0$

Luego para t grande, $V_1(t) = \alpha \Delta t_{in} e^{\frac{(A-1)t}{\tau}}$

Sea $|v_e|$ el valor de tensión donde el circuito abandona la condición de estado lógico no definido, es decir que podemos decir que 1 lógico corresponde a 1: $V_M + v_e$ y 0 lógico corresponde a 0: $V_M - v_e$.

entonces si $v_e = \alpha \Delta t_{in} e^{\frac{(A-1)t_e}{\tau}}$ podemos graficarlo como:

$$\Delta t_{in} = \frac{V_e}{\alpha} e^{\frac{-(A-1)t_e}{\tau}}$$

Entonces el tiempo que se tarda en alcanzar v_e : $t_e = \frac{\tau}{A-1} \ln\left(\frac{v_e}{\alpha \Delta t_{in}}\right)$ el cual corresponde al tiempo de resolución de la metaestabilidad. Observar que si $\Delta t_{in} = 0$, entonces $t_e = \infty$.

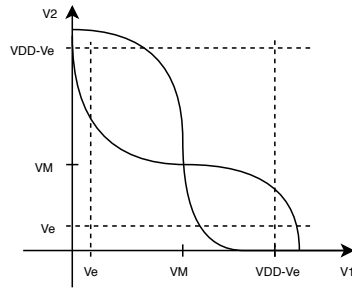


Figura 14: v_1 y v_2 operando en la zona lineal.

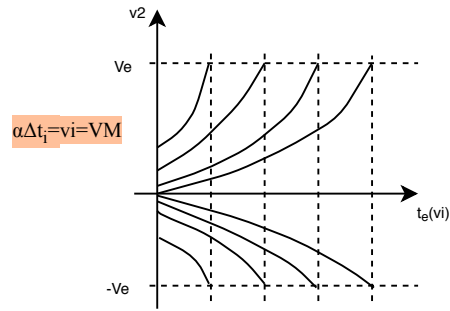


Figura 15: Curvas de v_e en función de t_e

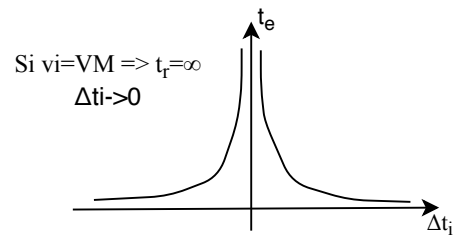


Figura 16: t_e es una exponencial en función de Δt_i

6. Comportamiento característico de un Flip Flop D en metaestabilidad

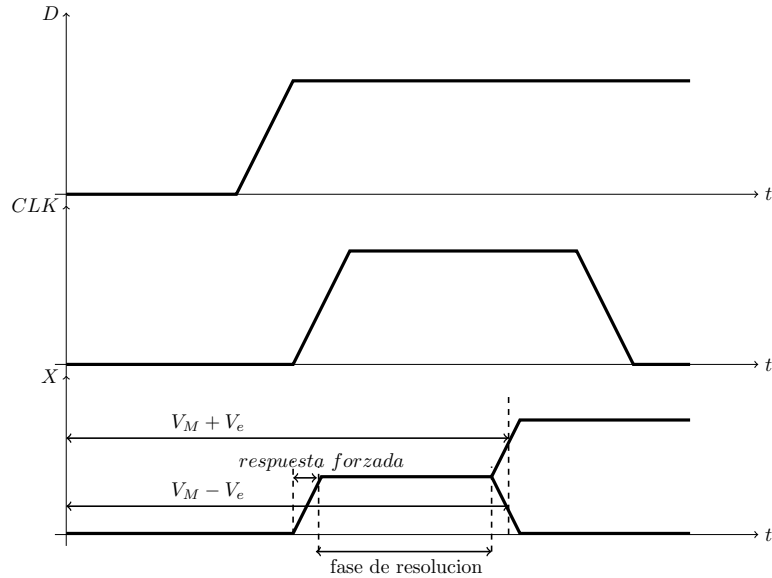


Figura 17: Flancos de FFD en metaestabilidad

*fase de resolución: Donde vale la ecuación exponencial de $V1(t)$.

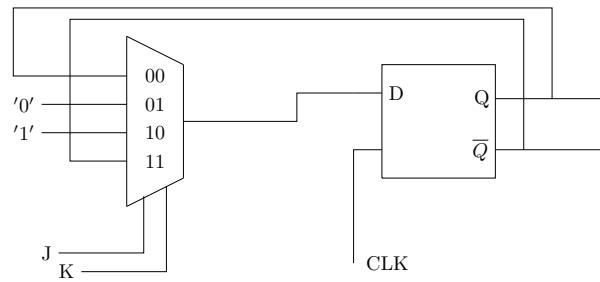
Cuando el Latch master se cierra y queda en estado metaestable, el latch slave se abre y aplica la ganancia de dos inversores sobre el valor de tensión del nodo interno X . Dado el alto valor de la ganancias de dichos inversores, en la salida Q del flip flop no se verá un valor de tensión intermedio mientras la metaestabilidad se resuelve sino que se verá el valor lógico 0 o 1, y un cambio del valor de dicha salida en el momento que la metaestabilidad se resuelva pero fuera de sincronismo con el flanco activo de clock.

7. Justificación del método

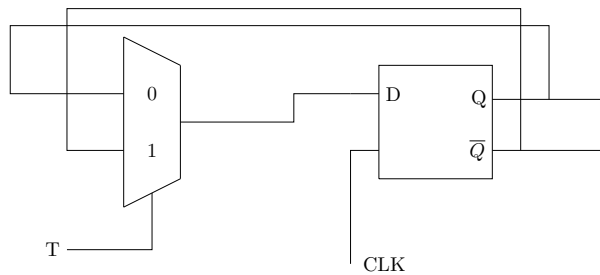
El método del lazo 2INV para demostrar la metaestabilidad, es justificable para todo flip flop independiente de su función lógica ya que todo flip flop es reducible a un flip flop D.

$$\underline{JK \rightarrow D}$$

JK	Q_{n+1}	Tabla de verdad JK
00	Q_n	
01	0	
10	1	
11	$\overline{Q_n}$	

Figura 18: Circuito $JK \Rightarrow D$ $T \rightarrow D$

T	Q_{n+1}	Tabla de verdad T
0	Q_n	
1	$\overline{Q_n}$	

Figura 19: Circuito $T \Rightarrow D$

- 2- Un Flip Flop D es reducible a dos D Latch en configuración Master-Slave.
- 3- Un D Latch es reducible a un lazo 2 INV.

Cuando el $clk = 0$ todo el sistema es un lazo 2 INV

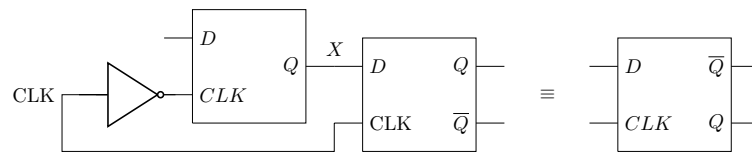


Figura 20: Configuración Master-Slave

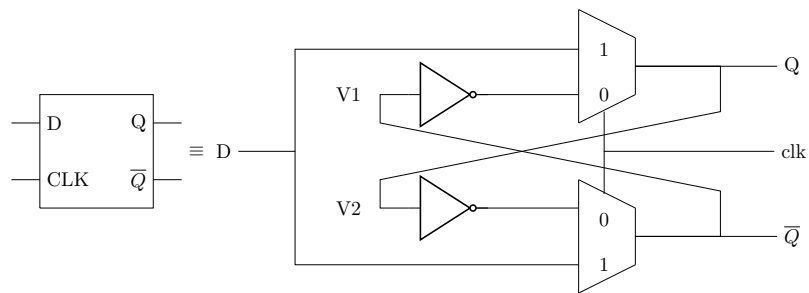


Figura 21: D Latch

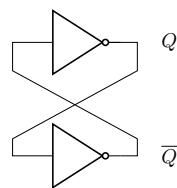


Figura 22: Inversores

8. Concepto de static timing analysis

Las nubes lógicas pueden tomar distintos tiempos en que sus salidas reaccionen a un cambio en las entradas, dependiendo de las condiciones PVT a que cada transistor está sometido y dependiendo de la combinación lógica de las entradas. Sin embargo, se sabe que luego de un tiempo acotado superiormente (peor caso entre todas las condiciones) la función lógica se efectuará. Podemos decir entonces, que toda nube lógica tomará entre un tiempo mín y uno máximo en procesar la entrada y propagar la salida siempre.

Sin embargo, por las restricciones temporales que un flip flop posee, si no se cumple con los tiempos de setup, hold, recovery, removal y anchos mínimos de pulso, no puede asegurarse la correcta operación del flip flop. Es más, el tiempo en que el flip flop propaga a la salida no está acotado superiormente (en el estado perfectamente metaestable) por lo cual, no puede asegurarse el correcto funcionamiento de una FSM si se viola alguna restricción temporal de algún flip flop del circuito.

En una FSM sincrónica, hay cuatro tipos de caminos lógicos:

- I2R: input to register path.
- R2O: register to output path.
- R2R: register to register path.
- I2O: input to output path (sólo para máquinas de Mealy).

Observemos el camino R2R, para el flip flop 2, las condiciones de setup and hold time deben cumplirse para garantizar su correcta funcionalidad.

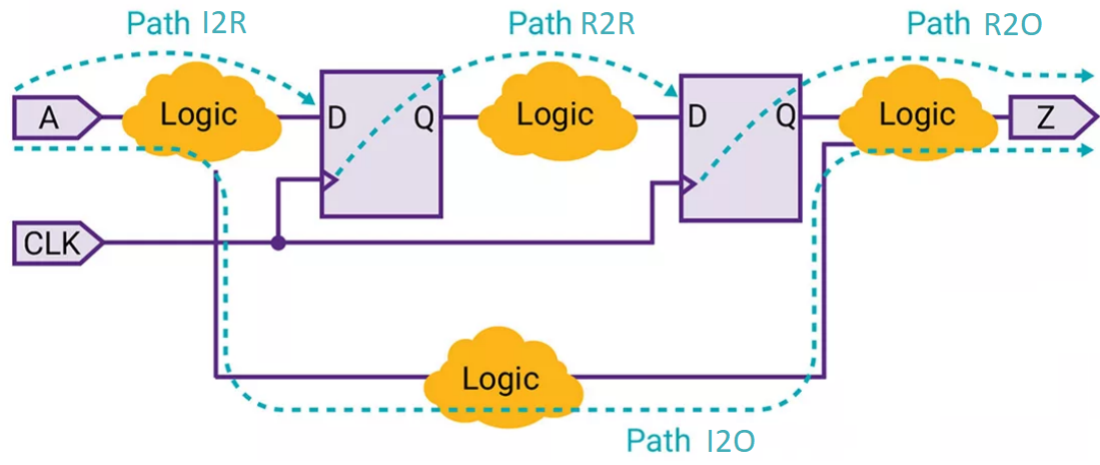


Figura 23: STA timing paths.

$$Setup_Slack = T_{clk} + \Delta_3 - t_{clk-q_1} - \Delta_1 - t_{su_2} - \Delta_2 \geq 0 \quad (1)$$

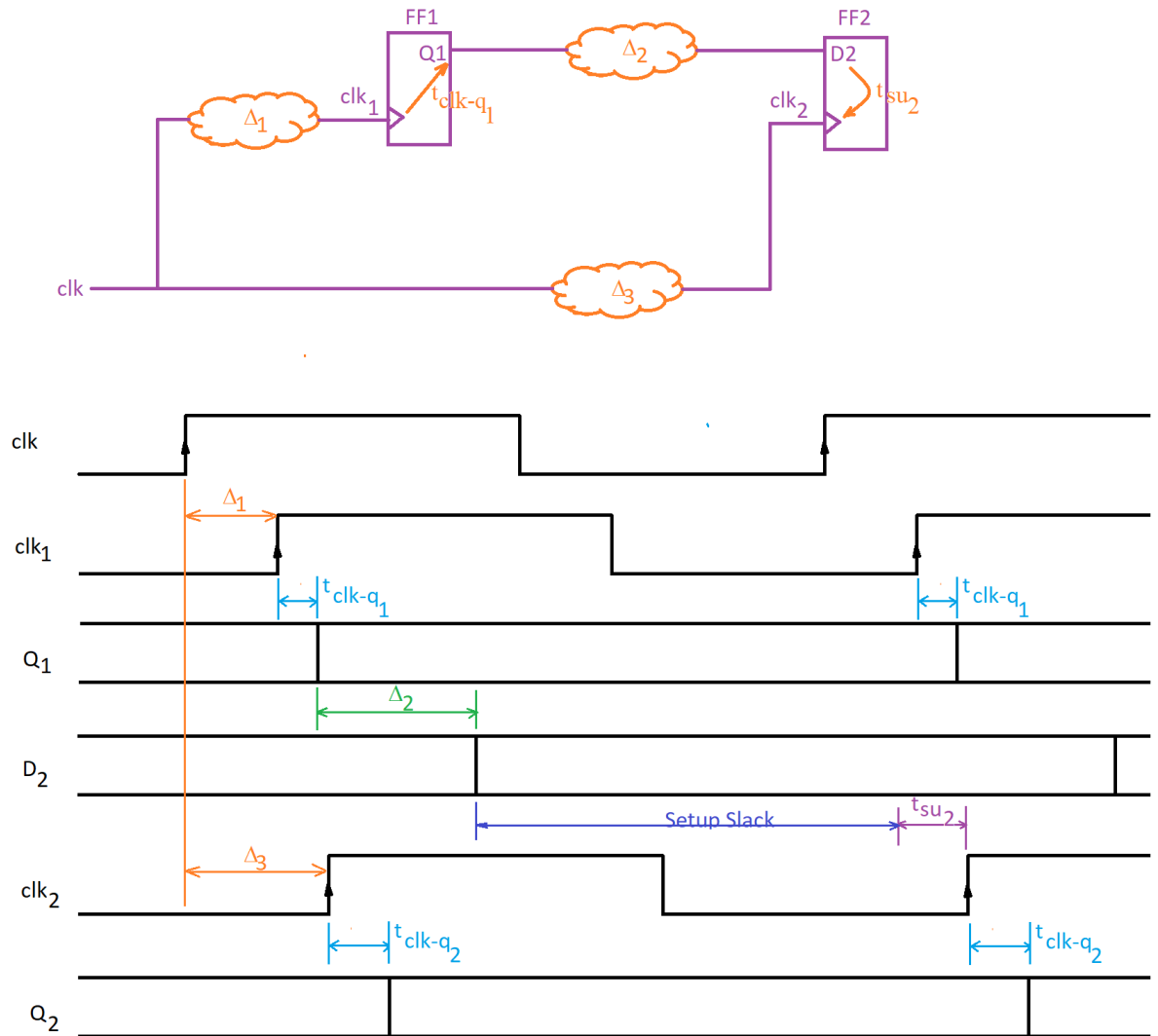


Figura 24: STA R2R timing path (setup time analysis).

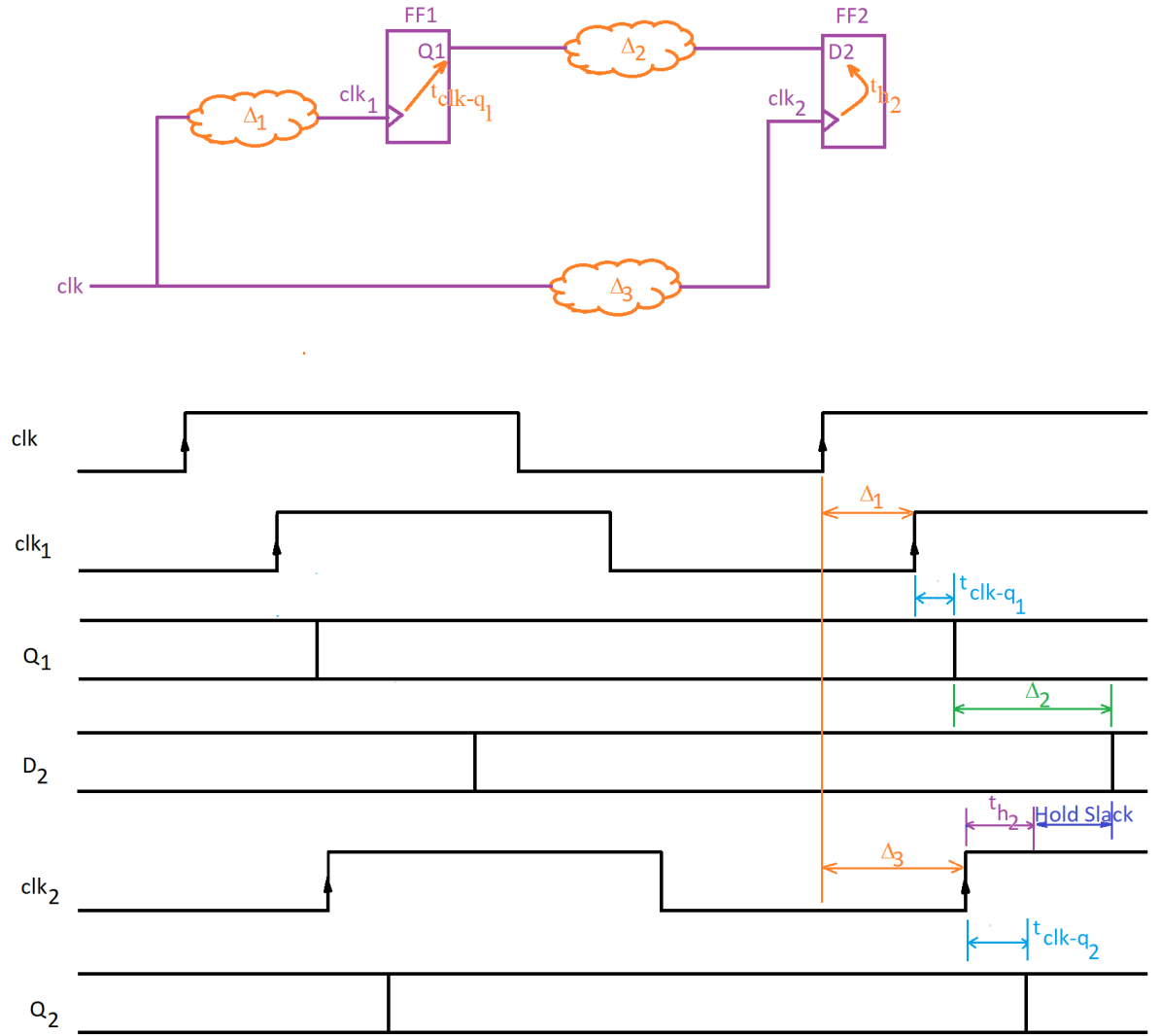


Figura 25: STA R2R timing path (hold time analysis).

$$Hold_Slack = \Delta_1 + \Delta_2 + t_{clk-q_1} - \Delta_3 - t_{H_2} \quad (2)$$

9. Preguntas para pensar

1. Por qué existen conceptualmente restricciones temporales en los flip flops?
2. Si queremos modificar dichas restricciones temporales, qué se podría hacer?

3. Tener menor rise/fall time en las entradas D/CLK mejoran o empeoran la metaestabilidad?
4. Si un circuito sincrónico tiene fallos por setup time, qué se puede hacer? y por hold time?
5. Si una entrada es asincrónica, qué podríamos hacer?
6. Podríamos trabajar con latches y poner lógica en el medio respetando el sincronismo?
7. Cómo podríamos plantear un asincrónico basado en registro con lo que sabemos hasta ahora?