

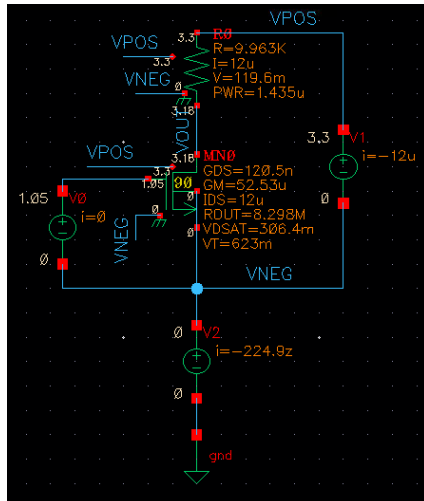
LABORATORIO #1

ING. MARIANO MOREL

MAESTRÍA EN CIENCIAS DE LA INGENIERÍA – DISEÑO ANALÓGICO

EJERCICIO #1_

1A)



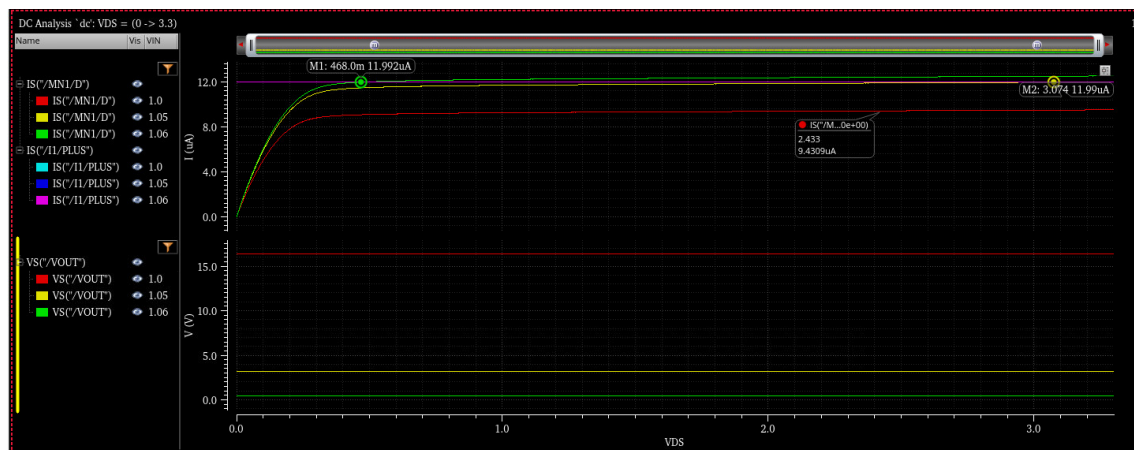
1B) La corriente en el DRAIN se establece fijando la tensión VGS y despreciando lambda de la ecuación de corriente

1C) La expresión es $V_{OUT} = V_{POS} - I_D \times R$

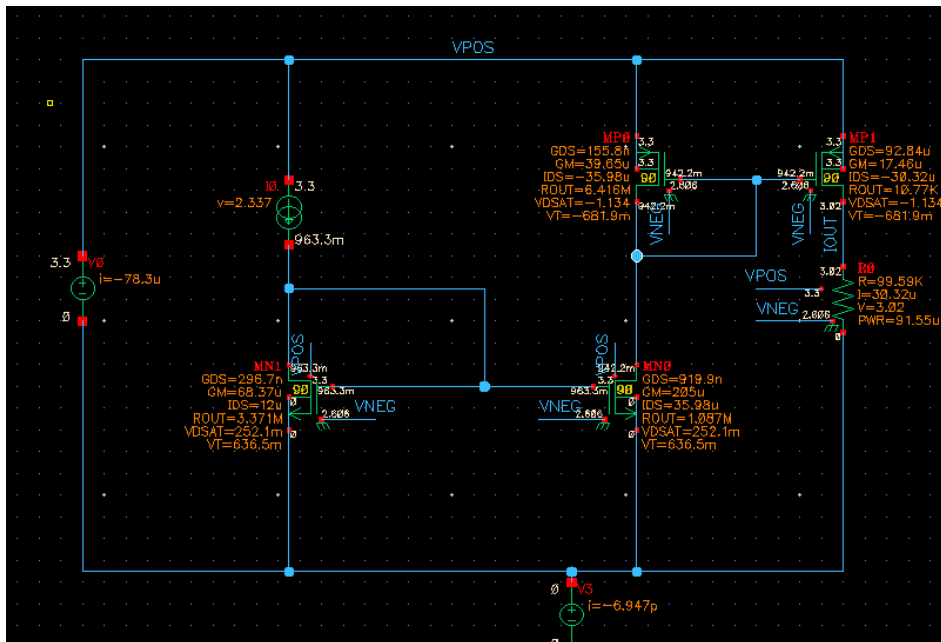
EJERCICIO #2

2A) La corriente de polarización la fija la fuente de corriente

2B) Al variar VGS las curvas se modifican. El resto de los incisos se muestran en el siguiente gráfico.



EJERCICIO #3



Basándome en las siguientes ecuaciones, y los puntos de operación y parámetros, concluyo que los transistores se encuentran en saturación, menos el MP1 de la figura. (Tomar a $V_{GS} - V_T = V_{DSAT}$)

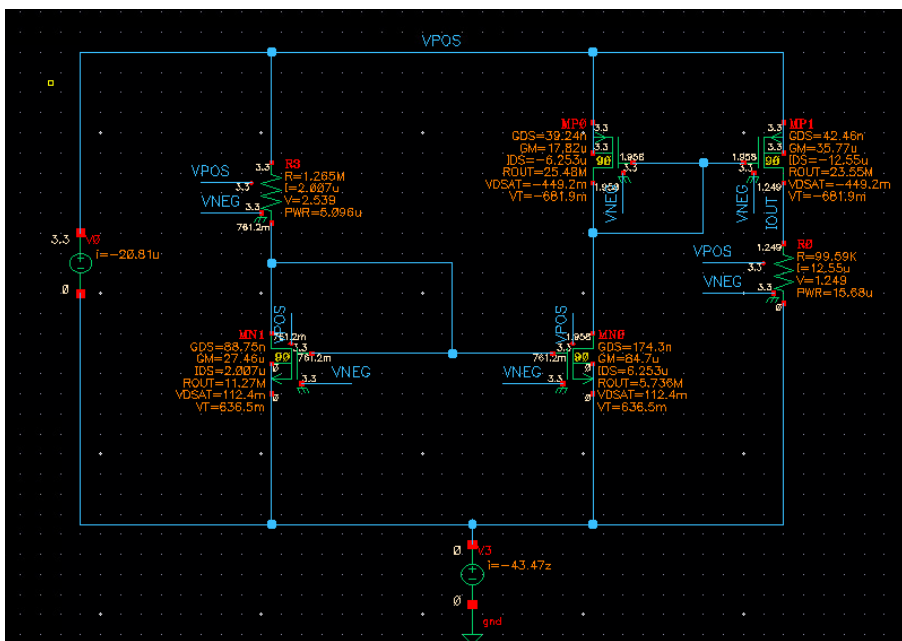
• Saturación

$$V_{GS} > V_T, \quad V_{DS} > V_{GS} - V_T$$

$$I_D = \frac{1}{2} K_p \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

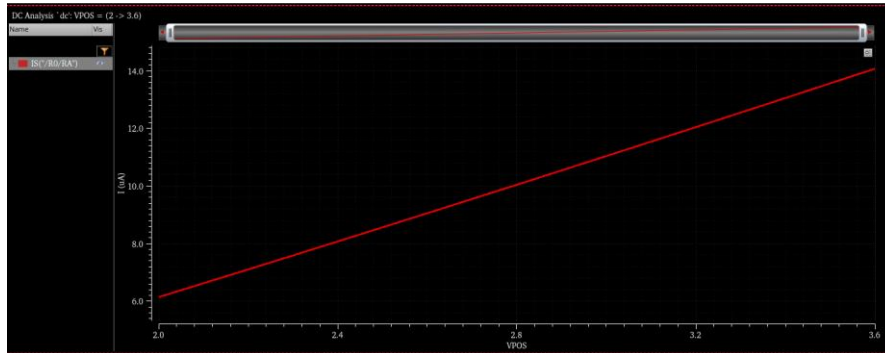
EJERCICIO #4

4A)

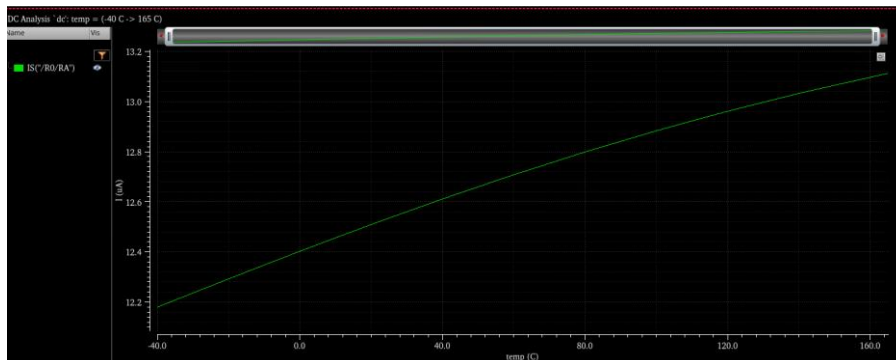


4B) La corriente de salida la define la rama que contiene la R y el transistor NMOS en serie. Desde esa rama hasta la salida se van haciendo copias proporcionales, propio de la configuración espejo, hasta llegar a los 12uA. (VER ESTO)

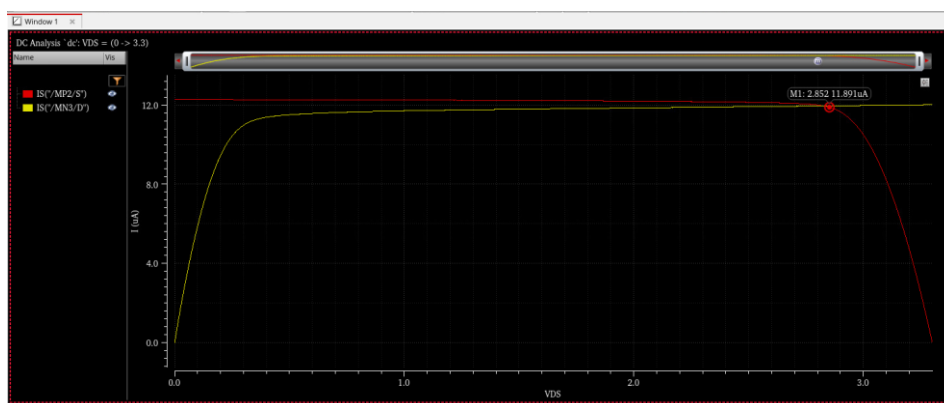
4C_1)



4C_2)

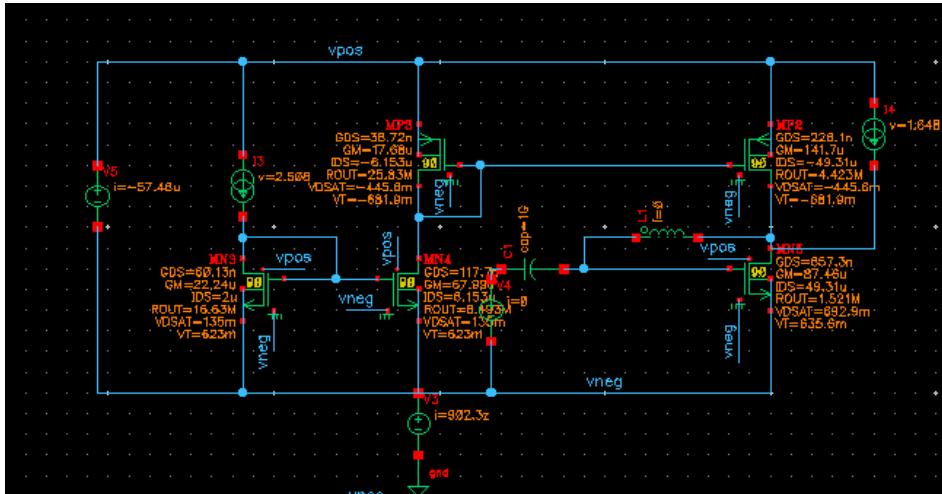


EJERCICIO #5



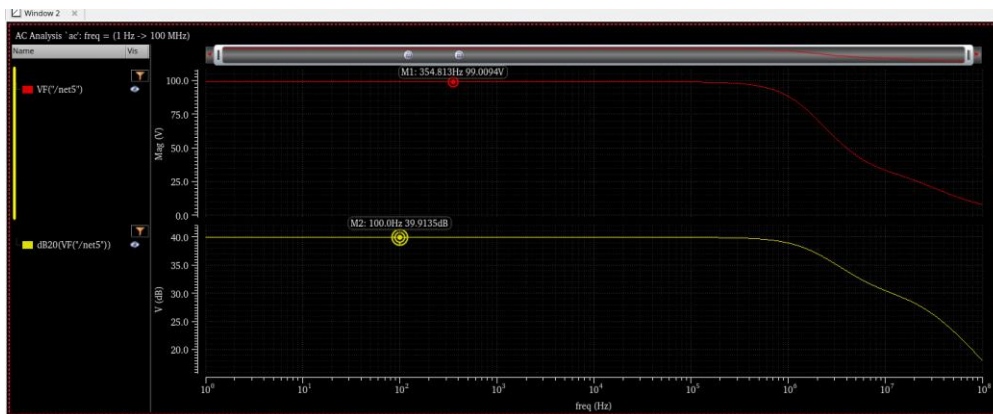
La corriente y la tensión de salida se obtienen de la intersección de las gráficas del NMOS y PMOS, los cuales están prácticamente en saturación.

EJERCICIO #6



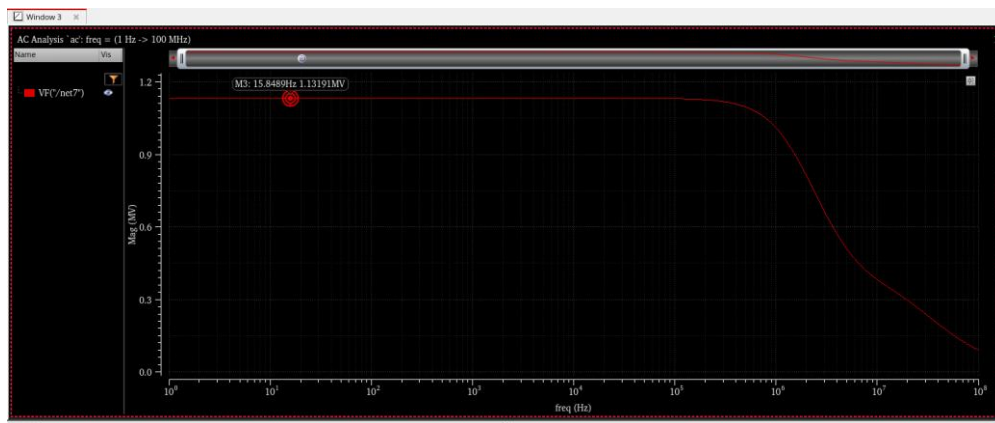
6A) La tensión de salida surge de la relación que existe entre la corriente fija del transistor PMOS (que fija la corriente del NMOS) y la tensión VGS del transistor NMOS. Esta VGS surge de la corriente del NMOS.

6B_1) Al estar trabajando en pequeña señal, pero en un modelo linealizado, puedo usar un 1V en la señal AC. El valor 1V se utiliza por cuestiones de simplicidad, para obtener una transferencia (ganancia).



Para comparar, se hace el cálculo teórico $gm \times (ro_{PMOS} // ro_{NMOS}) = 87.46u \times (4.423M // 1.521M) = 98.986$ (aproximadamente 99, de la simulación).

6C)



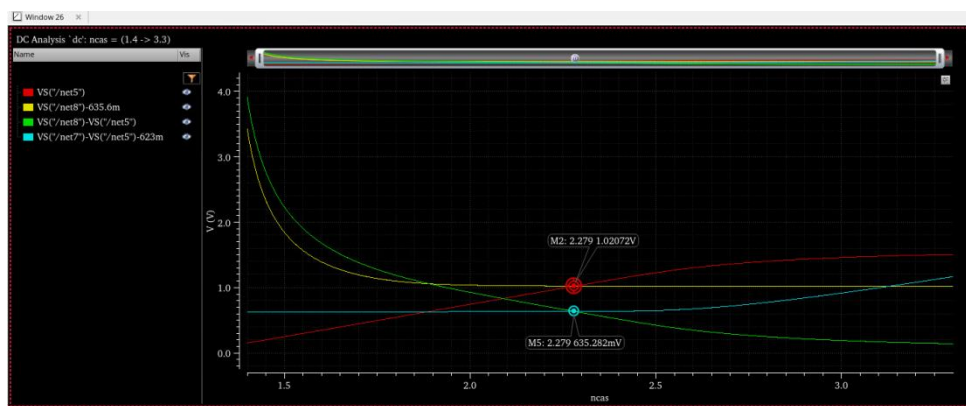
Para obtener la R_o , aplico un generador de corriente AC sobre DS del PMOS. Aplico 1A de corriente AC, y con la info del gráfico obtengo la $R_o = 1.13M$ que es el valor aproximado del paralelo de r_{o_PMOS} con r_{o_NMOS} , obtenidas de la simulación anterior.

EJERCICIO #7

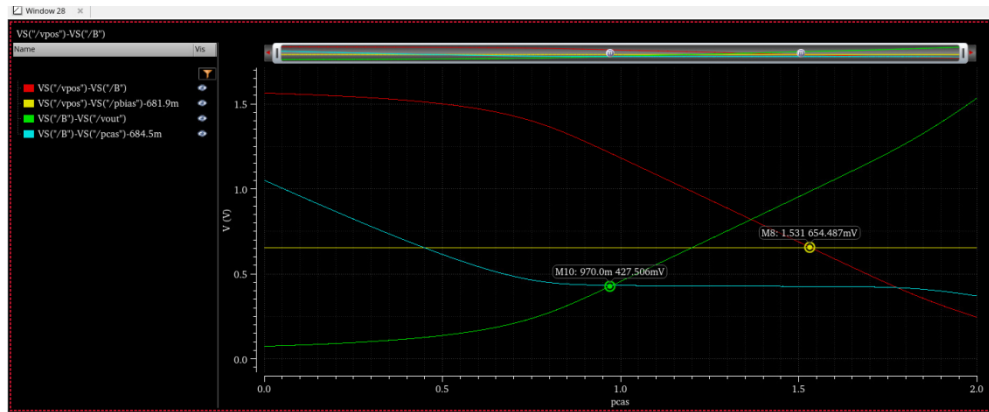
En el PMOS (que se encuentra en el nodo por encima de VOUT) si PCAS aumenta, el nodo B aumenta, y hace disminuir la V_{DS} el PMOS que tiene por encima, al límite de la condición de triodo, ya que alcanza la V_{DSAT} . El límite inferior está determinado por el PMOS más cercano al VOUT. Si disminuyo PCAS, B disminuye. Como VOUT es fijo, este PMOS se empieza a “achicar”.

Para el caso de NCAS, como la corriente es fija sobre los transistores de salida, si NCAS aumenta, el nodo A aumenta, el NMOS entre VOUT y A puede entrar en la condición de triodo (disminuye V_{DS}). Mismo efecto sucede con el NMOS de más abajo, cuando NCAS disminuye.

Para NCAS como parámetro



Para PCAS como parámetro



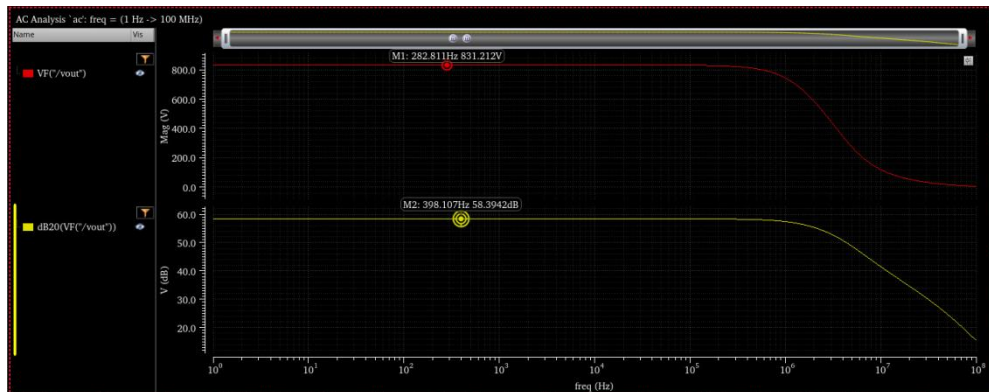
EJERCICIO #8

8A) Ambos MOS, tienen multiplicidad 10 para los valores aproximados que PCAS y NCAS.

8B) Los cambios entre transistores, son los mismos, ya que uno sigue al otro siendo mas estables ante estas variaciones. Esto se ve en las conexiones de PCAS y NCAS.

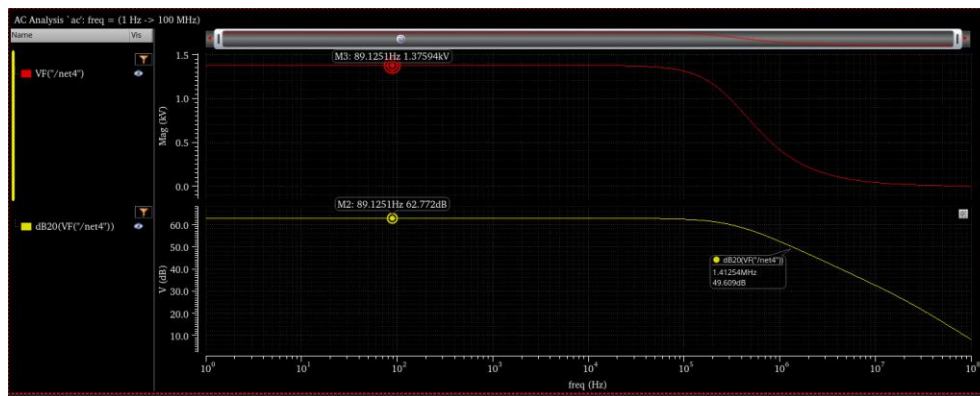
8C) Si varío M de MN19 (según está en la guía de la laboratorio), varía NCAS. Lo mismo para este MOS, si varío L y W. Para variar PCAS, si varío M, W o L de MP15, también sucede lo mismo.

8D)

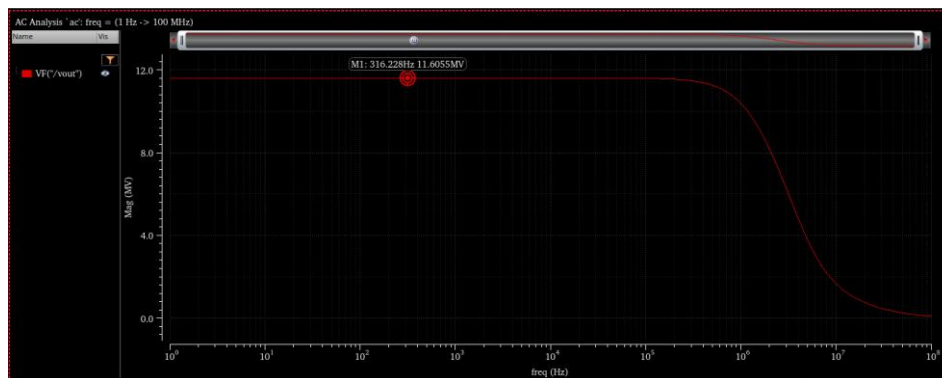


Comparo con la teórica $G = g_{m1} \times g_{m2} \times r_{o1} \times r_{o2} = 864V$

Comparo con EJE7 ->

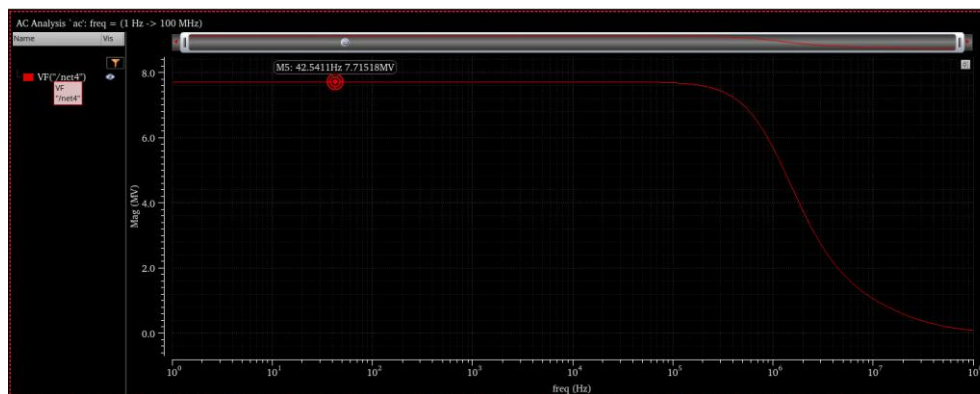


8E)

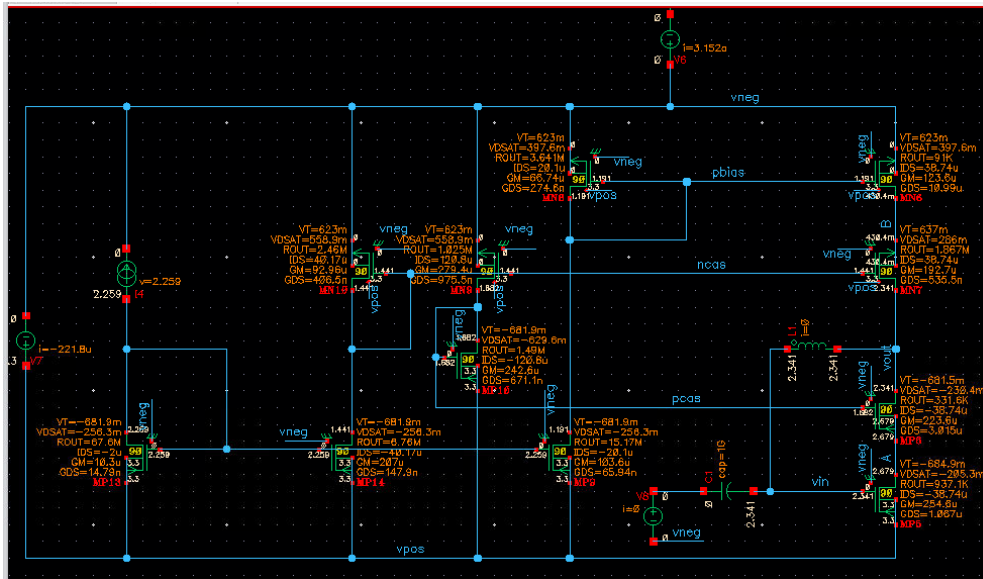


Comparo con la teórica $R = g_{m2} \times r_{o2} \times r_{o1} = 11.035M$

Comparo con EJE7 ->



9A)



9B)

