

Diseño de Circuitos Integrados Digitales

Exámen 2 de Diciembre de 2024

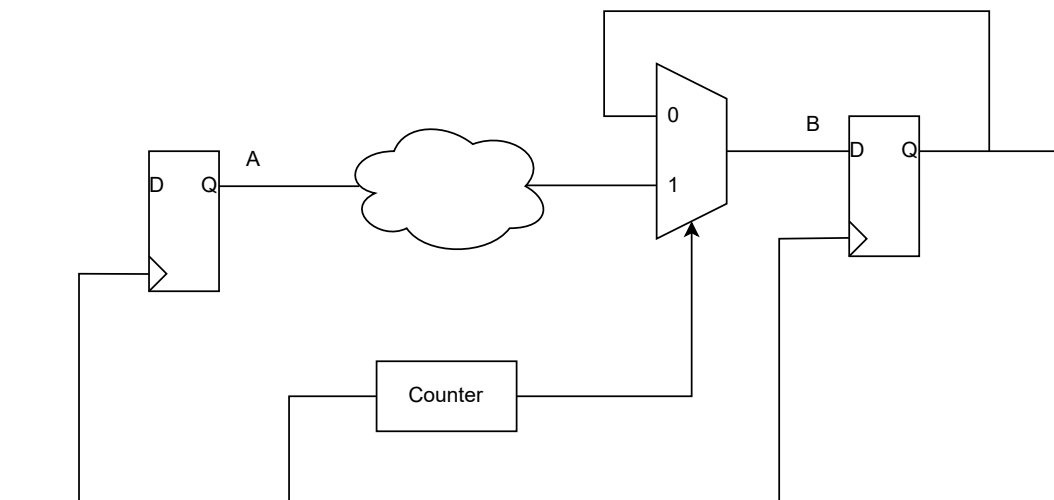
Ejercicio 1

Implementar en Verilog un contador genérico de N bits con señal de enable. Cuando dicha entrada es '0', el contador detiene la cuenta.

Sintetizar “manualmente” dicho contador suponiendo que solo se posee DFFs, inversores, compuertas NOR y ICGs para el caso de N=8.

Ejercicio 2

Para el siguiente circuito determine las SDC constraints necesarias para realizar el STA del path A-B. Considerar que el reloj es de 100MHz y el contador “divide” al reloj por 8.



Ejercicio 3

Si para el circuito del ejercicio 1 (N=8), se deja fija la entrada enable a '1' constante, cuál es el factor de actividad de la entrada D de cada DFF?

Si cada compuerta del circuito (INV,NOR) posee los siguientes consumos de potencia:

INV: 1 unidad

NOR: 2 unidades

DFF: 8 unidades.

Determine la potencia de consumo dinámico en unidades equivalentes de potencia.

Ejercicio 4

Para el siguiente circuito determinar el setup slack y el hold slack. Asumir que el período de reloj es 10ns y que para todos los DFFs se cumple:

- $t_{su_{max}} = 1,2ns - t_{su_{min}} = 0,8ns$
- $t_{h_{max}} = 0,7ns - t_{h_{min}} = 0,6ns$
- $t_{clk,Q_{max}} = 0,3ns - t_{clk,Q_{min}} = 0,2ns$

Considerar el multiplexor sin retardo.

A- Método BC-WC

B- Método OCV con CPPR

