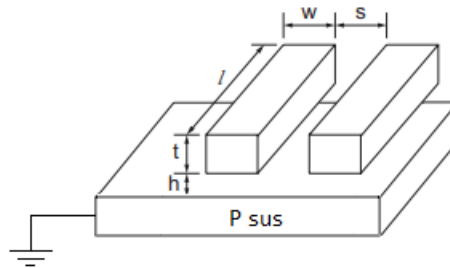


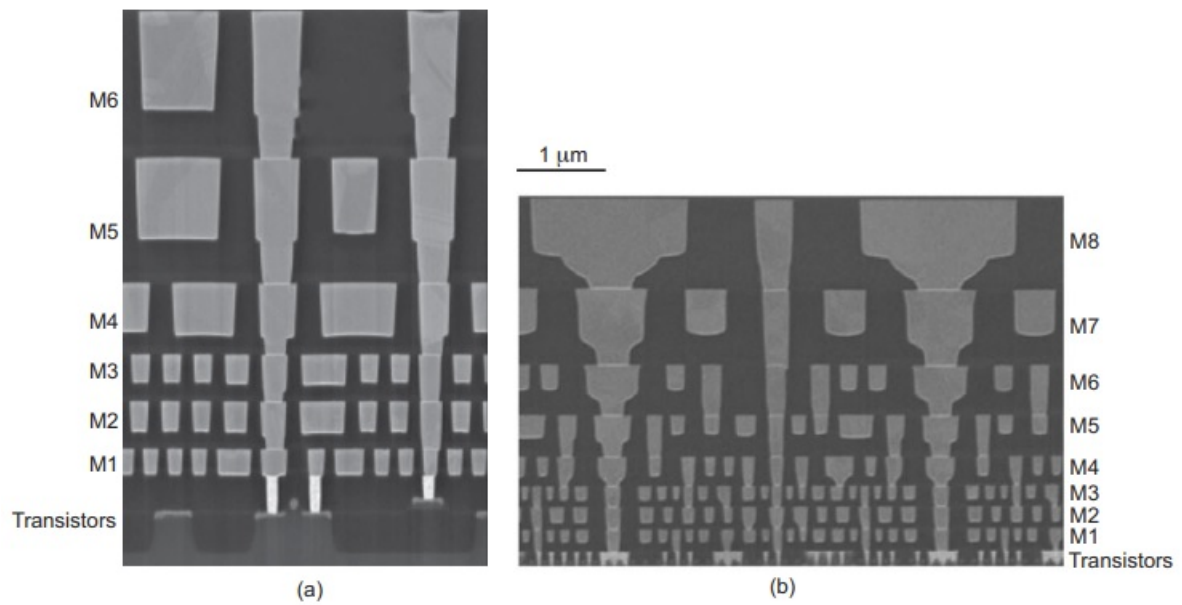
Interconexiones

2 de octubre de 2024

1. Introducción



- Pitch: $p = w + s$
- Aspect ratio: $AR = t/w$



SEM image of wire cross-sections in Intel's (a) 90 nm and (b) 45 nm processes
 ((a) From [Thompson02] © 2002IEEE. (b) From [Moon08] with permission of Intel Corporation.)

2. Resistencia total de un wire (Modelo concentrado)

$$R = \frac{\rho l}{t w} = R_{\square} \frac{l}{w} \quad (1)$$

- Resistividad: ρ
- Sheet resistance: R_{\square}

Valores típicos de ρ para distintos materiales a 25C.

Metal	Resistivity ($\mu\Omega \cdot \text{cm}$)
Silver (Ag)	1.6
Copper (Cu)	1.7
Gold (Au)	2.2
Aluminum (Al)	2.8
Tungsten (W)	5.3
Molybdenum (Mo)	5.3
Titanium (Ti)	43.0

Valor típico de sheet resistance es del orden de $0.05\text{-}0.1 \Omega/\square$ para wires de aluminio.

Vias y contactos suman resistencia a un conductor. Valores típicos de resistencia por via es del orden de $2\text{-}20 \Omega$.

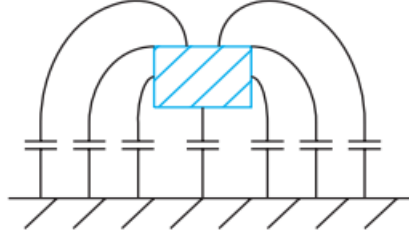
Ejemplo:

Sea $R_{\square} = 0,1\Omega/\square$. La resistencia total de un conductor de 125nm de ancho y 1mm de largo es:

$$R = (0,1\Omega/\square) \frac{1\text{mm}}{125\text{nm}} = 800\Omega$$

(Comparar este valor vs la R_{ON} de un inversor del orden de $6.5\text{k}\Omega$).

3. Capacidad total de un wire contra sustrato (Modelo concentrado)

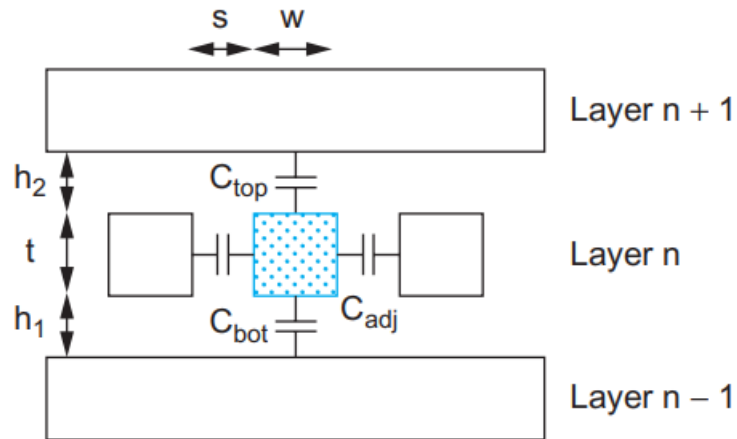


Valor aproximado de la capacidad para un wire solitario sobre sustrato:

$$C = \frac{w - \frac{h}{2}}{t} \varepsilon_{ox} l + \frac{2\pi}{\log t/h} \varepsilon_{ox} l \quad (2)$$

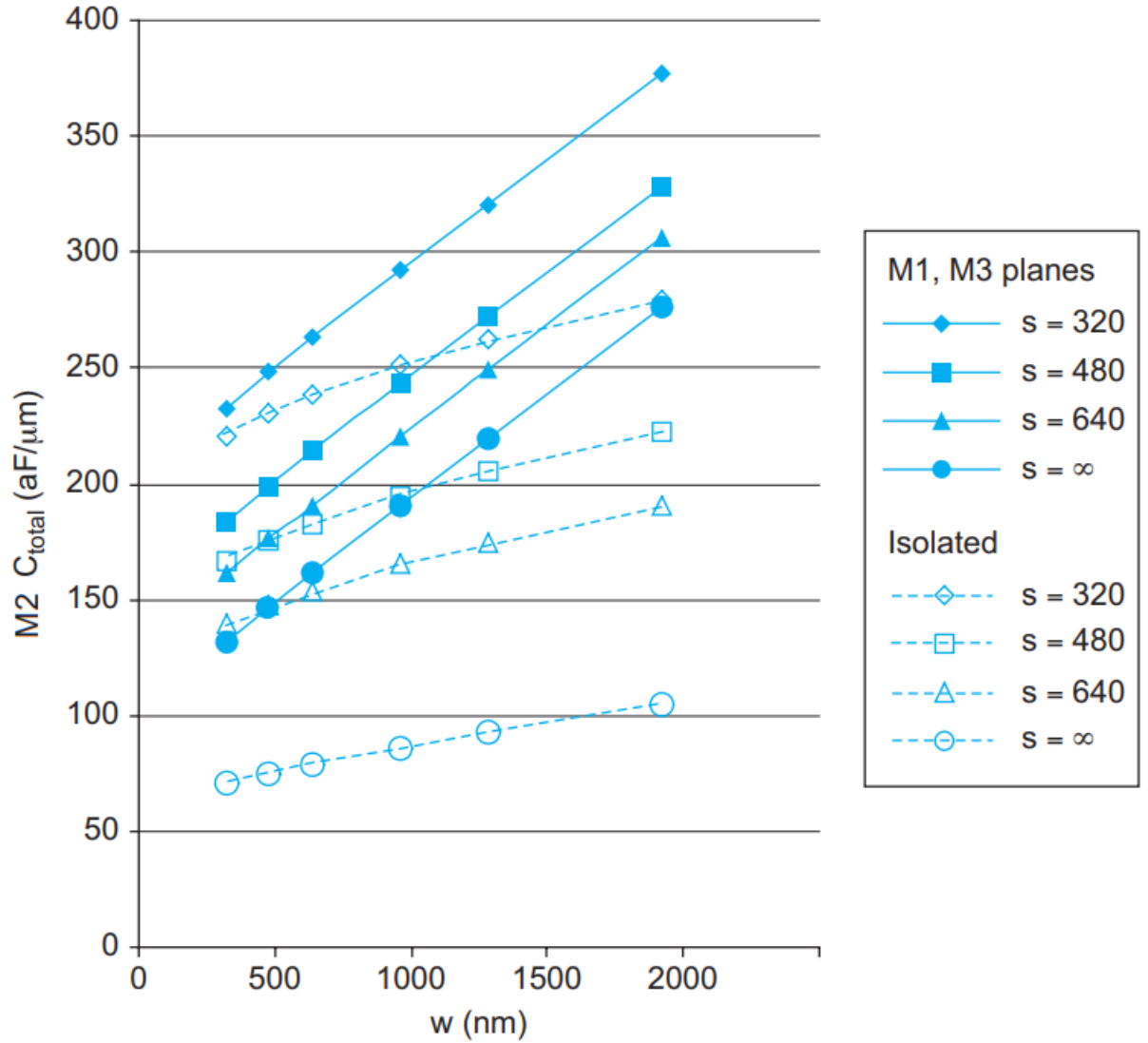
Valores típicos de $\varepsilon_{r_{ox}}$ son entre 3.9 y 4.1 (recordar que $\varepsilon_{ox} = \varepsilon_{r_{ox}} \varepsilon_0$, siendo $\varepsilon_0 = 8,854 \times 10^{-12} F/m$).

Si el wire está rodeado de otros conductores en el mismo layer y en los layer superior e inferior, el modelo cambia. Si los conductores que rodean al wires bajo análisis están en un valor lógico estático, se podrían modelar como planos estáticos a GND, y sumar toda las capacidades superior, inferior y adyacente como si fuese capacidad contra GND.



En la siguiente figura se muestra la capacidad por μm de longitud en función del ancho w de un conductor en M2 rodeado de planos en M1,M3 y conductores paralelos en M2

como así también un conductor solitario en M2 sobre sustrato para un espesor de óxido $t = 0,7\mu\text{m}$.



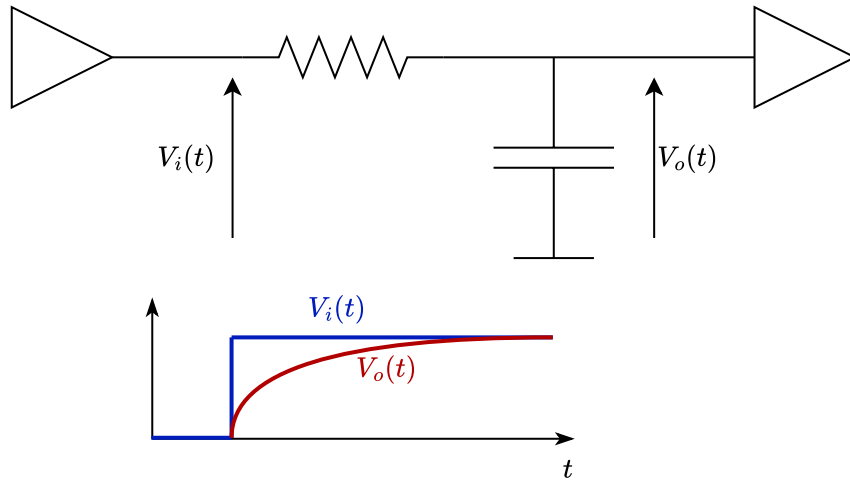
Ejemplo:

Sea un conductor en M2 aislado sobre sustrato de ancho 125nm y largo 1mm. De la figura anterior, se puede deducir que su capacidad contra GND por unidad de longitud será aprox. $20\text{aF}/\mu\text{m}$. Luego, para $l = 1000\mu\text{m}$ resulta una capacidad contra GND de aprox 20fF.

(Comparar con la capacidad de entrada un inversor del orden de los 10fF).

En general un modelo de capacidad vs sustrato y vs conductores en el mismo layer y en layers superiores corresponde a una tabla con puntos de caracterización que luego pueden ser interpolados en función del ancho y largo del conductor para obtener la capacidad total del conductor vs GND. Este tipo de modelos comúnmente se conocen como *captables*.

4. Modelo de retardo en un conductor por constantes concentradas



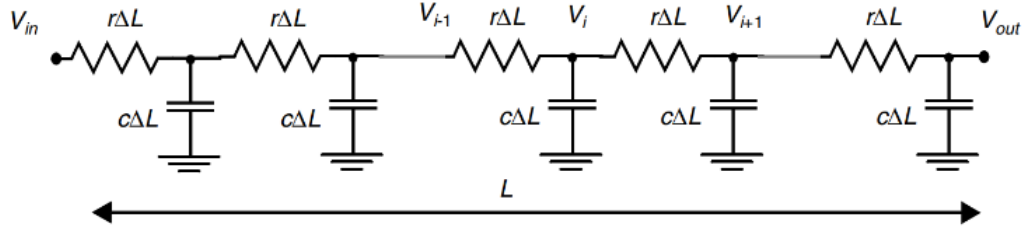
$$V_i(t) = V_{DD}u(t - t_0) \quad (3)$$

$$V_o(t) = V_{DD} \left(1 - e^{-\frac{t-t_0}{RC}} \right) u(t - t_0) \quad (4)$$

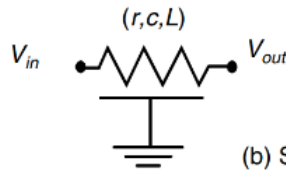
donde $R = R_{on} + R_{wire}$, $C = C_{wire} + C_{in}$

Sabemos que el tiempo de propagación al 90 % es $t_{p90\%} = 2,2RC$, y al 50 % viene dado por $t_{p50\%} = 0,69RC$.

5. Modelo de retardo en un conductor por constantes distribuidas



(a) Distributed model



(b) Schematic symbol for distributed RC line

$$rc \frac{\partial V}{\partial t} = \frac{\partial^2 V}{\partial x^2}$$

- r : resistencia por unidad de longitud.
- c : capacidad por unidad de longitud
- L : longitud.
- V : voltaje en el punto x desde la fuente en el instante t .

6. Modelo de retardo en un conductor por escalera RC

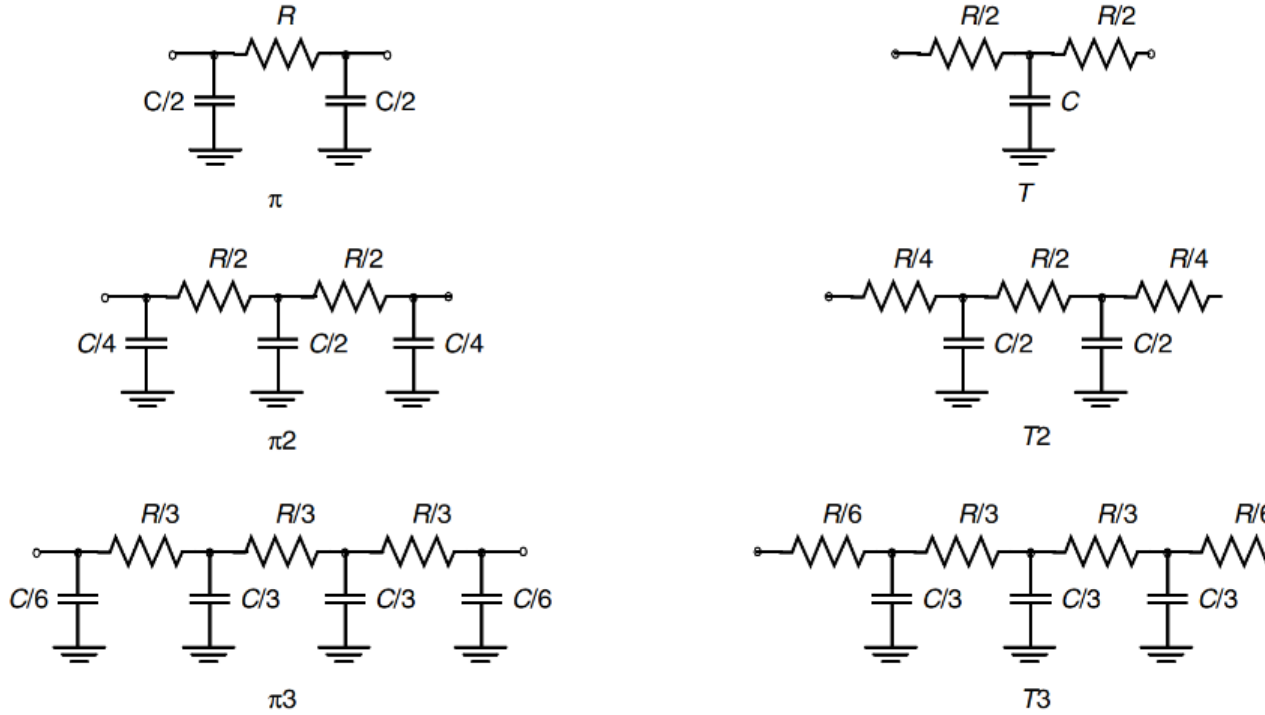
El modelo distribuido puede simplificarse mediante una escalera RC de N constantes concentradas donde se cumple:

▪

$$\sum_{i=1}^N R_i = R_{wire}$$

■

$$\sum_{i=1}^N C_i = C_{wire}$$

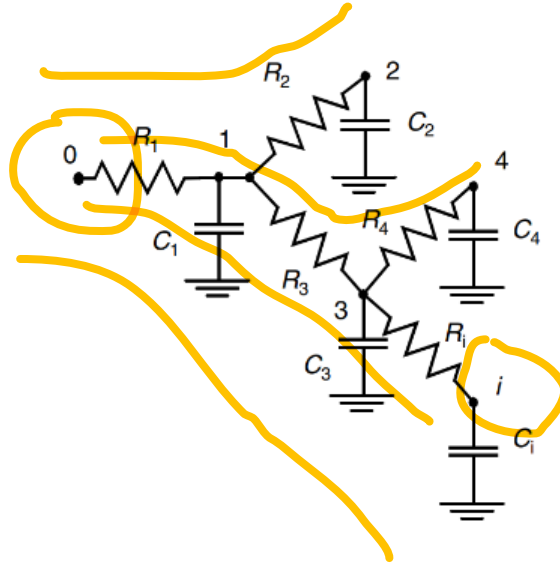


Este modelo de constantes concentradas por tramos puede usarse para analizar bifurcaciones en los conductores por medio de árboles RC.

7. Árboles RC

Hipótesis del modelo:

1. El circuito tiene un único nodo de entrada llamado 0.
2. Todos los capacitores están conectados entre un nodo y GND.
3. El circuito no tiene lazos resistivos.



Observaciones:

- Entre cualquier nodo i y la fuente 0, existe un camino resistivo unívoco. A este valor se le llama resistencia R_{ii} .

Ejemplo: $R_{44} = R_1 + R_3 + R_4$

- La resistencia compartida por los caminos $0 \rightarrow i$ y $0 \rightarrow k$ corresponde a

$$R_{ik} = \sum_{j \in (0 \rightarrow i) \cap (0 \rightarrow k)} R_j$$

Ejemplo: $R_{45} = R_1 + R_3$, $R_{52} = R_1$

Resulta entonces que $R_{ij} = R_{ji}$ y $R_{ii} > R_{ij}$ para todo $j \neq i$.

La transferencia entre la fuente y un nodo i puede expresarse con una ecuación de la forma:

$$\frac{V_i(s)}{V_0(s)} = H_i(s) = \frac{a_0 + a_1s + a_2s^2 + \dots + a_ns^n}{1 + b_1s + b_2s^2 + \dots + b_ms^m} \quad m > n \quad (5)$$

Teorema 1. Sea un árbol RC arbitrario. Entonces si la tensión de entrada $V_0(t)$ es monótona creciente (decreciente) toda tensión en un nodo i , $V_i(t)$ también lo es.

Teorema 2 (Serie de Taylor). Sea $f : \mathbb{C} \rightarrow \mathbb{C}$ holomorfa en z_0 y sea C el mayor círculo centrado en z_0 tal que su radio $a > 0$ donde f es holomorfa. Entonces

$$f(z) = \sum_{n=0}^{\infty} c_n(z - z_0)^n \quad \forall z : |z - z_0| < a, \quad c_n = \frac{f^{(n)}(z_0)}{n!} \quad (6)$$

- Sea $f(s) = e^{-st}$ entonces $f(0) = 1$
- Sea $f^{(1)}(s) = -te^{-st}$ entonces $f^{(1)}(0) = -t$
- Sea $f^{(2)}(s) = t^2e^{-st}$ entonces $f^{(2)}(0) = t^2$
- Sea $f^{(n)}(s) = (-1)^n t^n e^{-st}$ entonces $f^{(n)}(0) = (-1)^n t^n$

Luego

$$e^{-st} = \sum_{n=0}^{\infty} \frac{(-1)^n}{n!} t^n s^n$$

y como e^{-st} es holomorfa en todo el plano \mathbb{C} , entonces la serie es convergente para todo $s \in \mathbb{C}$.

Se puede escribir entonces

$$H_i(s) = \int_0^{\infty} h(t)e^{-st} dt = \int_0^{\infty} h_i(t) \sum_{n=0}^{\infty} \left(\frac{(-1)^n}{n!} t^n s^n \right) dt = \sum_{n=0}^{\infty} \left[\frac{(-1)^n}{n!} s^n \int_0^{\infty} t^n h_i(t) dt \right] \quad (7)$$

Sea

$$m_{ik} = \frac{(-1)^k}{k!} \int_0^{\infty} t^k h_i(t) dt$$

el *momento* de orden k de $h_i(t)$ entonces

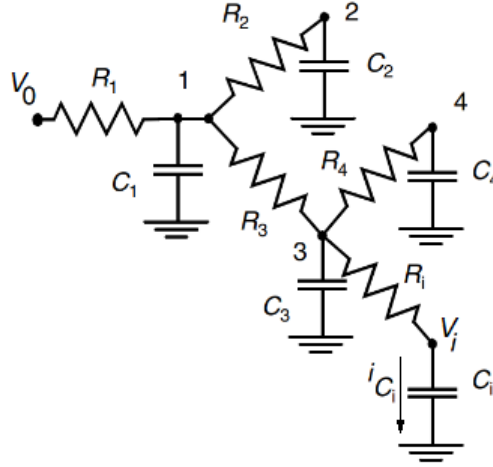
$$H_i(s) = \sum_{k=0}^{\infty} m_{ik} s^k = m_{0k} + \sum_{k=1}^{\infty} m_{ik} s^k \quad (8)$$

$$V_i(s) = \left(\sum_{k=0}^{\infty} m_{ik} s^k \right) V_0(s) = \sum_{k=0}^{\infty} m_{ik} s^k V_0(s) = \sum_{k=0}^{\infty} V_{ik}(s) \quad (9)$$

donde

$$V_{ik}(s) = m_{ik} s^k V_0(s) \quad (10)$$

7.1. Cálculo de momentos en un árbol RC



■ $k = 0$

De la ec. (10), si $k = 0$ entonces $V_{i0}(s) = m_{i0}V_0(s)$. En DC ($s = 0$) sabemos que no circula corriente por los capacitores, $i_{c_i}(s = 0) = 0$, por lo cual resulta $V_i(s = 0) = V_0(s = 0)$. Luego, $m_{i0} = 1$ para todo nodo i .

■ $k > 1$

Sabiendo que $m_{i0} = 1$, de la ec. (10) se tiene que la tensión en el capacitor c_i está dada por

$$V_i(s) = \left(1 + \sum_{k=1}^{\infty} m_{ik}s^k \right) V_0(s) \quad (11)$$

La corriente que circula por el capacitor c_i está dada por

$$i_{c_i}(s) = \frac{V_i(s)}{1/sc_i} = sc_i V_i = sc_i H_i(s) V_0(s) = \left(\sum_{k=0}^{\infty} c_i m_{ik} s^{k+1} \right) V_0(s) \quad (12)$$

Emparejando ambas ec. término a término se tiene

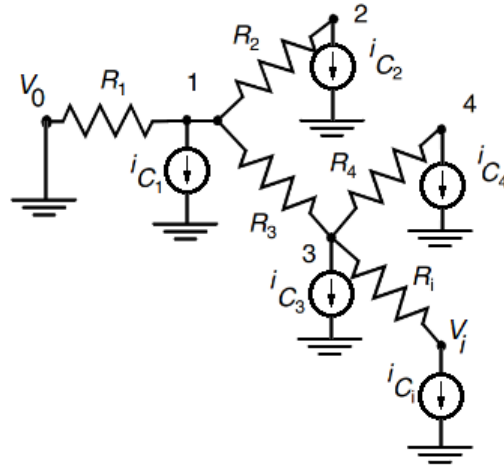
$$\begin{aligned} V_i(s) &= m_{i0}V_0(s) + m_{i1}s^1V_0(s) + m_{i2}s^2V_0(s) + m_{i3}s^3V_0(s) \dots \\ i_{c_i}(s) &= 0 + c_i m_{i0}s^1V_0(s) + c_i m_{i1}s^2V_0(s) + c_i m_{i2}s^3V_0(s) \dots \end{aligned} \quad (13)$$

Para el caso $V_0(t) = \delta(t)$ ($V_0(s) = 1$) resulta

$$\begin{aligned} V_i(s) &= m_{i0} + m_{i1}s^1 + m_{i2}s^2 + m_{i3}s^3 \dots \\ i_{c_i}(s) &= 0 + c_i m_{i0}s^1 + c_i m_{i1}s^2 + c_i m_{i2}s^3 \dots \end{aligned} \quad (14)$$

Observar que una corriente $i_{c_i} = m_{ik-1}c_i$ genera una tensión m_{ik} en el nodo i .

De la última observación, se desprende que reemplazando cada capacitor por una fuente de corriente de valor $i_{c_i} = m_{ik-1}c_i$ y $V_0(s) = 0$ se puede obtener el momento m_{ik} :



Resolviendo el circuito anterior, se pueden entonces obtener recursivamente todos los momentos para todo nodo i y obtener

$$H_i(s) = 1 + \sum_{k=1}^{\infty} m_{ik}s^k$$

Si bien está expresión de $H_i(s)$ es muy práctica de hallar por el método de momentos desde la topología del circuito, el problema radica en que es poco útil para conocer la evolución temporal de $V_i(t)$ ya que implica hallar las derivadas temporales. La expresión en suma de fracciones parciales resulta más conveniente:

$$H_i(s) = \sum_{k=0}^{\infty} \frac{a_i k}{s - p_i k} \quad (15)$$

Hay distintos métodos para convertir la transferencia expresada en término de suma de momentos a suma de fracciones parciales cada uno con ciertas ventajas desde la estabilidad numérica y/o complejidad algorítmica.

7.2. Wire delay

Ejemplo: Si la señal de entrada fuese un escalón:

$$V_0(t) = V_{DD}u(t) \longrightarrow V_0(s) = V_{DD}\frac{1}{s}$$

entonces

$$V_i(s) = H_i(s)V_0(s) = V_{DD} \sum_{k=0}^{\infty} \frac{a_{ik}}{s - p_{ik}} \frac{1}{s} = V_{DD} \sum_{k=0}^{\infty} \frac{a_{ik}}{p_{ik}} \left(\frac{1}{s - p_i} - \frac{1}{s} \right)$$

Luego,

$$V_i(t) = V_{DD} \left(\sum_{k=0}^{\infty} \frac{a_{ik}}{p_{ik}} (e^{p_i t} - 1) \right) u(t)$$

Ejemplo: Si la señal de entrada fuese una rampa $V_0(t) = r(t)$ entonces

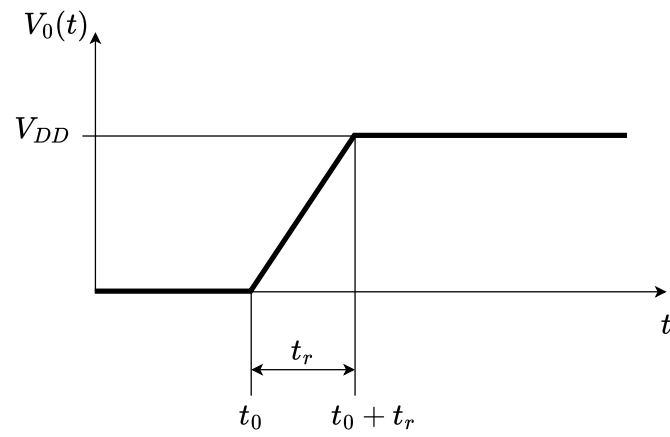
$$V_i(s) = H_i(s)V_0(s) = V_{DD} \sum_{k=0}^{\infty} \frac{a_{ik}}{s - p_{ik}} \frac{1}{s^2} = V_{DD} \sum_{k=0}^{\infty} \frac{a_{ik}}{p_{ik}^2} \left(\frac{1}{s - p_i} - \frac{1}{s} - \frac{p_i}{s^2} \right)$$

Luego,

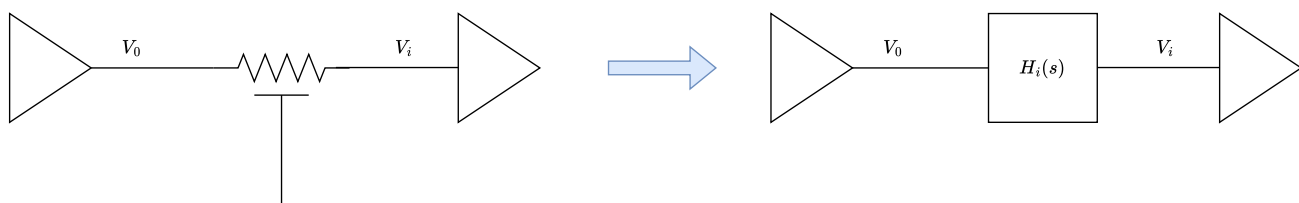
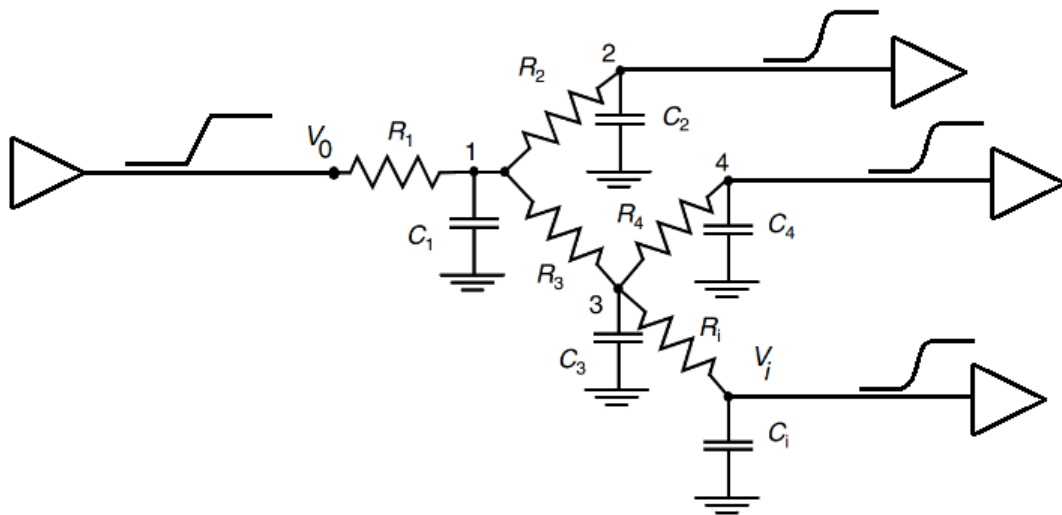
$$V_i(t) = V_{DD} \left(\sum_{k=0}^{\infty} \frac{a_{ik}}{p_{ik}^2} (e^{p_i t} - 1 - p_i r(t)) \right) u(t)$$

Ejemplo: Una rampa saturada puede ser representada por una descomposición de rampas y escalones:

$$V_0(t) = V_{DD} \frac{t}{t_r} u(t - t_0) - V_{DD} \frac{t}{t_r} u(t - t_0 t_r) + V_{DD} u(t - t_0 - t_r)$$

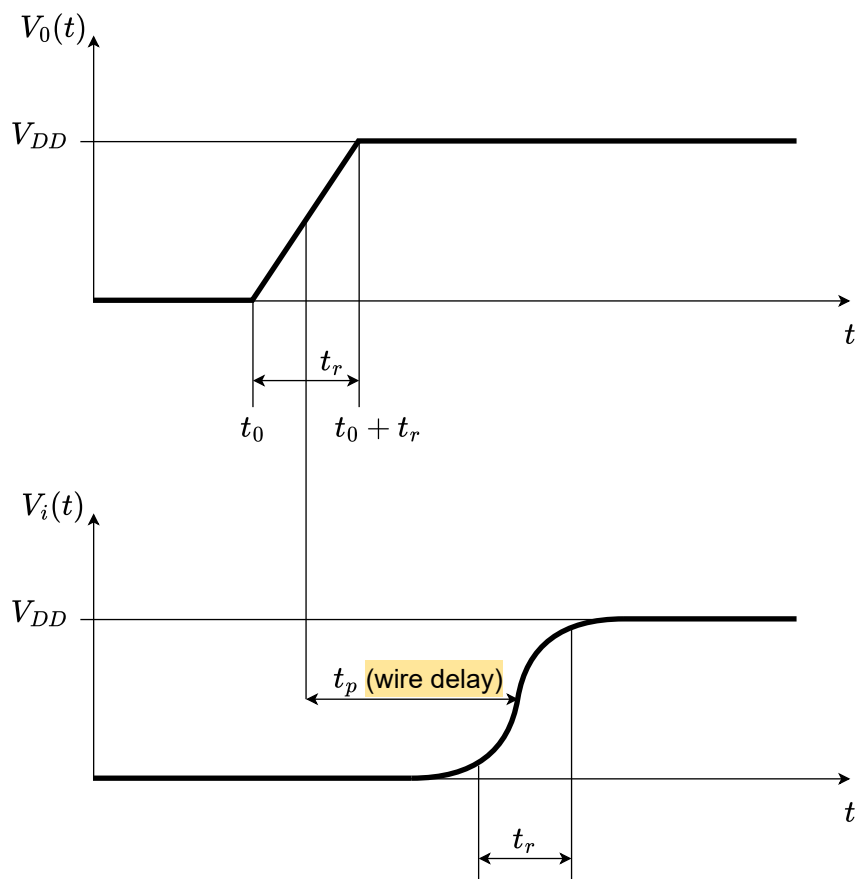


Hasta ahora hemos logrado el siguiente escenario:



- Datos conocidos: Rise time de $V_0(t)$, topología física del conductor.

- Se obtienen N momentos de la red.
- Se transforma en una expresión de sumas parciales hasta una cantidad M de términos.
- Se halla la respuesta a la rampa.
- Se obtiene el retardo del conductor y el rise time de salida.



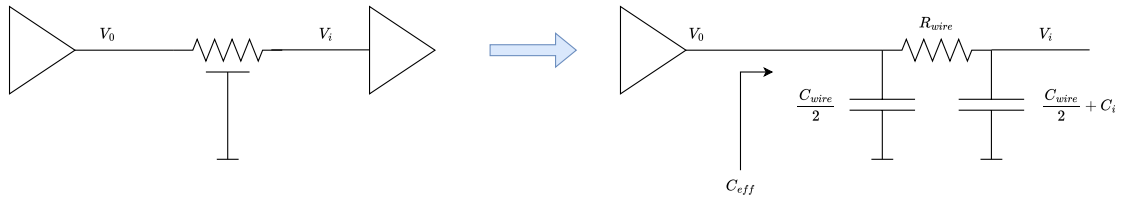
8. Capacidad efectiva de carga

En general, la caracterización de una compuerta (tal como el modelo NLDM) se basan en un rise (fall) time de entrada (slew in) y una capacidad de salida, para los cuales se tabula el rise (fall) time (slew out) y el retardo de propagación t_p . Dicha caracterización no es

directamente aplicable si la carga no es puramente capacitiva, por ejemplo, cuando la resistencia del conexionado no es despreciable frente a la R_{ON} de salida de la compuerta.

Una forma de sobrellevar esta situación, es suponer que la salida de la compuerta está cargada por una capacidad pura, diferente a la capacidad de entrada de las compuertas destino, conocido como *capacidad efectiva de carga*.

Supongamos a modo de ejemplo que el wire se puede aproximar de forma razonable por un circuito de tipo π :



- Si $R_{wire} \rightarrow 0$ entonces $C_{eff} = C_{wire} + C_i$
- Si $R_{wire} \rightarrow \infty$ entonces $C_{eff} = C_{wire}/2$

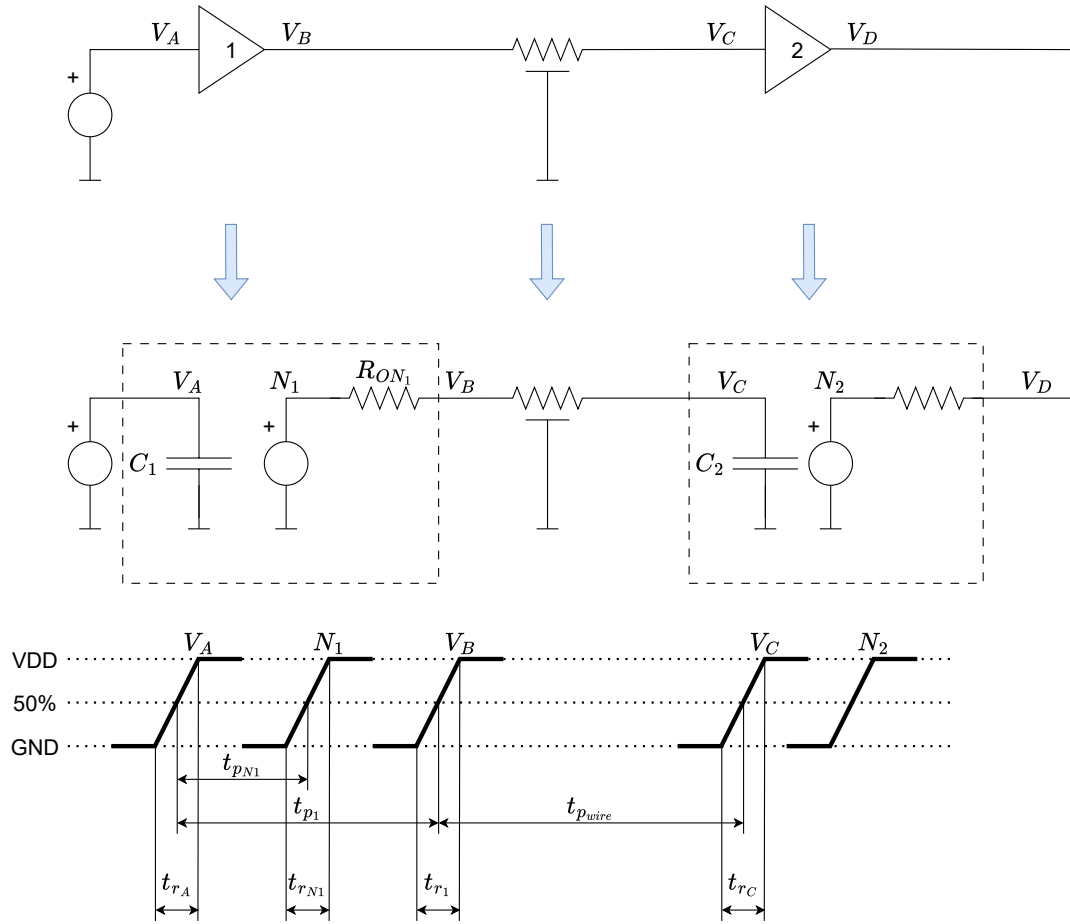
En general,

$$C_{eff} = \frac{C_{wire}}{2} + k \left(\frac{C_{wire}}{2} + C_i \right), \quad 0 < k \leq 1$$

En general, este método puede ser buena aproximación para calcular el retardo de la compuerta fuente y su slew de salida.

Se ha comprobado en la práctica que a medida que las dimensiones de los procesos de fabricación disminuyen, la resistencia de los conductores tiende a aumentar relativamente con respecto a la resistencia de salida de las compuertas lógicas. Para estos casos, en lugar de una fuente de tensión ideal, se recurre a un modelo de Thevenin o Norton.

Nos encontramos entonces en el siguiente escenario:

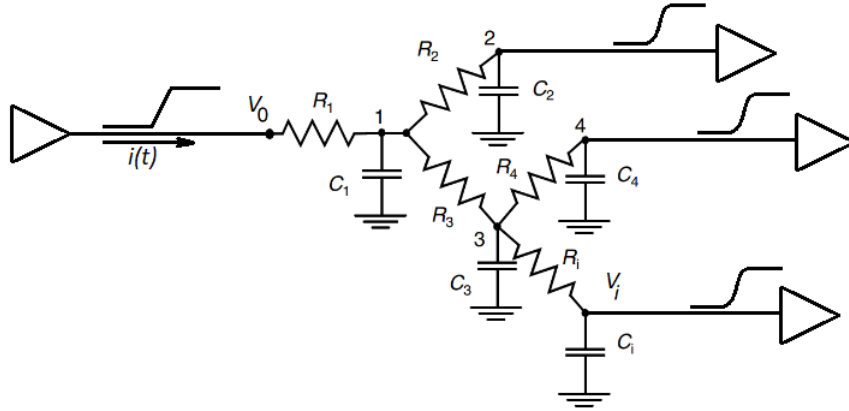


Datos: Slew in t_{rA} , NLDM₁ (liberty file), C_2 (liberty file), $H_{wire}(s)$ (parasitic extraction).

Procedimiento:

1. Se hallan t_{p1} y t_{r1} desde el NLDM₁ usando como entrada Slew in, $C_{eff} = C_2 + C_{wire}$.
2. Se halla V_{N1} (es decir t_{pN1} y t_{rN1}), R_{ON1} de forma que en el nodo B , la señal V_B tenga los valores t_{p1} y t_{r1} .
3. Teniendo el modelo del wire hasta el momento de orden deseado, se halla la corriente promedio I_{AVG} .

$$I_{AVG} = \int_0^{\infty} i(dt)dt$$



4. Se actualiza el valor de C_{eff} de forma tal que $I_{C_{eff}} = I_{AVG}$.
5. Si C_{eff} converge a un valor fijo, $|C_{eff_{i+1}} - C_{eff_i}| < \varepsilon$, termina el procedimiento, sino vuelve a iterarse desde el principio con el valor actualizado de C_{eff} .

8.1. Cálculo de slew en la entrada de la compuerta de carga

Finalmente, cuando el valor de C_{eff} converge, se tiene a su vez los valores de R_{ON1} , t_{pN1} , t_{rN1} . Conociendo $H_{wire}(s)$ se computa $V_c(s)$ y $V_C(t)$ obteniendo los valores de t_{pwire} y t_{rC} para aplicar ahora el mismo procedimiento en la compuerta 2.

9. Elmore delay

Sabemos que la respuesta al escalón para un sistema lineal de respuesta impulsiva $h(t)$ está dada por:

$$g(t) = \int_0^t h(\tau) d\tau \quad (16)$$

Si se quiere hallar el retardo al 50 % de excursión, entonces:

$$g(t = T_{50\%}) = \int_0^{t=T_{50\%}} h(\tau) d\tau \quad (17)$$

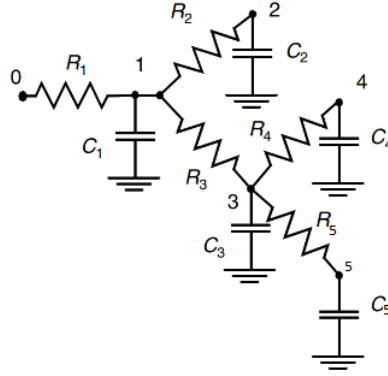
La aproximación de Elmore, consiste en aproximar $T_{50\%}$ por el momento de orden 1:

$$T_{50\%} \simeq T_D = \int_0^\infty t h(t) dt \quad (18)$$

Se puede demostrar que siempre para un árbol RC resulta que $T_D > T_{50\%}$. Puede demostrarse también que para el nodo i de un árbol RC de N nodos se cumple:

$$T_{D_i} = \sum_{k=1}^N R_{ki} C_k \quad (19)$$

Ejemplo:



$$T_{D_5} = R_{1,5}C_1 + R_{2,5}C_2 + R_{3,5}C_3 + R_{4,5}C_4 + R_{5,5}C_5$$

$$R_{1,5} = R_1$$

$$R_{2,5} = R_1$$

$$R_{3,5} = R_1 + R_3$$

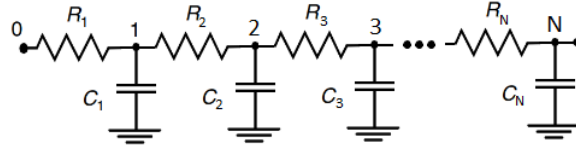
$$R_{4,5} = R_1 + R_3$$

$$R_{5,5} = R_1 + R_3 + R_5$$

Luego,

$$T_{D_5} = R_1C_1 + R_1C_2 + (R_1 + R_3)C_3 + (R_1 + R_3)C_4 + (R_1 + R_3 + R_5)C_5$$

Ejemplo: Árbol sin ramas



Luego,

$$T_{DN} = R_1 C_1 + (R_1 + R_2) C_2 + (R_1 + R_2 + R_3) C_3 + \dots + \sum_{j=1}^N C_j = \sum_{i=1}^N N \left(\sum_{j=1}^i R_j \right) C_i$$

Si $R_i = R_{wire}/N = r.L/N$, $C_i = C_{wire}/N = c.L/N$ entonces,

$$T_{DN} = \sum_{i=1}^N N \left(\sum_{j=1}^i R_j \right) C_i = \frac{rc}{2} L^2 \frac{N+1}{N} \Rightarrow \frac{rc}{2} L^2$$

Comparar con un modelo de constantes concentradas para el cual $T_D = 0,69rcL^2$.