

Introducción a switched capacitor

Leandro Fuentes

lfuentes@fi.uba.ar

Calendario

Capítulo 1: Introducción

- Clase 1: Transistores Bipolar y MOS. Pequeña señal. Circuitos monoetapas
- Clase 2: Cadence - Introducción y Circuitos monoetapas
- Clase 3: Par diferencial. Amplificador diferencial. Implementación básica

Capítulo 2: Respuesta en Frecuencia y Estabilización

- Clase 4: Amplificador operacional: Respuesta en frecuencia, estabilidad. Capacidades asociadas al transistor MOS
- Clase 5: Cadence - Amplificador operacional. Operación en DC, offset sistemático, ganancia
- Clase 6: Estabilización, Miller, cero asociado, compensaciones avanzadas
- Clase 7: Cadence - Amplificador operacional. Respuesta en frecuencia, estabilidad

Calendario

Capítulo 3: Amplificadores Avanzados

- Clase 8: Amplificadores avanzados. Current mirror opamp, cascode, folded amplifier, folded cascode.
- Clase 9: Amplificadores avanzados. Push-pull output, Diff-diff, CMFB
- Clase 10: Cadence - Amplificadores avanzados

Capítulo 4: Ruido y Offset

- Clase 11: Offset
- Clase 12: Ruido
- Clase 13: Cadence - Diseño con offset y ruido

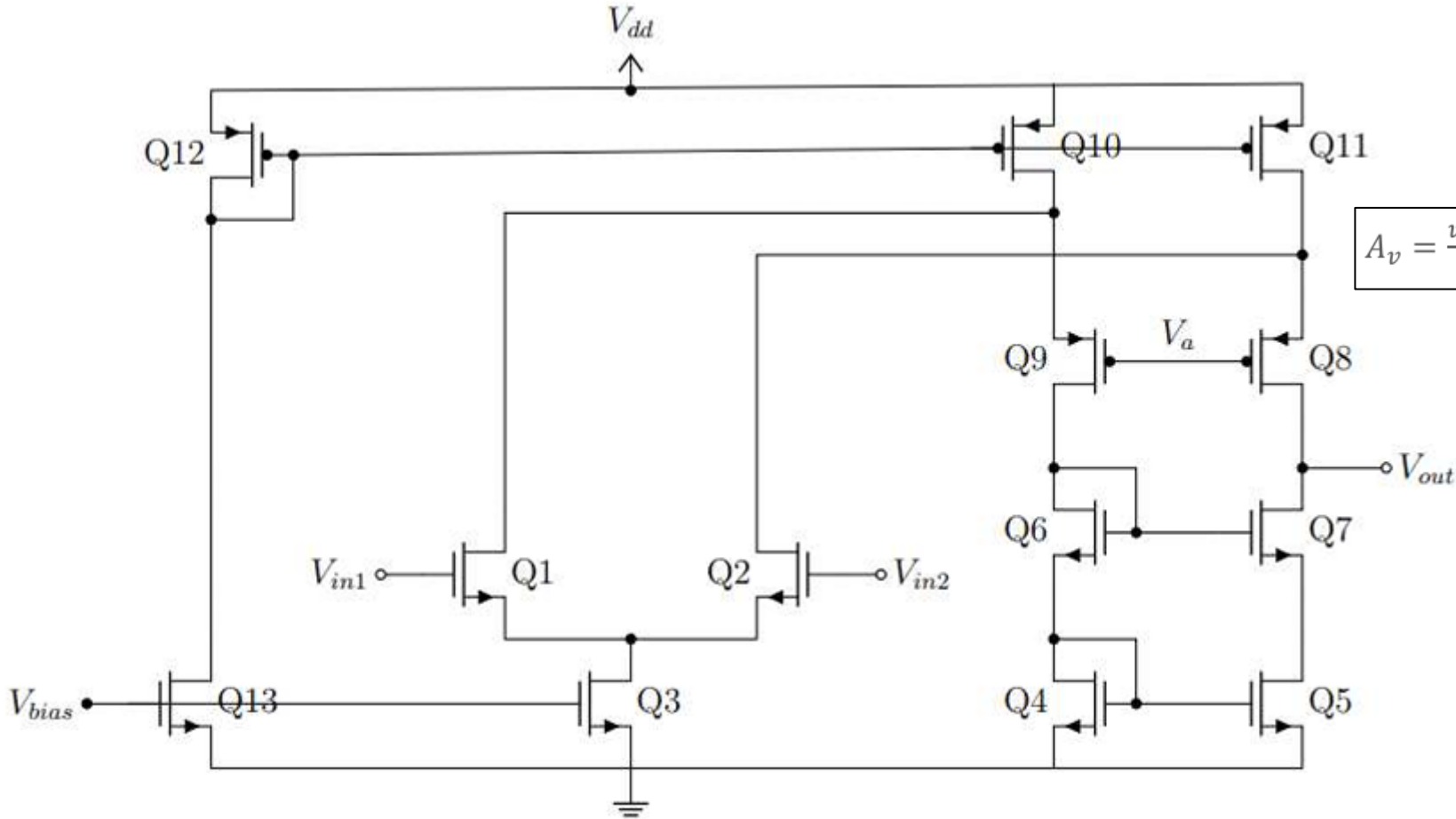
Capítulo 5: Circuitos Auxiliares

- Clase 14: Circuitos auxiliares. Referencias, bandgap, osciladores
- Clases 15 y 16: Extra – Introducción al diseño físico de semiconductores (layout)

Contenido Clase 9 (SC)

- Introducción a switched cap
- Resistencia switchheada
- MOS switch
- Capacitores MOS
- Switched cap integrator
- Otros temas (no cubiertos)
- Referencias

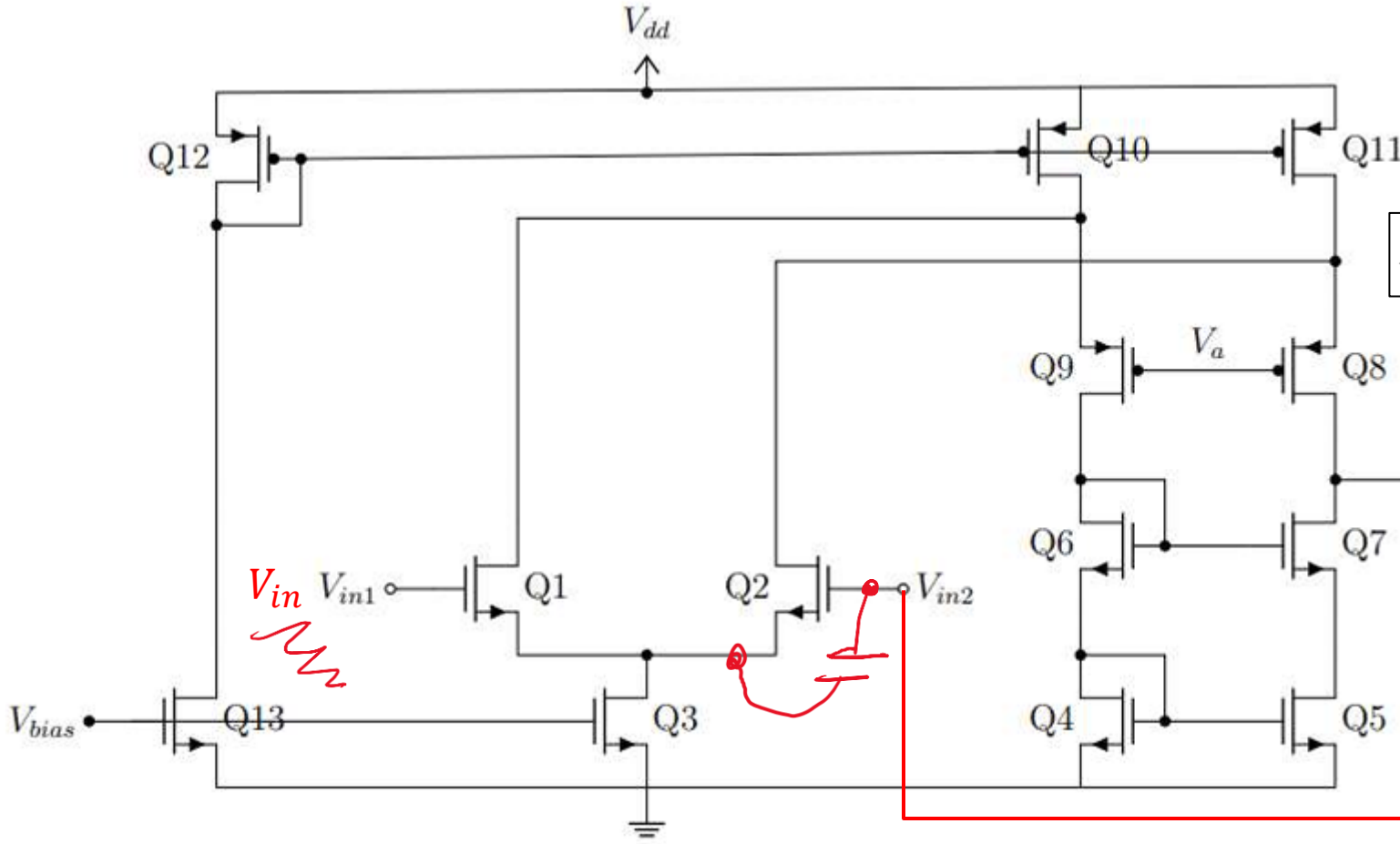
- Amplificadores avanzados (clase 8) con feedback resistivo



$$A_v = \frac{v_{out}}{v_{id}} = g_{m_{diff}} \cdot (g_{m8}r_{o8}(r_{o2}||r_{o11})||g_{m7}r_{o7}r_{o5})$$

$G_m \times R_{out}$
 $(g_{m10}R)^2 \rightarrow 2 \text{ STAGE}$

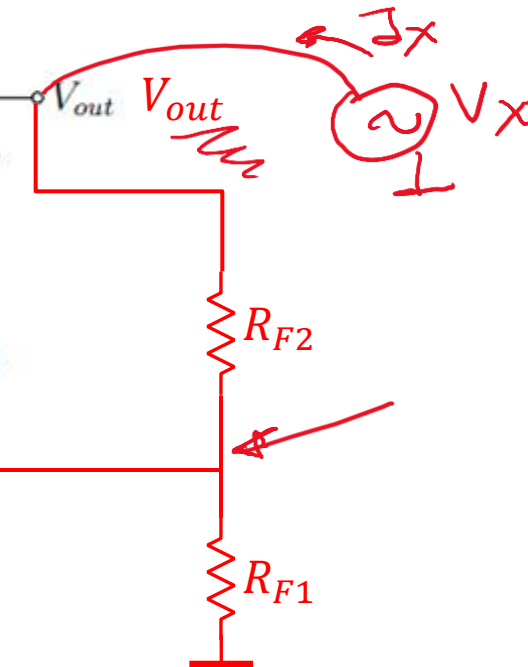
- Amplificadores avanzados (clase 8) con feedback resistivo



- ΔI_{E_A}
 - Q_{VID}
 - $P_{do EXTRA}$
 g_{m10}^2
 r_{o11}
 r_{o12}

$$A_v = \frac{v_{out}}{v_{id}} = g_{m_{diff}} \cdot (g_{m8} r_{o8} (r_{o2} || r_{o11}) || g_{m7} r_{o7} r_{o5})$$

¿Es válida la expresión: $LG = A_v \cdot \frac{R_{F1}}{R_{F1} + R_{F2}}$?



Switched Cap

Introducción a switched cap

Ejercicio:

- Para el circuito de la figura, obtenga la ganancia a lazo cerrado, sin incluir e incluyendo el efecto de la resistencia de salida del OTA

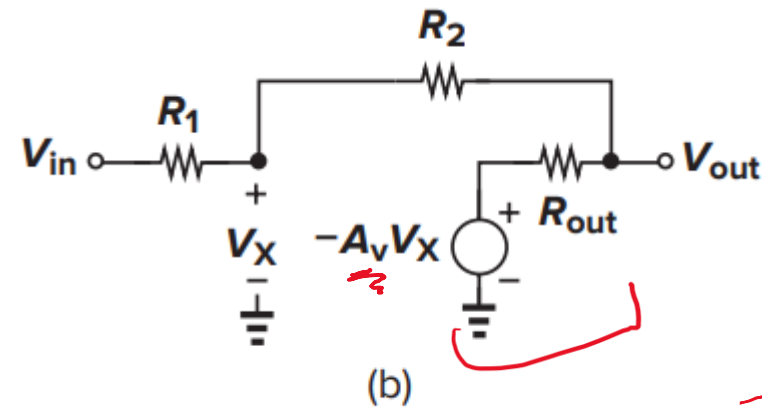
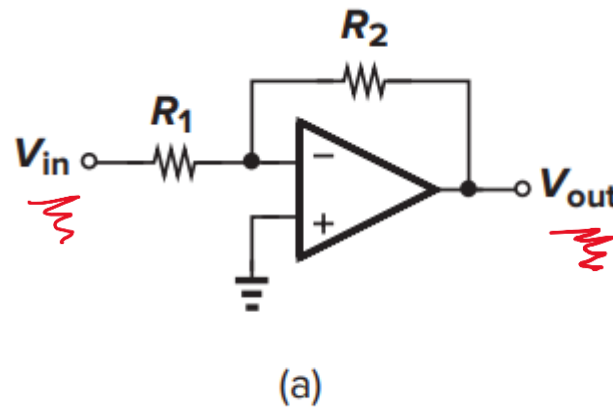


Figure 13.1 (a) Continuous-time feedback amplifier; (b) equivalent circuit of (a).

$$\frac{V_{out}}{V_{in}} = -\frac{R_2}{R_1} \cdot \frac{A_v - \frac{R_{out}}{R_2}}{1 + \frac{R_{out}}{R_1} + A_v + \frac{R_2}{R_1}}$$

(13.2)

$$A_{V_{CL}}^{ideal} = -\frac{R_2}{R_1}$$

$$R_{out} = 0$$

$$A_v = \infty$$

$$A_{V_{CL}} =$$

$$R_{out} = 0$$

$$A_v \neq \infty$$

$$A_{V_{CL}} =$$

$$R_{out} \neq 0$$

$$A_v \neq \infty$$

- **Idea!**
 - Reemplazar a las resistencias de feedback por capacitores, que no cargan resistivamente al OTA

• Problema

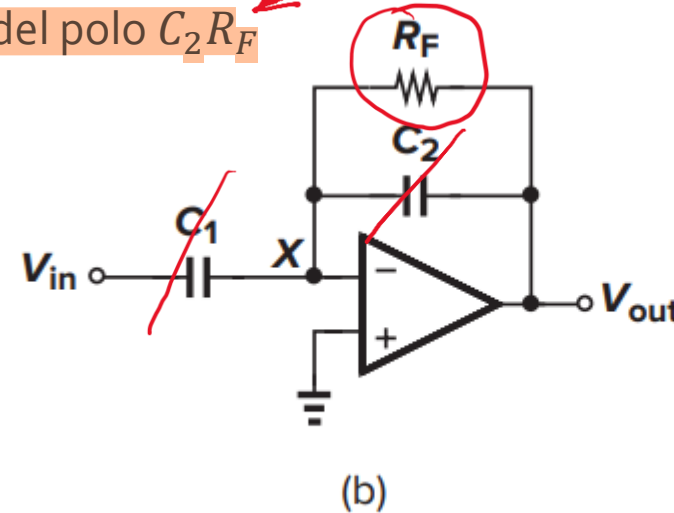
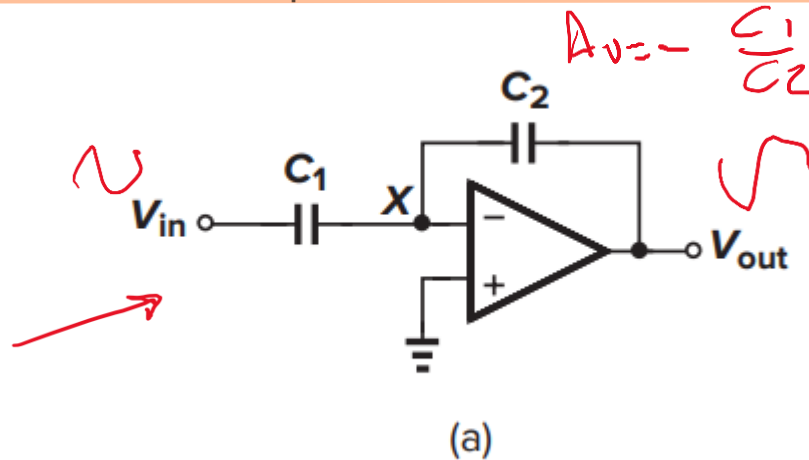
- ¿Cómo controlamos la polarización del nodo "X"? ←

• Idea 2!

- Una R_F de alto valor ofrece un camino para la polarización ←

• Problema

- Sólo cumple la función esperada en frecuencias arriba del polo $C_2 R_F$ ←



$$R_F < \frac{1}{2\pi f C_2}$$

$$-\frac{C_1}{C_2}$$

←

$\frac{1}{2\pi f C_2}$

ω

Figure 13.2 (a) Continuous-time feedback amplifier using capacitors; (b) use of resistor to define bias point.

Idea 3!

- Periódicamente cerrar S_2 . El OTA, conectado como buffer, ajusta el nodo "X" tal que $V_X \approx V_B$

Problema

- La salida V_X está disponible sólo cuando S_2 está abierto
- Esto último va a volverse una característica de este tipo de circuitos

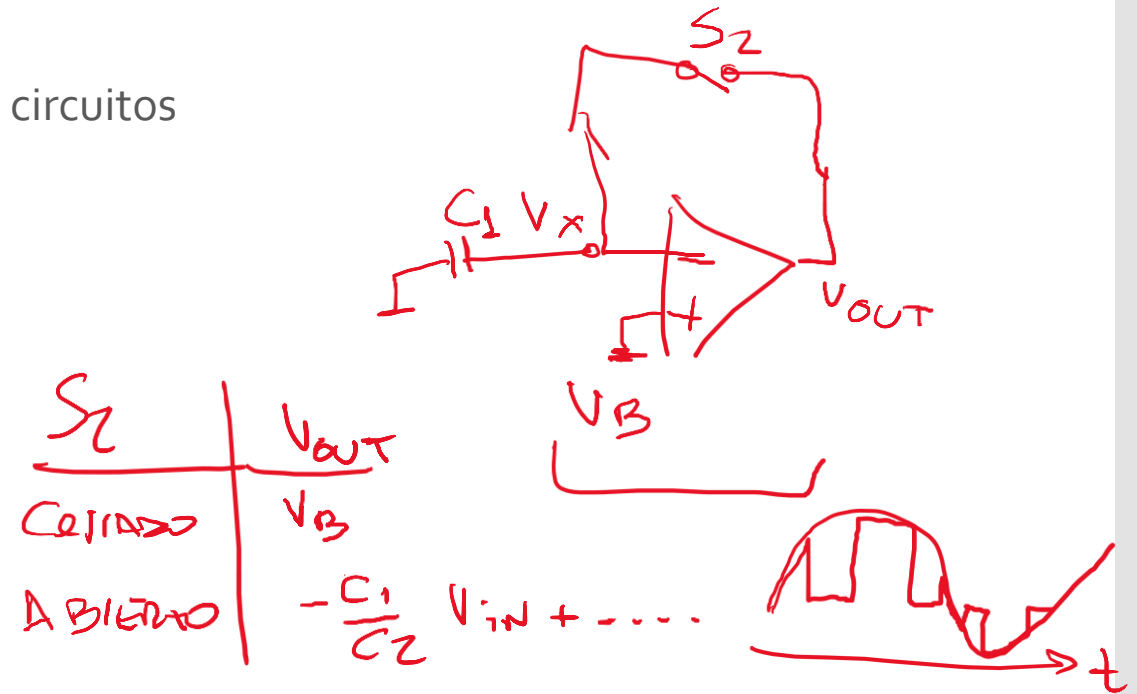
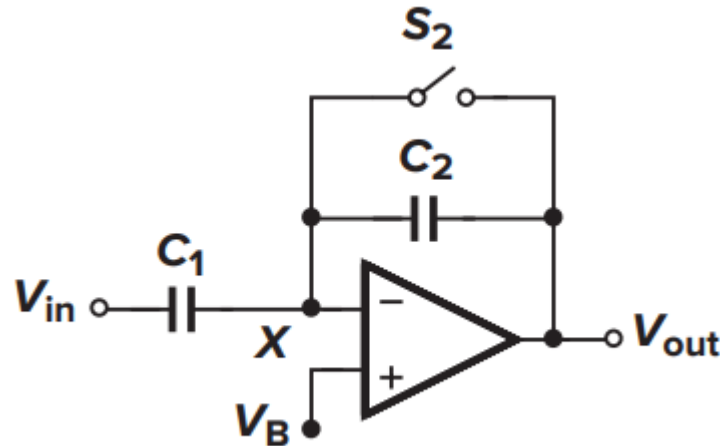


Figure 13.4 Use of feedback switch to define dc input level.

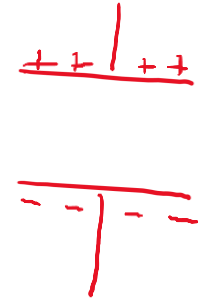
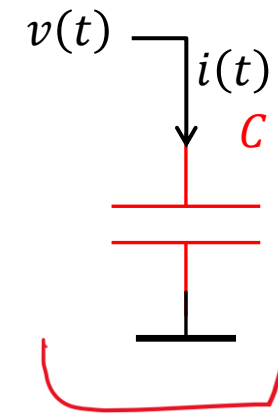
- Repaso de capacitores

- $Q[\text{Coulomb}] = C \cdot V$

- $i(t) = \frac{dQ}{dt} = \frac{d(C \cdot v(t))}{dt} = C \frac{dv(t)}{dt} \rightarrow I = SCV$

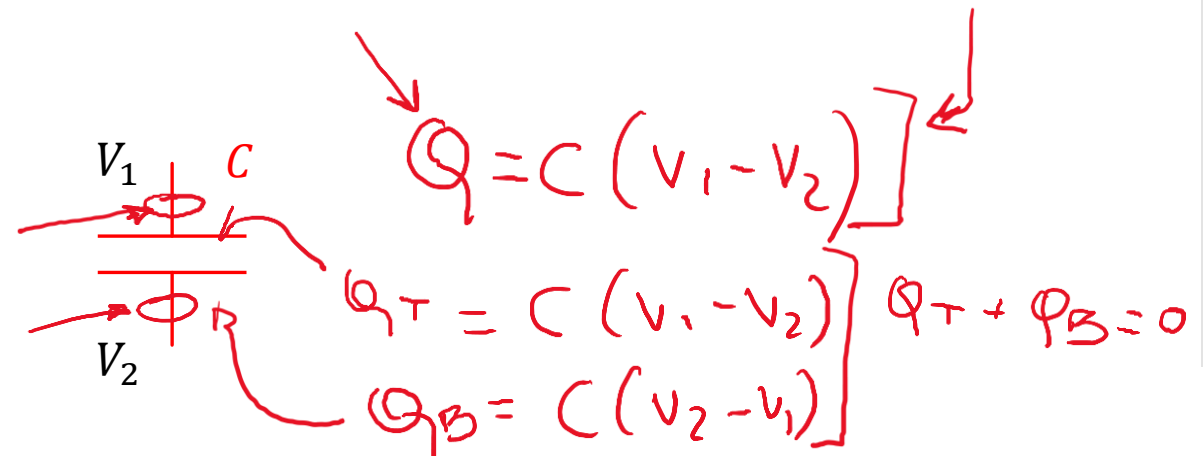
$I = \frac{dQ}{dt}$

- $v(t) = V_0 + \frac{1}{C} \int_0^t i(\tau) d\tau = \frac{Q_0}{C} + \frac{1}{C} q(t)$



- Pregunta:

- Para el capacitor de la figura,
 - ¿Qué carga tiene el capacitor?
 - ¿Qué carga tiene cada placa del capacitor?



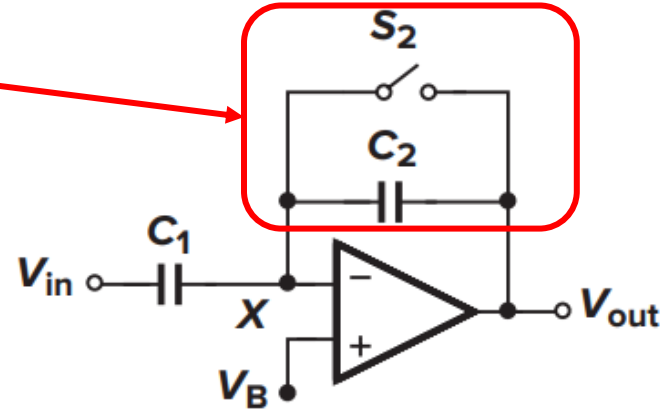
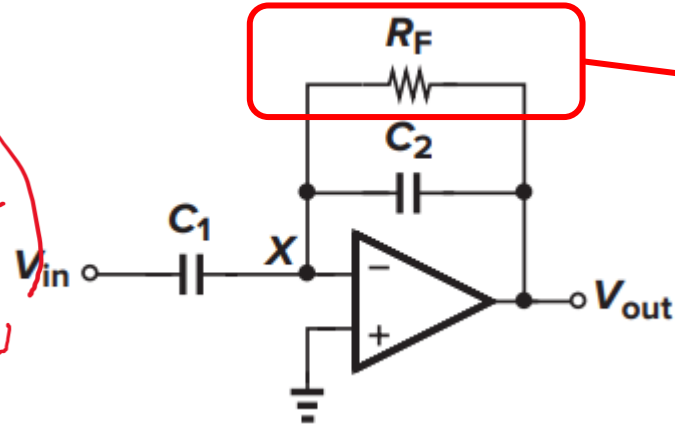
Switched Cap Resistencia switchheada

- Analicemos esta técnica de reemplazar una resistencia por un circuito SC

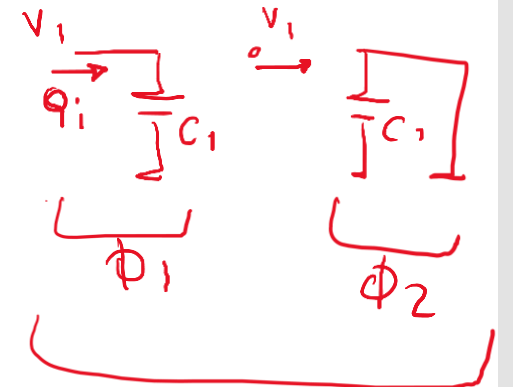
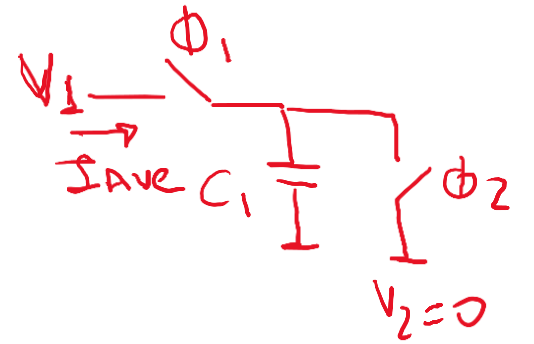
$$\rightarrow R_{eq} = \frac{V_1}{I_{AVE}} = \frac{T}{C_1}$$

$$R_{eq} = \frac{1}{f C_1} \left(\frac{1}{2\pi f C_1} \right)$$

ω
 Z_C

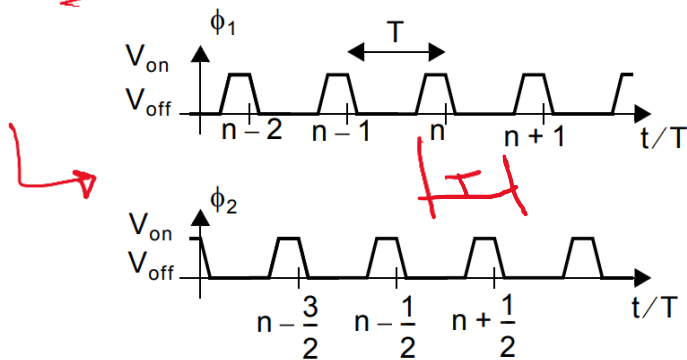


$$I_{AVE} = \frac{C_1(V_1 - V_2)}{T} \rightarrow V_1 \rightarrow R_{eq} \rightarrow V_2$$



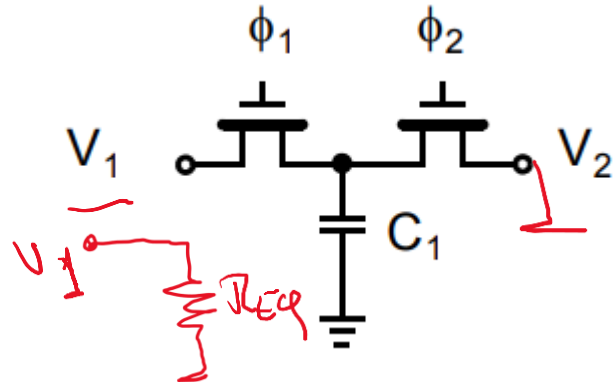
Ejercicio:

- Calcule la corriente promedio entrante por V_1 . Suponga primero $V_2 = 0V$ y luego V_2 un valor arbitrario.
- Calcule la resistencia equivalente vista entre los terminales



$$f_s \equiv \frac{1}{T}$$

2C-2024



$$\phi_1 \rightarrow Q_i = V_1 C_1$$

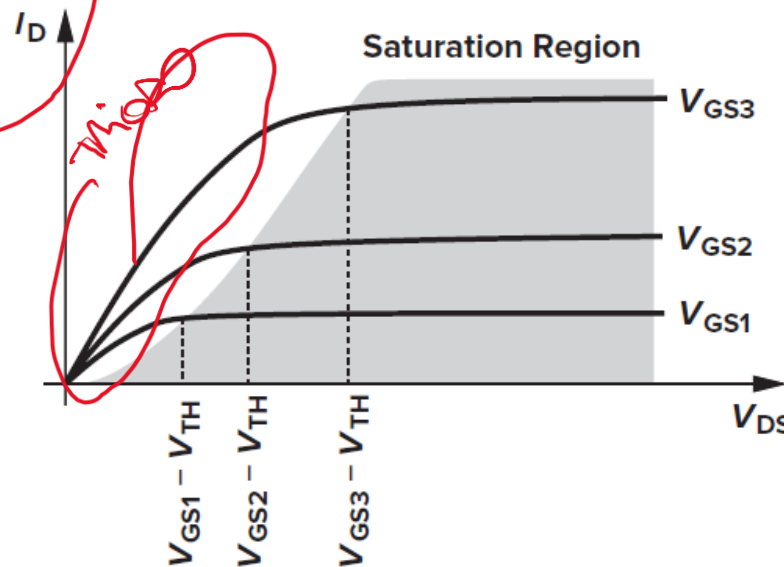
$$\phi_2 \rightarrow Q_i = 0$$

$$I_{AVE} = \frac{V_1 C_1}{T} \rightarrow R_{eq} = \frac{V_1}{I_{AVE}} = \frac{T}{C_1}$$

- La tecnología MOS permite implementar switches con simplicidad
 - Esto habilita la implementación de circuitos SC
- Repaso de MOS en strong inversion

		V_{GS}	
		$< V_{TH}$	$> V_{TH}$
V_{DS}	$< V_{SAT}$	OFF	TRIODE
	$> V_{SAT}$	OFF	SAT

$$I_D = \mu C_{ox} \frac{W}{L} \left(V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right) \cdot V_{DS}$$



$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2$$

$$V_{DS} \approx 0$$

$$I_D \approx \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \cdot V_{DS}$$

Figure 2.15 Saturation of drain current.

• Ejercicio:

- M1 es un switch en el circuito de track & hold
- Calcule la resistencia equivalente entre sus terminales

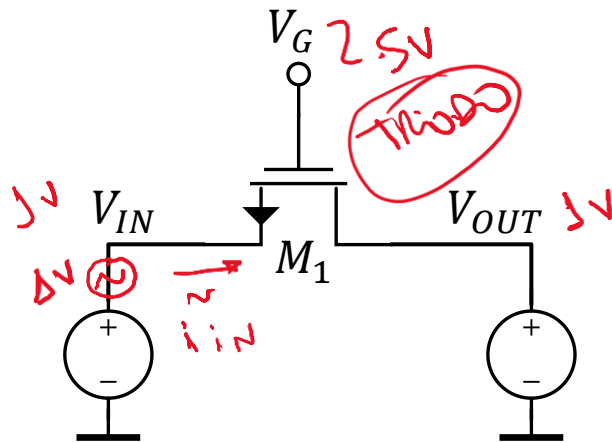
Considere:

$$\mu_N C_{ox} = 100 \mu A/V^2, V_{TH} = 0.7 V$$

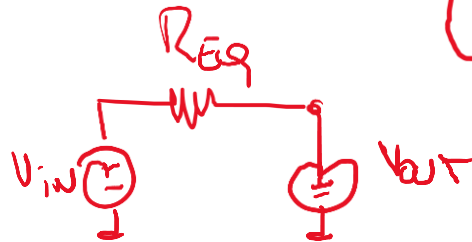
$$V_G^{MAX} = 2.5 V, V_{IN} = 1 V$$

$$W = 1 \mu m, L = 0.1 \mu m$$

$$V_{IN} \approx V_{OUT} \rightarrow V_{DS} \approx 0$$



$$R_{EQ} = \frac{V_{IN}}{i_{IN}}$$



2C-2024

$$V_{DS} \approx 0$$

$$I_D \approx \mu_N C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \cdot V_{DS}$$

$$V_{GS} = 2.5 - 1V = 1.5V$$

$$I_D = \mu_N C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \cdot \underbrace{V_{DS}}_{=0} = 0$$

$$\Delta I = \mu_N C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \Delta V$$

$$R_{EQ} = \frac{\Delta V}{\Delta I} = \frac{1}{\mu_N C_{ox} \frac{W}{L} (V_G - V_{IN} - V_{TH})}$$

$$g_m = \frac{1}{R_{EQ}}$$

• Ejercicio:

- M1 es un switch en el circuito de track & hold
- Indique cómo varía la resistencia del canal R_{ON} según el valor de V_{IN}

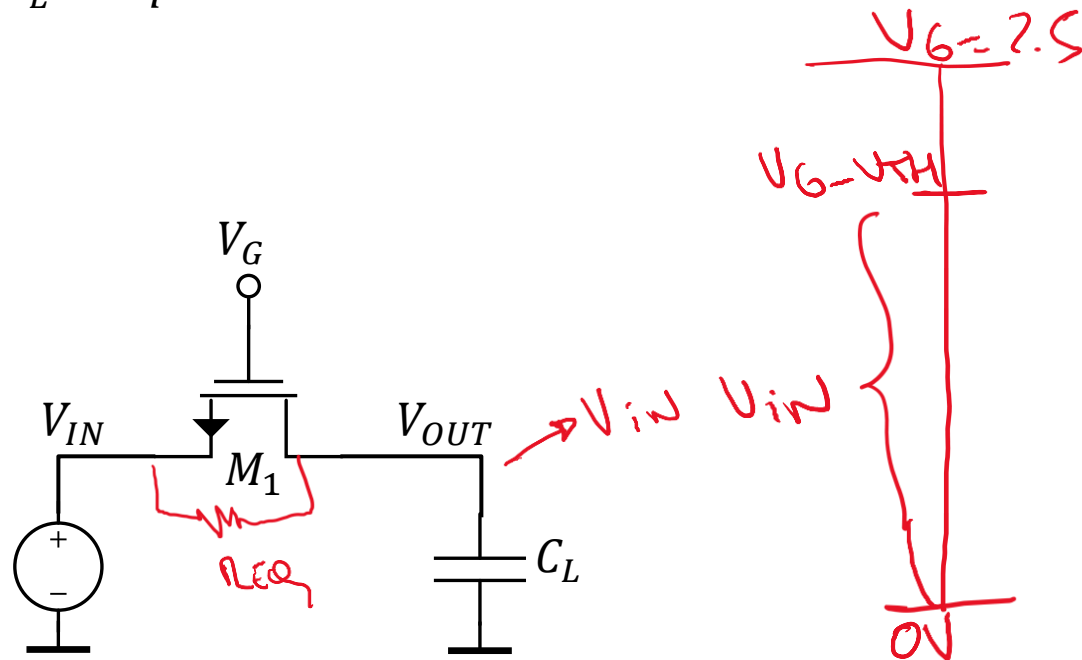
Considere:

$$\mu_N C_{ox} = 100 \mu A/V^2, V_{TH} = 0.7 V$$

$$V_G^{MAX} = 2.5 V, V_{IN} = 1 V$$

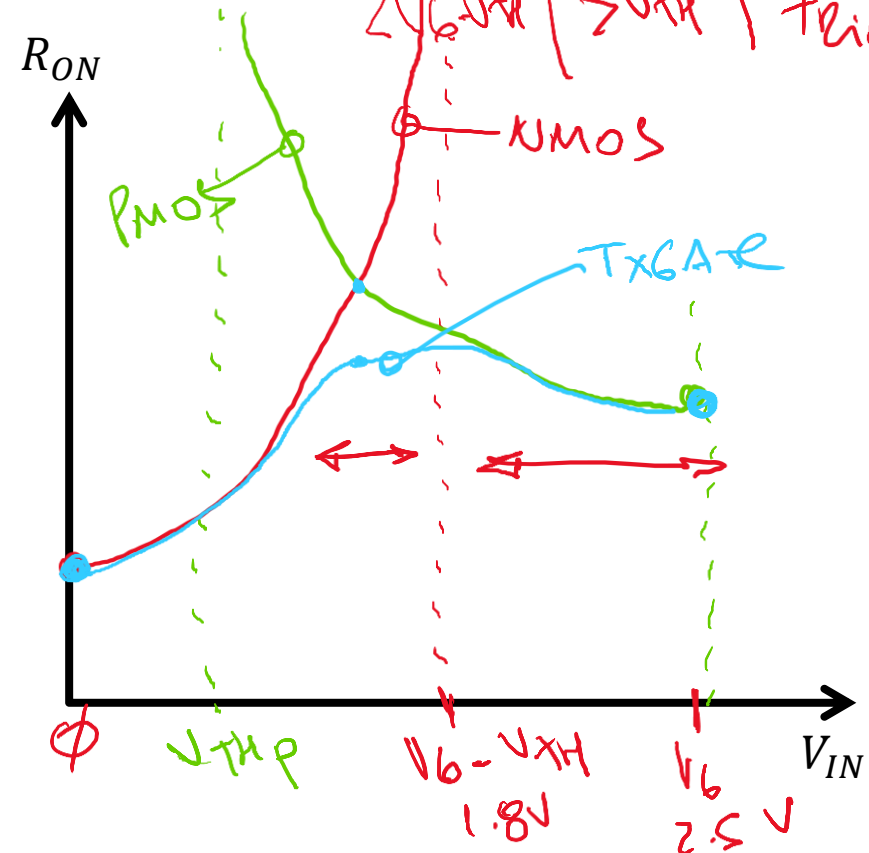
$$W = 1 \mu m, L = 0.1 \mu m$$

$$C_L = 1 pF$$



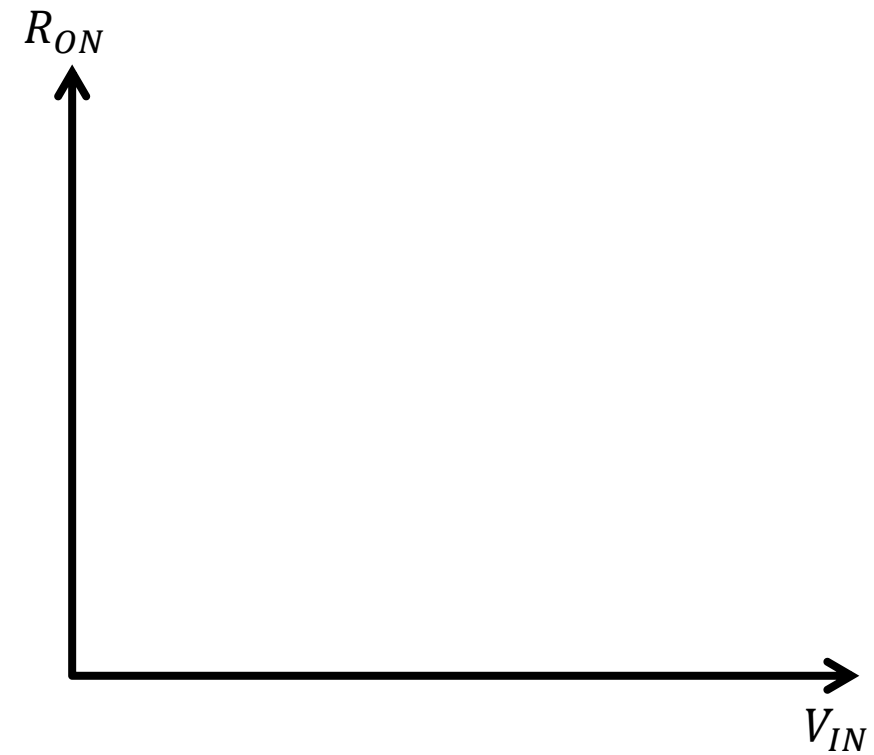
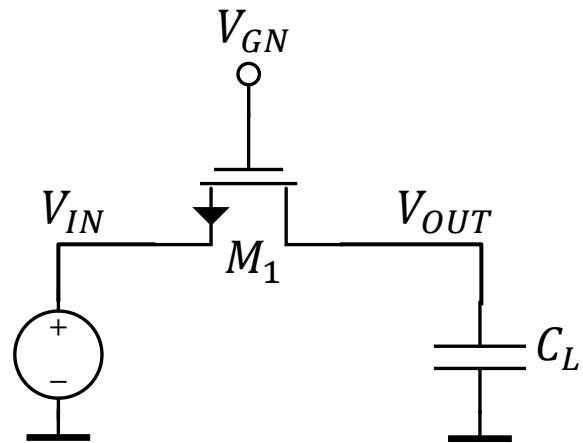
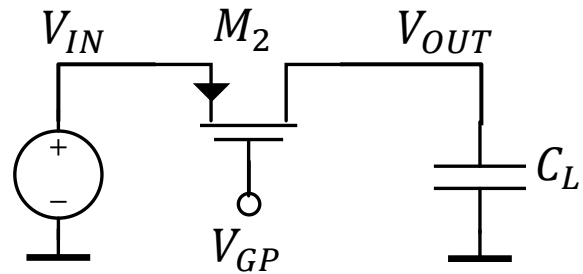
$$R_{eq} = R_{on} = \frac{1}{\mu_N C_{ox} \frac{W}{L} (V_G - V_{IN} - V_{TH})}$$

V_{IN}	V_{GS}	
V_G	ϕ	off
$V_G - V_{TH}$	V_{TH}	off (Border)
$V_G - V_{TH}$	$> V_{TH}$	TRIODE



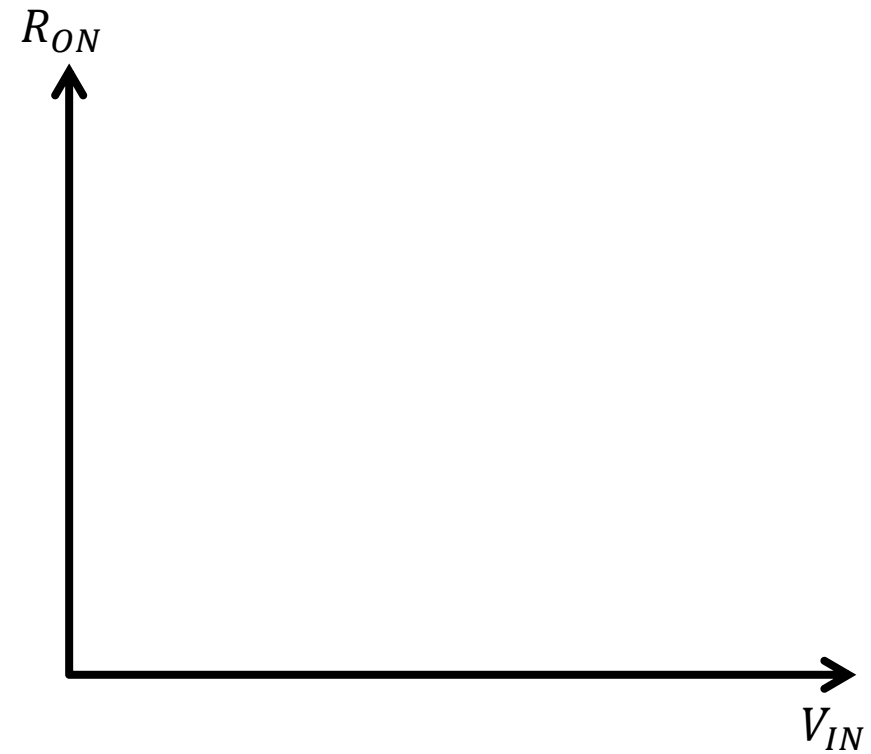
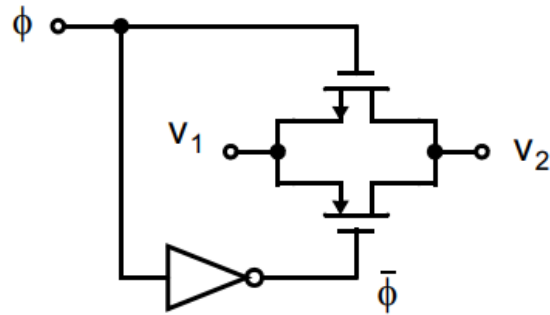
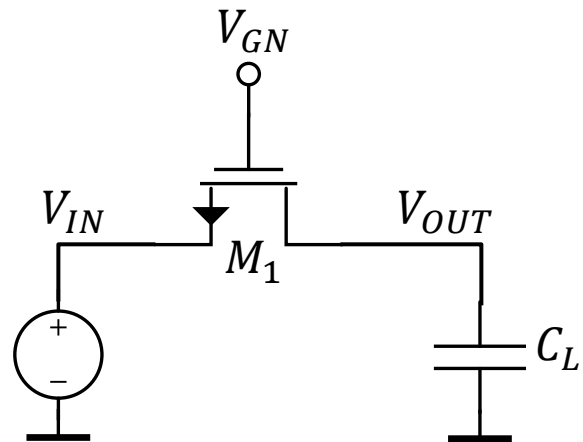
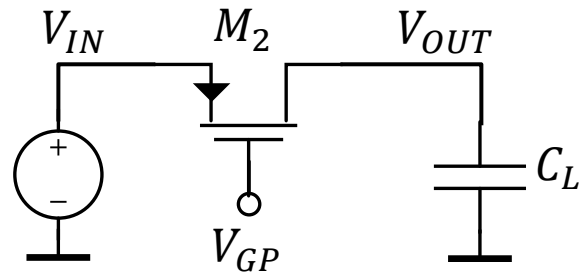
- Ejercicio:

- M1 es un switch en el circuito de track & hold
- ¿Cómo varía el resultado si en lugar de un NMOS se usa un PMOS?



- Ejercicio:

- M1 es un switch en el circuito de track & hold
- ¿Y si combina ambos?



- Repaso de capacitores en un proceso CMOS+
- Los principales parámetros son:
 - Densidad de capacidad
 - Capacidades parásitas: **top plate / bottom plate**
 - Resistencia parásita
 - Linealidad
 - Matching
 - Cmax/Cmin (varactores)
- Opciones disponibles:
 - MOS Caps y Varactores
 - Poly-Poly Caps
 - Metal Caps

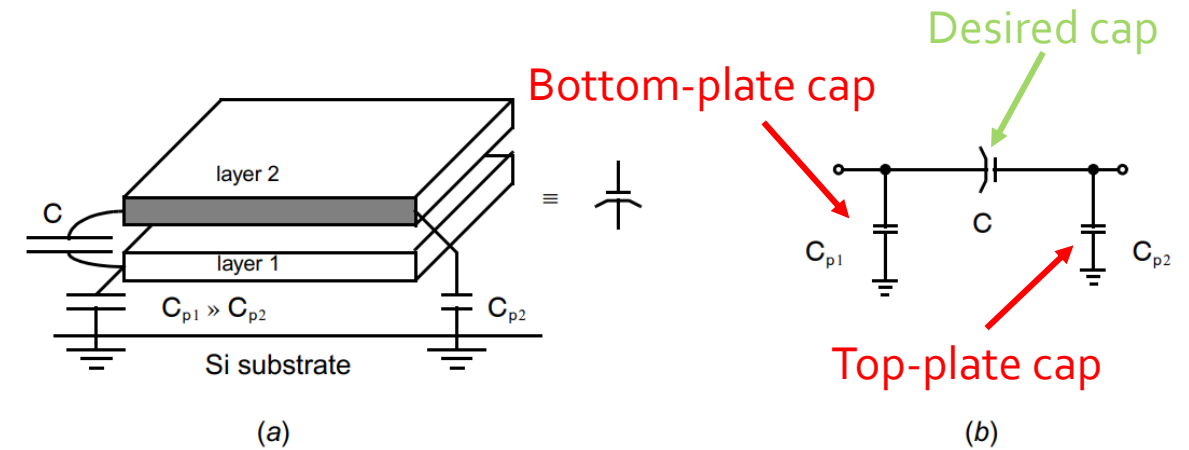
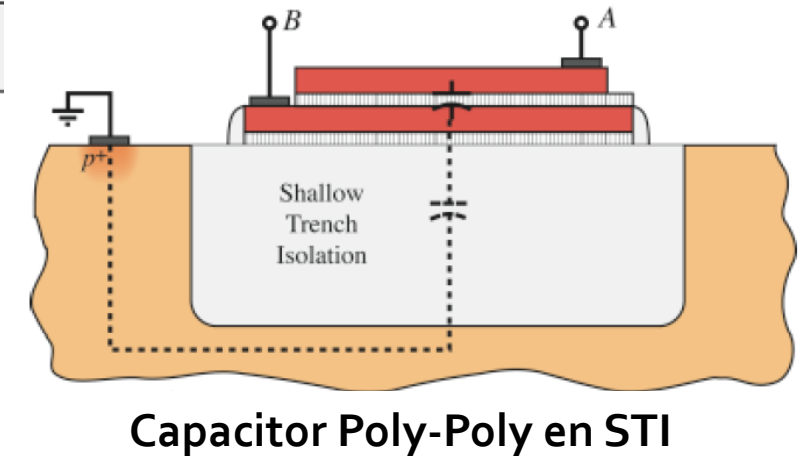
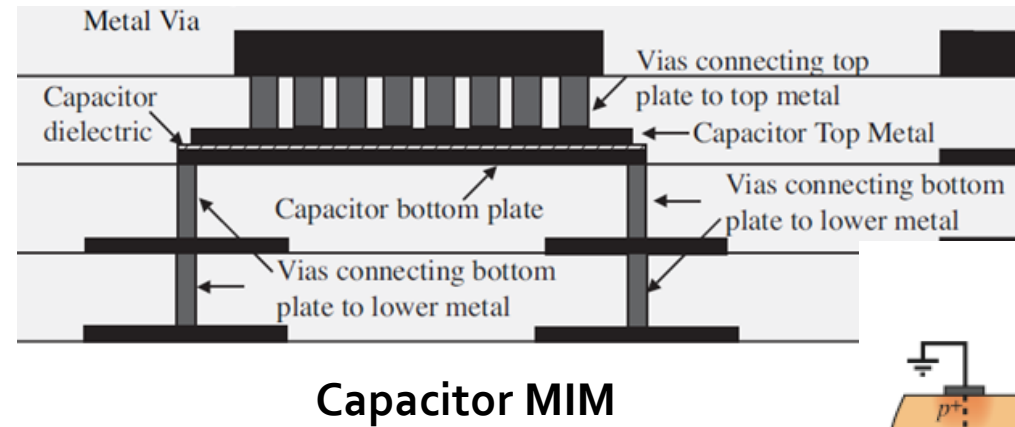


Fig. 14.1 An integrated circuit capacitor for switched-capacitor circuits: (a) physical construction; (b) circuit model.

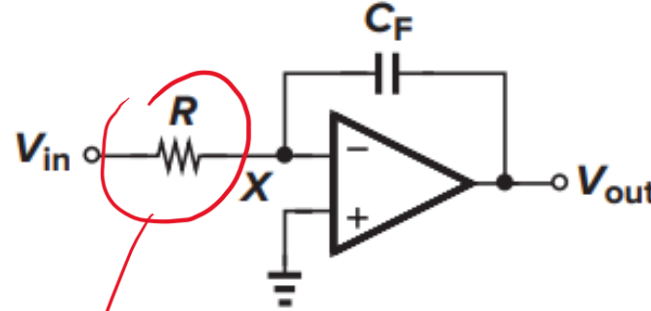


$$C = \frac{\epsilon A}{d} = C_d \cdot W \cdot L$$

$$C_d = \frac{\epsilon}{d} ; [C_d] = \frac{fF}{\mu m^2}$$

$$[V_1 \rightarrow Q_1 \rightarrow Q_2 \rightarrow V_2]$$

- Buscamos implementar un integrador:

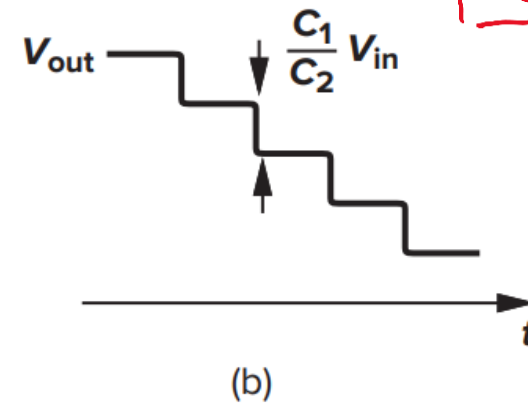
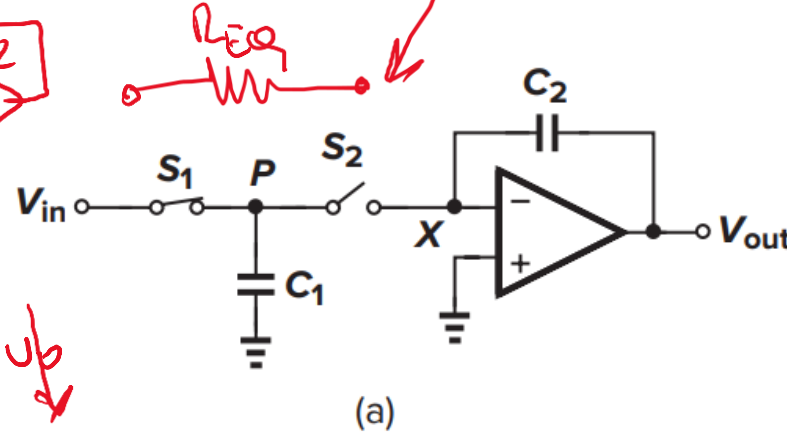
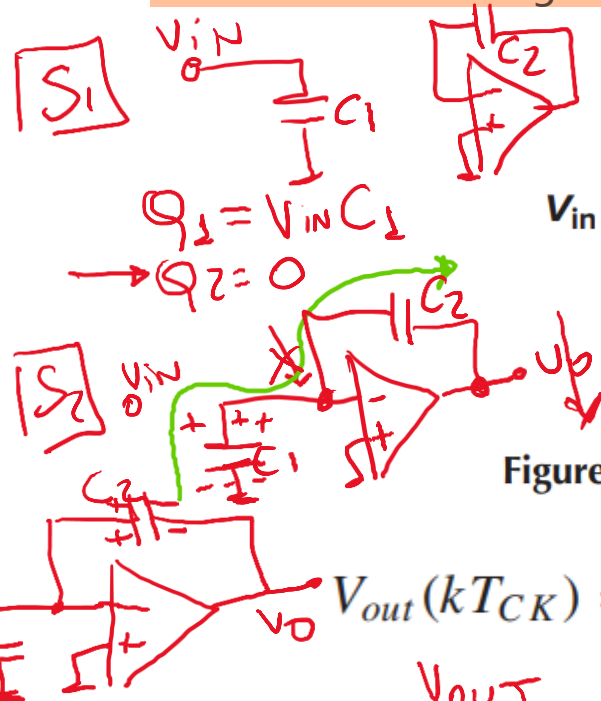


$$= -\frac{1}{s C_F R} V_{in} \rightarrow \frac{1}{RC_F} \int V_{in} dt$$

$$\frac{C_1 f}{C_2} \int V_{in} dt$$

- Reemplazamos la resistencia con una R equivalente como vimos antes: **parasitic sensitive**

- Obtenemos un integrador de tiempo discreto \rightarrow Transformada Z



$$[S_2] \quad V_2 = -\frac{Q_1}{C_2}$$

$$V_0 = V_2$$

$$V_0 = V_{in} \frac{C_1}{C_2}$$

Figure 13.57 (a) Discrete-time integrator; (b) response of circuit to a constant input voltage.

$$V_{out}(kT_{CK}) = V_{out}[(k-1)T_{CK}] - V_{in}[(k-1)T_{CK}] \cdot \frac{C_1}{C_2} \quad (13.63)$$

$$V_{OUT} = V_{OUT} z^{-1} - V_{IN} z^{-1} \frac{C_1}{C_2}$$

- **Problema:**

- Al abrir S_1 , la operación suma un extra de carga a C_1 , que luego se transfiere a C_2
- Las capacidades de los switches (no-lineales) agrega una cantidad de carga extra que depende no-linealmente también del nivel de tensión de entrada
- → signal-dependent charge injection

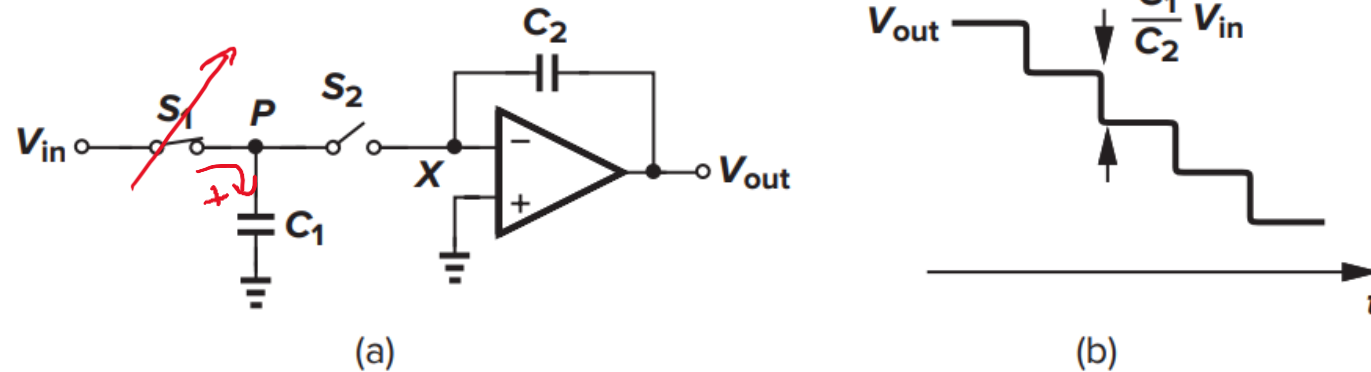
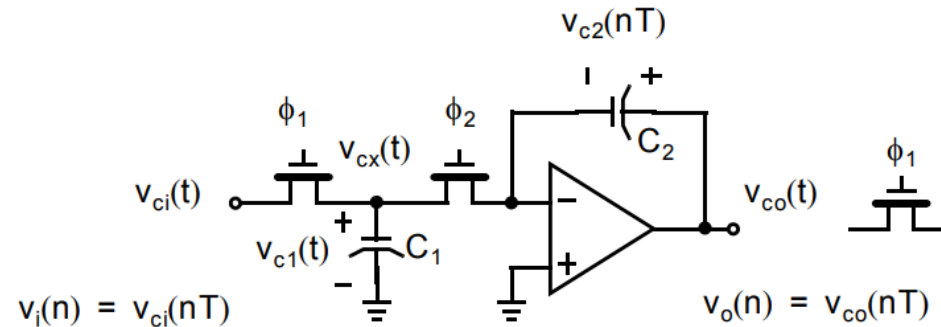


Figure 13.57 (a) Discrete-time integrator; (b) response of circuit to a constant input voltage.

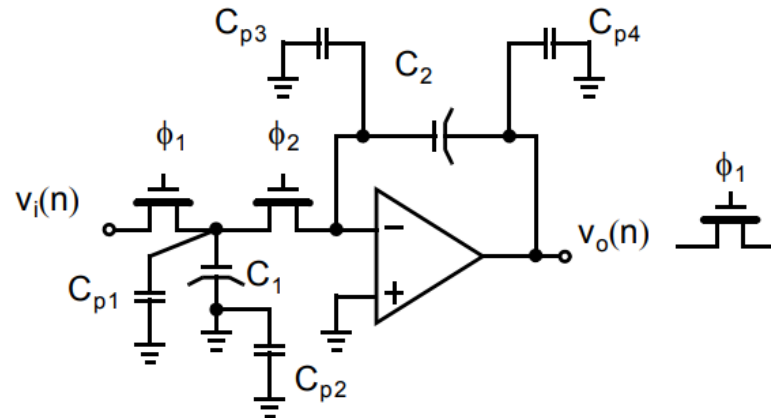
• Problema:

- Las capacidades parásitas (incluso las lineales) afectan a la transferencia, introduciendo error



$$H(z) \equiv \frac{V_o(z)}{V_i(z)} = -\left(\frac{C_1}{C_2}\right) \frac{1}{z-1}$$

Fig. 14.5 A discrete-time integrator. This structure is sensitive to parasitic capacitances (not shown).



$$H(z) = -\left(\frac{C_1 + C_{p1}}{C_2}\right) \frac{1}{z-1}$$

Fig. 14.8 A discrete-time integrator with parasitic capacitances shown.

- Mejora: la arquitectura mostrada resuelve algunos de los problemas con las capacidades parásitas

- Parasitic insensitive integrator
- Non-inverting
- Bottom-plate sampling

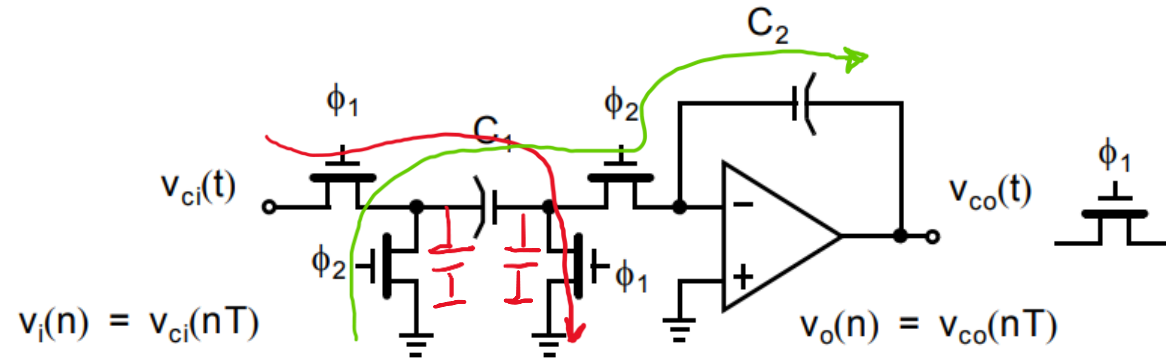


Fig. 14.9 A noninverting delaying discrete-time integrator that is not sensitive to parasitic capacitances.

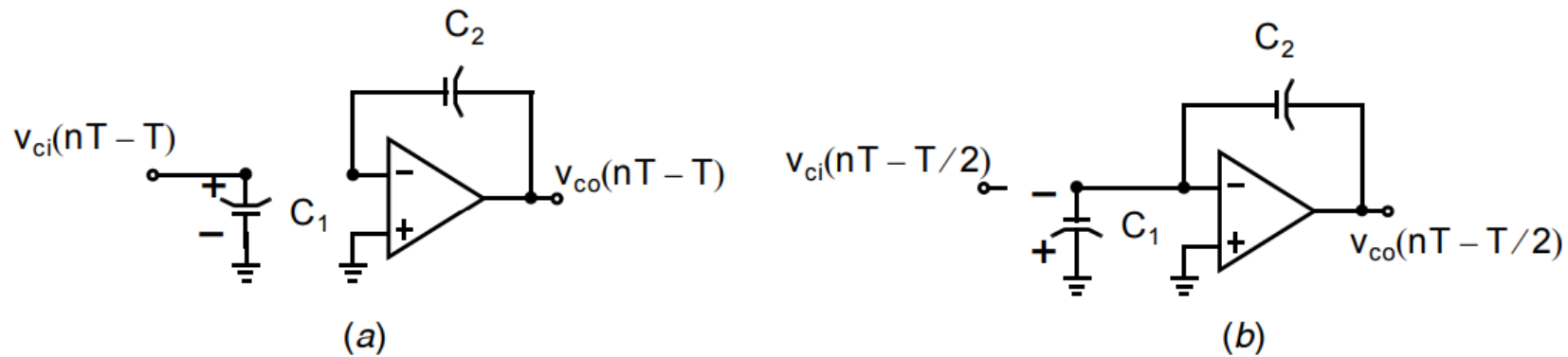
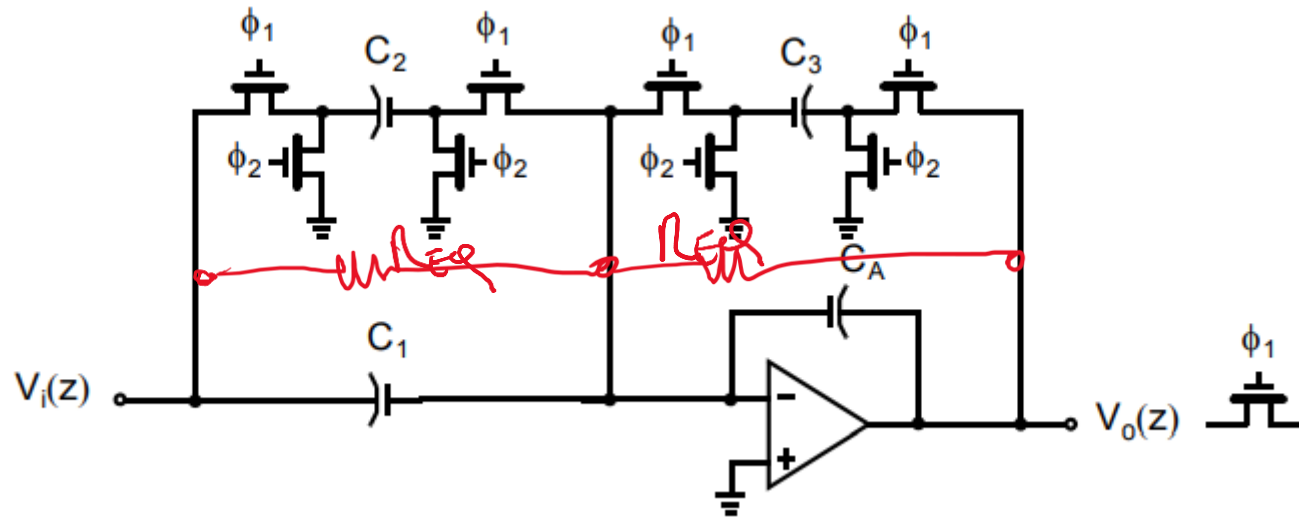
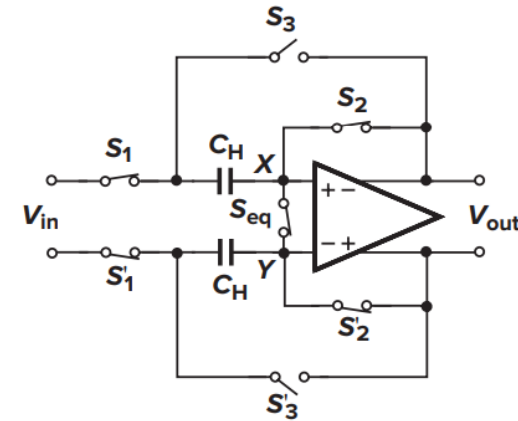
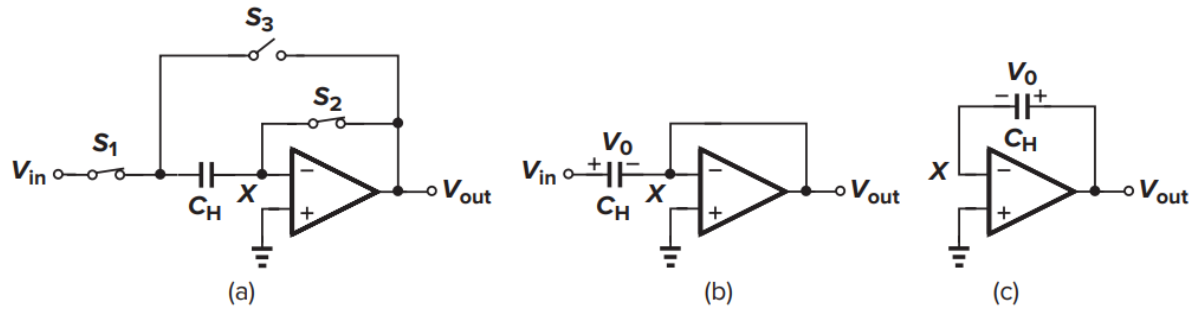


Fig. 14.10 The noninverting discrete-time integrator on the two clock phases: (a) ϕ_1 (b) ϕ_2

- También se pueden implementar amplificadores (que era nuestro objetivo inicial!) y filtros



- Temas no cubiertos que son relevantes
 - Opamp impairments effects: DC gain, UGF, phase margin, slew rate, offset
 - Charge injection and clock feedthrough
 - Track and hold operation
 - Improved sampling switches
 - Noise in switched cap
 - Clock generation
 - Correlated double sampling
 - Switch sharing
 - Aliasing and discrete time operation

Referencias

- B. Razavi (2000) "Design of Analog CMOS Integrated Circuits", The McGraw Hill Companies, Inc.
- Carusone, T. C., Johns, D. A., & Martin, K. W. (2011), "Analog Integrated Circuit Design", John Wiley & Sons