

REAL WORLD EXERCISE: ESD

Ing. Mariano Morel (ICYTE - FI - UNMdP)

Ciudad de Mar del Plata, Argentina

marianomorel@fi.mdp.edu.ar

PROCESOS SEMICONDUCTORES: TRABAJO #3

MAESTRÍA EN CIENCIAS DE LA INGENIERÍA - FI UBA

Resumen—Este documento proporciona una visión general del diseño de protección contra ESD y las consideraciones de diseño de I/O, arrojando una aproximación sobre temas esenciales que van desde los modelos de fuente de ESD hasta el concepto de la ventana de ESD. Aprovechar estos conocimientos da a los diseñadores herramientas para crear sistemas electrónicos robustos y resistentes capaces de resistir los desafíos planteados por la descarga electrostática.

Index Terms—ESD Protection, TLP, Power Clamp, HBM, MM, CMD, CI.

I. PROTECCIÓN ESD

Los riesgos de ESD son inevitables para los circuitos integrados ya que la generación de carga electrostática ocurre en cualquier momento durante los procesos de manipulación. En entornos típicos de fabricación de microelectrónica, cuando un operario camina por el suelo, la generación triboeléctrica puede producir electricidad estática que alcanza tensiones mayores a 800V y un suelo de goma, 35KV sobre una alfombra. Lo mismo sucede cuando se toman dispositivos electrónicos de un contenedor, se puede generar triboelectricidad mayores a 2KV. La humedad puede ser otro factor determinante en la generación de triboelectricidad. La figura 1 muestra la generación típica de carga triboeléctrica en lugares de trabajo.

Occurrences	Electrostatic potential at relative humidity (R.H.)	
	10%	55%
Walking across rubber floor	800 V	200 V
Removing DIP devices from plastics	2 000 V	400 V
Moving on bench	6 000 V	400 V
Removing DIP devices from vinyl tray	11 500 V	2 000 V
Walking across vinyl floor	12 000 V	3 000 V
Removing DIP devices from polystyrene foam	14 500 V	3 500 V
Removing PWB parts from bubble wrap	26 000 V	5 500 V
Walking across carpet	35 000 V	7 500 V

DIP, dual-in-line package; PWB, printed wire board.

Figura 1. Generación triboeléctrica en ICs [1]

II. NUESTRO CHIP

Para poder diseñar el chip, haremos uso del manual GF180. El mismo debe tener VCC, GND, IO1, IO2, IO3, siendo:

- VCC is $3V \pm 10\%$ 100uA ICC consumption. Max reverse rating = -0.5V.
- IO1 is Digital, Push Pull inverter Outputs. $\pm 1mA$, 100mV (100ohm).
- IO2 is a GATE INPUT pin. 3V rated. $\pm 100nA$ current.
- IO3 is an OPEN Drain Nmos Output. +1mA, 100mV, 5V rated. (100ohm).

Es necesario pasar la especificación HBM de 2Kv para todos los pines excepto IO3 que debe pasar 4Kv.

Se dibuja el circuito equivalente PAD RING y posteriormente se define una arquitectura de protección ESD usando Power Clamps y protecciones locales para I/O, tal como se ve en la figura 2.

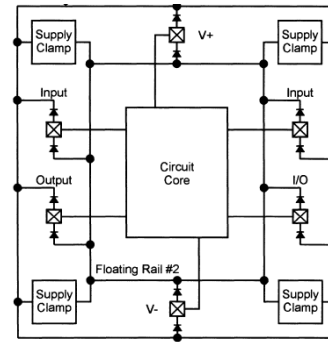


Figura 2. Circuito con protecciones

Además de proteger al chip cuando se lo alimenta en una posible falla ESD, las power clamps también sirven como nodos de conexión clave para formar una red de protección ESD de tal manera que siempre exista una baja resistencia entre cualquier par de pads para descargar corriente ESD transitoria sin sobrecalentamiento y para fijar el voltaje del pad a un nivel bajo y seguro. Una solución en power clamping es utilizar una cadena de diodos en directa directa, que consta de varios diodos en serie de modo que el voltaje de encendido efectivo de la cadena de diodos sea lo suficientemente alto como para evitar posibles cortocircuitos en operaciones normales de CI. En las figuras 3, la estructura de diodos, y en 4, otra alternativa de protección comunmente usada.

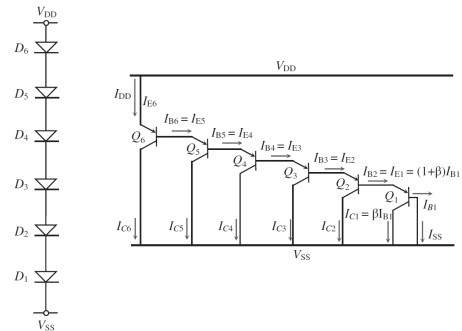


Figura 3. Power clamp con string de diodos

Por otro lado tenemos las protecciones locales. En las figuras 5 y 6 se pueden observar algunas configuraciones

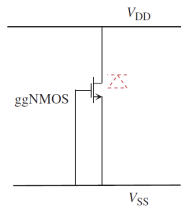


Figura 4. Power clamp con ggMOS

posibles. Cada CI en particular puede requerir una protección diferente según sus requerimientos, tal como lo es en este caso.

¿Cual es la protección perfecta? La siguiente lista, da una aproximación a esta pregunta

I. INFINITE PROTECTION

- a. Shunt protection - zero on resistance
- b. Series protection - infinite resistance
- c. Infinite energy absorption (single or multiple hits)
- d. Instantly on (zero turn-on time)
- e. Operation independent of temperature
- f. Conducts for the entire duration of the ESD event
- g. Programmable, non-varying trigger level
- h. Selectable clamping voltage

II. NO CIRCUIT INTERFERENCE

- No extra impedance (capacitance, resistance, or inductance)
- No leakage in off state
- No false triggers
- No limits on operational voltage or current

III. No Cost

- Zero die area
- No additional process steps
- No special package or structures

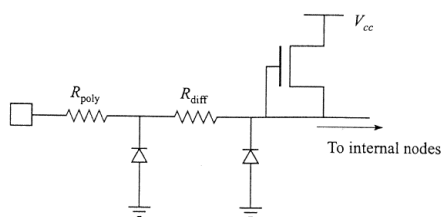


Figura 5. Protección local con NMOS para un pin de entrada [2]

III. ESD WINDOW: DESIGN

En esta sección se analizan los parámetros de diseño de una ventana ESD, tal como se muestra en la figura 7. En primer lugar, para evitar una ruptura de voltaje inducida por ESD, por ejemplo, típicamente una ruptura de compuerta o difusión en un semiconductor de óxido metálico complementario (CMOS), el voltaje de activación de ESD V_{t1} debe ser menor que el voltaje breakdown del nodo protegido en un chip. En segundo lugar, para una estructura de protección ESD con característica I-V de descarga snapback, su voltaje de mantenimiento V_h y su corriente I_h deben ser mayores que el voltaje VDD y la

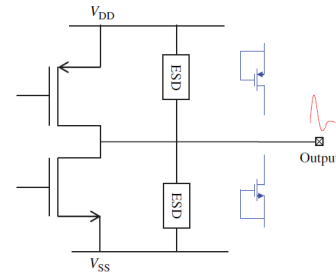


Figura 6. Protección local con estructuras pull-up / pull-down para un pin de salida

Isupply. Si $V_{t1} < V_{DD}$ entonces se producirá un cortocircuito causado por el dispositivo de protección ESD. El límite superior, I_{Fail} , está limitada por el objetivo de diseño de ESD, que en general I_{Fail} es aproximadamente I_{t2} , con un margen de seguridad. Debido a la variaciones en los voltajes, se adopta un margen lo que conduce a una ESD window delimitada por V_{DDmax} y V_{safe} . El límite superior (V_{safe}) es prácticamente el voltaje de breakdown. El límite inferior, es V_{DDmax} .

Se debe cumplir además que $I_{clamp} < I_{t2}$, $V_{peak} = \max(V_{t1}, V_h, V_{clamp})$ y $I_{peak} = I_{clamp}$.

Para nuestro chip de la sección II y observando el manual de diseño de GF180 en los capítulos [3] y [4], se define cada uno de los parámetros de la curva de la ESD window, que hasta aquí no se hayan mencionado.

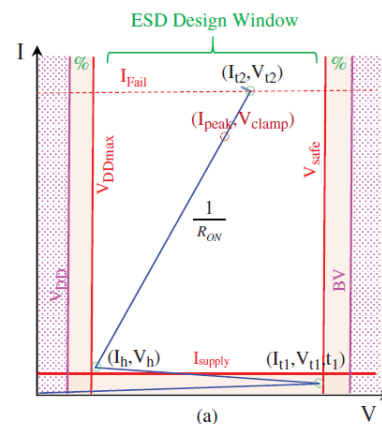


Figura 7. ESD window

Por ejemplo si tomáramos la entrada IO1 de nuestro chip y la figura 8 que representa un inversor push-pull, respetando las especificaciones del manual (ESD Performance from 3.3V NMOS transistor), podríamos levantar en forma aproximada la curva de ESD window.

IV. ESD SOURCE MODELS Y TLP

En el sentido de lo descrito en la sección 1, el evento de ESD más común en la vida cotidiana está asociado con la carga y descarga de un cuerpo humano, que se caracteriza por un modelo de cuerpo humano (HBM). Un evento de ESD de HBM describe un procedimiento de descarga de ESD inducida por el cuerpo humano en el que las cargas estáticas acumuladas dentro de un cuerpo humano se descargan en un

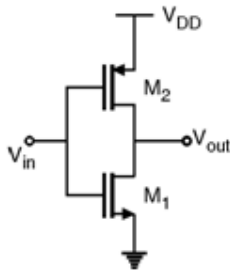


Figura 8. Inversor push-pull con nMOS

componente electrónico al tocar el dispositivo. La Figura 9 muestra el circuito equivalente simplificado para las pruebas de ESD de HBM, donde un condensador concentrado grande representa un cuerpo humano que se carga a un nivel de voltaje de VESD y las cargas electrostáticas se acumulan dentro del cuerpo humano.

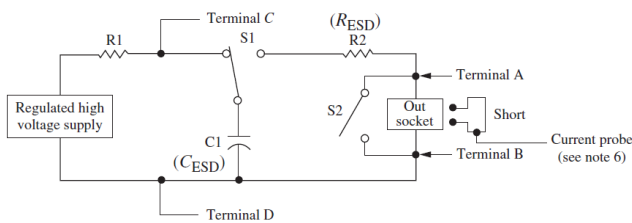


Figura 9. Human body model (HBM)

Al tocar un dispositivo activado por un interruptor (S1), la descarga de ESD comienza donde las cargas almacenadas se descargan en el DUT a través de una resistencia de descarga (R_{ESD}), lo que resulta en un pulso de corriente ESD que tensiona el DUT como se muestra en la Figura 3.1b. Los valores típicos son $C_{ESD} = 100 \text{ pF}$ y $R_{ESD} = 1500 \text{ ohms}$, que representan un cuerpo humano típico.

En este campo de estudio es importante poder comparar los diferentes modelos de manera de poder tener en claro el que resulte necesario para la aplicación en cuestión. En la figura 10 se muestran las formas de onda (corrientes) según el modelo (HBM, MM, CDM).

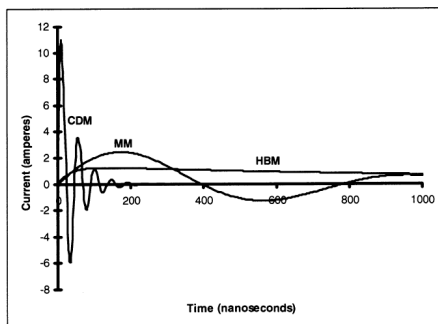


Figura 10. Formas de onda de los modelos HBM, MM y CDM

Estos modelos detectan un umbral de voltaje de umbral de aprobación o falla del DUT en términos de mal funcionamiento del DUT o degradación del rendimiento causada por ESD.

Más allá de estas pruebas no se proporciona más información sobre por qué ocurre la falla de ESD y no ofrece nada para mejorar los diseños de protección de ESD. Esta prueba de zapping ESD también es destructiva para los circuitos integrados DUT. Para los diseñadores de circuitos integrados, es muy deseable conocer los comportamientos de descarga transitoria de ESD y comprender los posibles mecanismos de falla de ESD para optimizar y predecir diseños de protección ESD para circuitos integrados, que no pueden ser compatibles con HBM, MM, y CDM.

La figura 11 muestra el esquema de una configuración de prueba TLP (transmission-line-pulsing) y su circuito equivalente simplificado. En el sistema de prueba TLP, una línea de transmisión larga, que reemplaza al CESD en el HBM, se precarga a un nivel de voltaje determinado según los niveles de prueba de ESD y las cargas estáticas almacenadas para luego descargarse en el DUT a través de un tramo de línea de transmisión.

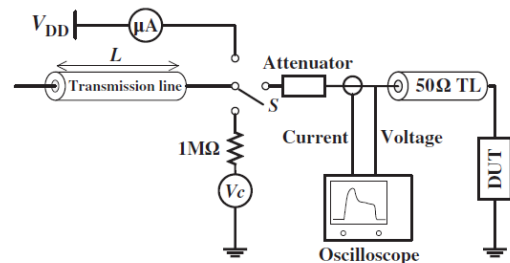


Figura 11. Modelo de TLP

El método TLP generalmente se considera no destructivo porque la forma y duración del pulso TLP pueden controlarse fácil y precisamente mediante la línea de transmisión, evitando la destrucción del IC DUT. En la figura 12 se pueden observar fácilmente las ventajas energéticas y de respuesta temporal, de un método contra el otro, sumado a la ventaja de controlabilidad de TLP con respecto a HBM.

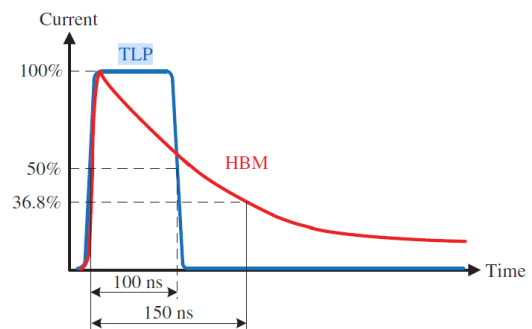


Figura 12. Modelos de TLP vs HBM - Respuesta

REFERENCIAS

- [1] A. Wang, *Practical ESD Protection Design*. John Wiley & Sons, 2021.
- [2] S. Dabral and T. J. Maloney, "Basic esd and i/o design," (*No Title*), 1998.
- [3] Gf180-ch14. [Online]. Available: https://gf180mcu-pdk.readthedocs.io/en/latest/physical_verification/design_manual/drm_14.html
- [4] Gf180-ch15. [Online]. Available: https://gf180mcu-pdk.readthedocs.io/en/latest/physical_verification/design_manual/drm_15.html