

Quality Assurance Plan

Introducción

El siguiente documento tiene como objetivo resumir las especificaciones y estándares/normas con los que debe cumplir las memorias a diseñar. Se distribuyen las tareas relacionadas al aseguramiento de la calidad del diseño. Se mencionan las relaciones de compromiso involucradas en el cumplimiento de dichos requisitos. Luego, se enuncian las verificaciones que se realizarán para garantizar el cumplimiento de los requisitos, para finalmente detallar los entregables que serán producto de las verificaciones.

Organización

- Las tareas de monitoreo del *quality assurance plan* estarán a cargo del grupo de calidad de empresa, de naturaleza independiente del resto de los equipos de trabajo.
- La caracterización del cumplimiento de los dispositivos y su cumplimiento con las normas correspondientes será realizado por el equipo de *device engineering*.
- El cumplimiento con las normas ASIL será evaluado y garantizado por el equipo de *feasibility* en colaboración con *analog design*.
- El *test plan* de las memorias será ejecutado por los grupos de *probe test engineering* y *final test engineering*, encargados de realizar pruebas en bajos y grandes volúmenes. *Product validation engineering* colaborará con *probe test engineering* en el desarrollo de pruebas de bajo volumen.
- Las verificaciones de esquemáticos serán realizadas por *analog design engineering*.
- Las verificaciones del diseño físico analógico serán llevadas a cabo por el equipo de *layout engineering* en colaboración con *analog design engineering* para el análisis de parásitos.
- Las verificaciones del sistema digital estarán a cargo del equipo de *digital design verification*.
- El equipo de *mixed-signal verification* estará a cargo de las simulaciones conjuntas entre bloques analógicos y digitales.
- El equipo de *digital physical design* llevará a cabo verificaciones internas para garantizar que el timing del bloque sea el adecuado bajo las variaciones de temperatura, proceso y tensión de alimentación.

Requerimientos

A continuación se enuncian los requerimientos de la memoria a desarrollar.

Funcionalidades

- Un circuito interno que genere las tensiones necesarias para la programación y borrado de los bits.
- Circuitos de selección de filas y columnas.

Entrada/salida

- Dirección de escritura.
- Palabra a escribir.
- Indicador de escritura o lectura.
- Indicador de *enable*.
- Reset de toda la memoria.

Parámetros eléctricos

- Retención: el tiempo durante el que la polarización se mantiene estable. >10 años a 125°C
- Cantidad de ciclos de borrado/escritura: 10^7 ciclos.
- Rango de temperatura: Hasta 175°C
- Tiempo de lectura/escritura: <50ns
- Tensión de escritura: <5V
- Área por bit: 4um²/bit

Estándares y normas

Se espera que la memoria cumpla con los siguientes estándares:

- *Grade 0*: que las especificaciones de la celda sean garantizables dentro del rango de -40°C a 150°C. El cumplimiento de esta certificación es necesaria para aplicaciones automotrices.

Y con las siguientes normas:

- *ASIL D*: que la memoria sea compatible con chips que puedan alcanzar este nivel de normativa. El cumplimiento de la norma es también relevante para aplicaciones automotrices.

Relaciones de compromiso

- El cumplimiento con normas automotrices implica una prolongación en los tiempos de cualificación de los chips en la etapa de validación.
- La necesidad de cumplir con el estándar *grade 0* requiere que algunos dispositivos del proceso deberán ser certificados para ellos, necesitando la inversión de tiempo en ello.
- La satisfacción de la norma ASIL D implica la instalación de monitores en bloques analógicos y electrónica digital para procesarlos, lo que incrementa el área ocupada por la memoria.
- Una menor tensión de escritura reduce el margen de ruido de los bits, por ende minimizando el número de ciclos de lecto/escritura tolerables.
- Máximos estrictos para los tiempos de lectura requeriría un diseño esquemático y físico más delicado, incrementando los tiempos de desarrollo y conllevando un mayor riesgo en el cumplimiento de la especificación.
- Una mayor densidad de bits por unidad de área implica un mayor esfuerzo del equipo de layout y probablemente requeriría la revisión de reglas del proceso y su impacto en el yield. Esto agregaría horas hombre al proyecto y eventualmente

generaría retrasos hasta que los riesgos sean apropiadamente mitigados. Ser maximizaría la probabilidad de que un spin sea necesario.

Verificaciones

Los siguientes elementos apuntan a diversas etapas del proyecto:

- Corrida de prueba para certificar que los dispositivos que deben ser *grade 0* antes del tapout de las memorias.
- Corrida de prueba para realizar una caracterización propia del FeFET, pero sin realizar una cualificación por el tiempo requerido para ello. Especial foco en la tensión mínima tolerable de escritura/borrado.
- Pedido de actualización de las reglas de diseño físico a la fábrica.
- Ejecución de todas las verificaciones de DRC ("Design Rule Check"), incluyendo aquellas de "Design For Manufacturability" luego de las tareas de layout.

Por otra parte, los equipos de diseño deberán llevar a cabo obligatoriamente las siguientes revisiones formales antes de realizar el tape out:

- *Design review*: instancia donde todo el equipo de diseño analógico, junto a representantes del equipo de diseño digital, acuerdan que los esquemáticos y el diseño RTL no sufrirán más cambios ya que se cumple con las especificaciones pretendidas.
- *Layout review*: instancia donde todo el equipo de layout, junto al equipo de diseño analógico, realiza una revisión exhaustiva de la vista física, hasta concluir que se cumplen con todos los requerimientos de *matching* y resistencias/capacidades/acoplamientos parásitos.

Test plan

Se espera realizar las siguientes mediciones para garantizar el correcto funcionamiento de las memorias:

- Bit flip: verificación de que los bits contiguos al que se quiere programar no cambien antes un intento de escritura o borrado de este último.
- Checkerboard: escrituras y lecturas aleatorias, con la posterior verificación de que efectivamente se hayan realizado.
- Máxima velocidad de escritura y lectura.
- Cantidad de ciclos de lectura y escritura.
- Configuración de distintas tensiones de escritura/borrado.
- Cualificación: ciclados térmicos de las memorias para asegurar que se cumplen los extremos de temperatura especificados.

Indicadores

Producto

Se prevén indicadores para cada uno de los parámetros eléctricos mencionados como especificación. Estos serán elaborados y mantenidos por *test engineering*.

Procesos

Se contará con las siguientes métricas, que serán revisadas semanalmente por el *core team*, para asegurar la calidad del proceso de diseño:

- Cantidad de violaciones de reglas de proceso y *waivers* requeridos.
- Cantidad de bloques reportando simulaciones dudosas en base a la experiencia del equipo de trabajo.
- Estimación de área a ser ocupada por los bloques y del área por bit al proyectar la integración de todas las subceldas. Es decir, se proyecta realizar una estimación de área inicial, pero luego se irá actualizando progresivamente a medida que avance el proyecto.

Herramientas de monitoreo

- Como resultado de las revisiones, deben presentarse minutas y documentos escritos (mails) u orales (grabaciones) que acrediten que los integrantes del equipo de diseño aprueban el proyecto para *tapeout*. El equipo de calidad revisará dichos documentos antes del *tapeout*.
- Los integrantes del equipo de diseño analógico y digital contarán con un formulario donde expresar sus dudas referidas al proceso de fabricación. Esas dudas serán transmitidas semanalmente a la fábrica para ser respondidas por tus propios ingenieros. Dichas consultas deben incluir *waivers* de las reglas de fabricación.
- El equipo de diseño analógico debe reportar bisemanalmente los resultados de las simulaciones al equipo de calidad en el marco de una reunión donde se evaluará si existe el riesgo del incumplimiento de alguna especificación.

Entregables

- Reporte con la certificación *grade 0* de todos los dispositivos que se utilizarán en las memorias por parte de *testing*.
- Reporte de Safety garantizando el cumplimiento de los monitoreos requeridos por ASIL D.
- Reporte de errores y *waivers* de las reglas de manufactura por parte del equipo de *layout*.
- Documentación de parte de *testing* con los resultados de las mediciones realizadas en bajo y grandes volúmenes (provistos por *probe testing engineering* y *final testing engineering* respectivamente).
- Minutas de los reviews y documentos que acrediten la aprobación del diseño.