

Gestión de Energía en Circuitos Integrados

FIUBA

1er Cuatrimestre 2025

TP#4

Se tiene que diseñar la etapa de potencia de un convertidor BUCK y sus respectivos drivers para el proyecto final de la materia Gestión de Energía en Circuitos Integrados. Las especificaciones generales se encuentran en el documento “Proyecto GECI 1C2025” en el campus.

1. Seleccionar y dimensionar los transistores de potencia del medio puente del convertidor para cumplir la especificación de $R_{ds(on)}=250\text{m}\Omega @ I_{ds}=1\text{A}, T=25^\circ\text{C}$.
 - a. Caracterizar por simulación cómo varía la resistencia de encendido con la temperatura para el rango -40°C a 150°C .
2. Usando los circuitos de simulación del TP3 caracterizar los transistores HS (transistor alto del medio puente) y LS (transistor bajo del medio puente).
3. Diseñar la última etapa del driver alto y bajo, para cumplir la especificación de slew rate $SR_{LX}(\text{rise y fall})$ de 0.1V/ns para $V_{IN}=12\text{V}$ y $I_{VREG}=1\text{A}$.
4. Seleccionar un tiempo muerto adecuado que evite la conducción simultánea del transistor alto y bajo en todas las condiciones de operación.
 - a. Implementar el circuito usando el bloque de delay ideal de la librería analogLibs de Cadence.

Los siguientes puntos son opcionales para el TP#4 y son una guía para completar el diseño del driver para el proyecto final.

5. Caracterizar la capacidad de entrada que presenta la última etapa del driver.
6. La capacidad calculada en el punto anterior representa la capacidad C_L (capacidad de carga) de la cascada de inversores del driver que debe diseñarse para optimizar la velocidad del mismo (minimizar el tiempo de propagación de la señal de comando PWM). Calcular el número de etapas necesarias para el driver que optimice velocidad. Ver diapositiva 23 de la clase de Gate Drivers.
 - a. Estimar y luego verificar por simulación el tiempo de propagación del driver.
7. Implementar el level shifter que traduce el dominio de la señal lógica HS_ON (generalmente VDD) a VBOOT con un circuito como el mostrado en la diapositiva 22 de la clase de Gate Drivers.
8. Implementar un modulador PWM usando una triangular y un comparador ideal. Usar 1V para la amplitud de la triangular.
9. Calcular la capacidad mínima necesaria C_{boot} para generar la tensión de Bootstrap. Utilizar un diodo ideal.