

Clase 4: Gate Drivers

Gestión de Energía en CI

Matías Bulacio

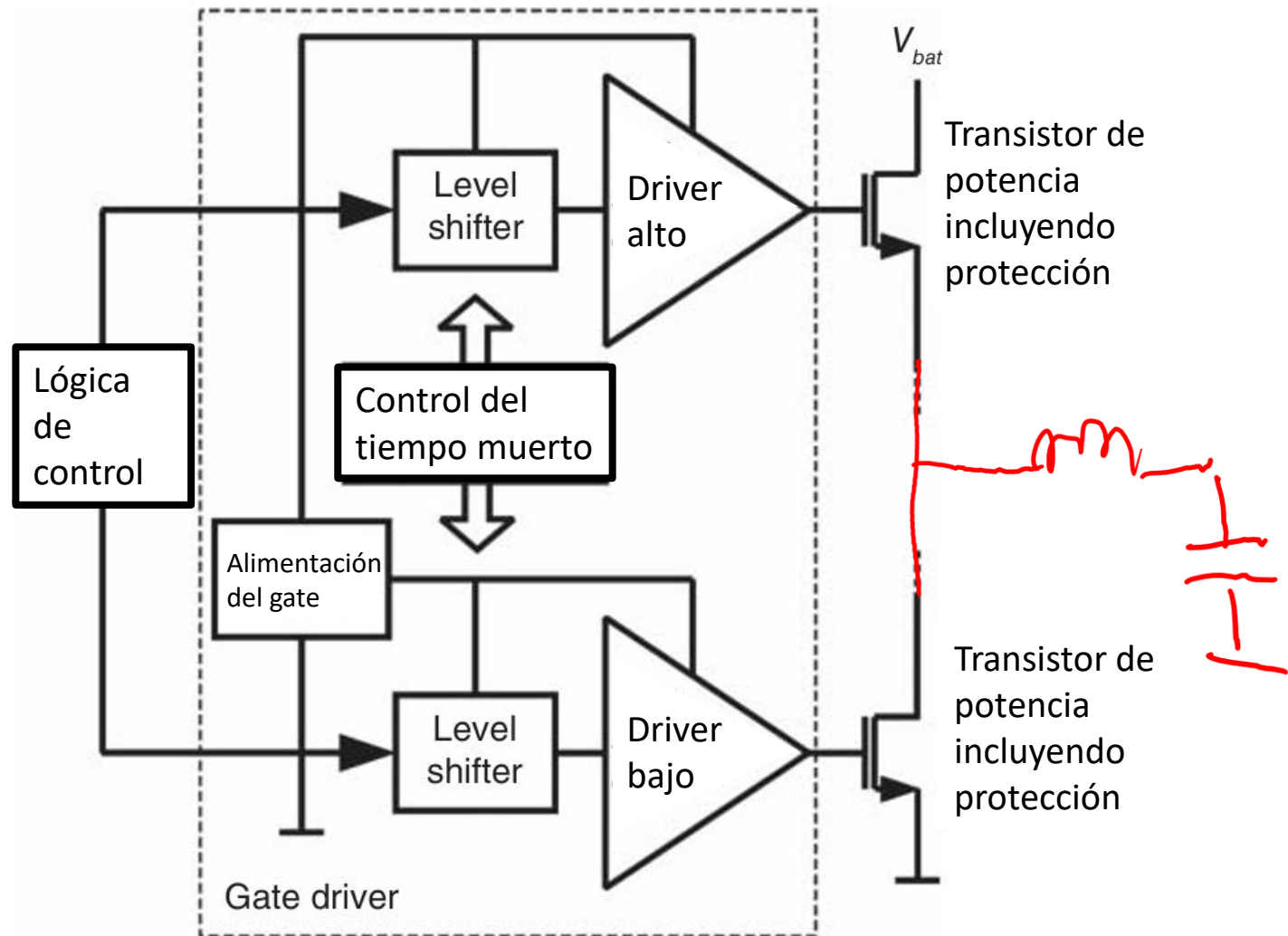
Universidad de Buenos Aires

Facultad de Ingeniería

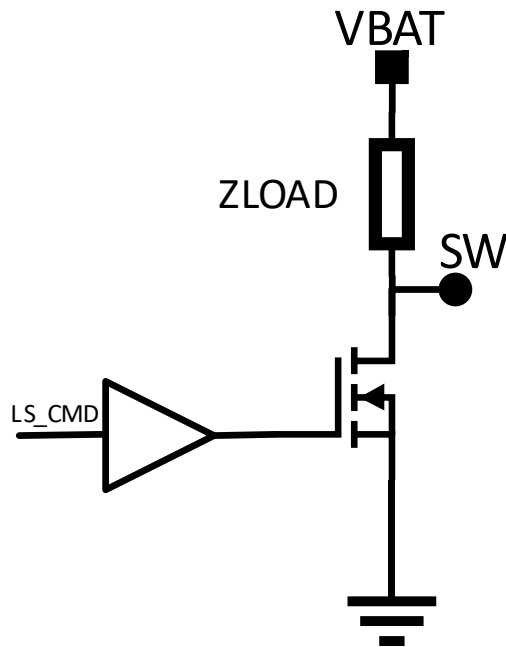
1er Cuatrimestre 2025



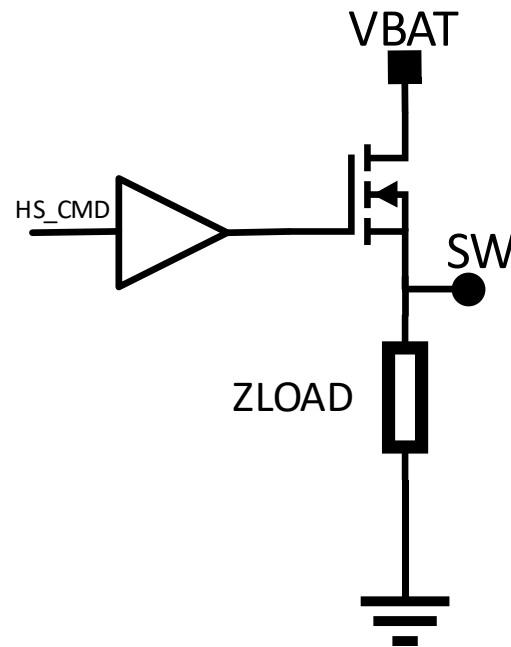
GATE DRIVERS – DIAGRAMA EN BLOQUES



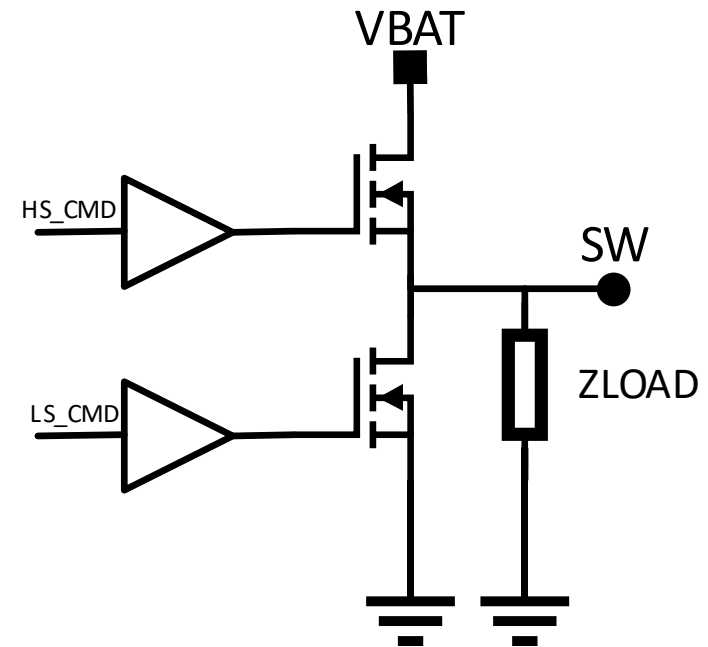
GATE DRIVERS – CONFIGURACIONES DE ETAPA DE POTENCIA



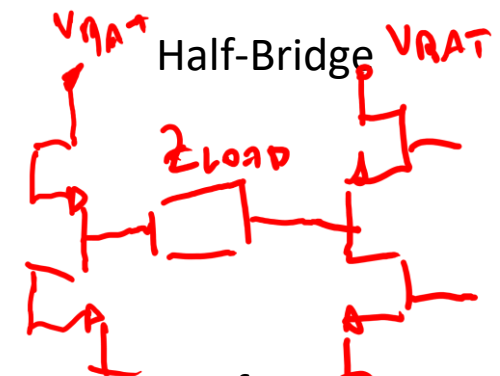
Low-Side switch



High-Side switch

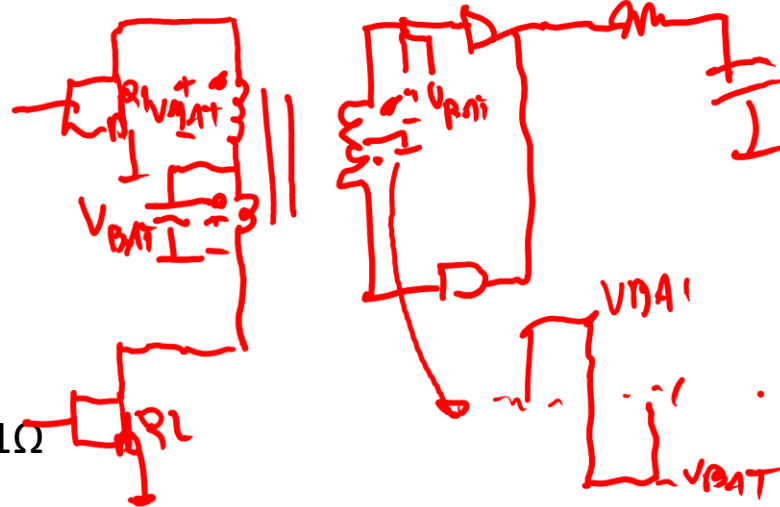
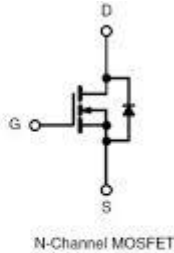


Half-Bridge



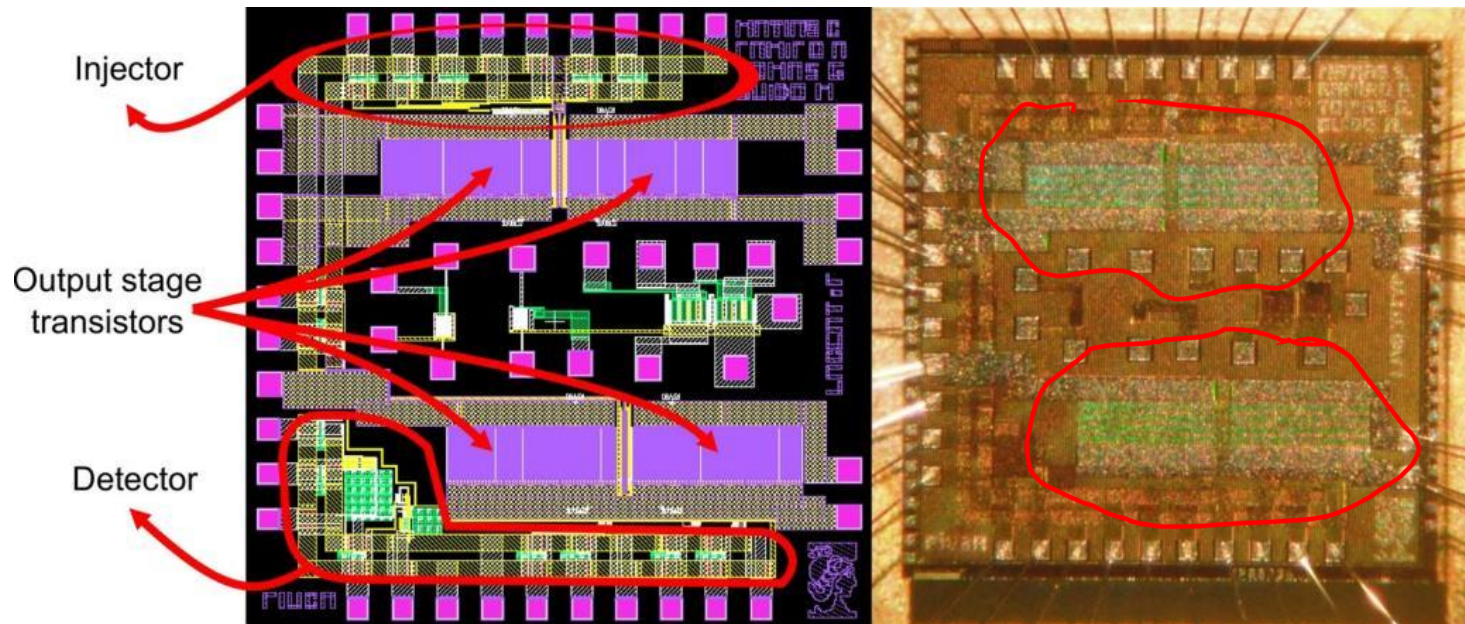
- El transistor de potencia puede ser integrado o externo.
- El switch puede ser implementado con PMOS, pero generalmente se prefiere NMOS (Rsp mas baja).

GATE DRIVERS – TRANSISTORES DE POTENCIA

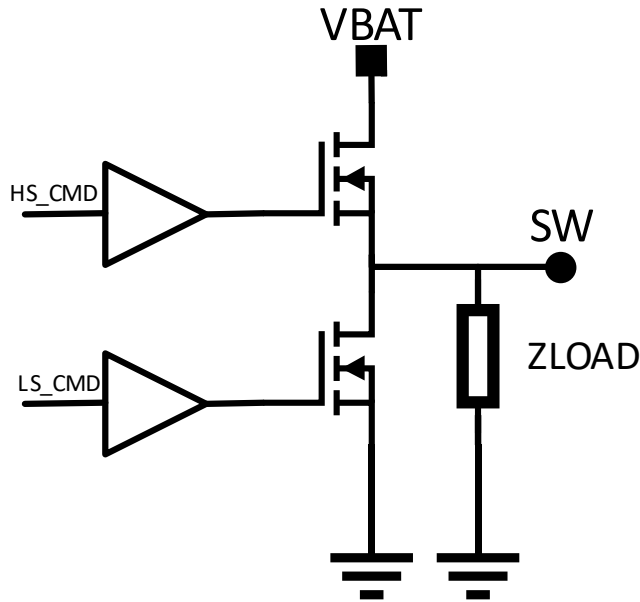


Resistencia de encendido $< 10\text{m}\Omega \dots 1\Omega$

Corrientes $> 1\text{A} \dots 10\text{A}$



GATE DRIVERS – DISEÑO DE HALF-BRIDGE

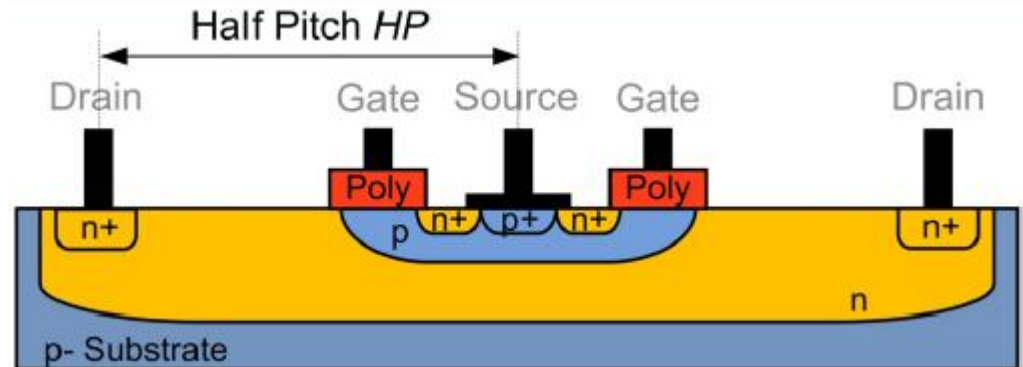


- ❑ Como especificación se tiene **$R_{DS(on)} < 250\text{m}\Omega$** @ **$V_{BAT}=12\text{V}$** (relacionado principalmente a las pérdidas por conducción).
- ❑ El dispositivo tiene que operar dentro de su zona de operación segura (SOA por sus siglas en inglés).
- ❑ El rango de V_{BAT} es: **$6\text{V} < V_{BAT} < 18\text{V}$**

- Diseñar W/L para cumplir $R_{DS(on)}$ (en todas las condiciones de operación, PVT).
- El transistor opera en triodo $\Rightarrow W/L$ y V_{GS} determinan la $R_{DS(on)}$ (usar $L=L_{min}$).
- DM (Design manual) especifica R_{sp} o R_W (@ $L=L_{min}$, $T=25^\circ\text{C}$ y $V_{GS}=V_{GSref}$).

$$R_{sp} = R_{DS(on)} \cdot W \cdot HP \Rightarrow W = \frac{R_{sp}}{R_{DS(on)} \cdot HP}$$

$$R_W = R_{DS(on)} \cdot W \Rightarrow W = \frac{R_W}{R_{DS(on)}}$$



GATE DRIVERS – DISEÑO DE HALF-BRIDGE

DIMENSIONAMIENTO DEL TRANSISTOR DE POTENCIA

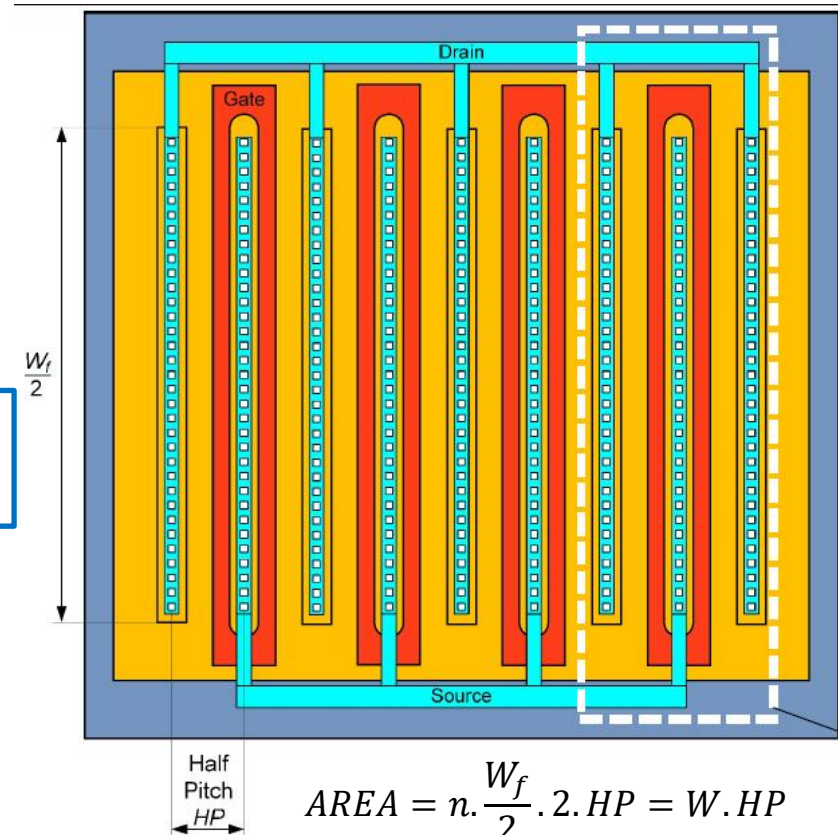
En la práctica para cumplir con la especificación de $R_{DS(on)}$ hay que tener en cuenta la influencia de la resistencia de la metalización y los bond wires. En el ejercicio se desprecia por simplicidad.

Del “Design Manual” (DM) tenemos que $R_W = 11.8 \text{ ohm-mm}$ para el dispositivo seleccionado.

$$\Rightarrow W = \frac{R_W}{R_{DS(on)}} = \frac{11.8 \Omega \text{mm}}{250 \text{m}\Omega} = 47.2 \text{mm}$$

$$\Rightarrow \text{AREA} = W \cdot HP = 47.2 \text{mm} \cdot 0.00209 \text{mm} = 0.0987 \text{mm}^2$$

En el dimensionamiento hay un compromiso entre $R_{DS(on)}$ y AREA y capacidad del gate.



GATE DRIVERS – DISEÑO DE HALF-BRIDGE

DEPENDENCIA DE RDSON CON T Y VGS

- El DM da Rsp o RW a 25°C y VGS=VGSref.
- Si el DM provee datos de coeficiente de temperatura, se puede recalcular el peor caso como:

$$\Rightarrow R_{sp,w@T} = R_{sp,w@25^{\circ}C} + TC_1 \cdot (T - 25^{\circ}C) + TC_2 \cdot (T - 25^{\circ}C)^2$$

Para el dispositivo del ejemplo $TC_1 = 0.059 \frac{\Omega}{^{\circ}C}$

Por lo que si tenemos que cumplir la especificación hasta 175°C.

$$\Rightarrow R_{w@175^{\circ}C} = R_{w@25^{\circ}C} + TC_1 \cdot (175^{\circ}C - 25^{\circ}C) = 20.65\Omega mm$$

- Si el DM brinda el dato de factor de corrección por VGS (FGS), se puede volver a recalcular el peor caso:

$$\Rightarrow R_{sp,w} = F_{GS} \cdot R_{sp,w-ref}$$

VGS (V)	FGS
1.35	1.62
2.1	1.24
2.85	1.09
3.6	1.00

Suponiendo que el máximo VGS garantizado en PVT es 2.85V.

$$\Rightarrow R_{sp,w} = F_{GS} \cdot R_{sp,w-ref} = 1.09 \cdot 20.65\Omega mm = 22.51\Omega mm$$

$$\Rightarrow W = \frac{R_W}{R_{DS(on)}} = \frac{22.51\Omega mm}{250m\Omega} = 90mm$$

$$\Rightarrow AREA = W \cdot HP = 90mm \cdot 0.00209mm = 0.188mm^2$$

Casi el doble del área estimada en condición nominal!!!

GATE DRIVERS – CARACTERIZACIÓN DEL TRANSISTOR DE POTENCIA

CAPACIDAD Y CARGA DEL GATE

En las hojas de datos de los fabricantes en general se da C_{iss} , C_{oss} y C_{rss} .
 C_{gs} , C_{gd} y C_{ds} se pueden derivar a partir de:

1. $C_{iss} = C_{GS} + C_{GD}$
2. $C_{oss} = C_{GD} + C_{DS}$
3. $C_{rss} = C_{GD}$

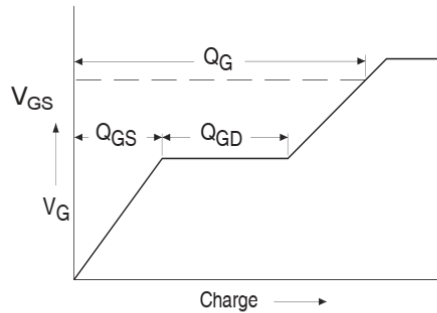


Fig 13a. Basic Gate Charge Waveform

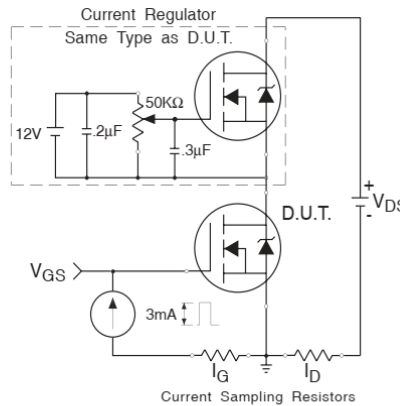


Fig 13b. Gate Charge Test Circuit

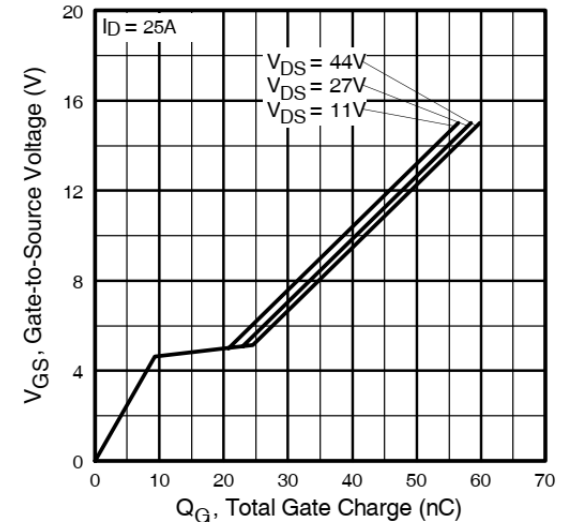
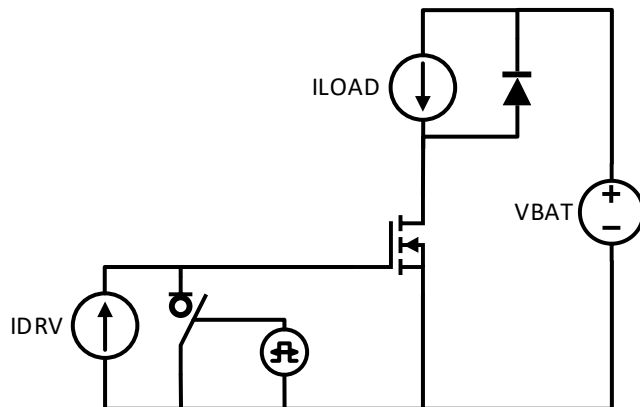


Fig 6. Typical Gate Charge Vs. Gate-to-Source Voltage

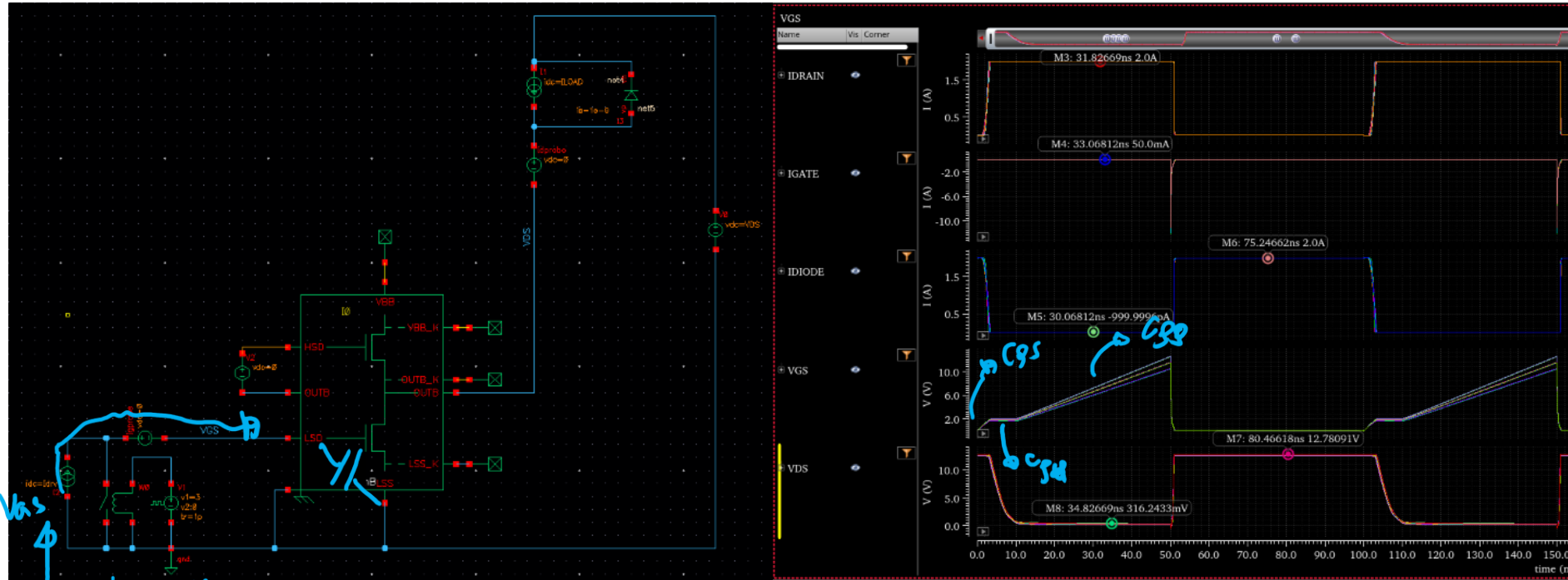


Test bench para caracterizar las capacidades del transistor.

- Cuando el switch está prendido el transistor se apaga y la corriente I_{LOAD} circula por el diodo.
- Cuando se apaga el switch, la corriente I_{DRV} carga las capacidades del transistor y este comienza a conducir la corriente I_{LOAD} .

GATE DRIVERS – CARACTERIZACIÓN DEL TRANSISTOR DE POTENCIA

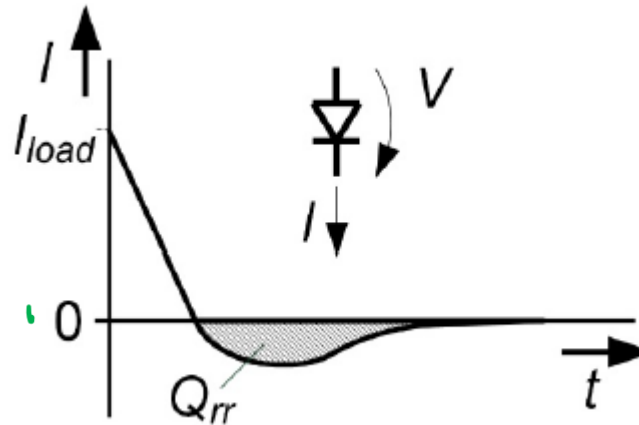
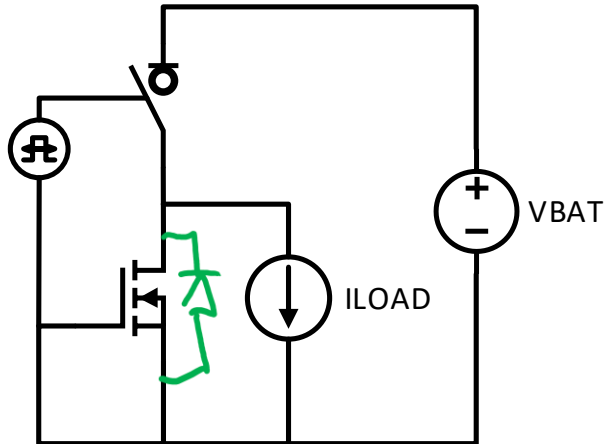
CARACTERIZACIÓN POR SIMULACIÓN DE LA CAPACIDAD Y CARGA DEL GATE



Output	Nominal	Spec	Weight	Pass/Fail	Min	Max
Filter	Filter	Filter	Filter	Filter	Filter	Filter
IDRAIN						
IGATE						
IDIODE						
VGS						
VDS						
Qgate	1.375n				1.265n	1.503n
Qgs	162.9p				151.9p	177.4p
Qgd	343.6p				320.1p	360.8p
Cgg	229.2p				210.8p	250.5p
Cgs	91.71p				85.35p	101.3p
Cgd	29.53p				27.94p	30.75p
tmiller1	103.3n				103n	103.5n
tmiller2	110.1n				109.9n	110.3n
tmiller3	127.5n				125.3n	130.1n

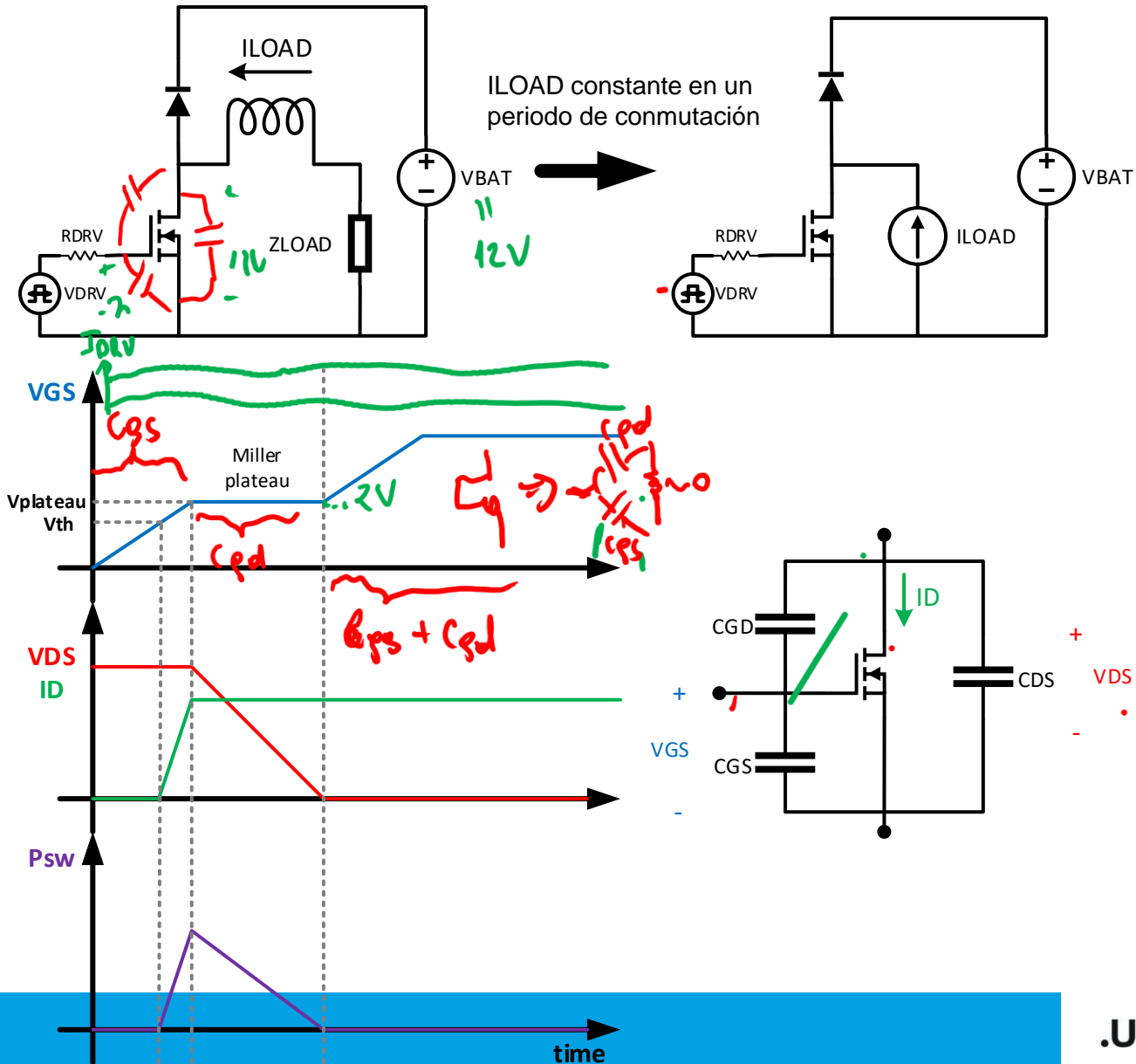
GATE DRIVERS – CARACTERIZACIÓN DEL TRANSISTOR DE POTENCIA

CARACTERIZACIÓN POR SIMULACIÓN DEL REVERSE RECOVERY CHARGE

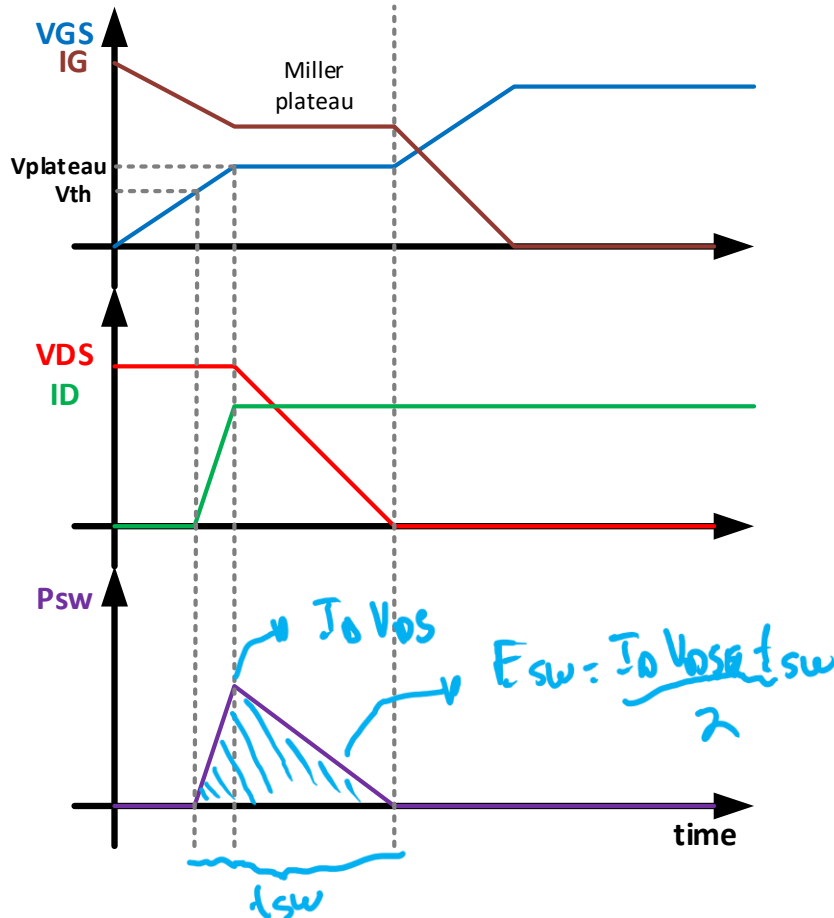


GATE DRIVERS – CONMUTACIÓN CARGA INDUCTIVA

DIAGRAMA DE TIEMPO



GATE DRIVER: PERDIDAS



Perdidas totales:

$$P_{loss} = P_{sw} + P_{cond} + P_{gate}$$

Perdidas en el gate driver por cargar-descargar la capacidad de gate:

$$\rightarrow P_{gate} = f_{sw} * C_{gate} * V_{drv}^2 = f_{sw} * Q_{gate} * V_{drv}$$

Perdidas por conducción:

$$P_{cond} = I_D^2 * R_{DSon} * D$$

Perdidas por conmutación:

$$P_{sw} = 0.5 * V_{DS} * I_D * f_{sw} * t_{sw}$$

Ejemplo: $V_{drv}=8V$, $V_{th}=2V$, $I_D=0.5A$, $R_{DSon}=0.5\Omega$, $V_{DS}=12V$, $t_{sw}=100ns$, $f_{sw}=500kHz$, $Q_{gate}=30nC$, $D=0.5$

$$P_{loss} = P_{sw} + P_{cond} + P_{gate} = 150mW + 62.5mW + 120mW = 332.5mW$$

Luego hay más pérdidas como por ejemplo las pérdidas por conducción del diodo del body (parásito en cualquier MOS), por reverse recovery del diodo del body y pérdidas en las capacidades parásitas de salida en el nodo de conmutación.

GATE DRIVER: EJEMPLO PÉRDIDAS HALF BRIDGE

Pérdidas totales incluyendo pérdidas adicionales (Ejemplo real Motor Driver):

- $V_{BAT}=12V$ / $I_{LOAD}=2A$
- $V_{DRV}=5V$ / $f_{sw}=33.33kHz$ / $D=0.733$
- $R_{DS}=75m\Omega$ / $Q_{gate}=1.375nC$ / $Q_{rr}=9.65nC$

$$P_{loss} = P_{sw} + P_{cond} + P_{gate} + P_{bd} + P_{rr}$$

Pérdidas por conducción:

$$P_{condHS} = I_{LOAD}^2 * R_{DSon} * D = 220mW$$

$$P_{condLS} = I_{LOAD}^2 * R_{DSon} * (1 - D) = 80.1mW$$

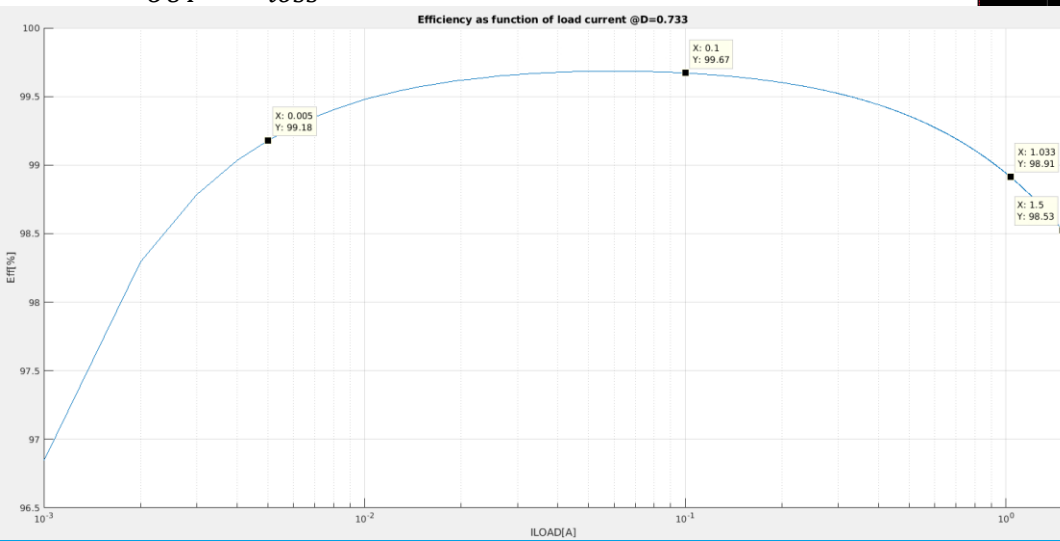
Pérdidas por conducción del body diode:

$$P_{bd} = I_{LOAD} * V_{fd} * f_{sw} * (t_{deadrise} + t_{deadfall}) = 17mW$$

$$P_{OUT} = V_{BAT} * I_{LOAD} * D = 17.592W$$

$$P_{loss} = P_{condHS} + P_{condLS} + P_{sw} + P_{gate} + P_{rr} + P_{bd} = 341.2mW$$

$$\eta = \frac{P_{OUT}}{P_{OUT} + P_{loss}} = 98.1\%$$



Pérdidas en el gate driver:

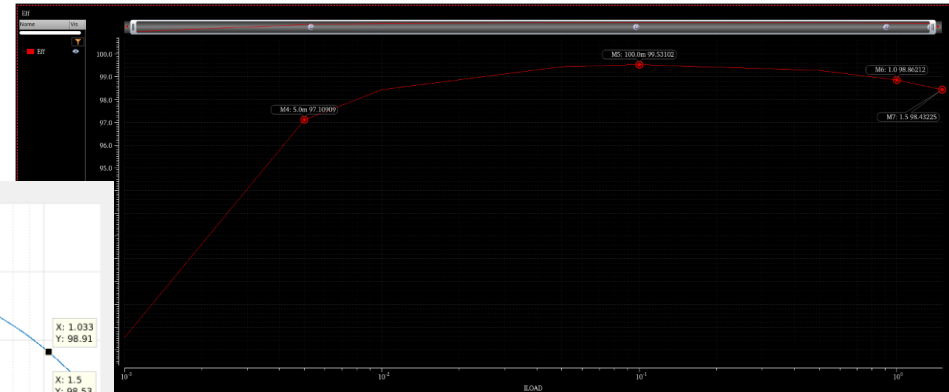
$$P_{gate} = f_{sw} * Q_{gate} * V_{drv} = 0.23mW$$

Pérdidas por conmutación:

$$P_{sw} = 0.5 * V_{DS} * I_D * f_{sw} * (t_{sw_rise} + t_{sw_fall}) = 20mW$$

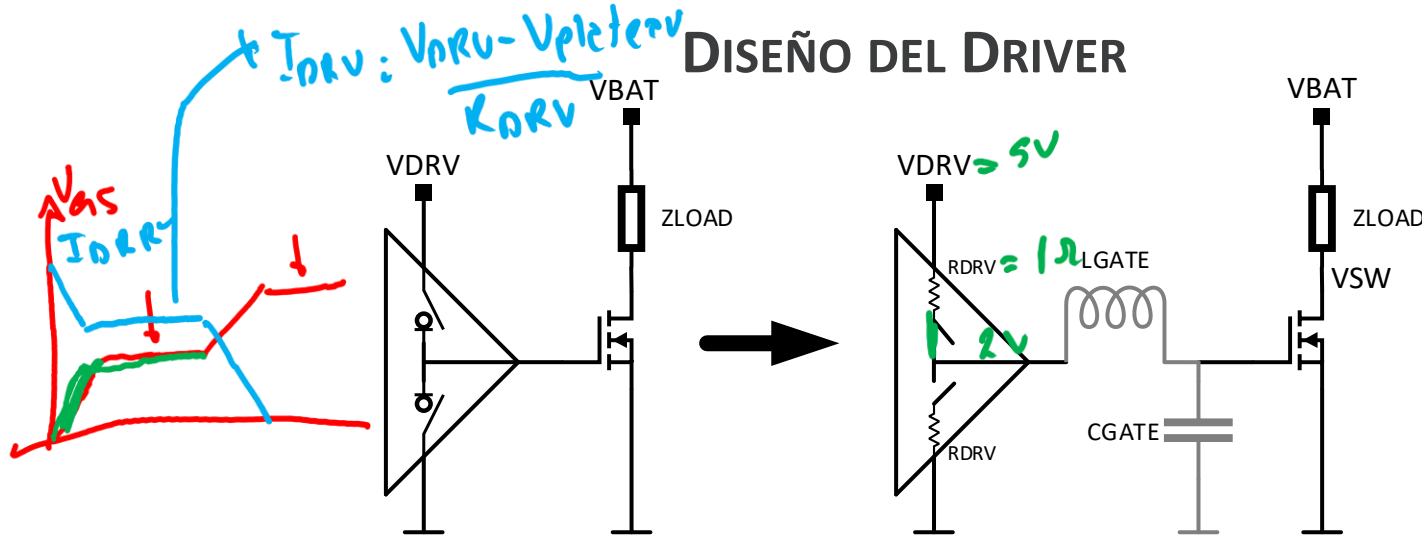
Pérdidas por reverse recovery:

$$P_{rr} = Q_{rr} * V_{BAT} * f_{sw} = 3.85mW$$



GATE DRIVER: CONMUTACIÓN CARGA INDUCTIVA

DISEÑO DEL DRIVER



- V_{drv} es la tensión gate-source para el transistor de potencia y se elige para tener cierta R_{dson} .
- R_{drv} es la resistencia de pull-up/pull-down equivalente del gate driver.
- La corriente pico entregada al gate está definida por V_{drv} y R_{drv} .
- La inductancia parásita en el gate reduce la velocidad y puede producir encendido del MOS por dv/dt .

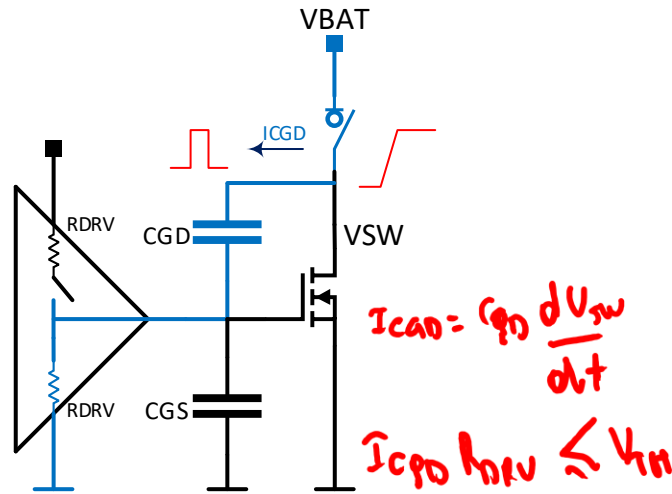
Entonces se puede seleccionar la corriente de driving (o equivalentemente la resistencia de driving) en función del tiempo de conmutación requerido.

$$I_{drv,plateau} = C_{GD} \frac{\Delta V_{GD}}{t_{sw}} = \frac{\Delta Q_{GD}}{t_{sw}}$$

Ejemplo: $C_{gd} = 30pF$, $V_{gd} = 12V$, $t_{sw} = 90ns$

$$I_{drv,plateau} = 30pF \frac{12V}{90ns} = 4mA$$

GATE DRIVER: ENCENDIDO DEL TRANSISTOR DE POTENCIA POR DV/DT



Transitorios típicos de conmutación

On-Chip	1-10 V/ns
Conversores DC-DC conmutando a ~MHz	≥ 50 V/ns
Electrónica de potencia discreta	100 V/ns
Driver de motores (puente H)	≤ 50 V/ns

Regla para elegir Rdrv: $R_{drv} \leq \frac{V_{th}}{C_{GD} \frac{dV_{DS}}{dt}}$

Ejemplo: $C_{GD}=30\text{pF}$, $V_{th}=0.9$, $dv/dt=5\text{V/ns}$

$R_{drv} \leq 6\Omega$

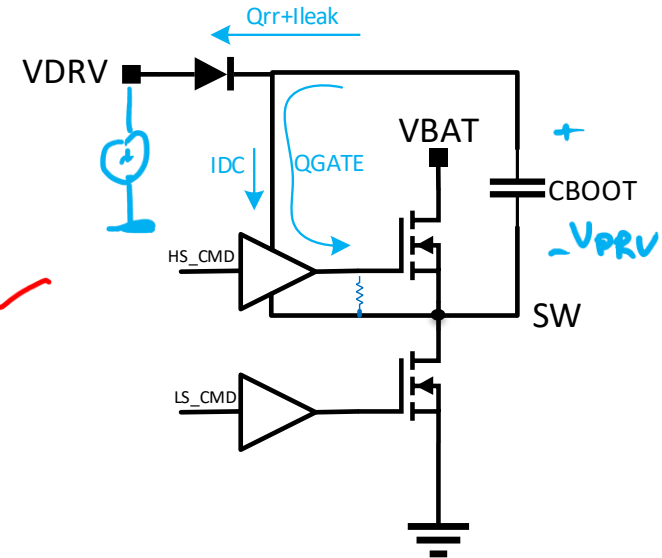
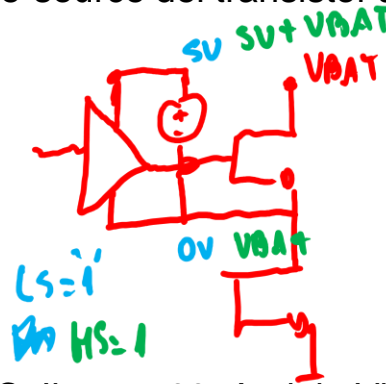
En paralelo con el driver se suele conectar una resistencia de pull down entre el gate y el source del transistor de potencia para asegurar que este se mantenga apagado. La contra es mayor consumo DC para el driver.

GATE DRIVER: SELECCIÓN DEL CAPACITOR DE BOOTSTRAP

En cada ciclo de conmutación Cboot provee:

- La carga total Qgate para prender el transistor alto.
- La carga de reverse recovery del diodo de Bootstrap Dboot.
- La corriente de leakage del diodo de Bootstrap Dboot.
- La corriente que consume el driver del transistor alto.
- La corriente de leakage gate-source del transistor alto.

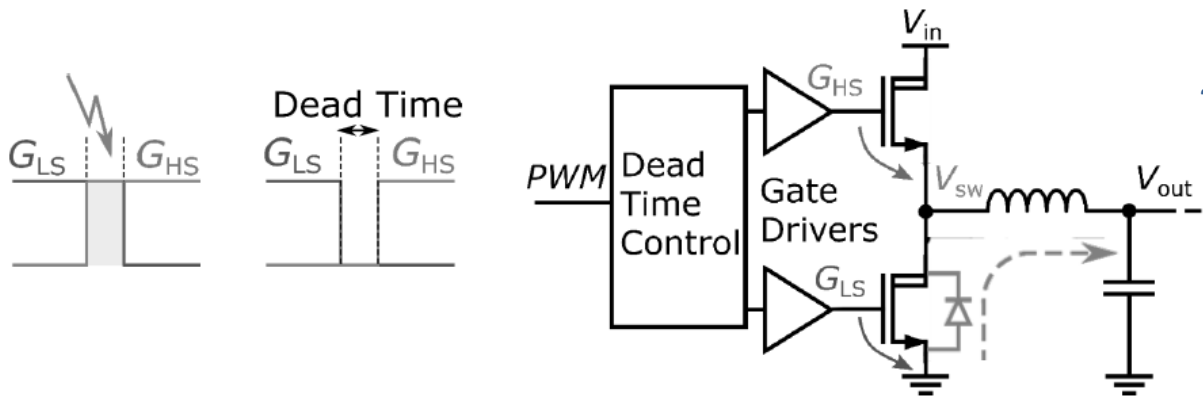
$$C_{boot} \geq \frac{Q_{gate} + Q_{rr} + \frac{I_{boot}}{f_{sw}}}{\Delta V_{boot}}$$



Ejemplo: Qgate=10nC, Qrr=1nC, Iboot=500uA, deltaVboot=0.1V, fsw=500kHz

Cboot ≥ 120nF

GATE DRIVERS – TIEMPO MUERTO (DEAD TIME)



Tiempo muerto típico:

~10ns en SMPS ($f_{sw} > 500\text{kHz}$)

~1µs para control de motores ($f_{sw} \sim 20\text{kHz}$)

- Primero se apaga un FET y luego se prende el otro FET con un tiempo muerto entre apagado de uno y encendido del otro.
- La idea es evitar conducción simultánea para minimizar las pérdidas y que en el peor caso puede dañar la etapa de potencia.
- El tiempo muerto óptimo depende del punto de operación (V_{in} , carga, etc). Existen distintas opciones de implementación:
 - Delay constante (con posibilidad de ajuste, trimming).
 - Delay adaptivo: Sensando el apagado de un FET para luego prender el otro FET.
 - Delay predictivo: Control ciclo a ciclo, complejo de implementar.

GATE DRIVERS – TIEMPO MUERTO (DEAD TIME)

Dos opciones de implementación para tiempo muerto con delay constante.

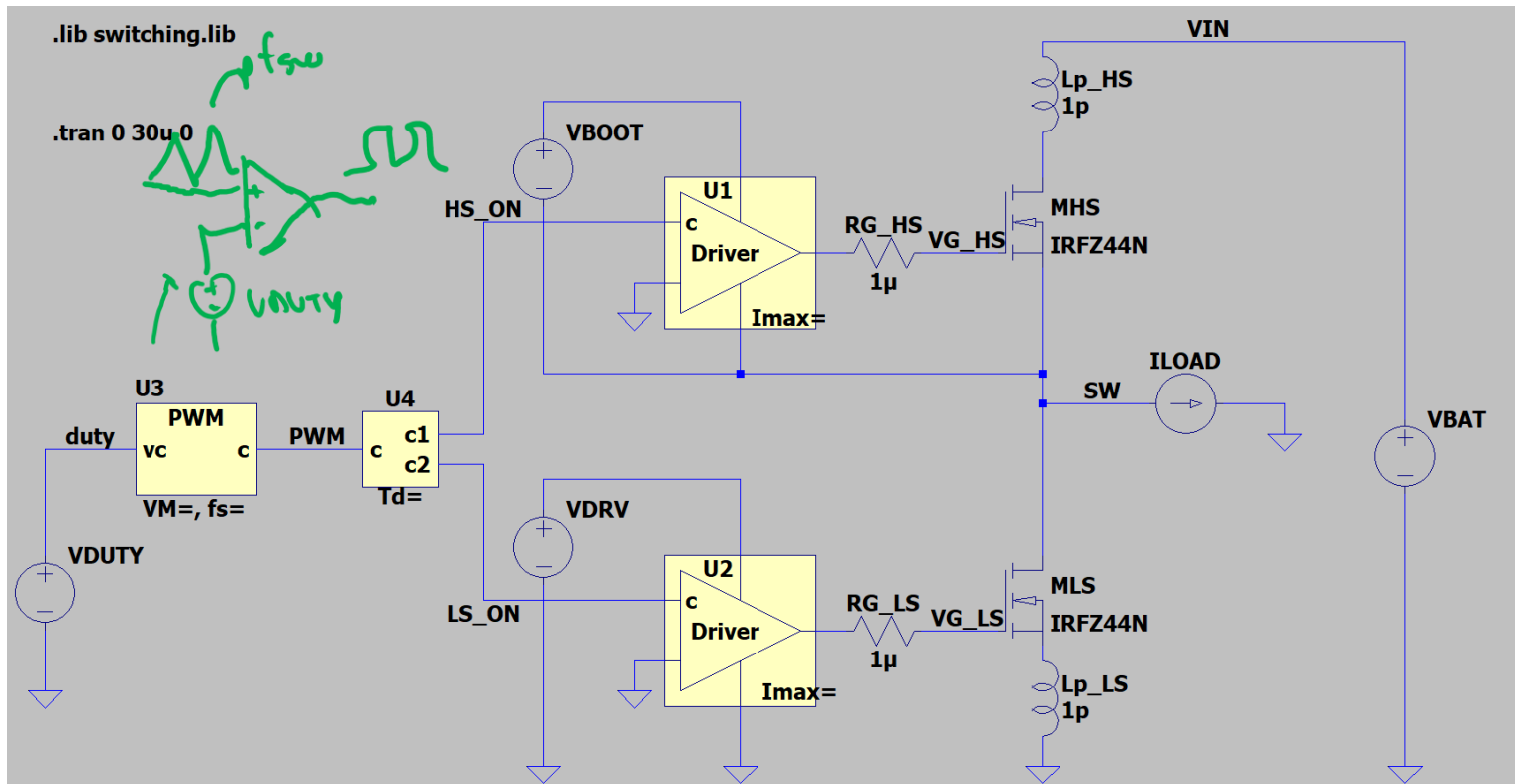


- Seleccionar tiempo muerto para el peor caso.
- Ajuste (trimming) del delay:
 - Largo de la cadena de inversores.
 - Si el delay se implementa con un capacitor cargado por una fuente de corriente, se puede ajustar la corriente de carga.

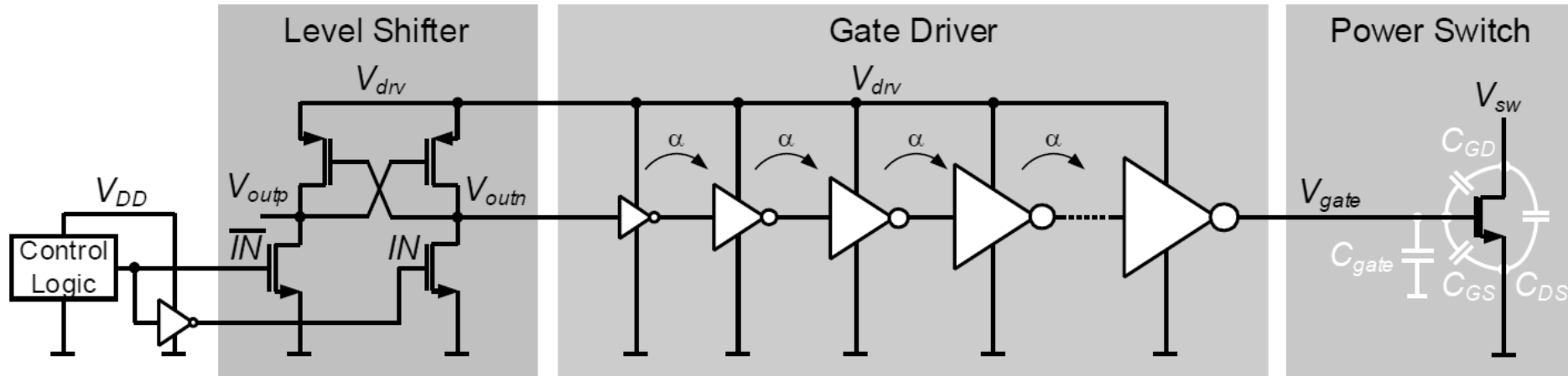


EJEMPLO DE DISEÑO DE GATE DRIVER PARA BUCK

- El transistor a usar es el IRFZ44N (modelo disponible en Ltspice).
- Usar librería switching (Power Electronics - University of Colorado).
- Tensión nominal de la batería es 12V.
- Diseñar el HS driver para tener 150mV/ns de slew rate en el nodo switching. @1A, fsw=100kHz.
- Diseñar el LS driver para evitar auto-encendido del transistor bajo.
- Seleccionar un dead time adecuado.

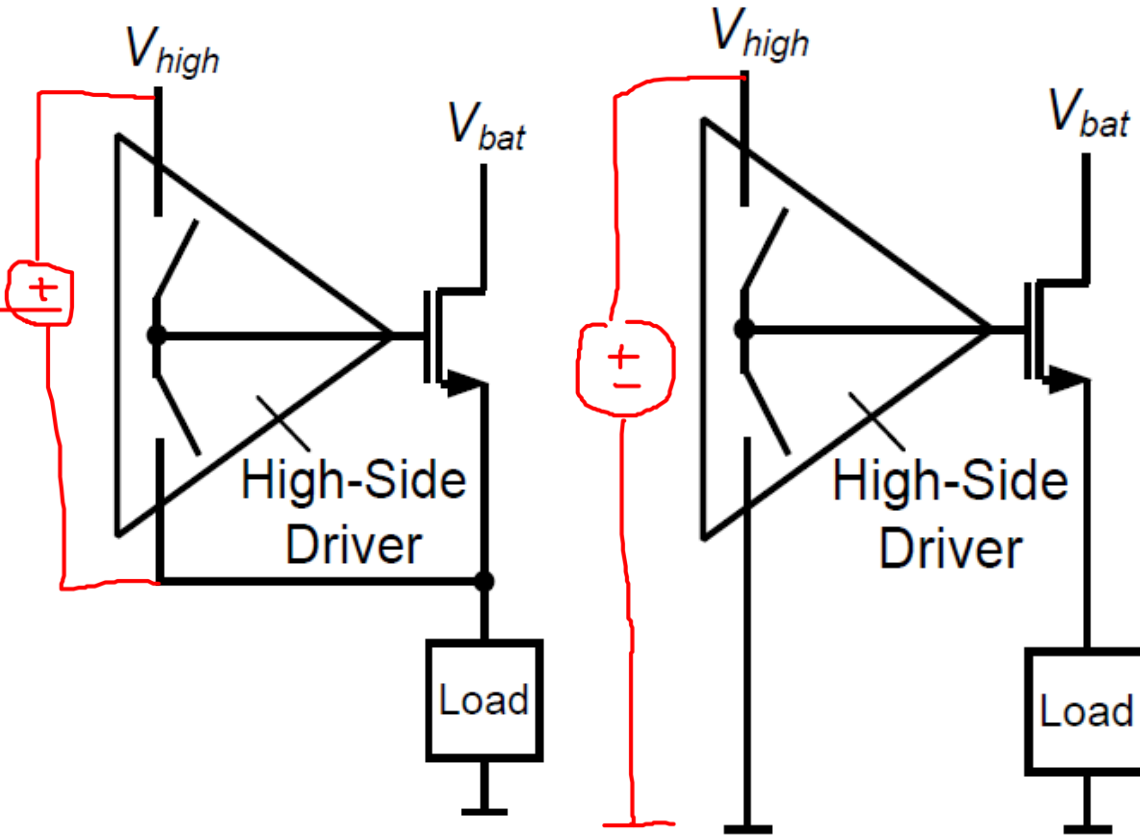


GATE DRIVERS – LOW SIDE DRIVER



- El level shifter adapta la señal de control en el dominio de V_{DD} al dominio de V_{DRV} .
- Si el transistor de potencia es relativamente pequeño (baja C_{GATE}) se podría usar una sola etapa para el gate driver.
- Para transistores de potencia más grandes (alta C_{GATE}) se usan varias etapas en cascada.

GATE DRIVERS – HIGH SIDE DRIVER

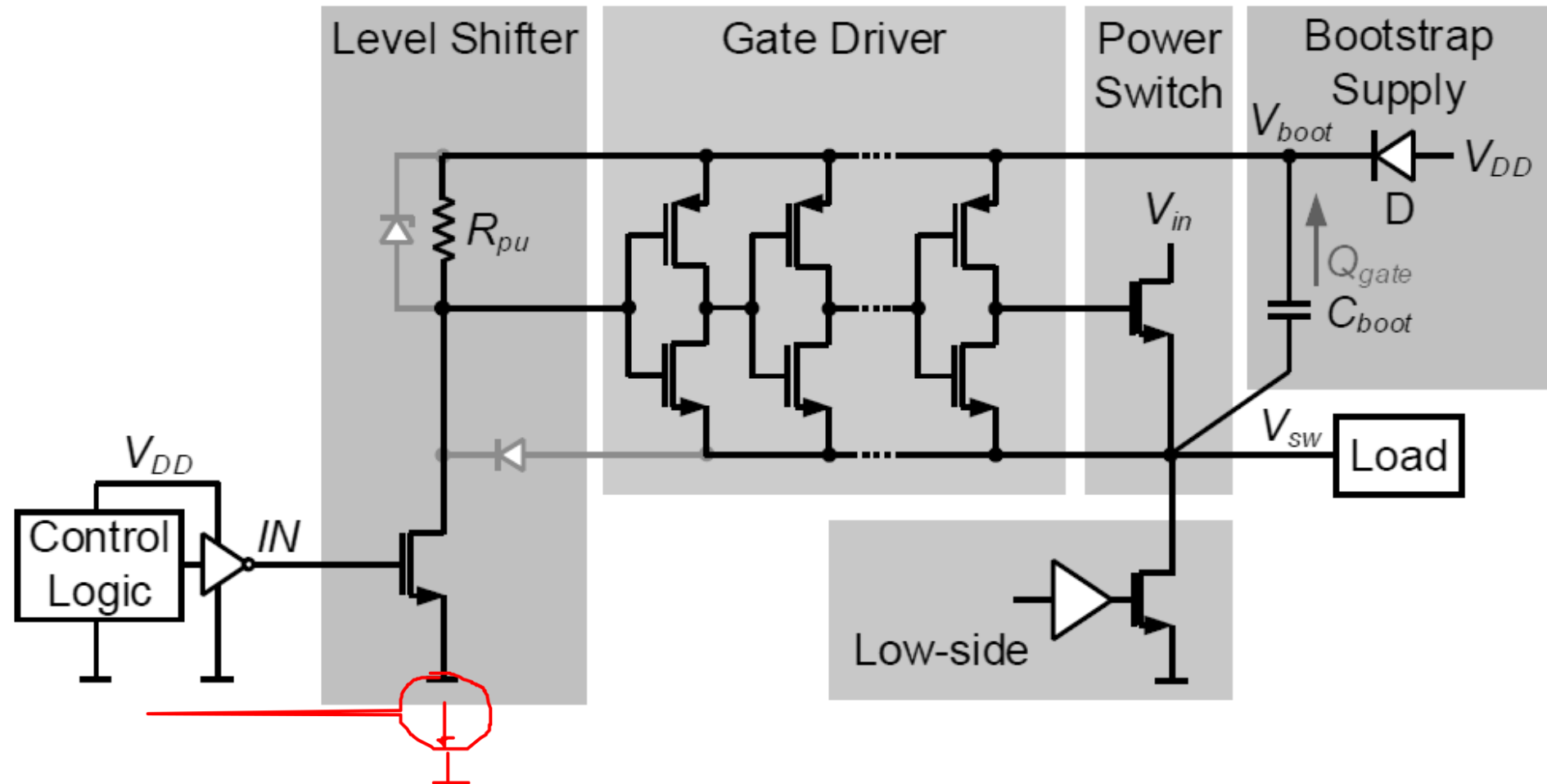


Tipo 1: Driver flotante

Tipo 2: Driver referenciado a GND.

- Tipo 1: El NMOS necesita suficiente overdrive, $V_{high} = V_{bat} + V_{gs}$
- Tipo 2: Se usa generalmente en diseños de baja tensión.
- V_{high} se genera mediante un charge pump, un boost, Bootstrap, etc.

GATE DRIVERS – HIGH SIDE DRIVER (TIPO 1)

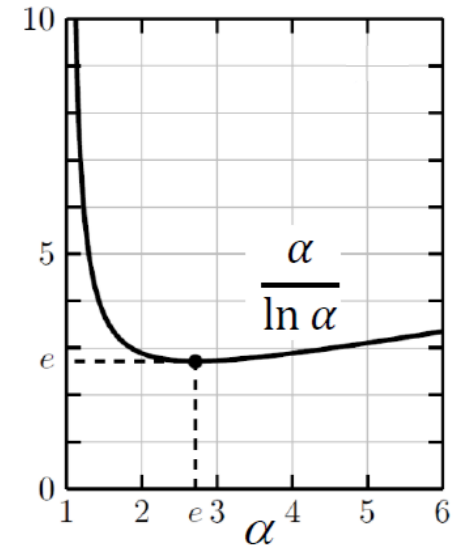
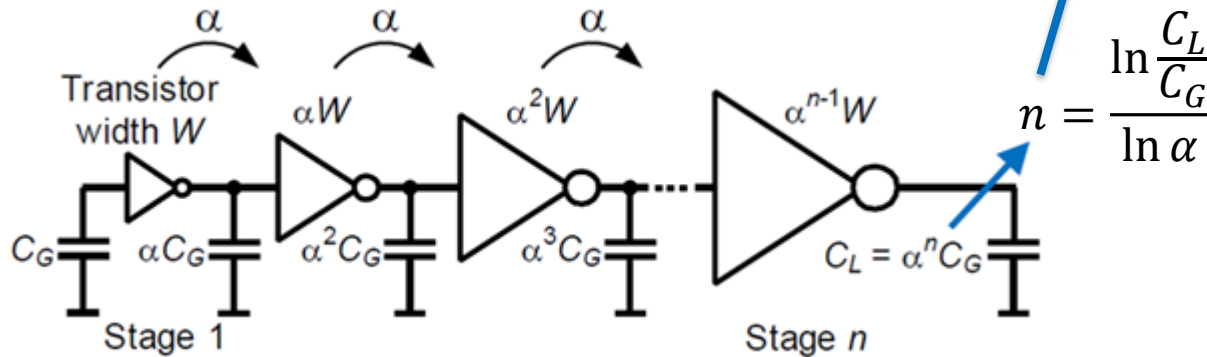


- Driver: Se usan transistores de baja tensión, incluso para altas tensiones de batería.
- R_{pu} : Compromiso entre velocidad y consumo (Valor típico ronda los 100k Ω).
- Los diodos se usan para limitar la tensión de R_{pu} y el VGS del driver.

GATE DRIVER – DISEÑO DEL DRIVER EN CASCADA PARA OPTIMIZAR VELOCIDAD

Optimización de la velocidad: Se usan n etapas que van incrementando la capacidad del driver (W/L) por un factor de α .

$$t_{directo} = t_{apd} \frac{C_L}{C_G} \Rightarrow t_{cascada} = n t_{apd} \frac{\alpha^{x+1} C_G}{\alpha^x C_G} = n \alpha t_{apd} \Rightarrow \frac{t_{cascada}}{t_{directo}} = \frac{\ln \frac{C_L}{C_G}}{\frac{C_L}{C_G}} \frac{\alpha}{\ln \alpha}$$



Hay compromiso entre velocidad y área/potencia:

Elegir $\alpha = 3 \dots 6$ (mayor al numero de Euler e) \Rightarrow Calcular n

Ejemplo: $C_L = 240\text{fF}$, $C_G = 6.91\text{fF}$, $t_{apd} = 100\text{ps}$

$$t_{directo} = 3.5\text{ns}, \text{ si elijo } \alpha=3 \Rightarrow n = \frac{\ln \frac{C_L}{C_G}}{\ln \alpha} = 3.23 \approx 3 \Rightarrow t_{cascada} = n \alpha t_{apd} = 900\text{ps}$$

$$\text{si elijo } \alpha=6 \Rightarrow n = \frac{\ln \frac{C_L}{C_G}}{\ln \alpha} = 1.97 \approx 2 \Rightarrow t_{cascada} = n \alpha t_{apd} = 1.2\text{ns}$$