

El inversor CMOS

23 de agosto de 2024

El inversor CMOS es la base de todo el diseño digital.

Una vez comprendidas sus propiedades y su modo de operación, se simplifica el diseño de estructuras mas complejas como compuertas NAND, sumadores, multiplicadores, etc.

El comportamiento eléctrico de todos los circuitos mencionados se puede obtener extrapolando todos los resultados obtenidos para los inversores.

En la siguiente figura se muestra el modelo circuital del inversor CMOS.

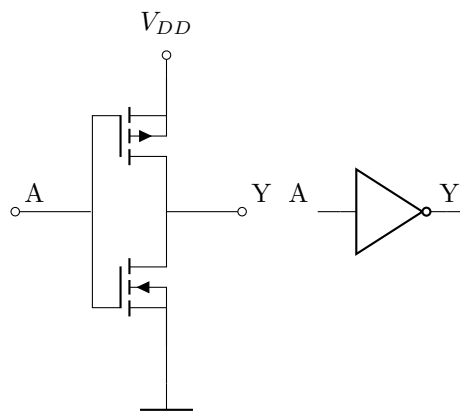


Figura 1: Inversor CMOS

El modo de operación de este circuito se puede analizar a partir del modo de operación Corte/Saturación del transistor MOSFET, es decir, el transistor trabajando como un switch.

Cuando se aplica en el terminal A una tensión $V_A = V_{DD}$, el transistor NMOS está en Saturación, mientras que el PMOS está en Corte.

Por otro lado, cuando la tensión de entrada es "low" (0V), los transistores NMOS y PMOS están en corte y Saturación respectivamente.

A su vez, un número importante de propiedades se derivan del modo de operación indicado.

- Las tensiones de los niveles alto y bajo son V_{DD} y GND respectivamente, por lo cual el inversor presenta un margen de ruido alto.
- Los niveles lógicos no dependen del tamaño relativo de los dispositivos.
- En régimen permanente, siempre existe un path con resistencia finita entre la salida y V_{DD} o GND. Luego el inversor presenta baja resistencia de salida.
- La resistencia de entrada del inversor CMOS es extremadamente alta.

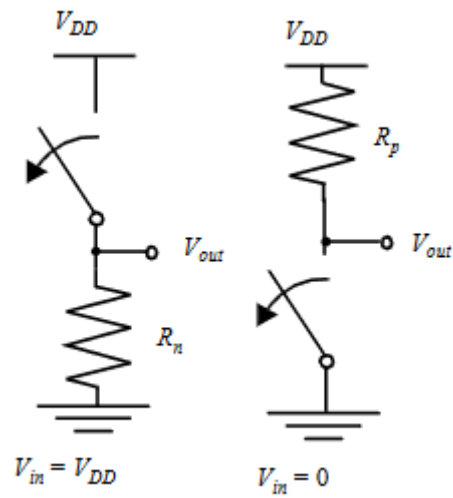


Figura 2: Modelo para entrada en alto/bajo

- No existe un path entre los rieles de alimentación y tierra, bajo condiciones de operación en régimen permanente. La ausencia de circulación de corriente hace pensar que el Gate no consume potencia estática.

1. Comportamiento Estático

La transferencia de tensión característica del inversor CMOS se obtiene gráficamente superponiendo las corrientes de los dispositivos NMOS y PMOS.

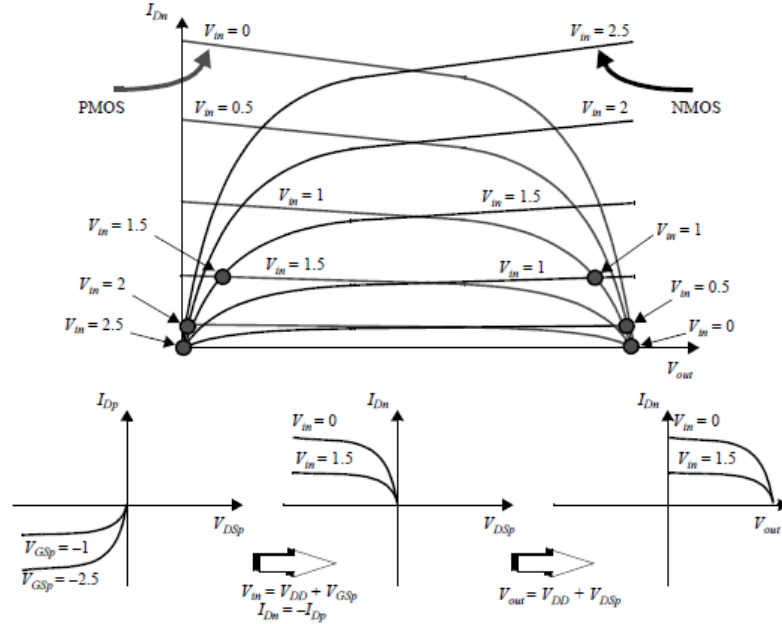


Figura 3: MOS Características I-V

$$I_{DSp} = -I_{DSn} = -I_{SDp}$$

$$V_{GSn} = V_i$$

$$V_{GSp} = V_i - V_{DD}$$

$$V_{DSn} = V_o$$

$$V_{DSp} = V_o - V_{DD} = -V_{SDp}$$

1.1. Punto de Conmutación V_M

Condición: $V_i = V_o$

En este caso, como $V_i = V_o \Rightarrow V_{DSn} = V_{GSn}$.

Por otro lado, $V_{SDp} = V_{GSp}$ lo que es equivalente a $V_{DD} - V_o = V_{DD} - V_i$.

Por lo tanto ambos transistores están saturados.

Condición de Saturación

- NMOS: $V_{GS} - V_T \leq V_{DS}$
Como $V_{GS} = V_{DS} \Rightarrow V_{GS} - V_T < V_{DS} \Rightarrow \text{Saturado}$
- PMOS: $V_{GS} - V_T \geq V_{ds}$
Como $V_{Sg} = V_{Sd} \Rightarrow V_{Sg} - V_T < V_{Sd} \Rightarrow \text{Saturado}$

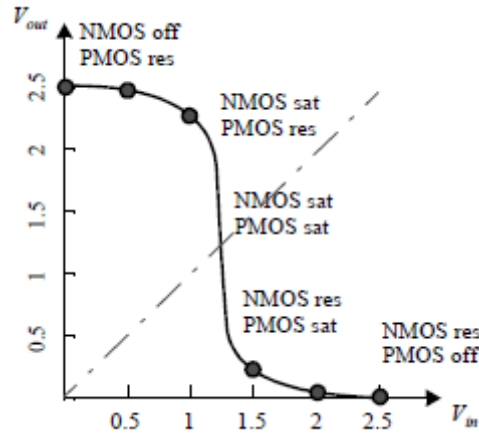


Figura 4: Punto de Conmutacion, $V_{DD} = 2,5V$

Tenemos $V_{GSn} = V_M, V_{SGP} = V_{DD} - V_M$

$$\frac{K'_n W_n}{2 L_n} (V_{GSn} - V_T)^2 = \frac{K'_p W_p}{2 L_p} (V_{SGp} - V_{Thp})^2$$

$$\frac{K'_n W_n}{2 L_n} (V_{GSn} - V_T)^2 = \frac{K'_p W_p}{2 L_p} (V_{DD} - V_M - V_{Thp})^2$$

Sea $V_M = V_{DD}/2 \Rightarrow V_{DD} - V_M = \frac{V_{DD}}{2}$, $\beta_n = K'_n \frac{W_n}{L_n}$, $\beta_p = K'_p \frac{W_p}{L_p}$

$$\beta_n = \left(\frac{V_{DD}}{2} - V_{Thn}\right)^2 = \beta_p = \left(\frac{V_{DD}}{2} - V_{Thp}\right)^2$$

$$\sqrt{\frac{\beta_n}{\beta_p}} = \frac{V_{DD} + 2V_{Thp}}{V_{DD} - 2V_{Thn}}$$

Entonces $\frac{\beta_n}{\beta_p} = \sqrt{\frac{1,64}{1,26}} = \sqrt{1,3} = 1,14$

$$\frac{U_n W_n / L_n}{U_p W_p / L_p} = 1,14 \Rightarrow \frac{W_p}{W_n} = \frac{1}{1,14} \frac{\mu_n}{\mu_p} = \frac{4,61}{1,14} \approx 4$$

Las variaciones de los transistores impactan en las características Estáticas del inversor CMOS. El transistor *Bueno* es el que tiene el menor espesor de la capa de óxido, menor longitud, un ancho grande, y tensión umbral pequeña. Lo contrario es un Transistor *Malo*.

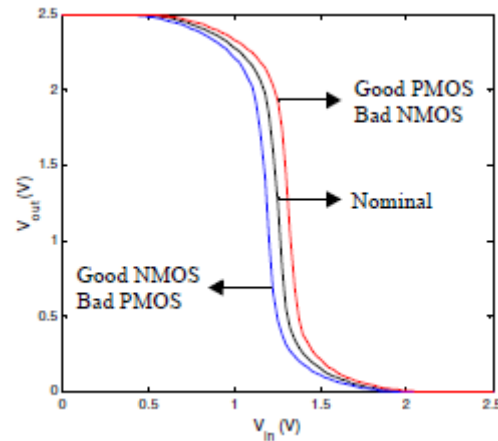


Figura 5: Impacto de las variaciones de los transistores en las características del inversor CMOS.

1.2. Noise Margin, transferencia y ganancia

El Márgen de Ruido o *Noise Margin*, es el valor mínimo necesario que una señal debe exceder para poder ser considerada un nivel lógico alto o bajo.

Se define:

- $V_{OH} :=$ Tensión de salida del dispositivo en estado alto.
- $V_{OL} :=$ Tensión de salida del dispositivo en estado bajo.
- $V_{IL} :=$ Tensión de entrada por debajo de la cual el dispositivo detecta un estado bajo.
- $V_{IH} :=$ Tensión de entrada por encima de la cual se detecta un estado alto.

Puesto que la salida de una compuerta se conecta a la entrada de otra compuerta, es necesario que:

- $V_{OH}^{min} \geq V_{IH}^{min}$ para detectar '1'.
- $V_{OL}^{max} \leq V_{IL}^{max}$ para detectar '0'.

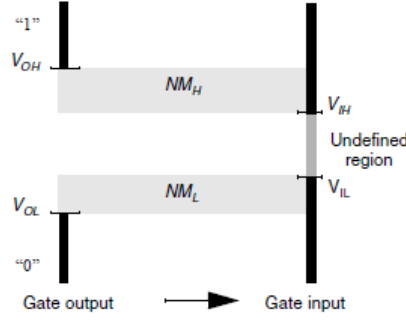


Figura 6: Márgenes de Ruido

Luego, en base a la definición inicial realizada en esta sección,

- **Margen de Ruido en estado Alto (NM_h)** $:= V_{OH} - V_{iH}$
- **Margen de Ruido en estado Bajo (NM_l)** $:= V_{iL} - V_{OL}$

La curva de transferencia del inversor CMOS es:

Podemos decir que la ganancia de tensión es: $A_v = \frac{dV_o}{dV_i} < 0$ (inversor)

Definiendo,

- V_{iH} : Valor de V_i en el cual $A_v = -1$ y $V_i > V_M$
- V_{iL} : Valor de V_i en el cual $A_v = -1$ y $V_i < V_M$

Los márgenes de ruido se expresan como:

- $NM_h := V_{DD} - V_{iH}$
- $NM_l := V_{iL}$

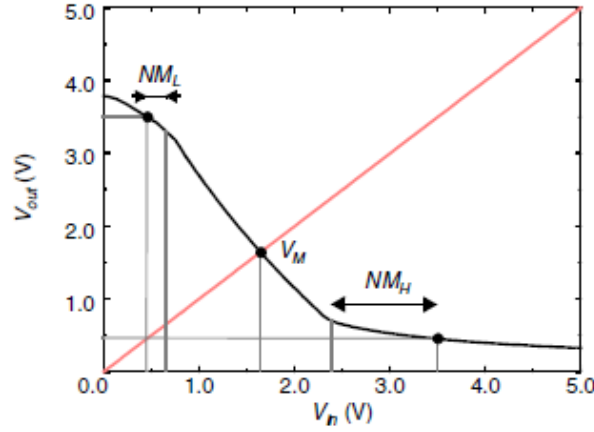


Figura 7: Analisis transferencia CMOS

Si $V_i = V_M$, y si $A_v \rightarrow \infty$ y $V_M = \frac{V_{DD}}{2} \Rightarrow Nmh = Nml = \frac{V_{DD}}{2}$

Se calculará la expresión de la tensión de salida V_o en función de la entrada $V_i \Rightarrow$

$$\frac{K_n}{2} \frac{W_n}{L_n} (V_{GSn} - V_{Thn})^2 (1 + \lambda_n V_{DSn}) = \frac{K_p}{2} \frac{W_p}{L_p} (V_{SGp} - V_{Thp})^2 (1 + \lambda_p V_{SDp})$$

Reemplazando el siguiente conjunto de valores en la ecuación anterior,

- $V_{GSn} = V_i$
- $V_{GSp} = V_i - V_{DD} = -V_{SGp}$
- $V_{DSn} = V_o$
- $V_{DSp} = V_o - V_{DD} = -V_{SDp}$

Se obtiene:

$$K_n \frac{W_n}{L_n} (V_i - V_{Thn})^2 (1 + \lambda_n V_{DSn}) = K_p \frac{W_p}{L_p} (V_{DD} - V_i - V_{Thp})^2 (1 + \lambda_p (V_{DD} - V_o))$$

$$K_n \frac{W_n}{L_n} (V_i - V_{Thn})^2 + K_n \frac{W_n}{L_n} \lambda_n (V_i - V_{Thn})^2 V_o = K_p \frac{W_p}{L_p} (V_{DD} - V_i - V_{Thp})^2 + V_{DD} K_p \frac{W_p}{L_p} \lambda_p (V_{DD} - V_i - V_{Thp})^2 - K_p \frac{W_p}{L_p} \lambda_p (V_{DD} - V_i - V_{Thp})^2 V_o$$

$$V_o [K_n \frac{W_n}{L_n} \lambda_n (V_i - V_{Thn})^2 + K_p \frac{W_p}{L_p} \lambda_p (V_{DD} - V_i - V_{Thp})^2] = K_n \frac{W_n}{L_n} (V_i - V_{Thn})^2 + K_p \frac{W_p}{L_p} \lambda_p (V_{DD} - V_i - V_{Thp})^2 (1 + V_{DD})$$

$$V_o = \frac{K_n \frac{W_n}{L_n} (V_i - V_{Thn})^2 + K_p \frac{W_p}{L_p} \lambda_p (V_{DD} - V_i - V_{Thp})^2 (1 + V_{DD})}{K_n \frac{W_n}{L_n} \lambda_n (V_i - V_{Thn})^2 + K_p \frac{W_p}{L_p} \lambda_p (V_{DD} - V_i - V_{Thp})^2}$$

Luego:

$$G = \frac{dV_o}{dV_i} \text{ para } V_i = V_M$$

Simulando este resultado en SPICE se obtiene:

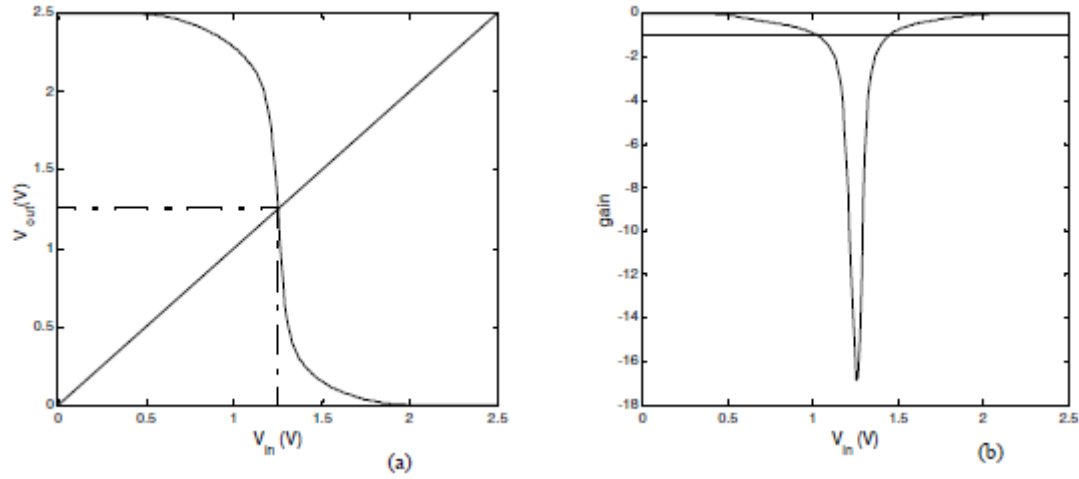


Figura 8: Transferencia(a) y Ganancia de tensión(b) para una compuerta CMOS Inversora

1.3. Propiedad Regenerativa

Supongamos que se conecta una cantidad de inversores CMOS en serie,

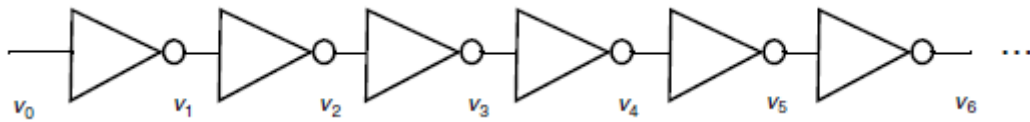


Figura 9: Conexión de inversores en serie

Consideremos que $V_i = V_0$ se encuentra en el rango de valores compatibles con un '0' lógico.

Propiedad Regenerativa

Como $V_2 < V_0 \Rightarrow V_2$ es “mejor 0” que V_0 .

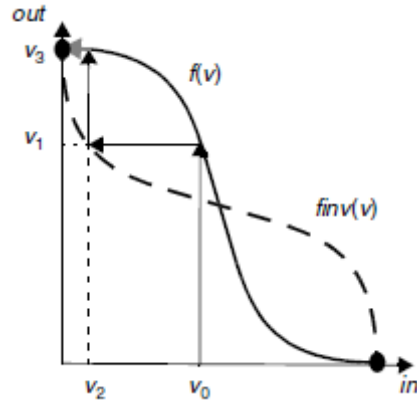


Figura 10: Compuerta Regenerativa

OBS.: Para que exista la Propiedad Regenerativa $|G| > 1$ para $V_i = V_M$

Propiedad NO Regenerativa

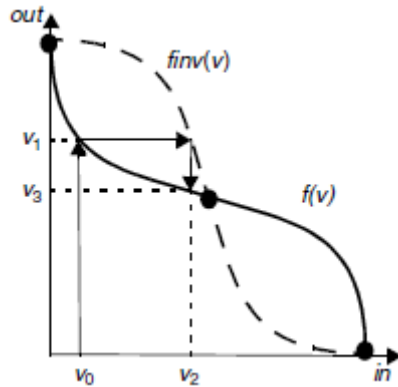


Figura 11: Compuerta NO Regenerativa

Como $V_2 > V_0 \Rightarrow V_2$ es “peor 0” que V_0 .

1.4. Subthreshold Current

Una causa de fuga de corriente en los transistores MOS es la denominada *Subthreshold Current*, que se da cuando $V_{GS} < V_T$.

Cuanto mas cerca esté la tensión umbral de 0V, aparece una corriente apreciable para $V_{GS} = 0V$; Como consecuencia, se genera un gran consumo de Potencia Estática.

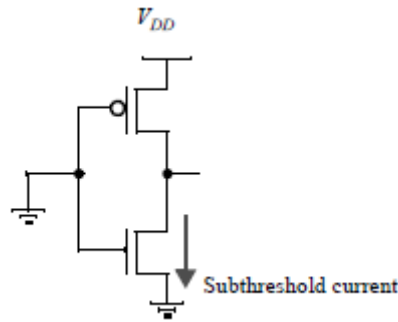


Figura 12: Subthreshold Current

- $I_{DSp} := I_D$ de Subthreshold del PMOS
- $I_{DSn} := I_D$ de Subthreshold del NMOS

$$V_A \leq V_{DD} - V_T \Rightarrow I_D = I_{DSp}$$

$$V_A \leq V_{Tn} - V_T \Rightarrow I_D = I_{DSn}$$

Para el inversor **CMOS**, $I_{DS} = \max(I_{DSn}, I_{DSp})$

En un proceso de $0,25\mu \Rightarrow V_T \approx 0,5V$.

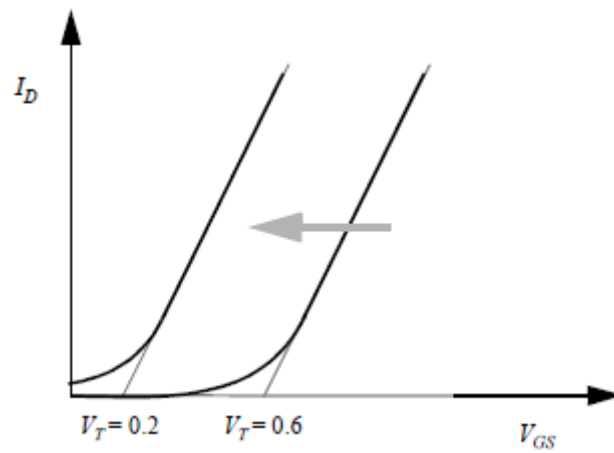


Figura 13: A medida que disminuye V_T , aumenta la Subthreshold Current

Si el proceso es menor entonces V_T disminuye y por lo tanto I_{DS} aumenta.

1.5. Leakage Current

Cuando el canal no está formado, debido a las junturas PN entre **Drain** - V_{DD} y **Drain** - V_{SS} polarizados en inversa, hay circulación de minoritarios generados térmicamente entre V_{DD} y V_{SS} y por lo tanto, se disipa potencia.

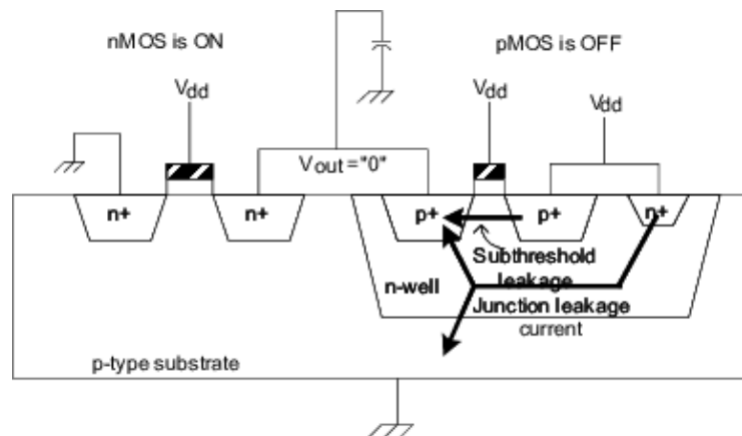


Figura 14: Leakage

La Corriente de Leakage, I_L , es:

$$I_L = \max(I_{Lh}, I_{Ll})$$

Se define Potencia Estática como: $P_S = I_L \cdot V_{DD}$

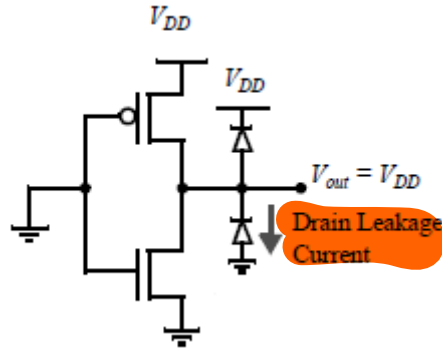


Figura 15: Circuito Leakage

Luego, la potencia estática esta dada por: $P_S = (I_L + I_{DS}) \cdot V_{DD}$.

Para N compuertas, $P_S^{total} = \sum_1^N P_{Si}$.

1.6. Comportamiento Dinámico

1.6.1. Modelo

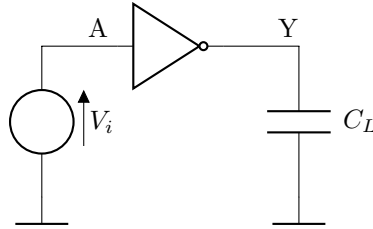


Figura 16: Circuito Inversor CMOS Ideal

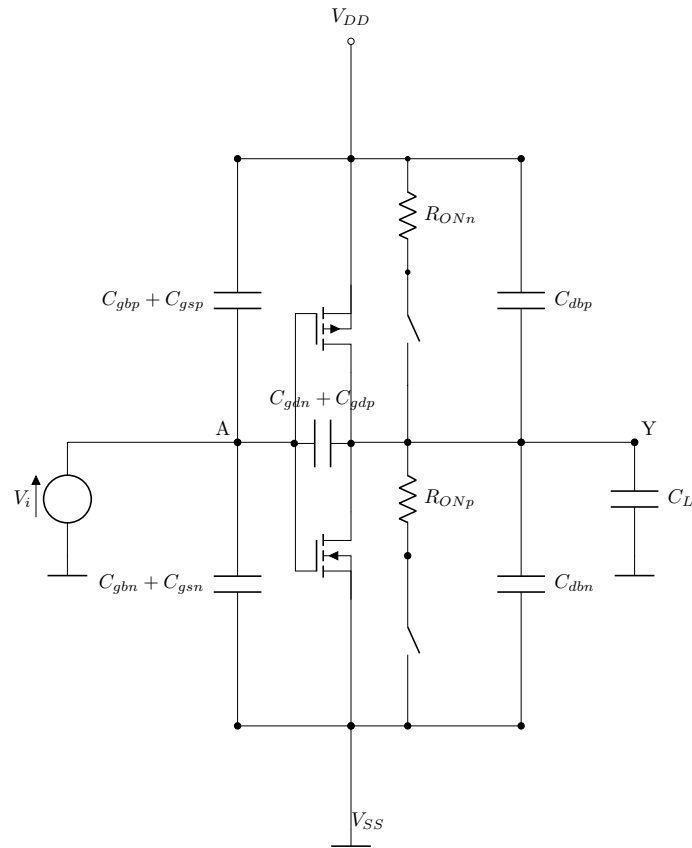


Figura 17: Circuito Inversor CMOS a nivel transistor

1.6.2. Análisis de primer orden

Para realizar un análisis de *primer orden*, tenemos el circuito equivalente:

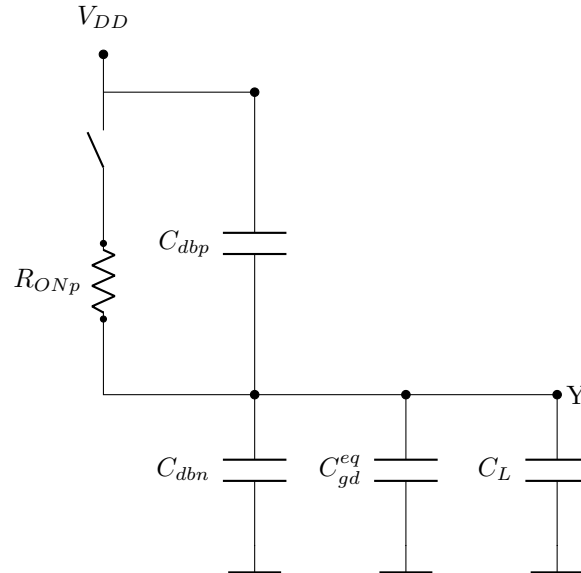


Figura 18: Circuito equivalente

donde C_{gd}^{eq} es el equivalente por Miller de C_{gd} .

El problema para este análisis consiste en:

- Ninguna R_{on} y C es constante ni lineal con V_i .
- Además V_i no es ideal ya que es la salida de otra compuerta por lo general tiene tiempo de salida y bajada asociados.

Se presenta como solución la Simulación SPICE. Este proceso es conocido como timing characterization.

A pesar de los problemas indicados, el modelo de primer orden sirve para extraer conceptos útiles como el concepto de **Logical Effort**.

1.7. Tiempo de Propagación

Supongamos $V_i(t_0) = 0V \Rightarrow V_i(t_0-) = V_{DD}$ y $V_i(t_0+) = 0V$

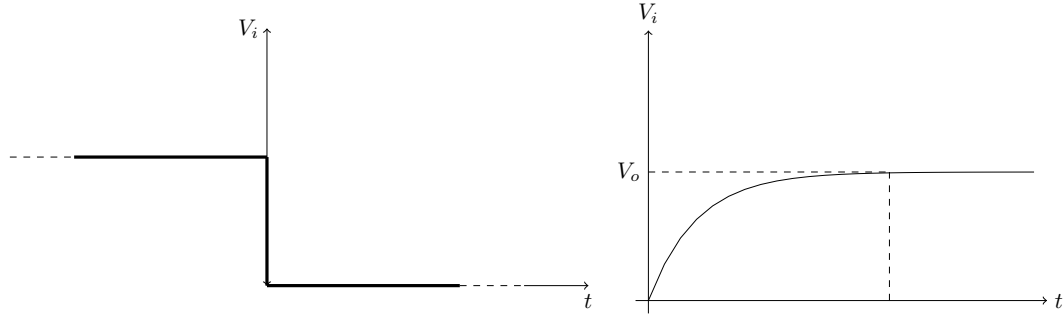


Figura 19: Curva de tensión V_i

Se definen los siguientes valores para el **tiempo de propagación**:

- $t_r :=$ Tiempo que tarda V_y en llegar desde el 10 % de V_{DD} hasta 20 % de V_{DD} .
- $t_f :=$ Tiempo que tarda V_y en llegar desde 90 % de V_{DD} hasta 10 % de V_{DD} .
- $t_p :=$ Desfasaje de tiempo entre que V_i esta al 30 % V_{DD} y V_y esta al 30 % de V_{DD} .
- $t_p := \frac{t_{Plh} + t_{Phl}}{2}$
- $t_r = 2,2R_{ONp} \sum C$
- $t_f = 2,2R_{ONn} \sum C$
- $t_{pLH} = 0,69R_{ONp} \sum C$
 $t_{pHL} = 0,69R_{ONn} \sum C$

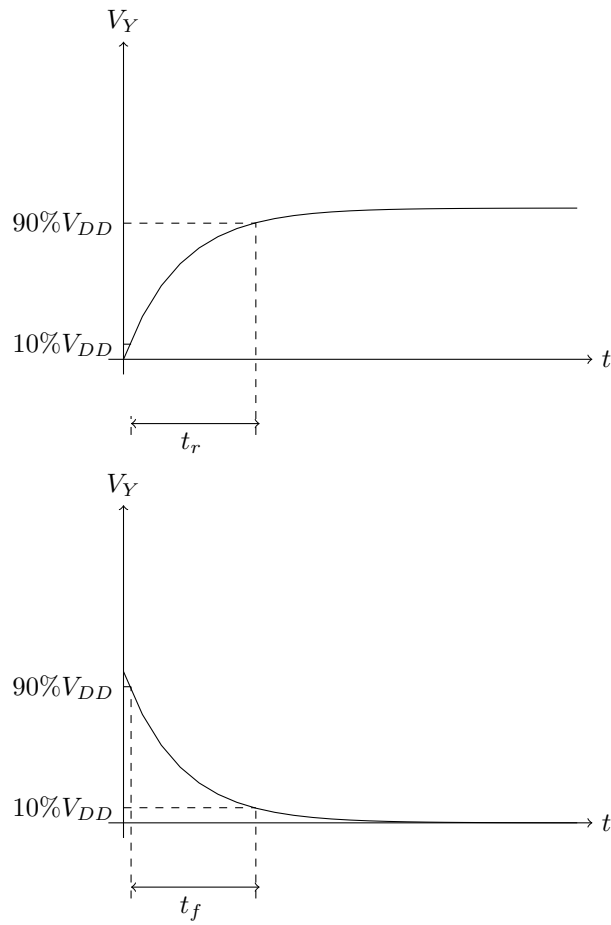


Figura 20: Gráficos Tiempo de Subida t_r (a) y Tiempo de Bajada t_f

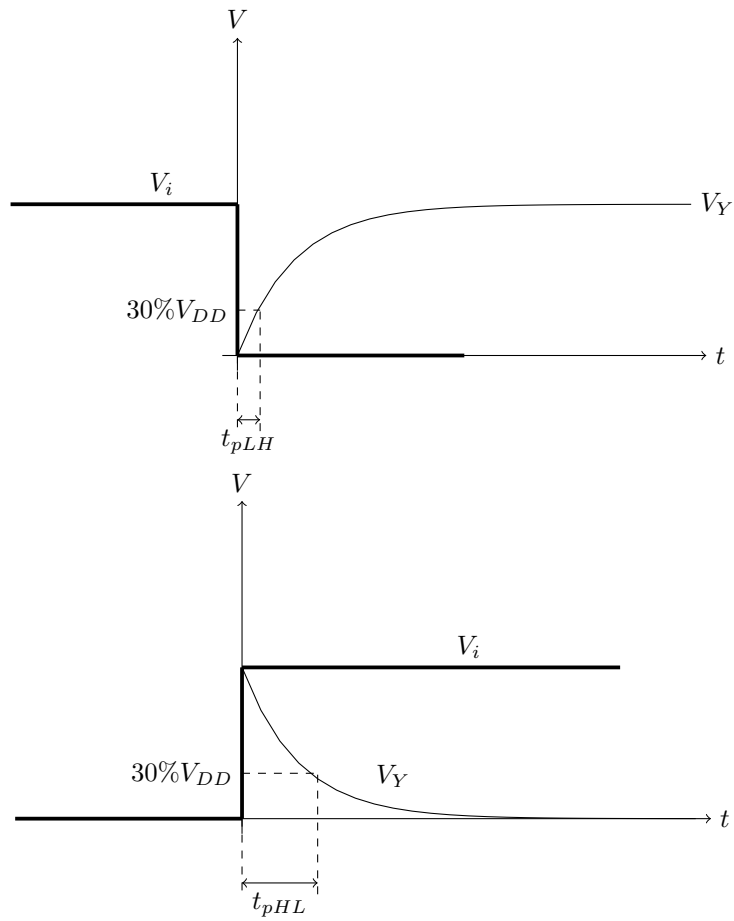


Figura 21: Gráficos Tiempo de propagación t_{pLH} (a) y t_{pHL} (b)

En una cadena de inversores, los tiempos de propagación y la potencia de conmutación de I_2 dependen de los tiempo t_r y t_f de salida de I_1 .

Por lo tanto para caracterizar a I_2 se debe hallar a t_r y t_f

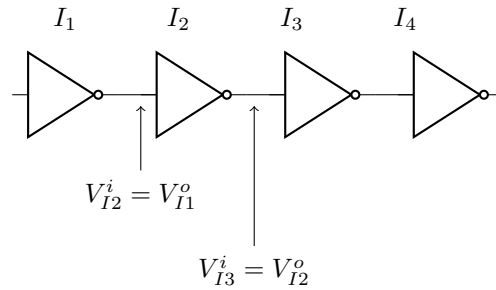


Figura 22: inversores en cascada

1.8. Oscilador en Anillo

El circuito estándar para medir el tiempo de propagación es el *Oscilador en Anillo*.

Dicho circuito está compuesto por un número impar de inversores CMOS conectados en cadena. Debido al número impar de inversiones, el circuito no tiene un punto estable de operación, y oscila.

Para un circuito de k inversores, $f = \frac{1}{kT_p}$

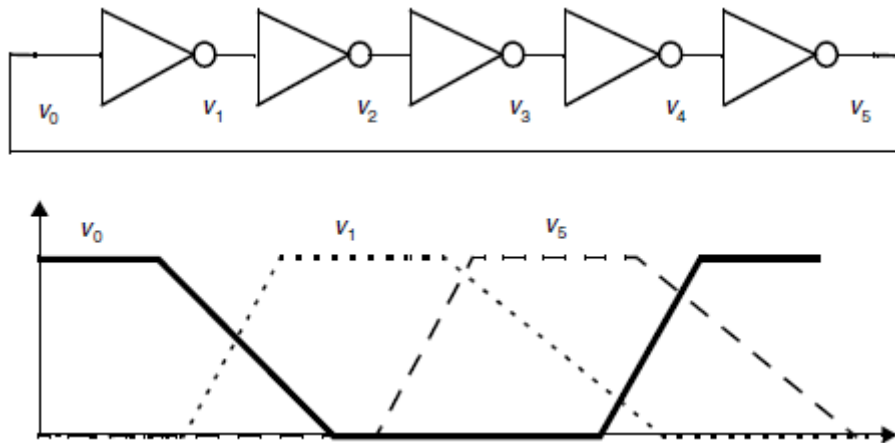


Figura 23: inversores en cascada

1.9. Potencia de Conmutación

La potencia de conmutación dependerá de la carga capacitiva (C_L) que el inversor CMOS tenga conectada a su salida.

$$P(t) = V_{DD} \cdot I_D(t)$$

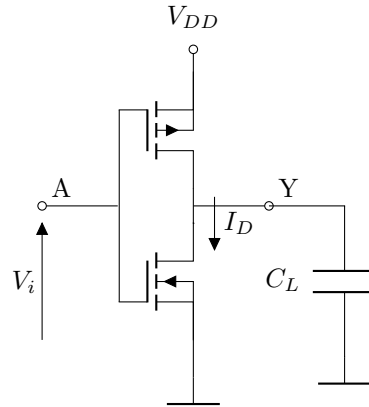


Figura 24: Inversor CMOS con carga capacitiva

En la siguiente imagen se observa la corriente de cortocircuito (I_{SC}) a través del transistor NMOS en una transición de *Low* a *High*, como función de la impedancia de carga, C_L

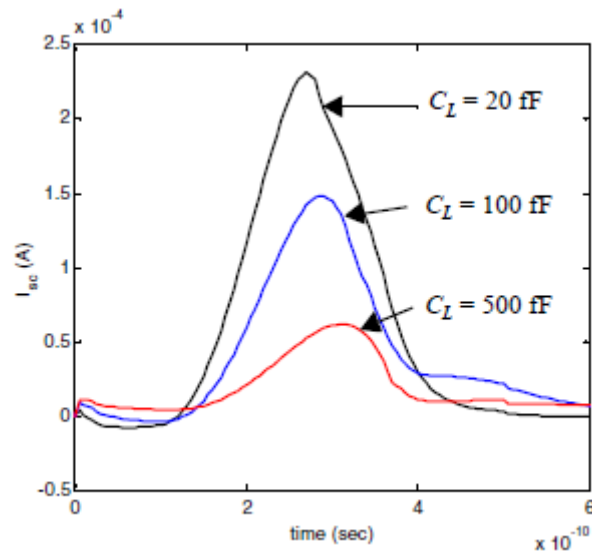


Figura 25: $I_D = I_{SC}$ como función de C_L

Para $C_L = 0 \Rightarrow I_D = \frac{K_a}{R_{on_n} + R_{on_p}}$, por otro lado, a medida que C_L aumenta $\Rightarrow t_p$ también aumenta.

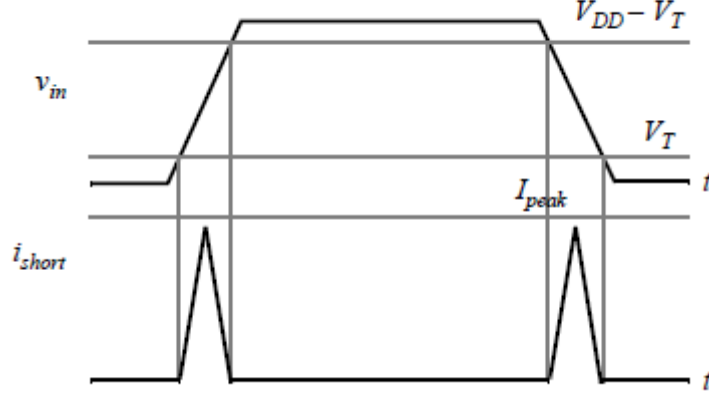


Figura 26: $I_D = I_{SC}$ como función de C_L

Energía en C_L

$$E_{C_L} = \int_{t_0}^{t_f} I_{C_L}(t) V_Y(t) dt = \int_{t_0}^{t_f} C_L \frac{V_Y}{dt} V_Y dt$$

$$E_{C_L} = C_L \int_{t_0}^{t_f} V_Y(t) dV_Y$$

Con las condiciones iniciales $V_Y(0) = 0$, $V_Y(t_f) = V_{DD}$

$$E_{C_L} = \frac{1}{2} C_L V_{DD}^2$$

Energía entregada por la fuente

$$E_{V_{DD}} = \int_{t_0}^{t_f} P(t) dt = C \left[\int_{t_0}^{t_f} \frac{dV_Y(t)}{dt} dt V_{DD} \right]$$

$$E_{V_{DD}} = C_L V_{DD} V_{DD} = C_L V_{DD}^2$$

Vemos que $E_{V_{DD}} - E_{C_L} = \frac{1}{2} C_L V_{DD}^2$ es la Potencia consumida por el PMOS y no depende del tamaño.

La potencia promedio entregada por la fuente es:

$$P_{V_{DD}} = \frac{E_{V_{DD}}}{t_f - t_0}, \text{ siendo } t_f - t_0 = t_p$$

Si la compuerta es conmutada N veces por segundo entonces $P_{V_{DD}} = N \frac{E_{V_{DD}}}{t_p}$

Consideremos que la compuerta está inmersa en un circuito sincrónico cuya frecuencia de reloj es f_{clk} .

Si en todos los ciclos de reloj se produce una conmutación en la compuerta se tendrá:

$$P_{V_{DD}} = f_{clk} \cdot P_{V_{DD}}$$

En cambio si se la hace conmutar una cantidad menor de veces, existirá un factor $0 \leq \alpha \leq 1$ tal que $\alpha \cdot f$ representa la cantidad promedio que la compuerta conmuta; Así,

$$P_{V_{DD}} = \alpha \cdot f_{clk} \cdot P_{V_{DD}}$$

El desafío está en encontrar el factor α para todo nodo del circuito digital.

Solución: Simulación gate level con entradas representativas de la operación del circuito y con esto se calcula la entrada de veces que la compuerta conmuta durante el tiempo de simulación.

$$\text{Luego } \alpha = \frac{\text{Numero de Conmutaciones}}{T_{sim} \cdot f_{clk}}.$$

$$\text{Potencia dinamica consumida estimada total } P_{dt} = \sum_{i=1}^{N_g} \alpha_i f_{clk} P_i(cli, Input. transition).$$

Donde:

- P_{dt} = Cantidad de compuertas del circuito.
- $Input. transition$ = Tiempo de transición en la entrada de la compuerta i .

$P_i(cli, Input. transition)$ = Surge del proceso de power characterization

Luego la potencia total estimada consumida por el circuito sera:

$$P_T : P_{DT} + P_{ST} = \sum_{i=1}^{N_g} (\alpha_i f_{clk} P_{DI}) + P_{si}$$

1.10. Ahorro de potencia

Dada una tecnología P_{ST} no puede ser disminuida, f_{clk} depende de las especificaciones del diseño (siempre trabajar lo mas lento posible) entonces α_i .

1.11. Producto potencia retardo (Power delay Product)

$$PDP = P_{Dp} + \alpha_i f_{clk} P_{V_{DD}} T_P = \frac{P_{V_{DD}}}{2} = \frac{C_i V_{DD}^2}{2}$$

$$\alpha_i = \max y f_{clk} = \frac{1}{2} t_p$$

$$EDP = PDP \cdot t_p = \frac{C_i V_{DD}^2}{2} t_p$$

Si V_{DD} aumenta, entonces R_{ON} disminuye, entonces t_p baja. Entonces EDP factor de merito.

Hacemos que C_L sea un inversor mínimo y hallemos EDP para un inversor mínimo. Esto nos da un factor de merito de la tecnología

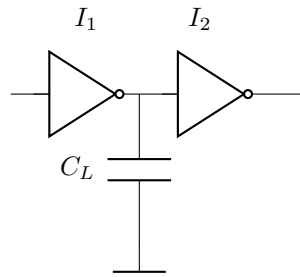


Figura 27: Inversor CMOS en serie

2. Preguntas de examen

1. La ganancia del inversor depende del tamaño de los transistores W_N , W_P ?
2. Explicar la respuesta temporal de variación de V_Y en un inversor sin carga ante la entrada de un escalón ideal.
3. Puede oscilar un inversor realimentado (oscilador en anillo de una etapa)?
4. Por qué cuando un inversor carga diferentes valores de capacidad de carga, el pico de corriente siempre alcanza el mismo valor?
5. Si la energía almacenada en C_L es la mitad de la energía entregada por la fuente, quién consume la otra mitad de la energía?
6. Por qué si aumenta C_L entonces disminuye la corriente de cortocircuito?