

Diseño de Conversores Analógicos Digitales

Clase 2 - Muestreo

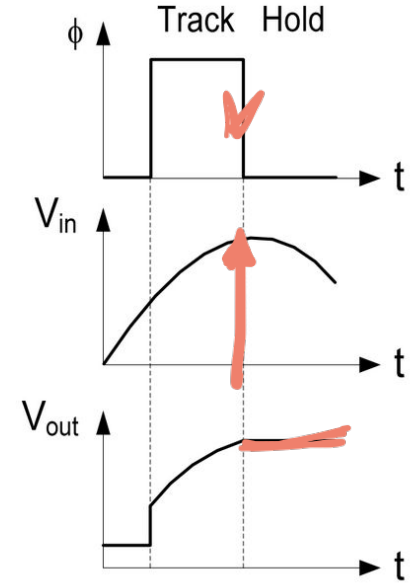
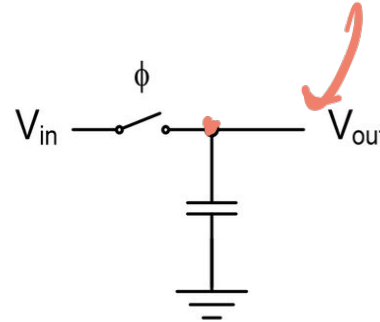
FIUBA, Argentina

- Circuito track and hold ideal
- Circuito track and hold real y errores:
 - Tiempo de adquisición finito
 - R_{ON} dependiente de V_{IN}
 - Instante de hold dependiente de V_{IN}
 - Ruido Térmico
 - Clock jitter
 - Hold mode feedthrough and leakage
 - Charge injection and clock feedthrough
- Mejoras para el circuito track and hold:
 - Cancelación de Charge Injection
 - Muestreo Diferencial
 - Muestreo con TG
- Bootstrapping
- Bottom plate sampling
- Track and hold con buffer
- Trabajo práctico

- **Circuito track and hold ideal**
- Circuito track and hold real y errores:
 - Tiempo de adquisición finito
 - R_{ON} dependiente de V_{IN}
 - Instante de hold dependiente de V_{IN}
 - Ruido Térmico
 - Clock jitter
 - Hold mode feedthrough and leakage
 - Charge injection and clock feedthrough
- Mejoras para el circuito track and hold:
 - Cancelación de Charge Injection
 - Muestreo Diferencial
 - Muestreo con TG
- Bootstrapping
- Bottom plate sampling
- Track and hold con buffer
- Trabajo práctico

Circuito Track and Hold ideal

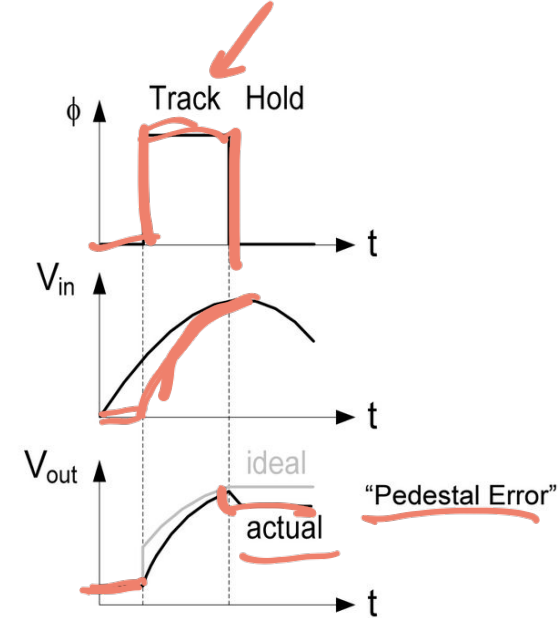
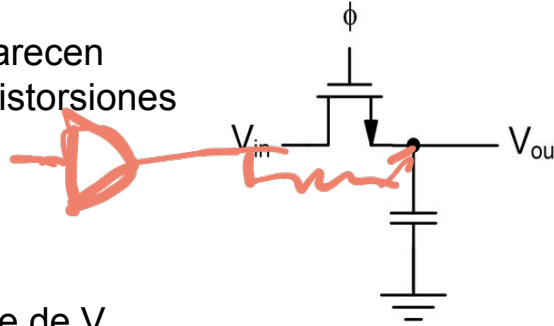
- El circuito track and hold es el encargado de muestrear la señal de entrada de un ADC
- Consiste en una llave controlada por un reloj y un capacitor de muestreo
- Se tienen 2 etapas: seguimiento (track) y retención (hold)
- Durante el período de tracking, la llave se encuentra cerrada y la señal de entrada se carga en el capacitor
- Durante el período de hold, la llave se abre y el voltaje de entrada queda retenido en el capacitor



- Circuito track and hold ideal
- **Circuito track and hold real y errores:**
 - Tiempo de adquisición finito
 - R_{ON} dependiente de V_{IN}
 - Instante de hold dependiente de V_{IN}
 - Ruido Térmico
 - Clock jitter
 - Hold mode feedthrough and leakage
 - Charge injection and clock feedthrough
- Mejoras para el circuito track and hold:
 - Cancelación de Charge Injection
 - Muestreo Diferencial
 - Muestreo con TG
- Bootstrapping
- Bottom plate sampling
- Track and hold con buffer
- Trabajo práctico

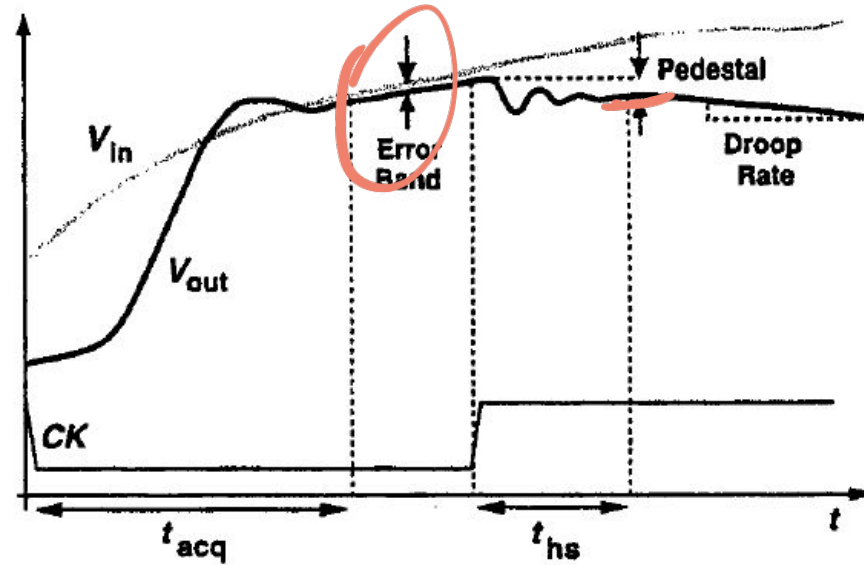
Circuito Track and Hold con llave MOS

- La llave de muestreo se implementa tradicionalmente con un dispositivo MOSFET
- Al utilizar un MOS como llave, aparecen diversos efectos que introducen distorsiones en la señal muestreada:
 1. Tiempo de adquisición finito
 2. R_{ON} dependiente de V_{IN}
 3. Instante de hold dependiente de V_{IN}
 4. Ruido Térmico
 5. Clock jitter
 6. Hold mode feedthrough and leakage
 7. Charge injection and clock feedthrough



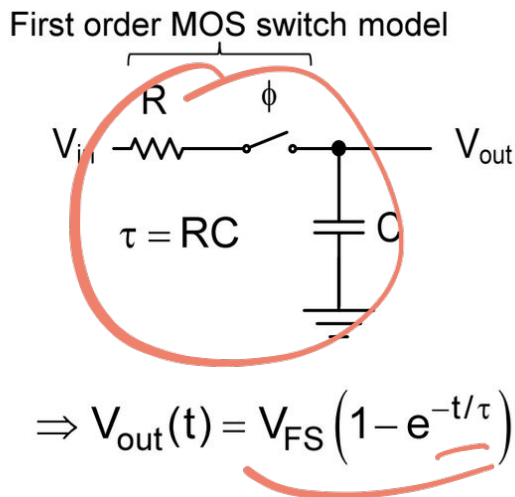
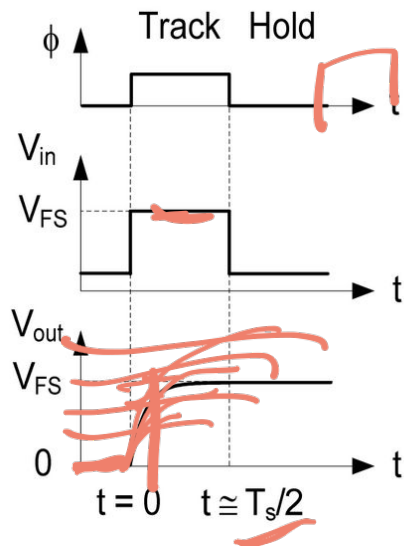
Circuito Track and Hold con llave MOS

Ejemplo del proceso de muestreo y sus imperfecciones



1. Tiempo de adquisición finito

- El tiempo requerido para que el capacitor de salida se establezca en un nivel cercano al voltaje de entrada durante el muestreo se denomina **tiempo de adquisición**

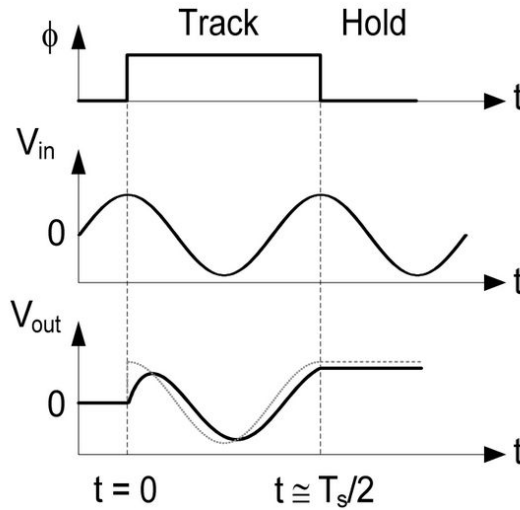


- Para $V_{IN} = V_{FS}$ constante, el error existente entre V_{OUT} y V_{IN} en el tiempo $t = T_s/2$ es:

$$V_{out,err} \left(\frac{T_s}{2} \right) = -V_{FS} e^{-\frac{T_s}{2}/\tau}$$

- T_s y τ deben diseñarse correctamente para que el capacitor cargue lo suficiente en la ventana de muestreo (error transitorio)

1. Tiempo de adquisición finito



$$V_{in}(t) = A \cos(\omega t + \phi)$$

$$V_{out}(t) = \underbrace{-\frac{A \cos(\phi - \theta)}{\sqrt{1 + \omega^2 \tau^2}} e^{-\frac{t}{\tau}}}_{\text{initial transient}} + \underbrace{\frac{A \cos(\omega t + \phi - \theta)}{\sqrt{1 + \omega^2 \tau^2}}}_{\text{steady-state response}}$$

$$\theta = \text{atan}(\omega \tau)$$

- Para V_{IN} sinusoidal, el error existente entre V_{OUT} y V_{IN} tiene dos componentes:
 - Una componente transitoria, que depende de T_s y τ (similar al caso anterior)
 - Una componente de estado estacionario, que introduce atenuación y desfase entre V_{in} y V_{out} para altas frecuencias. Este error depende de τ y de la frecuencia de entrada ω

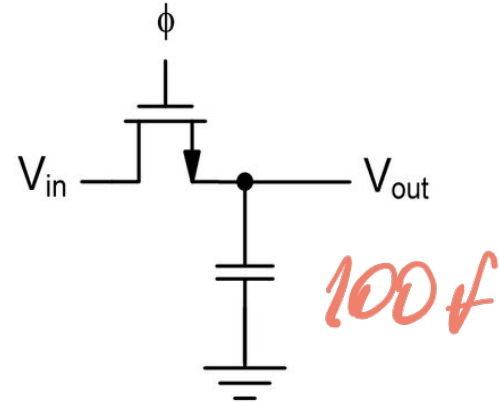
2. R_{ON} dependiente de V_{IN}

- La resistencia de la llave R_{ON} es dependiente de la señal de entrada
- Cuando la señal de entrada incrementa su amplitud, la R_{ON} aumenta distorsionando el voltaje muestreado

$$I_{D(\text{triode})} = \mu C_{ox} \frac{W}{L} \left(V_{GS} - V_t - \frac{V_{DS}}{2} \right) V_{DS}$$

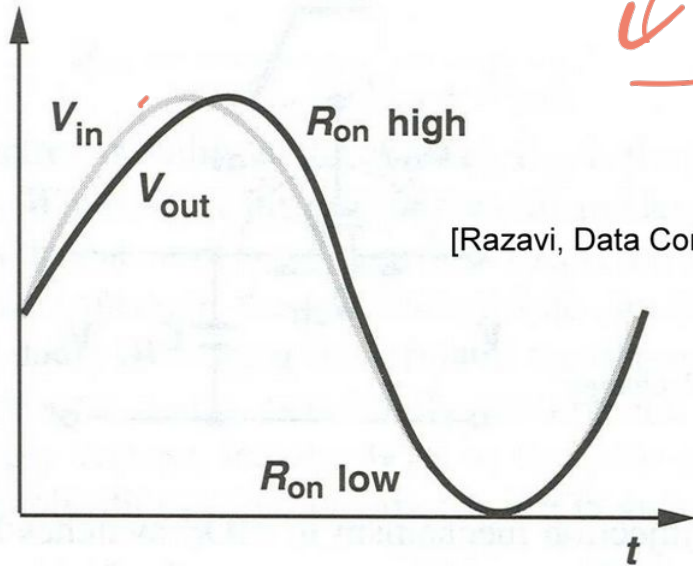
$$R_{ON} \cong \left[\frac{dI_{D(\text{triode})}}{dV_{DS}} \bigg|_{V_{DS} \rightarrow 0} \right]^{-1} = \frac{1}{\mu C_{ox} \frac{W}{L} (V_{GS} - V_t)}$$

$$R_{ON} = \frac{1}{\mu C_{ox} \frac{W}{L} (\phi - V_{in} - V_t)}$$



2. R_{ON} dependiente de V_{IN}

- Cuando V_{IN} tiene un valor bajo, la señal es muestreada correctamente
- Cuando V_{IN} tiene un valor alto, la R_{ON} aumenta y la señal muestreada se distorsiona. Este fenómeno introduce armónicos de diversos órdenes



[Razavi, Data Conversion System Design, p.16]

$$I_D \cong K(V_{GS} - V_t)V_{DS} - \frac{K}{2}V_{DS}^2$$

$$C \frac{dV_{out}}{dt} = K(\phi - V_{out} - V_t)(V_{in} - V_{out}) - \frac{K}{2}(V_{in} - V_{out})^2$$

$$HD_3 = \frac{\text{Amplitude of third harmonic}}{\text{Amplitude of fundamental}}$$

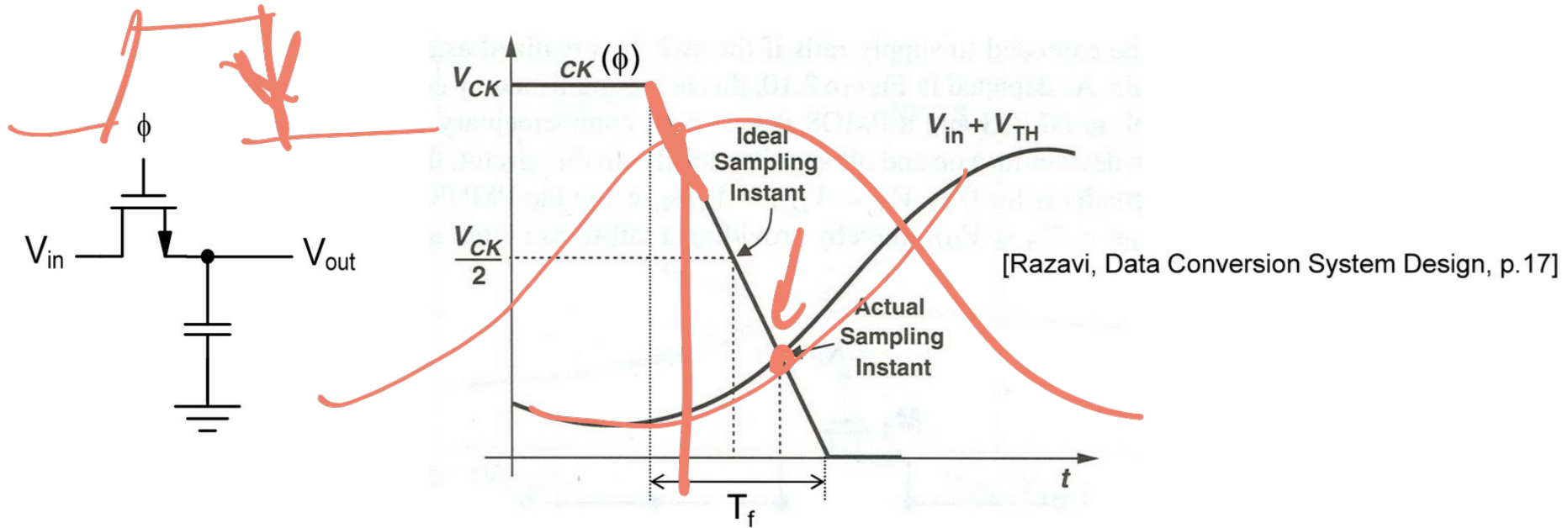
$$\cong \frac{1}{4} \left(\frac{A}{V_{GS} - V_t} \right)^2 \cdot \omega \tau = \frac{1}{4} \left(\frac{A}{V_{GS} - V_t} \right)^2 \frac{f_{in}}{f_s} \cdot \frac{\pi}{N}$$

2. R_{ON} dependiente de V_{IN}

- Este efecto es dependiente de la frecuencia de la señal de entrada. ¿Por qué?
- La distorsión introducida se puede pensar como un desfase entre la señal de entrada y salida del THA. Cuando la señal de entrada es de alta frecuencia, dicho desfase se vuelve más significativo, agravando el efecto de distorsión
- Podemos disminuir la distorsión de 2 formas:
 - Que la amplitud de entrada (A) sea muy baja.
 - Contra: no se lograría una buena SNR
 - Que $\tau \ll \omega$, lo cual significa hacer R muy chica, es decir, una gran llave MOS.
 - Contra: puede acarrear grandes capacidades parásitas

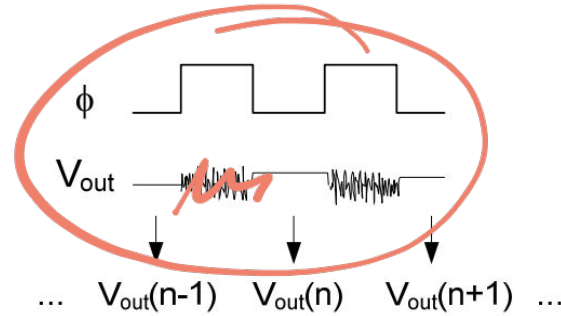
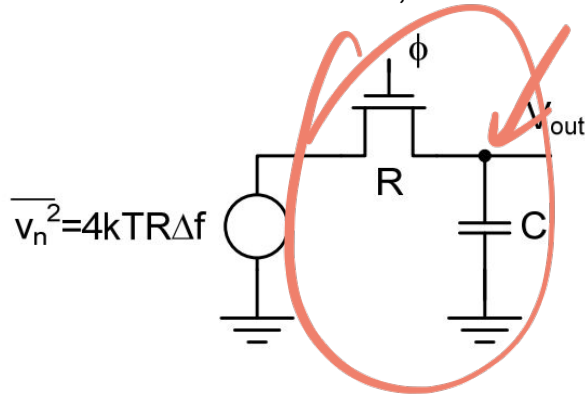
3. Instante de hold dependiente de V_{IN}

- El apagado del transistor también es dependiente de la señal de entrada V_{IN} . La llave se apagará cuando $V_{CK} < V_{in} + V_{th}$, introduciendo no linealidades
- Para evitar este efecto, el flanco de bajada del reloj V_{CK} debe ser mucho más rápido que la frecuencia de la señal de entrada. De esta manera se evita la dependencia con V_{in}



4. Ruido Térmico

- El circuito de muestreo introduce ruido térmico debido a la resistencia de la llave
- Consideramos un circuito RC ideal, con una fuente de ruido térmico $V_n^2 = 4kTR\Delta f$ debido a la R



- Notar que el voltaje muestreado será distinto en cada ciclo, dependiendo de la fuente de ruido
- Integrando la fuente de ruido en todo el espectro de frecuencia obtenemos:

$$\frac{\overline{v_{out}^2}}{\Delta f} = 4kTR \cdot \left| \frac{1}{1 + sRC} \right|^2$$

$$\text{var}[V_{out}(n)] = \overline{v_{out,tot}^2} = \int_0^{\infty} 4kTR \cdot \left| \frac{1}{1 + j2\pi f \cdot RC} \right|^2 df = \frac{kT}{C}$$

4. Ruido Térmico

- El ruido aportado por un resistor es plano en el espectro (ruido blanco)
- En un circuito RC, dicho espectro se ve afectado por el circuito pasa bajo de primer orden
- Notar que el ruido final kT/C es independiente del valor de R . ¿Por qué?
 - Si aumentamos R , aumenta el ruido aportado por la resistencia, pero al mismo tiempo disminuye el ancho de banda de integración, por lo que el valor final integrado se mantiene constante

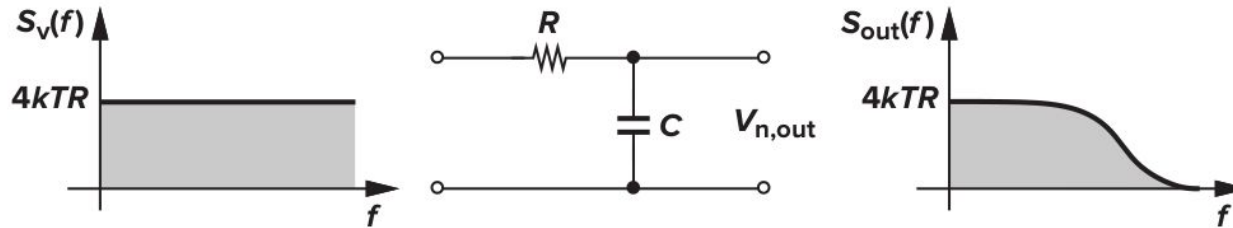
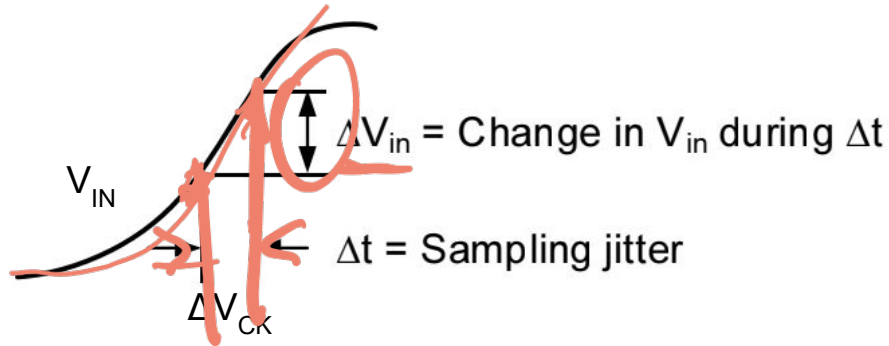


Figure 7.16 Noise spectrum shaping by a low-pass filter.

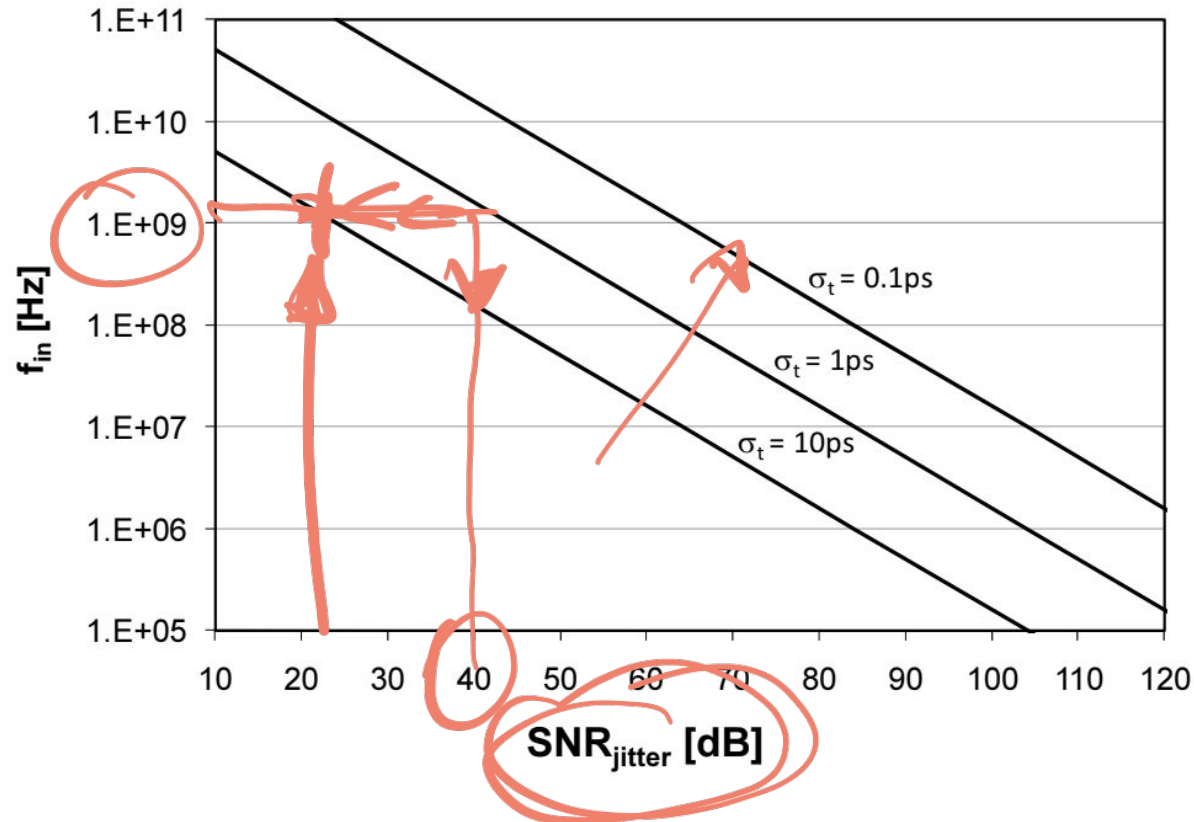
5. Clock jitter

- En todos los circuitos de muestreo, los flancos del reloj que controlan la llave sufren pequeñas variaciones ciclo a ciclo
- Esto quiere decir que el ancho de pulso del reloj V_{CK} no es exactamente constante en todos los ciclos, lo que agrega ruido al voltaje muestreado
- Este ruido se vuelve muy problemático para altas frecuencias de la señal de entrada, ya que una pequeña variación de V_{CK} genera una gran variación en el voltaje muestreado



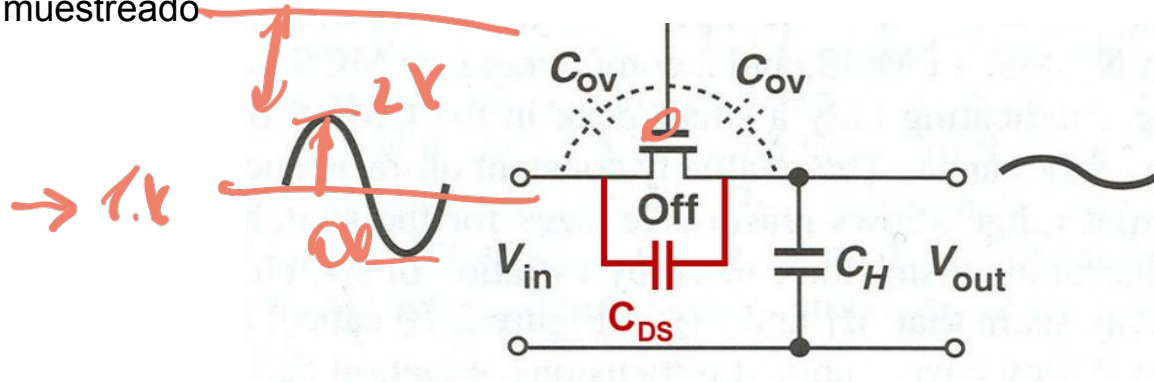
$$\Delta V_{in} \cong \frac{dV_{in}}{dt} \cdot \Delta t$$

5. Clock jitter

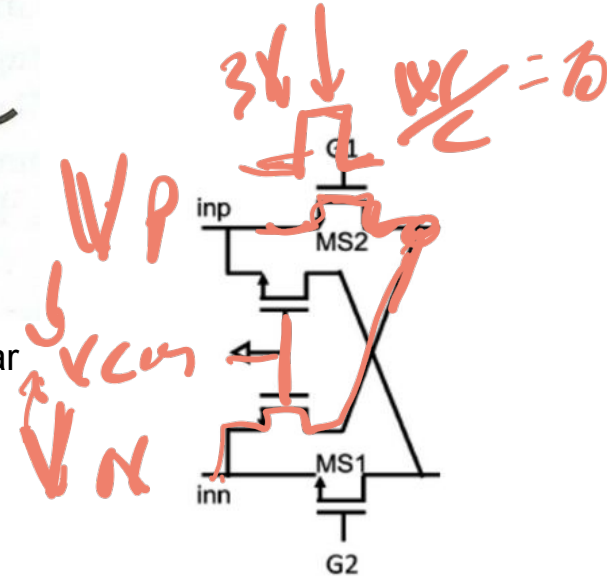


6. Hold mode Feedthrough and Leakage

- Cuando las llaves MOS están apagadas (en hold mode), existe un acople capacitivo entre la entrada V_{in} (que sigue moviéndose) y el voltaje retenido en el capacitor de muestreo
- El acople capacitivo es debido al capacitor C_{DS} de la llave MOS, e introduce un ripple en el voltaje muestreado

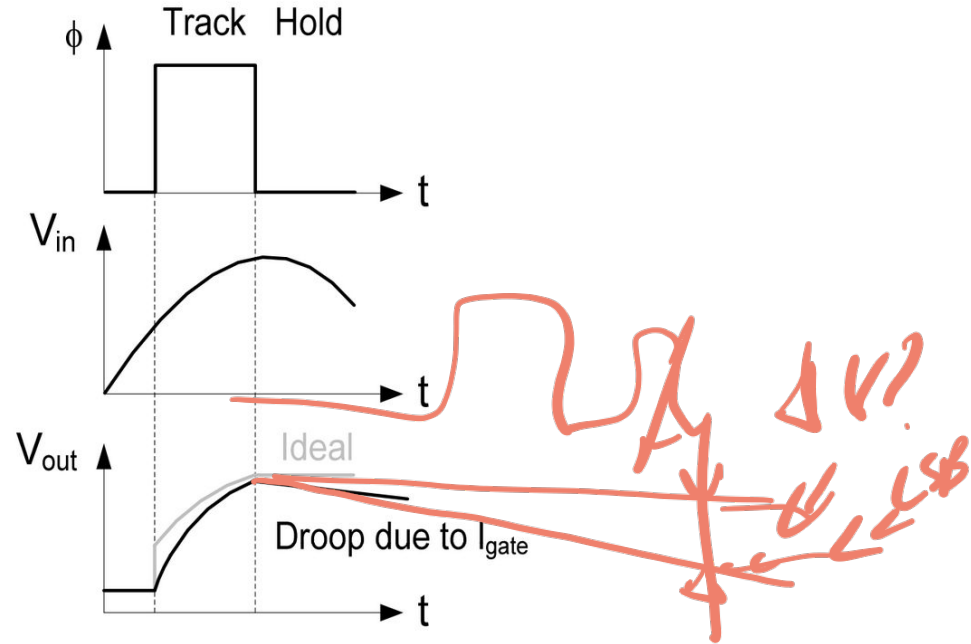
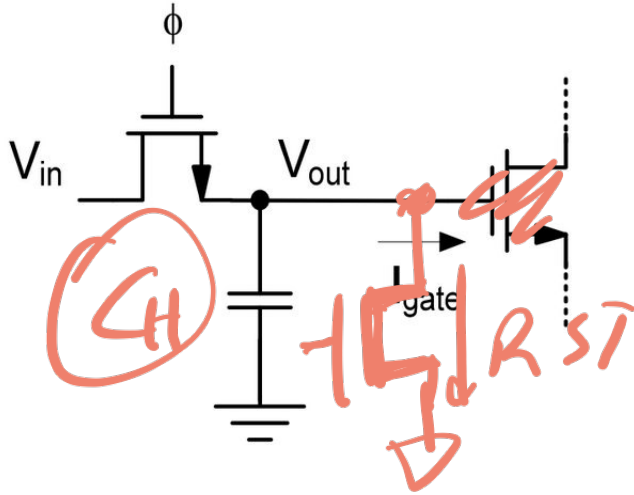


- Este efecto se nota a altas frecuencias de entrada y se puede eliminar utilizando llaves diferenciales dummies cruzadas
- Se introduce voluntariamente un acople cruzado pero en contrafase, cancelando el acople indeseado original



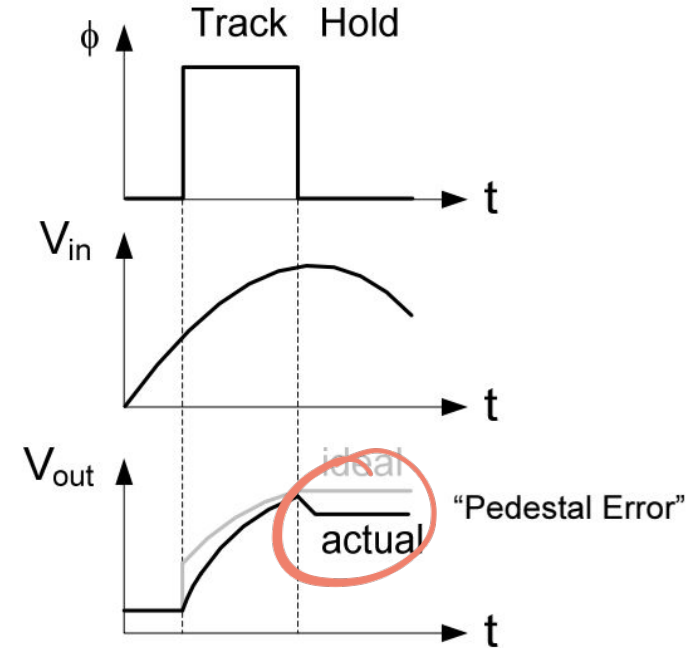
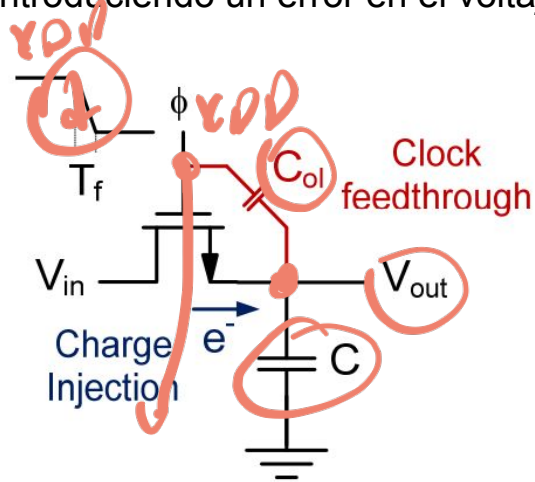
6. Hold mode Feedthrough and Leakage

- El circuito posterior al capacitor de muestreo puede ocasionar una corriente de fuga que descargue levemente el capacitor y disminuya el valor muestreado (se observa una deriva)



7. Charge Injection and Clock Feedthrough

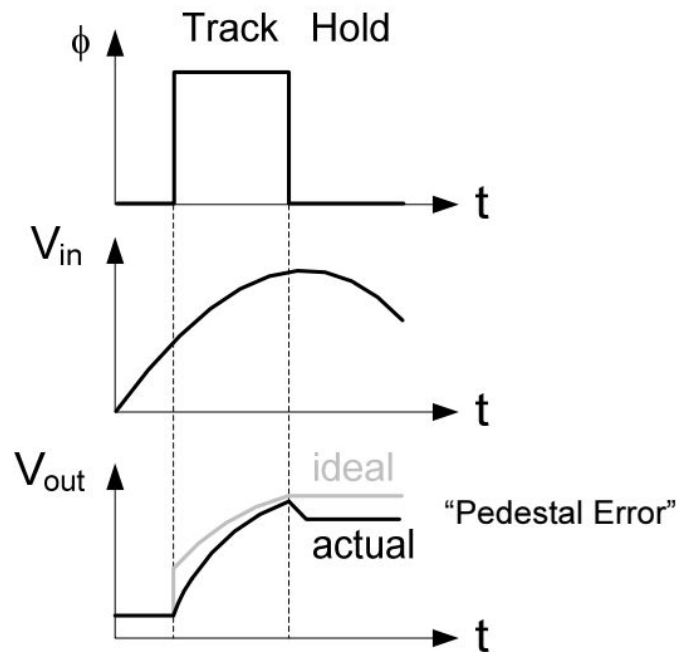
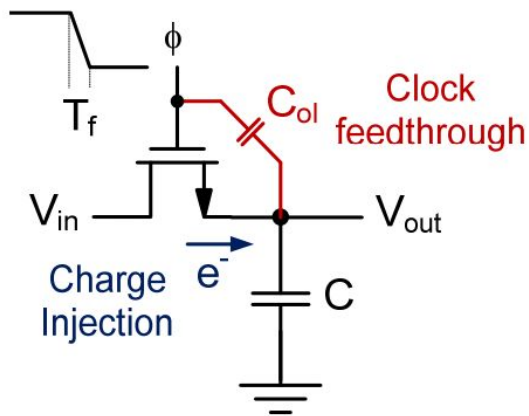
- El efecto de charge injection sucede debido a que cuando la llave MOS está prendida, existe una carga acumulada que forma su canal: $Q_{ch} = W L C_{ox} (V_{gs} - V_{th})$
- Cuando la llave se apaga, la carga del drain es absorbida por la fuente de entrada, lo cual no genera ningún error
- Sin embargo, la carga del source es depositada en el capacitor de muestreo, introduciendo un error en el voltaje almacenado



7. Charge Injection and Clock Feedthrough

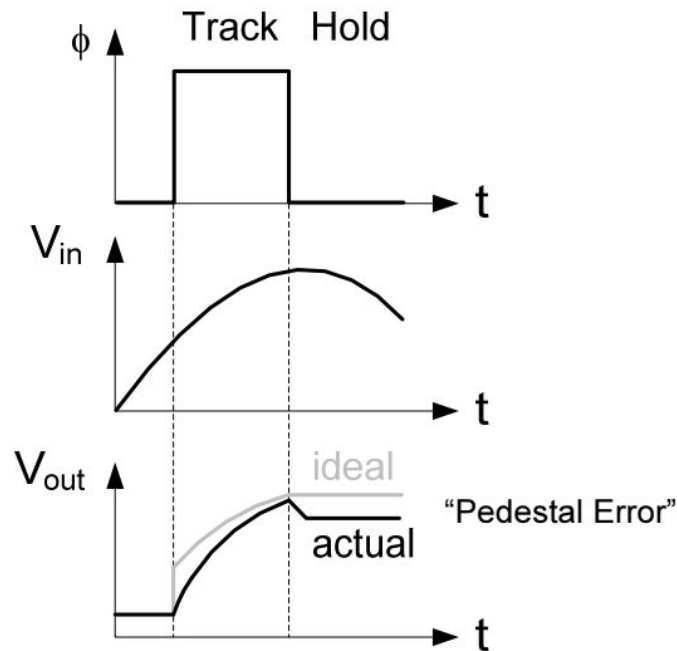
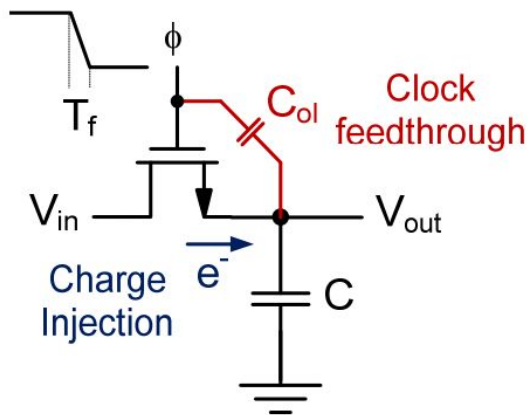
- Como se ve en la figura, el charge injection introduce un error de pedestal en el voltaje almacenado
- El valor del pedestal es:

$$\Delta V = \frac{WLC_{ox}(V_{DD} - V_{in} - V_{TH})}{2C_H}$$



7. Charge Injection and Clock Feedthrough

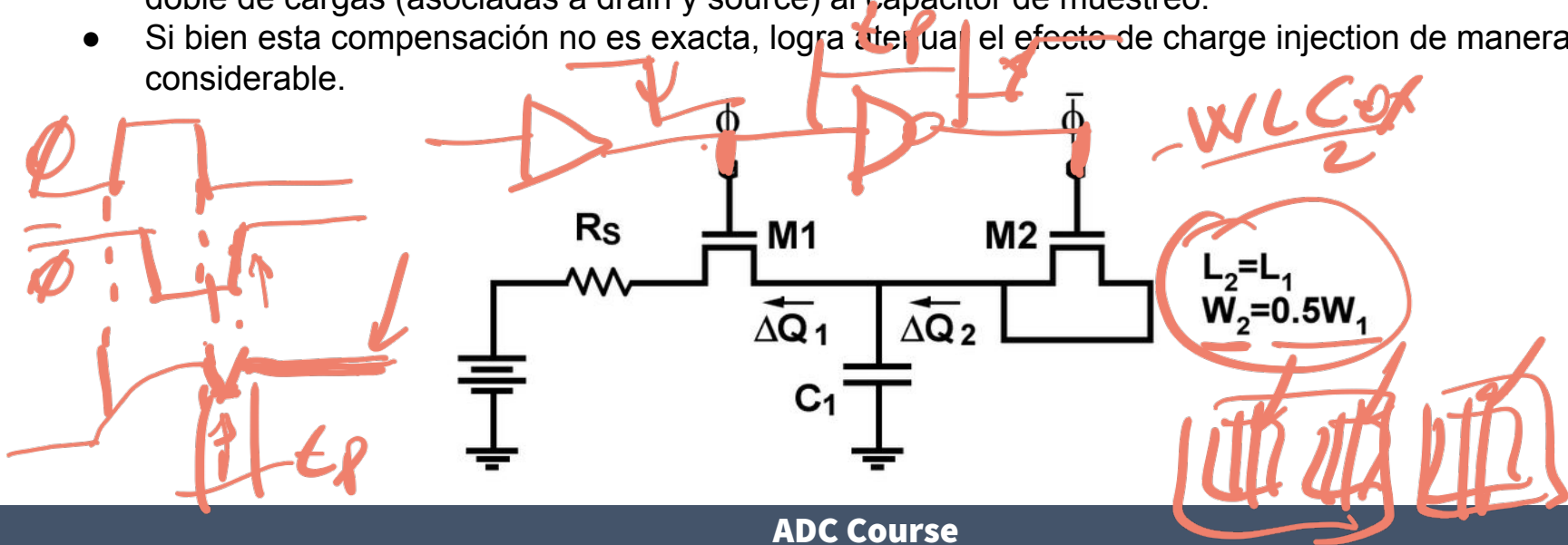
- El acople entre el reloj y el capacitor de muestreo (clock feedthrough) produce un error de pedestal similar al charge injection
- El acople se da debido a las capacidades de overlap C_{GD} o C_{GS} .



- Circuito track and hold ideal
- Circuito track and hold real y errores:
 - Tiempo de adquisición finito
 - R_{ON} dependiente de V_{IN}
 - Instante de hold dependiente de V_{IN}
 - Ruido Térmico
 - Clock jitter
 - Hold mode feedthrough and leakage
 - Charge injection and clock feedthrough
- **Mejoras para el circuito track and hold:**
 - Cancelación de Charge Injection
 - Muestreo Diferencial
 - Muestreo con TG
- Bootstrapping
- Bottom plate sampling
- Track and hold con buffer
- Trabajo práctico

Cancelación de Charge Injection

- El efecto de charge injection se puede cancelar utilizando un transistor dummy en contrafase a la llave de muestreo.
- Cuando la llave de muestreo se apaga y se produce la inyección de cargas en el capacitor de muestreo, el MOS dummy realiza el proceso inverso cancelando el efecto.
- El MOS dummy debe ser de la mitad del tamaño que la llave de muestreo, ya que inyecta el doble de cargas (asociadas a drain y source) al capacitor de muestreo.
- Si bien esta compensación no es exacta, logra atenuar el efecto de charge injection de manera considerable.



Muestreo Diferencial

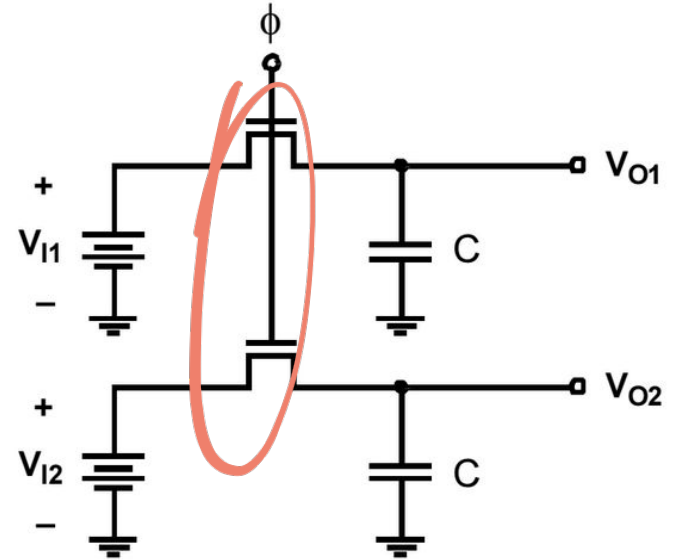
- El muestreo diferencial atenúa el efecto de charge injection.
- El error de pedestal genera una perturbación de modo común, pero dicho efecto es cancelado de manera diferencial.
- Teniendo en cuenta que

$$\Delta q_1 = WLC_{ox}(V_{CK} - V_{in1} - V_{TH})$$

$$\Delta q_2 = WLC_{ox}(V_{CK} - V_{in2} - V_{TH})$$

La cancelación será exacta solo si $\Delta q_1 = \Delta q_2$, por lo que $V_{in1} = V_{in2}$, y eso no sucede, por lo que la cancelación no es totalmente exacta.

- El muestreo diferencial también elimina componentes de offset y no linealidades de orden par.



Muestreo con Transmission Gates

- Utilizar muestreo con transmission gates atenúa el efecto de charge injection ya que las cargas inyectadas por las llaves complementarias se cancelan.
- Nuevamente la cancelación no es perfecta ya que

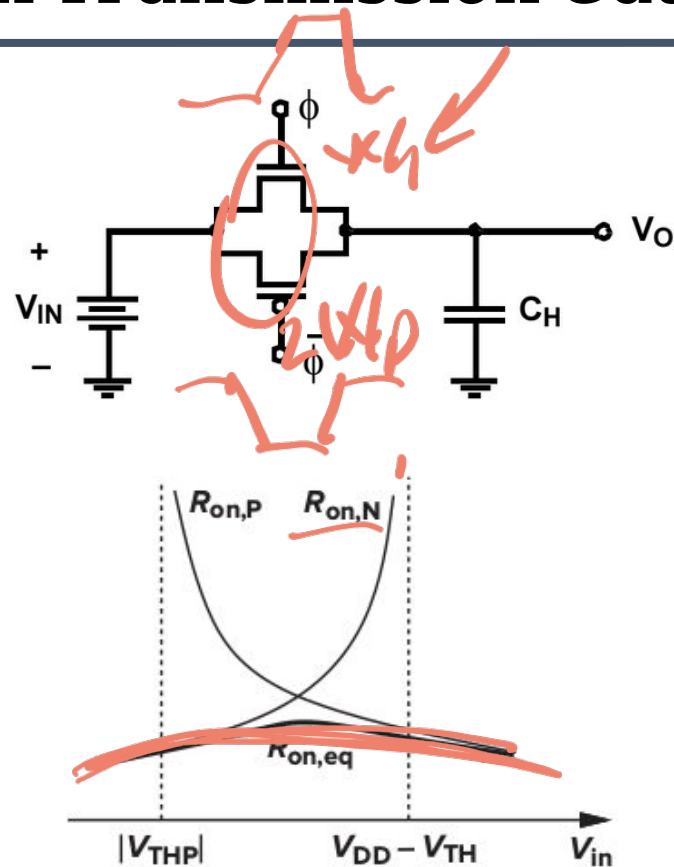
$$\Delta q_n = W_n L_n C_{ox} (V_{CK} - V_{in} - V_{TH,n})$$

$$\Delta q_p = W_p L_p C_{ox} (V_{in} - V_{TH,p})$$

- Esta arquitectura de muestreo también permite altas excursiones de entrada, con una resistencia equivalente

$$R_{on,eq} = R_{on,n} || R_{on,p}$$

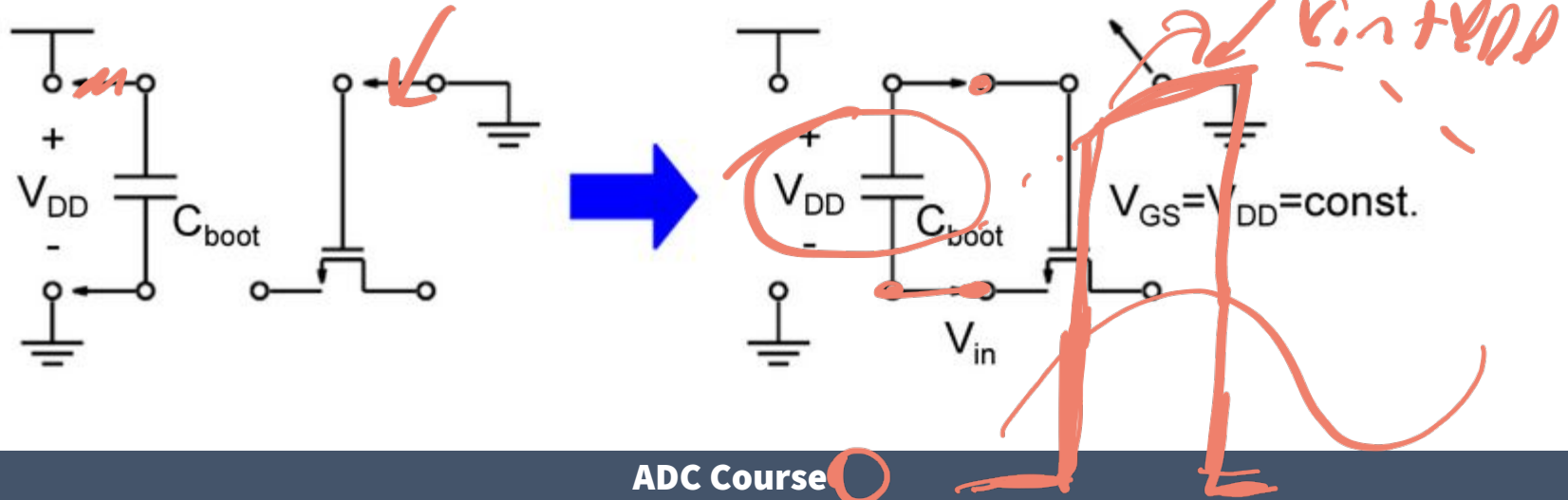
- El muestreo se vuelve mas lineal ya que la Ron se linealiza



- Circuito track and hold ideal
- Circuito track and hold real y errores:
 - Tiempo de adquisición finito
 - R_{ON} dependiente de V_{IN}
 - Instante de hold dependiente de V_{IN}
 - Ruido Térmico
 - Clock jitter
 - Hold mode feedthrough and leakage
 - Charge injection and clock feedthrough
- Mejoras para el circuito track and hold:
 - Cancelación de Charge Injection
 - Muestreo Diferencial
 - Muestreo con TG
- **Bootstrapping**
 - Bottom plate sampling
 - Track and hold con buffer
 - Trabajo práctico

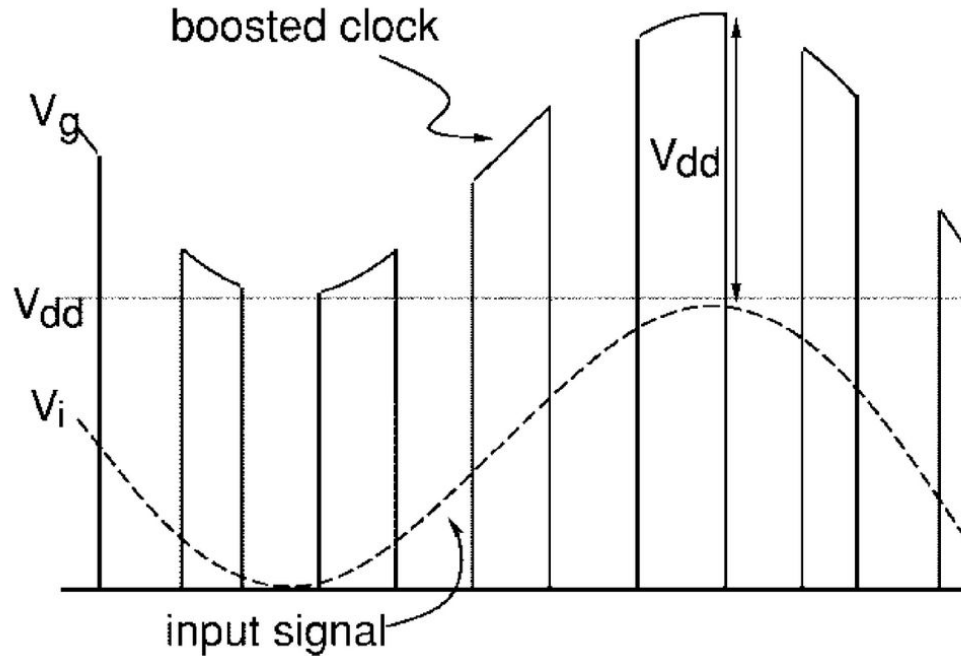
Bootstrapping

- La técnica de bootstrapping se utiliza para mejorar la linealidad del muestreo.
- El objetivo es que la V_{gs} de la llave de muestreo sea siempre constante (V_{DD}), entonces la R_{ON} de la llave también se mantiene constante, eliminando su dependencia con la señal de entrada y mejorando la linealidad.
- Operación: Un capacitor de bootstrapping se precarga a V_{DD} . Cuando la llave de muestreo se enciende, se conecta el capacitor entre source y gate de la llave, haciendo que $V_{gs} = V_{DD}$.

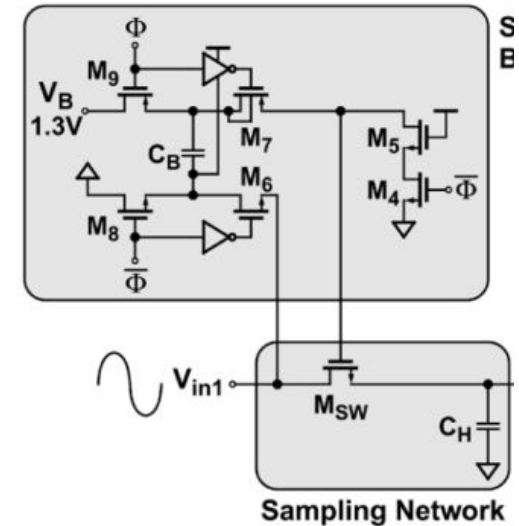


Bootstrapping

- Notar que el voltaje del gate “sigue” a la señal de entrada, siempre con una diferencia de V_{DD} .



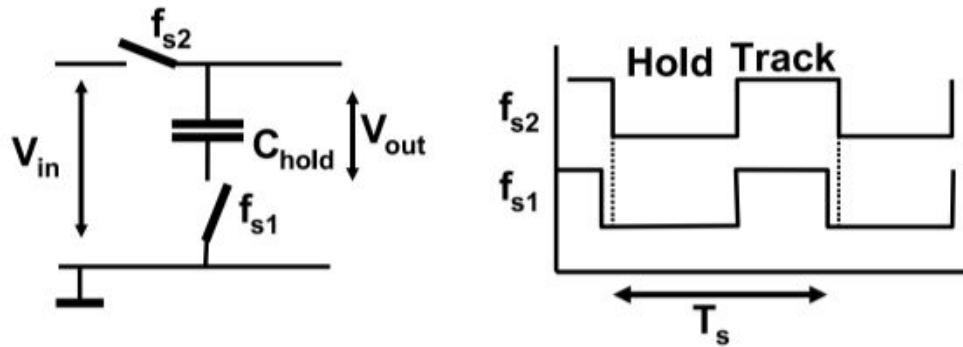
Ejemplo:
Circuito de bootstrapping



- Circuito track and hold ideal
- Circuito track and hold real y errores:
 - Tiempo de adquisición finito
 - R_{ON} dependiente de V_{IN}
 - Instante de hold dependiente de V_{IN}
 - Ruido Térmico
 - Clock jitter
 - Hold mode feedthrough and leakage
 - Charge injection and clock feedthrough
- Mejoras para el circuito track and hold:
 - Cancelación de Charge Injection
 - Muestreo Diferencial
 - Muestreo con TG
- Bootstrapping
- **Bottom plate sampling**
- Track and hold con buffer
- Trabajo práctico

Muestreo Bottom Plate

- El muestreo en top-plate introduce no linealidades ya que el instante de hold es dependiente de la señal de entrada V_{IN} (ver error (3)-Instante de hold dependiente de V_{IN}).
- El muestreo bottom-plate introduce una segunda una segunda llave “del otro lado” del capacitor
- La llave de bottom-plate se abre ligeramente antes que la llave de top plate, aislando el capacitor y eliminando parcialmente el efecto de la llave de top plate sobre el valor muestreado
- La segunda llave de muestreo no es afectada por la señal de entrada, eliminando la dependencia del instante de muestreo con V_{IN} , logrando mayor linealidad

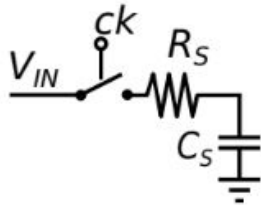


El muestreo bottom-plate se utiliza para alcanzar altas linealidades de muestreo (mayor a 10-12 bits)

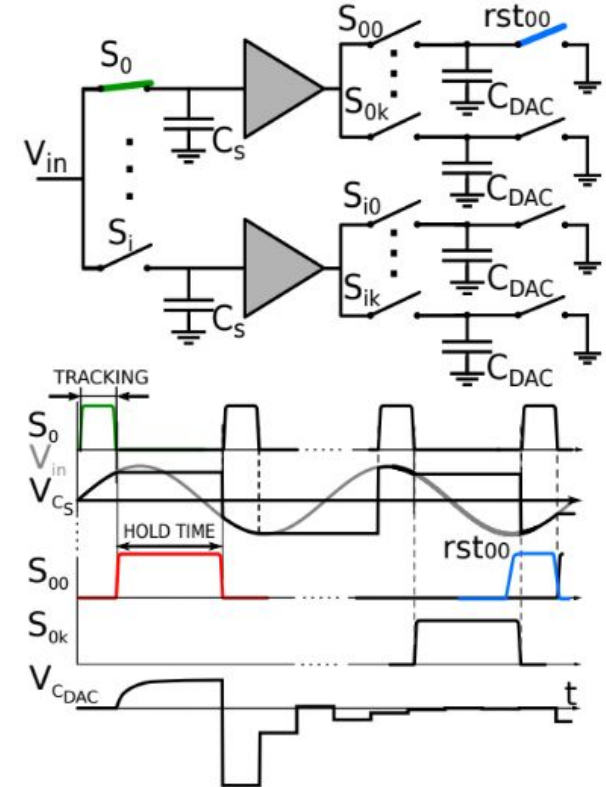
Tener en cuenta que se introducen atenuaciones por chage sharing

- Circuito track and hold ideal
- Circuito track and hold real y errores:
 - Tiempo de adquisición finito
 - R_{ON} dependiente de V_{IN}
 - Instante de hold dependiente de V_{IN}
 - Ruido Térmico
 - Clock jitter
 - Hold mode feedthrough and leakage
 - Charge injection and clock feedthrough
- Mejoras para el circuito track and hold:
 - Cancelación de Charge Injection
 - Muestreo Diferencial
 - Muestreo con TG
- Bootstrapping
- Bottom plate sampling
- **Track and hold con buffer**
- Trabajo práctico

- En conversores de tiempo entrelazado (TI-ADCs) con muestreo jerárquico tradicionalmente se utilizan buffers para separar las instancias de muestreo
- La señal de entrada es muestreada en el capacitor C_S del track and hold, y durante el tiempo de hold, la señal es buffereada y re muestreada sobre el DAC del sub-ADC
- El BW del TI-ADC queda principalmente definido por el polo $1/RC$ debido a la llave S_0 (R_S) y el capacitor C_S . Notar que el buffer aísla el circuito de muestreo subsiguiente



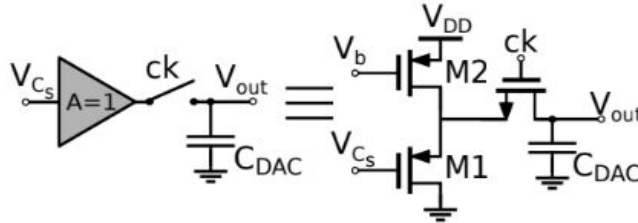
$$\tau_b = R_S C_S \Rightarrow f_{cb} = \frac{1}{2\pi\tau_b} = \frac{1}{2\pi R_S C_S}$$



- El ruido térmico debido al circuito de muestreo está compuesto por el ruido de la primera jerarquía (kT/C_S), de la segunda jerarquía (kT/C_{DAC}) y del buffer (σ_{buff}^2)

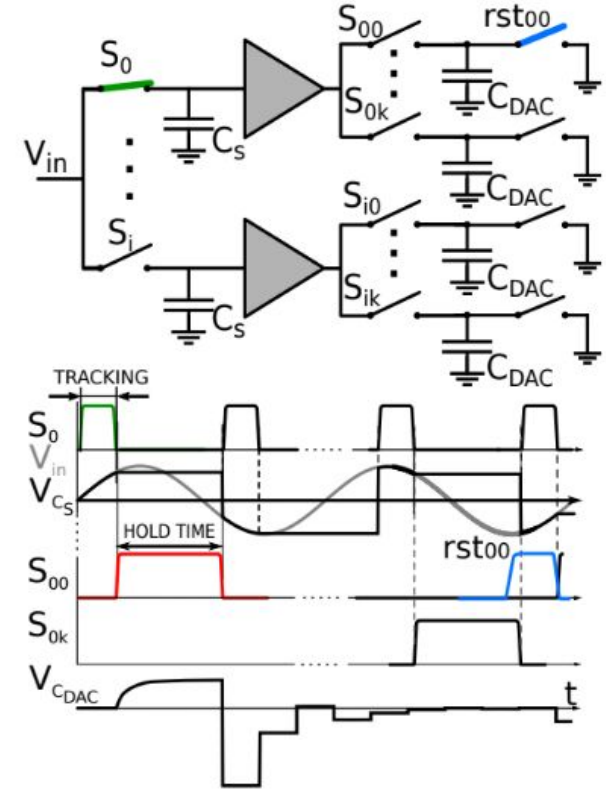
$$\sigma_s^2 = \frac{kT}{C_S} + \frac{kT}{C_{DAC}} + \sigma_{buff}^2$$

- La topología mayormente utilizada para implementar los buffers en ADC de alta velocidad es la topología open loop source follower de una sola etapa



- El ruido referido a la entrada de estos buffer está determinado por

$$\overline{V_{n,buff}^2}|_{SE} = \frac{8}{3}kT \left(\frac{1}{g_{m1}} + \frac{g_{m2}}{g_{m1}^2} \right)$$



THA con buffer

- El buffer utilizado debe tener suficiente BW para alcanzar un correcto settling time en el capacitor C_{DAC}

- Utilizando un modelo de primer orden, tenemos que

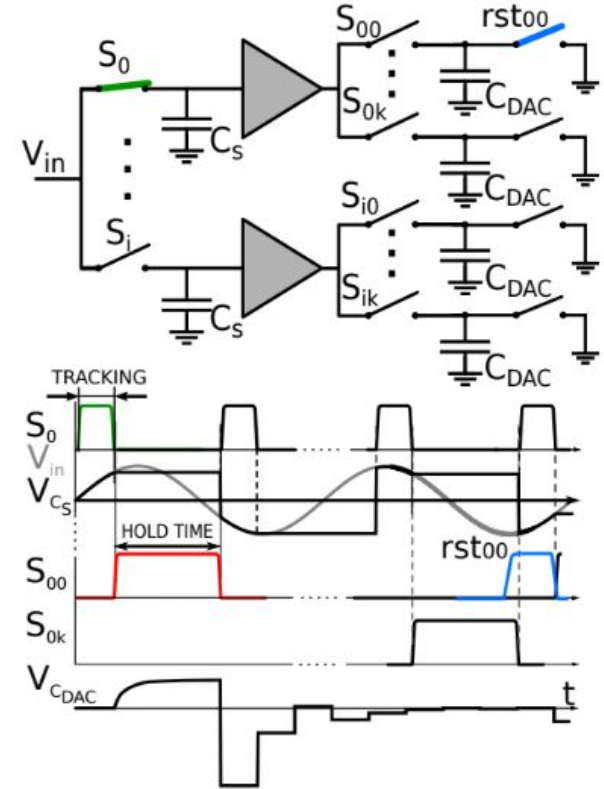
$$\tau = \left(R_S + \frac{1}{g_m} \right) C_{DAC}$$

- Donde R_S es la resistencia de la llave S_{00} y $1/g_m$ la resistencia de salida del buffer

- Luego el BW del buffer queda definido por

$$f_{3dB} = \frac{(N + 1) \ln 2}{2\pi T_{hold}},$$

- Donde N es el número de bits del ADC



- Circuito track and hold ideal
- Circuito track and hold real y errores:
 - Tiempo de adquisición finito
 - R_{ON} dependiente de V_{IN}
 - Instante de hold dependiente de V_{IN}
 - Ruido Térmico
 - Clock jitter
 - Hold mode feedthrough and leakage
 - Charge injection and clock feedthrough
- Mejoras para el circuito track and hold:
 - Cancelación de Charge Injection
 - Muestreo Diferencial
 - Muestreo con TG
- Bootstrapping
- Bottom plate sampling
- Track and hold con buffer
- **Trabajo práctico**

Trabajo Práctico (THA switch)

1. Implementar un circuito RC y medir ruido de manera single ended y diferencial.

- $R = 1k\Omega$ y $C = 10fF$. ¿Por qué es diferente el ruido single ended y diferencial?
- $R = \{1k, 2k, 5k, 10k\} \Omega$, con $C = 10fF$.
- $C = \{10, 20, 50, 100\} fF$, con $R = 1k\Omega$.
- Graficar output noise vs frecuencia para ambos barridos. ¿De qué depende el ruido medido?

2. Reemplazar la R por un PMOS.

- $MOS = \{x1, x2, x5, x10\} (lvt)$ y $C = 10fF$.
- Medir BW. ¿De qué depende el BW?
- ¿El tamaño del MOS cambia el ruido medido? Si/No ¿Por qué?

3. Diseñar un circuito THA pasivo (PMOS switch) con las siguientes especificaciones:

- El circuito debe ser full diferencial.
- $V_{in,pp,diff} = 500mV$, $F_{in} = 1MHz$, $V_{cm} = 2.2V$.
- $F_{clk} = 50MHz$. (usar 2 etapas inversoras en cascada para manejar la señal de clock al switch)
- $SNR = 10$ bits ($T=338K$).
- Reportar respuesta AC y transient. Verificar SNR con transient noise.
- En el diseño anterior modificar el MOS para lograr $BW > 100MHz$ y $THD > 10$ bits.
- Repetir la simulación para $F_{in} = 45MHz$. ¿Por qué disminuye la THD?
- Diseñar un circuito de cancelación de pedestal para que $V_{cm,in} = V_{cm,out}$.

FIN