

Project Charter

Proyecto: FeFET Memory IP

Problema

Las memorias no volátiles de los chips se encuentran habitualmente basadas en dispositivos de compuerta flotante. Estos tienen las siguientes desventajas:

- Pérdida de carga y riesgo de cambios de bits, especialmente a altas temperaturas.
- Tensiones de programación elevadas ($> 10V$).
- Consumo elevado de energía para la programación y borrado de las memorias.
- Ciclos de escritura y lectura limitados por el deterioro del óxido de compuerta.
- Elevado consumo de área para garantizar la confiabilidad en la retención de carga.

Por lo tanto, se buscan actualmente nuevas tecnologías de almacenamiento que superen dichas limitaciones, especialmente para aplicaciones emergentes.

Motivación

Existen áreas de negocio nuevas para los circuitos integrados que se beneficiarían de una tecnología superadora, como los circuitos de bajo consumo de potencia para sensores autónomos y redes neuronales on-chip. Las aplicaciones automotrices, que deben cumplir con estándares de funcionamiento bajo temperaturas elevadas ($175^{\circ}C$) también se beneficiarían con una tecnología más confiable en dichas condiciones.

Los nodos tecnológicos más recientes ($<28nm$) utilizan dióxido de hafnio en sus compuertas [FMC]. Usando este material es posible, bajo ciertas condiciones, lograr MOSFETs con compuerta ferroeléctrica. Esto es, dispositivos cuya tensión umbral puede ser desplazada permanentemente mediante un pulso de tensión debido a la presencia de histéresis en la polarización del dieléctrico de compuerta. El parámetro que define la existencia de un 1 o 0 lógico es, al igual que en el MOSFET de compuerta flotante, la tensión umbral del dispositivo [Beyer 2020]. No obstante, el hecho de que no se almacenen cargas para generar dicho corrimiento incrementa la capacidad de retención en el tiempo y con la temperatura.

La empresa Global Foundries dispone de un proceso de fabricación que, con la adición de pocas máscaras, permite realizar MOSFETs ferroeléctricos conocidos como FeFETs. [Frauhofer 2023]. En la actualidad, existen pocos o nulos diseños de memorias utilizando esta tecnología, con lo que existe un mercado potencial para diseños IP basados en FeFETs.

Si bien esta es hoy una tecnología restringida a los nodos tecnológicos más avanzados, se prevé que con el tiempo las empresas basadas en nodos *legacy*, como las automotrices, comenzarán a utilizar los hoy más modernos. Esto es importante, ya que las ventajas en

términos de confiabilidad de las memorias FeFET serán beneficiosas para dichas aplicaciones.

Propuesta

En base a la problemática existente y al mercado disponible enunciado en la sección anterior, se propone el desarrollo de una memoria IP basada en FeFETs compatible con el PDK de Global Foundries 28nm. Esta memoria estará destinada a cualquier cliente que quiera utilizar esta nueva tecnología en sus circuitos integrados junto a otros bloques de desarrollo propio.

Objetivos y sus métricas

Se pretende que la IP cuente con:

- Su circuito interno que genere las tensiones necesarias para la programación y borrado de los bits.
- Circuitos de selección de filas y columnas.

Las entradas de la memoria deben ser:

- Dirección de escritura.
- Palabra a escribir.
- Indicador de escritura o lectura.
- Indicador de *enable*.
- Reset de toda la memoria.

Se debe cumplir con las siguientes especificaciones, con los valores mínimos enunciados a continuación [Sourav De 2023]:

- Retención: el tiempo durante el que la polarización se mantiene estable. >10 años a 125°C
- Cantidad de ciclos de borrado/escritura: 10^7 ciclos.
- Rango de temperatura: Hasta 175°C
- Tiempo de lectura/escritura: <50ns
- Tensión de escritura: <5V
- Área por bit: 4um²/bit

Dichos mínimos permiten obtener un diseño superador en comparación con las memorias basadas en floating gate.

Alcance

El alcance tecnológico del proyecto es el desarrollo de una IP compatible con el PDK de GlobalFoundries 28nm que cumpla con las especificaciones propuestas y contenga la interfaz adecuada para ser integrada por el cliente dentro del IC. Para cubrir las distintas aplicaciones del mercado, se desarrollarían variantes de memoria con los siguientes tamaños para los distintos potenciales clientes: 1kb, 10kb y 100kb.

Dada las grandes ventajas tecnológicas enunciadas de las memorias basadas en FeFET, el desarrollo de esta IP permite introducir en el mercado un dispositivo de alta tecnología. Por ello, se estima que el alcance comercial del proyecto sea a industrias con elevados requerimientos de confiabilidad y alta sensibilidad a la pérdida de datos, como ser la industria automotriz y biomédica. Asimismo, este tipo de IP es integrable a cualquier tipo de circuito integrado que justifique su uso.

Se proyecta un plazo de salida al mercado de la IP de 174 semanas. Se contempla un previo independiente para el testeo de los FeFETs y otros dispositivos del proceso (TEG), y un 1 spin extra para realizar correcciones luego del tapout principal.

Interesados

Los posibles interesados externos de este proyecto podrían ser:

1. Fabricantes:

- a. GlobalFoundries: Dado que el proyecto se basa en su proceso de fabricación de 28nm y es compatible con su PDK (Process Design Kit), podrían ser interesados directos o colaboradores estratégicos.
- b. Cualquier empresa que diseñe y fabrique circuitos integrados podría estar interesada en invertir en esta IP, dado que la tecnología es aplicable a una amplia gama de dispositivos, desde sensores autónomos hasta redes neuronales on-chip.

2. Clientes:

- a. Empresas automotrices: Debido a los beneficios de la tecnología FeFET en condiciones de alta temperatura y confiabilidad, las compañías del sector automotriz podrían ser inversores interesados, especialmente aquellas que buscan mejorar la durabilidad de sus circuitos en aplicaciones críticas.
- b. Empresas biomédicas: Con la mención de aplicaciones sensibles a la pérdida de datos, las empresas del sector biomédico, que requieren alta fiabilidad en sus dispositivos, podrían estar interesadas en esta tecnología.

3. Inversores:

- a. Inversores en tecnología: Fondos de inversión o inversores especializados en tecnología de semiconductores y desarrollos de hardware avanzado también podrían estar interesados en financiar el proyecto por su potencial de mercado en diferentes industrias.
- b. Capitales de riesgo: Firmas que financian proyectos con alto potencial de crecimiento, especialmente en sectores emergentes como el almacenamiento no volátil.

4. Universidades y centros de investigación: Que podrían estar involucrados en la investigación y desarrollo de nuevas aplicaciones para la tecnología FeFET, buscando colaborar o invertir en proyectos que aprovechen sus descubrimientos.

Estos interesados se beneficiarían de la creación de una tecnología más avanzada que las memorias actuales basadas en compuertas flotantes, abriendo oportunidades comerciales en múltiples sectores.

Los interesados internos de la empresa son:

1. Directivos y alta gerencia: Encargados de las decisiones estratégicas, como la definición de objetivos comerciales y el seguimiento del progreso del proyecto.
2. Equipo de proyecto: Incluyendo ingenieros, desarrolladores, y gerentes de proyecto, quienes son responsables de ejecutar las actividades diarias del proyecto y cumplir con los hitos clave.
3. Departamentos de I+D (Investigación y Desarrollo): Especialmente relevante en empresas tecnológicas, estos equipos trabajan en el desarrollo de nuevas soluciones, como las memorias FeFET, y colaboran en la creación de patentes y avances científicos.
4. Departamento de finanzas: Responsable de la asignación de recursos, control de costos y análisis de retorno sobre la inversión.
5. Recursos humanos: Encargados de la contratación y gestión de los empleados necesarios para llevar adelante el proyecto.
6. Accionistas o propietarios: los accionistas que poseen una parte de la compañía también tienen un interés directo en el éxito del proyecto.

Entregables

Internos

- Revisiones del equipo de diseño
- Minutas del Core Team.
- Lecciones aprendidas.
- Verificaciones
 - Físicas (LVS/DRC/etc).
 - De diseño (Corners, Montecarlo).

Externos

- GDS + esquemático y símbolo.
- Manual de uso:
 - Requisitos de proceso: máscaras y metales.
 - Características eléctricas (tensión de alimentación, latencia, diagrama de señales).
 - Área.
 - Señales de control y de salida.
 - Rango de temperatura.
- Certificados de cumplimiento de normas y/o estándares (Grade 0, ASIL D, entre otros).

Referencias

- [Frauhofer 2023] Fraunhofer IMPS, “High Performance Ferroelectric HfO₂ Stack”, 2023. Disponible en:
[https://www.ipms.fraunhofer.de/content/dam/ipms/common/documents/2024/Fraunhofer%20IPMS%20-%20High-Performance%20Ferroelectric%20HfO₂%20Stack.pdf](https://www.ipms.fraunhofer.de/content/dam/ipms/common/documents/2024/Fraunhofer%20IPMS%20-%20High-Performance%20Ferroelectric%20HfO2%20Stack.pdf)
- [Sourav De 2023] Sourav De, et al. “Roadmap of Ferroelectric Memories: From Discovery to 3D Integration”. TechRxiv, 2023. Disponible en:
<https://www.techrxiv.org/users/683874/articles/682285-roadmap-of-ferroelectric-memories-from-discovery-to-3d-integration>
- [Beyer 2020] S. Beyer, et. al. “FeFET: A versatile CMOS compatible device with game-changing potential”. 2020 IEEE International Memory Workshop (IMW), 2020.
- [FMC] The Ferroelectric Memory Company, Ferroelectric hafnium oxide FE-HfO₂: The ideal memory material. Disponible en:
<https://ferroelectric-memory.com/technology/ferroelectric-hafnium-oxide/>