

Maestría en Ciencias de la Ingeniería

Universidad de Buenos Aires

Facultad de Ingeniería

Gestión de Proyectos - Industria Semiconductor

“Integrantes de un *Core Team*: roles y tareas”

Alumnos:

Mariano Morel

Facundo Piñero

Santiago Trotta

Juan Pablo Goyret

Cuatrimestre: 2°C 2024

Introducción

El presente trabajo consiste en una descripción de las tareas de 10 integrantes de un *core team* dedicado al desarrollo de un producto en el contexto de la industria de los circuitos integrados. Se describe también la interacción que existe entre dichos miembros, de qué fase del proyecto participa cada uno y los principales desafíos que debe enfrentar.

Resumen de roles

Los roles que se describen en este trabajo son los siguientes:

- Analog design lead (DE).
- Program manager (PM).
- Layout engineer lead (LE).
- Functional safety engineer (FS).
- Package engineer (PE).
- Test engineer (TE).
- Digital design engineer.
- Digital physical design engineer.
- System engineer.
- Marketing.
- Product Validation Engineer (PVE)

Otros roles involucrados en el desarrollo de productos, cuya participación en un *core team* no es necesariamente habitual pero que se mencionan en este trabajo son: el ingeniero de procesamiento de máscaras, el ingeniero de verificación de sistemas digitales y el ingeniero de cualificación (QUAL).

La información para este trabajo fue obtenida, además de experiencia previa, de conversaciones con profesionales de la mayoría de los roles tratados.

Descripción de los roles

Analog engineer lead (DE)

- Tarea general: dirección general del diseño del chip.
- Participación en las etapas del proyecto:
 - Feasibility: definición de topologías circuitales. Convocatoria de *peer reviews* con el equipo de diseño y SE. Discusión y definición de especificaciones críticas con el SE. Estimación de área y definición del floorplan junto al equipo de layout.
 - Development: Coordinación de los equipos de diseño (analog, digital y layout). Simulaciones de top level. Interacciones con otros equipos (ejemplo, ESD team).
 - Validation: soporte al SE y TE durante la prueba del chip para descartar *bugs* falsos y catalogar los verdaderos con un orden de prioridad.
- Interacción:

- Asignación de bloques del sistema al equipo de analog. Definición de hitos (diseño y verificación). Soporte general.
- Con el equipo de layout para supervisar el diseño de circuitos críticos mediante revisiones.
- Con el equipo de diseño digital para la discusión de aspectos funcionales del chip (ej: máquina de estado del part) y pedido de señales para la interacción con bloques analógicos (AD contract).
- Con el System Engineer y el equipo de diseño para la discusión de las especificaciones del chip.
- Desafíos: identificación de requerimientos críticos de manera temprana. Definir un cronograma de diseño y verificación en coordinación con el resto de los equipos (digital y layout).

Program manager (PM)

- Tarea general: coordinación, monitoreo y documentación de las tareas necesarias para el desarrollo del producto. Brinda soporte al equipo ante la aparición de problemas y mantiene un rol activo desde el inicio hasta el fin del ciclo de desarrollo.
- Desafíos: establecer un cronograma adecuado para que el ciclo de diseño se ajuste a los requerimientos (tiempo) establecidos por el cliente, además debe poder identificar riesgos que puedan afectarlo y tener una visión clara para poder establecer prioridades.

Layout engineer lead (LE)

- Tarea general: dirección y supervisión del diseño físico del chip.
- Participación en las etapas del proyecto:
 - Feasibility: estimación del área ocupada por el chip.
 - Development: distribución de tareas de diseño de sub-bloques a otros ingenieros de layout. Planificación y seguimiento del diseño físico de los sub-bloques. Desarrollo de la vista física de todo el chip y realización de sus verificaciones: LVS (Layout-vs-Schematic, chequeo de conectividad), DRC (Design-Rule-Check, cumplimiento con las reglas del proceso) y ESRA (cumplimiento de estándares de ESD). Previo al *tapeout*, corrobora la traslación de las capas del layout a máscaras físicas y el correcto envío de la información a la fábrica. Determina la ubicación de los *pads* para pruebas y para *bonding*.
- Interacción:
 - Con el lead analog designer para la recepción de los esquemáticos y la aprobación de los *layout* una vez realizados.
 - Con el test engineer y con el package engineer para asegurar que la posición de los *pads* garantiza que el chip sea empaquetable y medible directamente en el wafer. Consensúa el diagrama de *bonding* con el package engineer.
 - Con el digital physical designer para indicar la forma, el área que puede tener el bloque digital y la ubicación de sus pines. Recepción de parte de este último del layout del bloque digital para instanciarlo en el chip.

- Con el equipo de mask-processing (no integrante del *Core Team*) para el envío del GDS del chip a la fábrica.
 - Con el ingeniero de ESD para verificar que las conexiones cumplen con las especificaciones de descarga electrostática.
- Desafíos: realizar una apropiada estimación de área que no comprometa los costos del proyecto pero no implique tiempo de trabajo imprevisto para los ingenieros de layout o que resulte inviable. Llevar a cabo cambios en el layout dentro del tiempo disponible para adaptarse a los cambios introducidos por los analog designer. Articular con un amplio número de profesionales, de los cuales debe recibir requerimientos e información en tiempo y forma. Maximizar el número de verificaciones posibles, a veces requiriendo el desarrollo de herramientas ad-hoc implicando conocimiento de EDA (Electronic Design Automation) para poder cumplir con ello.

Functional safety engineer (FS)

- Tarea general: verificación de que el chip cumpla con las normas ASIL, para seguridad de circuitos integrados automotrices.
- Participación en las etapas del proyecto:
 - Development: aseguramiento de que las fallas que suceden en la electrónica analógica sean detectables por el bloque digital y que eso le pueda ser informado a la computadora del automóvil. No se enfoca en la corrección de esas fallas, a excepción de casos específicos.
- Interacción:
 - Con el analog designer, para conocer los modos de falla de esos bloques.
 - Con el layout engineer para la recepción de la información del área ocupada por cada bloque. Eso se debe a la probabilidad de falla de una unidad está ponderada por el área que ocupa sobre el total del chip
- Desafíos: lograr identificar todos los modos de falla en sistemas de alta complejidad, lo que requiere de una comunicación clara con el equipo de analog y digital design.

Package engineer (PE)

- Tarea general: garantizar que el chip pueda ser empaquetado de acuerdo a los requerimientos. Desarrollo de nuevos empaquetados e interacción con los centros de ensamblado.
- Participación en las etapas del proyecto:
 - Feasibility: determinación del tipo de empaquetado a utilizar. Esto es, número de pines, el *leadframe* y los materiales a utilizar en el empaquetado.
 - Development: consensuado de la ubicación de los *pads* de bonding con el lead layout engineer.
- Interacción:
 - Con marketing y systems engineering para la recepción de la información referida al package que se va a usar.

- Con layout engineer para aprobar la ubicación y tamaño de los pads, y su compatibilidad con el leadframe y los recorridos propuestos de los *bondwire*.
- Desafíos: lograr que el equipo de diseño (analog y layout engineering) cumpla con las especificaciones de empaquetado definidas, en un contexto donde se busca minimizar el área ocupada del chip y por lo tanto el tamaño de los *pads* de *bonding*.

Test engineer (TE)

- Pueden presentarse dos clases de test engineer:
 - *Probe TE*: realiza mediciones sobre el wafer, sin empaquetar.
 - *Final TE*: lleva a cabo mediciones con chips empaquetados.
- Tarea general: asegurar que las especificaciones del chip, así como su correcto funcionamiento, sean medibles, tanto de manera individual como en producción.
- Participación en las etapas del proyecto:
 - Feasibility: análisis de las especificaciones y con qué instrumentos se cuenta para medirlas. Colaboración con la determinación de cuánto se puede medir en producción, a qué velocidad y a qué costo. Determinación de la evaluación de los nuevos bloques. Evaluación de los riesgos a la hora de medir.
 - Interacción: con el analog design lead para definir los modos de evaluación.
 - Development: elaboración del MTL (Master Test List), que establece quién va a medir qué y dónde va a hacerlo. Diseño del software y hardware para cubrir toda la lista. Determinación de las características de las placas para el QUAL. Aprobación de la guía de usuario del chip. Determinación del DTL, o esquema de cómo se va a hacer cada test y con qué se va a medir.
 - Interacción: con el analog design lead para obtener la aprobación del DTL. Con PVE/SE/DE/QUAL para la determinación del MTL. Con QUAL para el diseño de las placas de cualificación.
 - Validation: *debugging* del hardware y software de evaluación cuando se reciben las primeras muestras. Comprobación de los procedimientos del DTL y de la guía de usuario. Realización del “*silicon review*”, que proporciona el yield del chip, determina cómo será trimmeado e incluye un análisis estadístico. Probe TE: mapeo los dispositivos sanos y los que no en el wafer; *baking* de los chips que tienen memorias; determinación de las pruebas que se hacen antes y después; medición de todos los parámetros que ayuden a reducir el tiempo de evaluación en la fábrica. Final TE: validación de las placas para QUAL; caracterización del chip con la temperatura.
 - Interacción: con PVE y QUAL para encontrar fallas en los bancos de prueba.
- Desafíos: maximizar la eficiencia en el *testing* del chip, implicando la reducción de costos del instrumental y la duración de las pruebas. Esto se debe a que el tiempo de validación de cada chip en producción (junto al área ocupada) es uno de los principales factores en el costo final del producto. Otro desafío es tener una comunicación fluida con los analog designers para asegurar que los parámetros del chip que desea caracterizar sean efectivamente medibles.

Digital design engineer

- Tarea general: encargado del diseño RTL del chip y supervisión del equipo digital.
- Interacción en las etapas del proyecto:
 - Con el System Engineer para la discusión de especificaciones.
 - Con el Physical Design Engineer para proveer versiones estables de código y generar versiones preliminares del layout del digital. Durante la etapa de Feasibility, ambos son encargados de la estimación de área necesaria para el digital del chip.
 - Recibe reportes recurrentes del Digital Verification Engineer y corrige bugs en caso de ser necesario.
 - Definición del AD contract con el equipo analógico.
- Desafíos: durante el feasibility, debe poder proveer un RTL lo suficientemente representativo para una estimación del área que necesitará el bloque digital del chip.

Digital physical design engineer

- Tarea general: traslación de la descripción RTL de un diseño digital a las vistas de layout y esquemático, considerando las limitaciones de área, timing, potencia, variaciones del proceso y la capacidad de un diseño de ser medible.
- Participación en las etapas del proyecto:
 - Feasibility: estimación del área ocupada por el bloque digital.
 - Development: desarrollo de la vista física del bloque digital.
- Interacción:
 - Con el equipo de diseño digital, quienes proveen el diseño RTL y comunican los requerimientos del diseño físico.
 - Con los system engineers y el equipo de analog design, quienes determinan las especificaciones del chip en los *corners*.
 - Con el equipo de layout, quien comunica las posiciones de los pines, y una figura con el área y la forma del bloque donde deben ser ubicadas las celdas digitales.
 - Con digital verification para asegurarse de que el diseño sea evaluable (DFT, Design for Testability).
- Desafíos: minimizar el área ocupada por el bloque digital sin violar los requerimientos de velocidad. Determinar cuándo es necesario pedir un cambio en las especificaciones o negociar área con el layout engineer en función de las dificultades de convergencia de las herramientas automáticas. En ciertos contextos, trabajar con múltiples dominios de tensión.

System engineer (SE)

- Tarea general: Definición de las especificaciones a nivel sistema. Nexa entre el cliente y el equipo de diseño.
- Interacción durante las etapas del proyecto:
 - Durante el feasibility, releva las especificaciones críticas y las comunica al equipo de diseño. Participa de peer reviews para la elección de topologías

que se ajusten mejor a los requerimientos del sistema. Propone alternativas al cliente en caso de no poder cumplirse alguno de sus requerimientos.

- Development: definición final de especificaciones y su documentación (datasheet). Soporte al equipo de diseño. Desarrollo de la placa de evaluación del producto junto al hardware engineer.
- Validation: verifica las funcionalidades críticas del chip y las documenta para que sean auditadas por el equipo de diseño. Provee soporte al Test Engineer en caso de ser necesario.
- Desafíos: realizar propuestas cuando un requerimiento del cliente no se alinea con lo que puede ser logrado por el equipo de diseño (ya sea por área o por limitaciones de la tecnología). Debe tener una visión global del producto y a su vez el conocimiento técnico necesario para poder mantener discusiones técnicas con el equipo de diseño.

Marketing (LE)

- Tarea general: definir las características del producto en base al análisis del mercado (competidores) y requerimientos de clientes potenciales. Es el encargado del armado del Project Charter y la promoción del part. Durante la etapa de feasibility mantiene una comunicación constante con el SE y el equipo de diseño.
- Desafíos: definir funcionalidades que sean atractivas para el cliente pero que a su vez sean realizables con la tecnología disponible y manteniendo rentabilidad.

Product Validation Engineer (PVE)

- Tarea general: realiza las mismas mediciones que el Test Engineer, aunque en bajo volumen.
- Interacción y participación a lo largo de las etapas del proyecto:
 - Development: con test engineering para la elaboración del MTL (master test list). Junto a TE son responsables del MTL.
 - Validation: con test engineering para validar los bancos de medición y sus resultados. Con systems engineering para que pueda alcanzar un consenso con test engineering sobre los resultados de las mediciones.
- Desafíos: lograr un consenso con TE y SE sobre la validez de las mediciones.