

## Diseño de Circuitos Integrados Digitales

Exámen 28 de Octubre de 2024

### Ejercicio 1

A - Implemente el código RTL de un sincronizador para  $N$  bits de palabra de datos y un largo  $L$  de cantidad de flip flops de resolución. El protocolo de *handshaking* debe ser de dos fases.

B- Suponga un proceso CMOS con los siguientes parámetros:

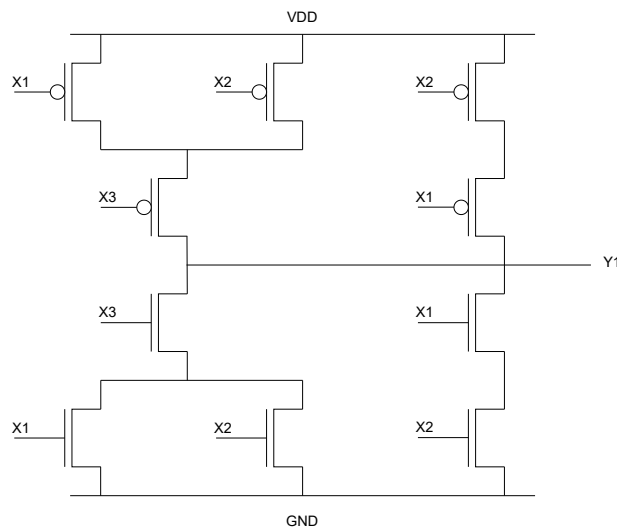
- $T_W = 75ns$
- $\tau_0 = \tau/(A - 1) = 0,23ns$
- $t_{su} = 1ns$

Si la frecuencia de operación del *launching domain* es de 20MHz y produce datos al mayor thruout posible, mientras que la frecuencia de operación *capturing domain* es de 200MHz, dimensione el/los sincronizador/es para un MTBF de 10 años.

C- Cómo se modificaría el MTBF manteniendo el mismo largo  $L$  pero teniendo 4 inversores en los lazos de cada flip flop de resolución?

### Ejercicio 2

A- Determine la función lógica del siguiente circuito:



B- Si para un proceso se cumple que el inversor es simétrico cuando  $W_p = 3W_n$ , dimensione los transistores para que la compuerta posea el mismo *logical effort* por entrada. Cuál es dicho *logical effort*?

C- Cuál es la combinación de entradas que produce máximo delay y cuál produce mínimo delay.

D- Utilice el circuito anterior en la implementación de un Full-Adder.

### Ejercicio 3

A- Para una compuerta NAND simétrica de 2 entradas y tamaño mínimo, determine la capacidad de entrada mediante simulación.

B- Si a la salida se la carga con una capacidad C que puede valer entre 10fF y 100fF, determine un modelo de energía consumida en cada transición (considere sólo el peor caso de combinación de entradas). Considere que las entradas están alimentadas por una fuente de tensión ideal (escalón) con resistencia equivalente de 10k.

### Ejercicio 4

Para el siguiente circuito, halle los tiempos de propagación para *max delay* y *min delay* del path V2-J considerando los *timing windows* de las señales V1,V2,V3. Considere las resistencias de las conexiones despreciables frente a las resistencias de salida de los inversores.

Datos:

Slew\_V2 : 125ps

C\_inv = 2fF

C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	CL1	CL2	CL3
3fF	3fF	1fF	1fF	1fF	1fF	3fF	3fF	3fF	4fF	6fF	6fF	6fF

t0	t1	t2	t3	t4	t5
0ps	100ps	250ps	450ps	550ps	700ps

Delay (ps)		$C_{load}$ (fF)			
		5	10	15	20
Slew in (ps)	50	55	60	65	75
	100	120	125	135	140
	150	130	140	145	150
	200	180	190	200	210

Slew out (ps)		$C_{load}$ (fF)			
		5	10	15	20
Slew in (ps)	50	60	70	80	90
	100	110	120	130	135
	150	120	135	140	150
	200	160	170	180	190

