

Exemple Memòria caché (1)

Exemple d'Organitzacions i Algoritme de Reemplaçament

Per veure com influeixen aspectes com la organització de la caché i o els algoritmes de reemplaçament, farem un exemple.

Característiques del sistema i enunciat:

- Caché de instruccions i dades separades.
- Caché de dades de 8 línies. Mida bloc = 1 paraula.
- Processador de 8 bits (paraules d'un byte) i Adreces de 16 bits.
- Algoritme de reemplaçament que farem servir LRU.
- Estudiarem l'evolució de la caché de dades quan:
 - Tenim una matriu de bytes $A(i,j)$ de 4×10 que a MP comença a la adreça: 7A00h.
 - Els elements estan emmagatzemats en ordre de columnes (veure diapositiva 2).
 - Executem un programa que normalitzi els elements de la primera fila amb la mitja d'aquesta fila:
- Amb 3 organitzacions: Mapejat Directe, Completament Associativa i Associativa a 4-camins.

$$A(0,i) = \frac{A(0,i)}{\left(\sum_{j=0}^9 A(0,j)\right) \div 10}$$

Exemple d'Organitzacions i Algoritme de Reemplaçament

MEMÒRIA PRINCIPAL		
Adreça Hexa.	Adreça en Binari	Contingut
(7A00)	0 1 1 1 1 0 1 0 0 0 0 0 0 0 0 0	A(0,0)
(7A01)	0 1 1 1 1 0 1 0 0 0 0 0 0 0 0 1	A(1,0)
(7A02)	0 1 1 1 1 0 1 0 0 0 0 0 0 0 1 0	A(2,0)
(7A03)	0 1 1 1 1 0 1 0 0 0 0 0 0 0 1 1	A(3,0)
(7A04)	0 1 1 1 1 0 1 0 0 0 0 0 0 1 0 0	A(0,1)
.	.	.
.	.	.
.	.	.
(7A24)	0 1 1 1 1 0 1 0 0 0 1 0 0 1 0 0	A(0,9)
(7A25)	0 1 1 1 1 0 1 0 0 0 1 0 0 1 0 1	A(1,9)
(7A26)	0 1 1 1 1 0 1 0 0 0 1 0 0 1 1 0	A(2,9)
(7A27)	0 1 1 1 1 0 1 0 0 0 1 0 0 1 1 1	A(3,9)

← Tag Mapejat Directe →

← Tag Associativa a 4-camins →

← Tag completament Associativa →

Mapejat Directe

- K=1 camí.
- S=C=8 conjunts.
- $i = \log_2 8 = 3$ bits.
- TAG= X-i = 16-3 = 13 bits.

Completament Associativa

- S=1 conjunt.
- K=C=8 camins.
- i=0.
- TAG=16 bits.

Associativa a 4-camins

- K=4 camins.
- $C=K \cdot S \rightarrow S=C/K=8/4=2$.
- $i= \log_2 S = \log_2 2 = 1$ bit.
- TAG= X-i = 16-1 = 15 bits.

Exemple d'Organitzacions i Algoritme de Reemplaçament

Per dur a terme el càlcul que desitgem:

$$A(0,i) = \frac{A(0,i)}{\left(\sum_{j=0}^9 A(0,j)\right) \div 10}$$

Implementem el programa següent:

- On, per simplificar, suposem que **i**, **j**, **SUM** i **MIT** són registres del processador i per tant no van a caché.
- Les úniques dades que faran servir la caché de dades són els elements de la matriu $A(i,j)$.

Programa

```
SUM:=0
for j:=0 to 9 do
    SUM:=SUM+A(0,j)
end
MIT:=SUM/10
for i:= 9 downto 0 do
    A(0,i):=A(0,i)/MIT
End
```

Exemple d'Organitzacions i Algoritme de Reemplaçament

MAPEJAT DIRECTE:
S=C=8, K=1.

$$A(0,i) = \left(\frac{A(0,i)}{\sum_{j=0}^9 A(0,j)} \right) \div 10$$

LÍNIA "C"	CONJUNT "S"	CAMÍ "K"	EVOLUCIÓ DEL CONTINGUT DE CACHE MAPEJAT DIRECTE								
			j=1	j=3	j=5	j=7	j=9	i=6	i=4	i=2	i=0
0	0	0	A(0,0)	A(0,2)	A(0,4)	A(0,6)	A(0,8)	A(0,6)	A(0,4)	A(0,2)	A(0,0)
1	1	0									
2	2	0									
3	3	0									
4	4	0	A(0,1)	A(0,3)	A(0,5)	A(0,7)	A(0,9)	A(0,7)	A(0,5)	A(0,3)	A(0,1)
5	5	0									
6	6	0									
7	7	0									

Programa

```
SUM:=0
for j:=0 to 9 do
  SUM:=SUM+A(0,j)
end
MIT:=SUM/10
for i:= 9 downto 0 do
  A(0,i):=A(0,i)/MIT
End
```

Número de reemplaçaments (2on bucle) = 8.

Exemple d'Organitzacions i Algoritme de Reemplaçament

COMPLETAMENT ASSOCIATIVA:
S=1, K=C=8

$$A(0,i) = \left(\sum_{j=0}^9 A(0,j) \right) \div 10$$

LÍNIA "C"	CONJUNT "S"	CAMÍ "K"	EVOLUCIÓ DEL CONTINGUT DE CACHE COMPLETAMENT ASSOCIATIVA amb LRU								
			j=7	j=9	i=2	i=0					
0	0	0	A(0,0)	A(0,8)	A(0,8)	A(0,0)					
1	0	1	A(0,1)	A(0,9)	A(0,9)	A(0,1)					
2	0	2	A(0,2)	A(0,2)	A(0,2)	A(0,2)					
3	0	3	A(0,3)	A(0,3)	A(0,3)	A(0,3)					
4	0	4	A(0,4)	A(0,4)	A(0,4)	A(0,4)					
5	0	5	A(0,5)	A(0,5)	A(0,5)	A(0,5)					
6	0	6	A(0,6)	A(0,6)	A(0,6)	A(0,6)					
7	0	7	A(0,7)	A(0,7)	A(0,7)	A(0,7)					

Programa

```
SUM:=0
for j:=0 to 9 do
  SUM:=SUM+A(0,j)
end
MIT:=SUM/10
for i:= 9 downto 0 do
  A(0,i):=A(0,i)/MIT
End
```

Número de reemplaçaments (2on bucle) = 2.

Exemple d'Organitzacions i Algoritme de Reemplaçament

ASSOCIATIVA 4-CAMINS:
K=4, S=C/K=2

$$A(0,i) = \frac{A(0,i)}{\left(\sum_{j=0}^9 A(0,j)\right) \div 10}$$

LÍNIA "C"	CONJUNT "S"	CAMÍ "K"	EVOLUCIÓ DEL CONTINGUT DE CACHE ASSOCIATIVA 4-CAMINS								
			j=3	j=7	j=9	i=6	i=2	i=0			
0	0	0	A(0,0)	A(0,4)	A(0,8)	A(0,8)	A(0,4)	A(0,0)			
1	0	1	A(0,1)	A(0,5)	A(0,9)	A(0,9)	A(0,5)	A(0,1)			
2	0	2	A(0,2)	A(0,6)	A(0,6)	A(0,6)	A(0,2)	A(0,2)			
3	0	3	A(0,3)	A(0,7)	A(0,7)	A(0,7)	A(0,3)	A(0,3)			
4	1	0									
5	2	1									
6	3	2									
7	4	3									

Programa

```
SUM:=0
for j:=0 to 9 do
  SUM:=SUM+A(0,j)
end
MIT:=SUM/10
for i:= 9 downto 0 do
  A(0,i):=A(0,i)/MIT
End
```

Número de reemplaçaments (2on bucle): 6.

Exemple d'Organitzacions i Algoritme de Reemplaçament

Conclusions de les 3 organitzacions al nostre problema:

- La organització amb millors prestacions és la Completament Associativa (2 reemplaçaments).
- La següent millor és la Associativa a K-camins, en aquest cas $K=4$ (amb 6 reemplaçaments).
- La que menys prestacions té és la de Mapejat Directe.

Això anterior sempre es compleix.

Un punt important és que si el 2on bucle no fos decreixent la caché no hagués servit per res. Això passa quan l'estructura de dades és una mica més gran que la caché (o la part que poden fer servir).

Exemple de Sistemes de Caché

ARM710T:

És un processador RISC de 32 bits, de baix cost i baix consum.

Característiques de la caché:

- Bits de status: 1-*valid bit*, 1-*dirty bit*.
- Associativa a 4 camins: $K=4$.
- Blocs de 16 bytes:
 - Com les paraules són de 32 bits (4 Bytes): hi ha 4 paraules per bloc. Amb això tindrem “W”=2 bits i “B”=2 bits.
- Es fa servir protocol Write-Through per escriure dades del processador.
- Algoritme de reemplaçament: RANDOM.
- Caché Unificada per dades e instruccions.

Els 3 últims punts són consistents amb el fet que el processador sigui de baix cost i consum.

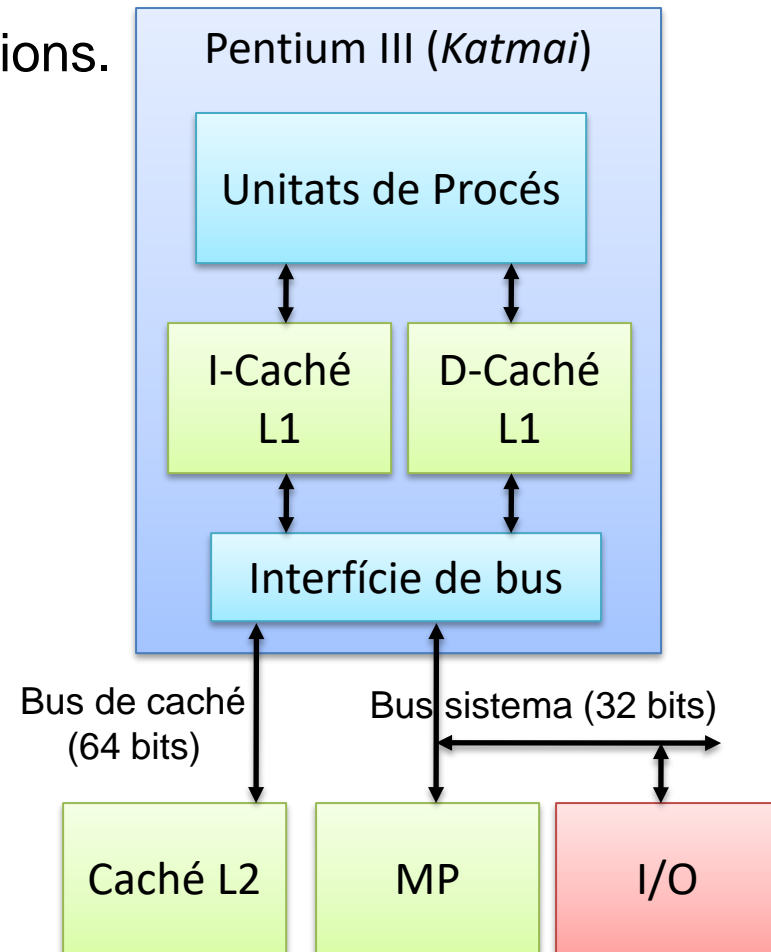
Exemple de Sistemes de Caché

Pentium III (Katmai):

És un processador de 32 bits, d'altres prestacions.

Característiques de la caché. Té 2 nivells:

- Caché L1:
 - D-Caché: Mida 16KB.
 - Associativa amb $K=4$.
 - Polítiques d'escriptura: W-B i W-T.
 - I-Caché: Mida 16KB.
 - Associativa amb $K=2$.
- Caché L2: Mida 512KB.
 - Unificada.
 - Externa (es fa amb xips de SRAM).
 - Bus extern de 64bits.
 - Polítiques d'escriptura: W-T i W-B.
 - Associativa amb $K=4$.



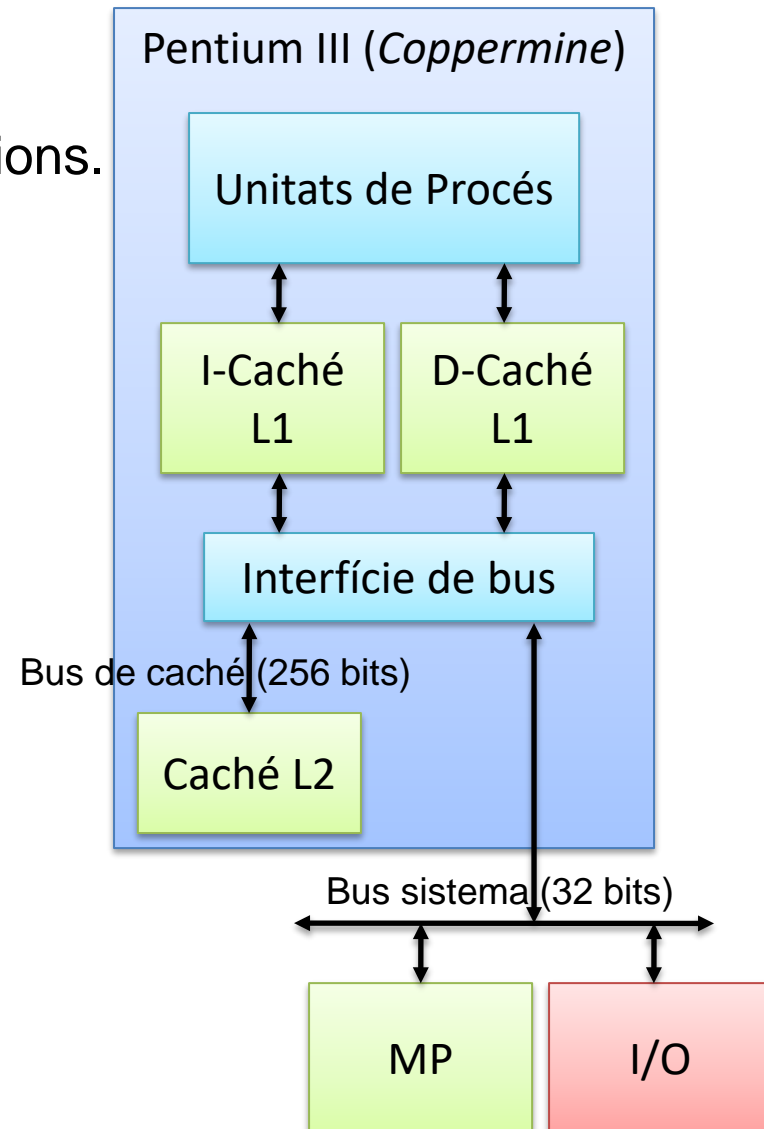
Exemple de Sistemes de Caché

Pentium III (Coppermine):

És un processador de 32 bits, d'altres prestacions.

Característiques de la caché. Té 2 nivells:

- Caché L1: (igual que l'anterior)
 - D-Caché: Mida 16KB.
 - Associativa amb K=4.
 - Polítiques d'escriptura: W-B i W-T.
 - I-Caché: Mida 16KB.
 - Associativa amb K=2.
- Caché L2: Mida 512KB.
 - Unificada.
 - Interna.
 - Bus intern per la caché L2 de 256 bits.
 - Polítiques d'escriptura: W-T i W-B.
 - Associativa amb K=8.



Exemple de Sistemes de Caché

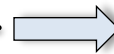
Pentium 4 (amb caché L2 de 256 KB interna):

És un processador de 32 bits, d'altres prestacions.

Característiques de la caché. Té 2 nivells:

- Caché L1: (igual que l'anterior)

- D-Caché: Mida 8KB.
 - Mida dels blocs 64 bytes.
 - Associativa amb $K=4$.
 - Polítiques d'escriptura: W-T.



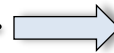
- 128 línies
- 32 conjunts. $i=5$ bits
- $B=2$ bits, $W=4$ bits

- I-Caché:

- Guarda pseudo-instruccions pre-decodificades.

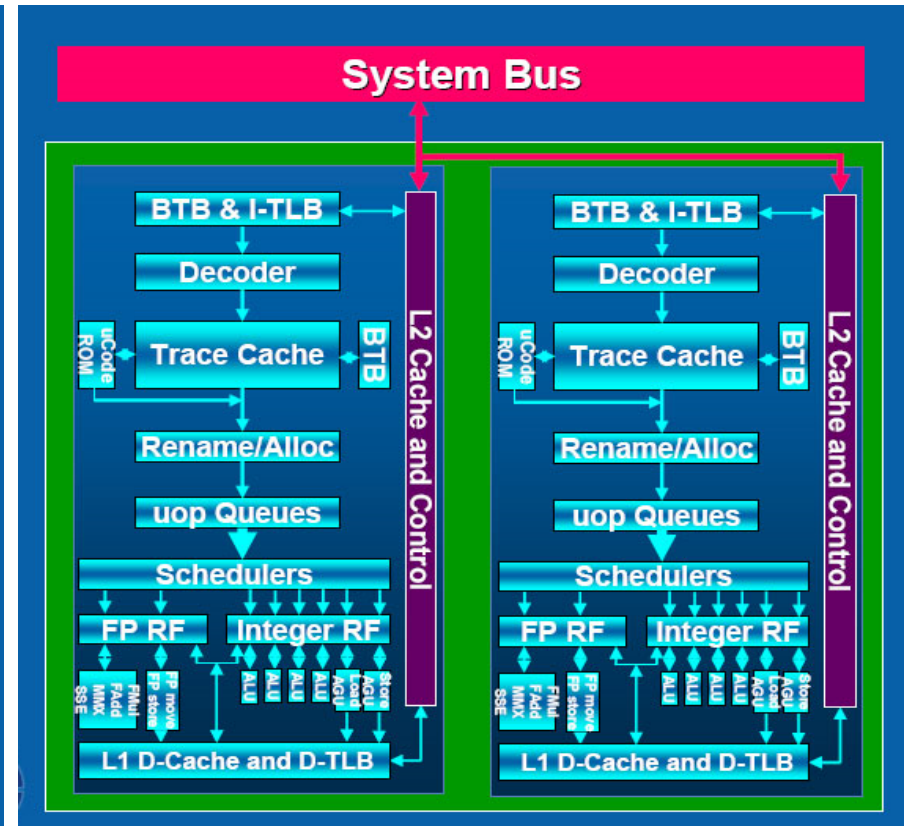
- Caché L2: Mida 256KB interna.

- Unificada.
- Mida dels blocs 128 bytes.
- Associativa amb $K=8$.
- Polítiques d'escriptura: W-B.



- 2048 línies
- 256 conjunts. $i=8$ bits
- $B=2$ bits, $W=5$ bits

Intel amb 2 Cores:

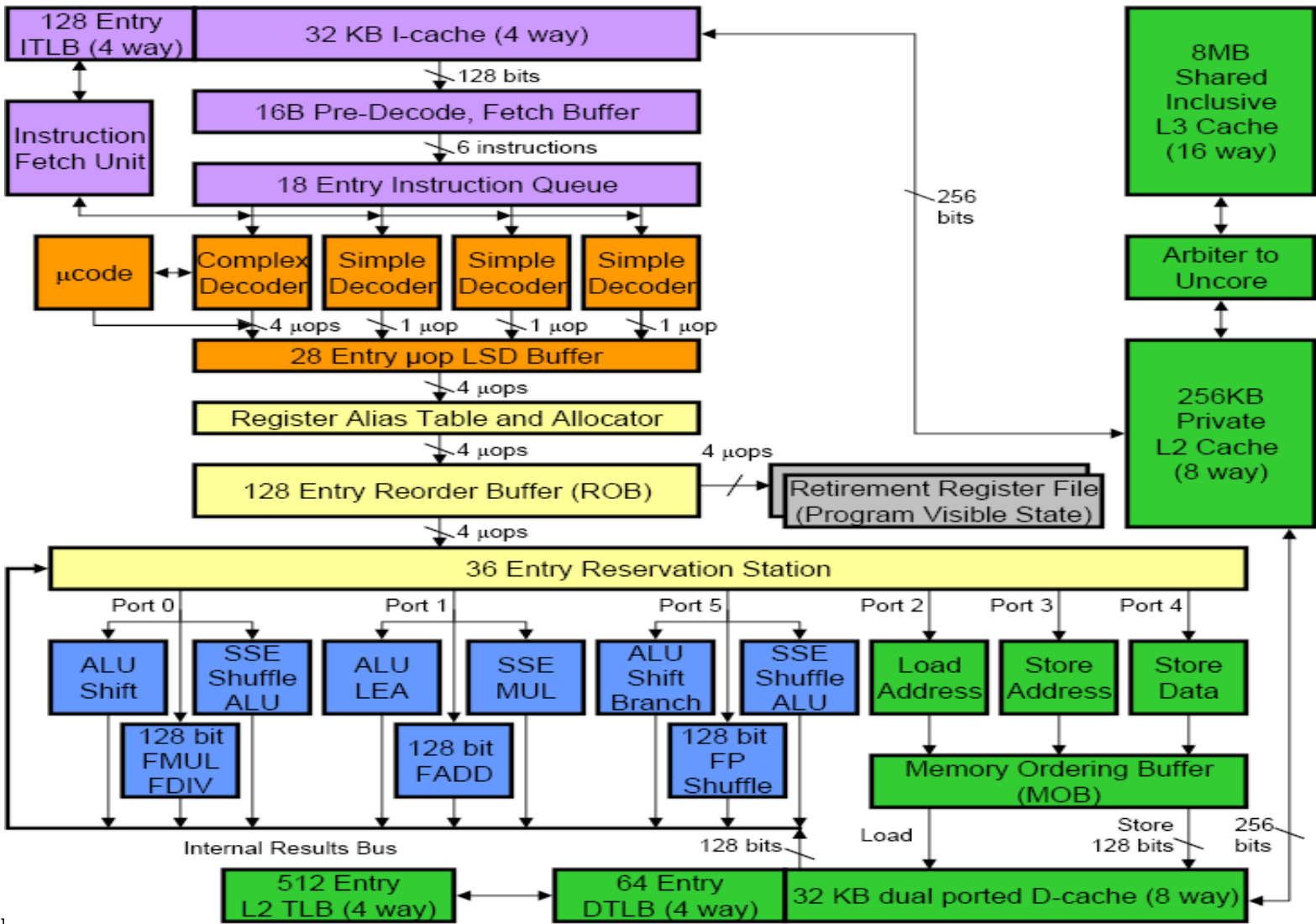


Presler (Pentium D)

Exemple de Sistemes de Caché

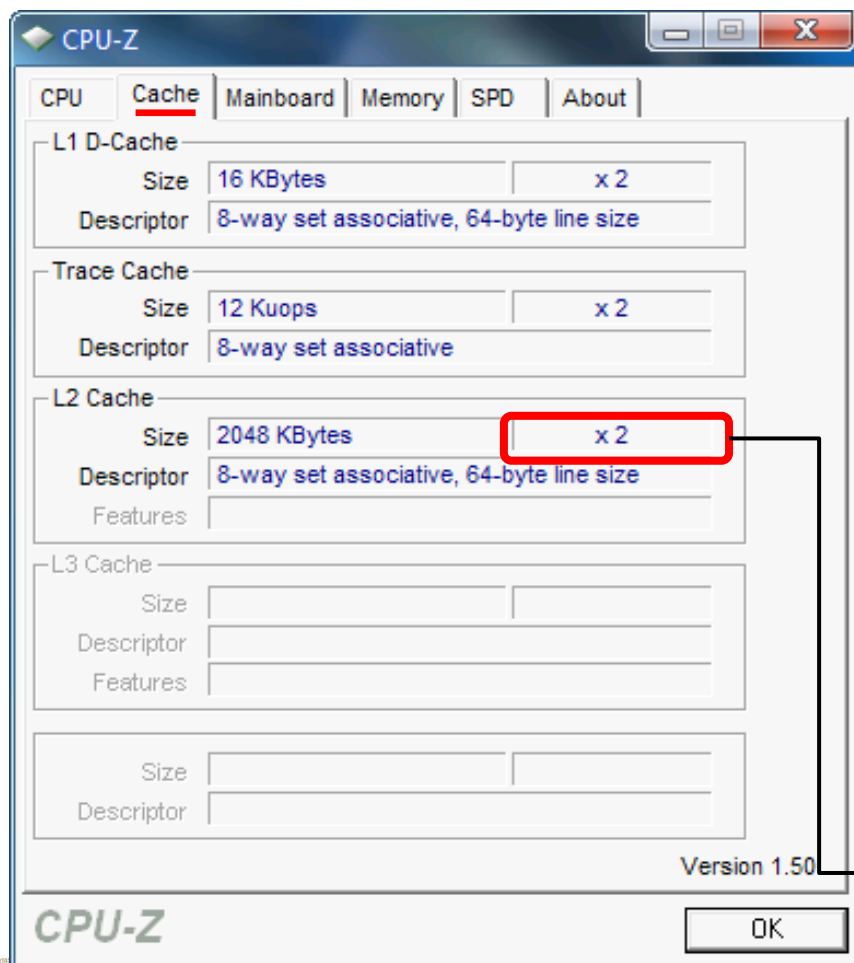
Intel Core i7

Nehalem



Com podem conèixer les característiques del sistema de cache del nostre ordinador?

Si anem a la 2a pestanya, trobarem informació més específica sobre el sistema de cache del nostre ordinador:



Arquitectura: 64bits.

Bus Adreces: 36 bits.

L1 Dades: Associativa a 8-camins (K=8) i blocs de 64 Bytes:

- C=256 línies. S=32 conjunts.
- TAG=25 bits. i=5 bits. W=3 bits. B=3 bits

L1 d'Instruccions, no podem saber res perquè està en "uops".

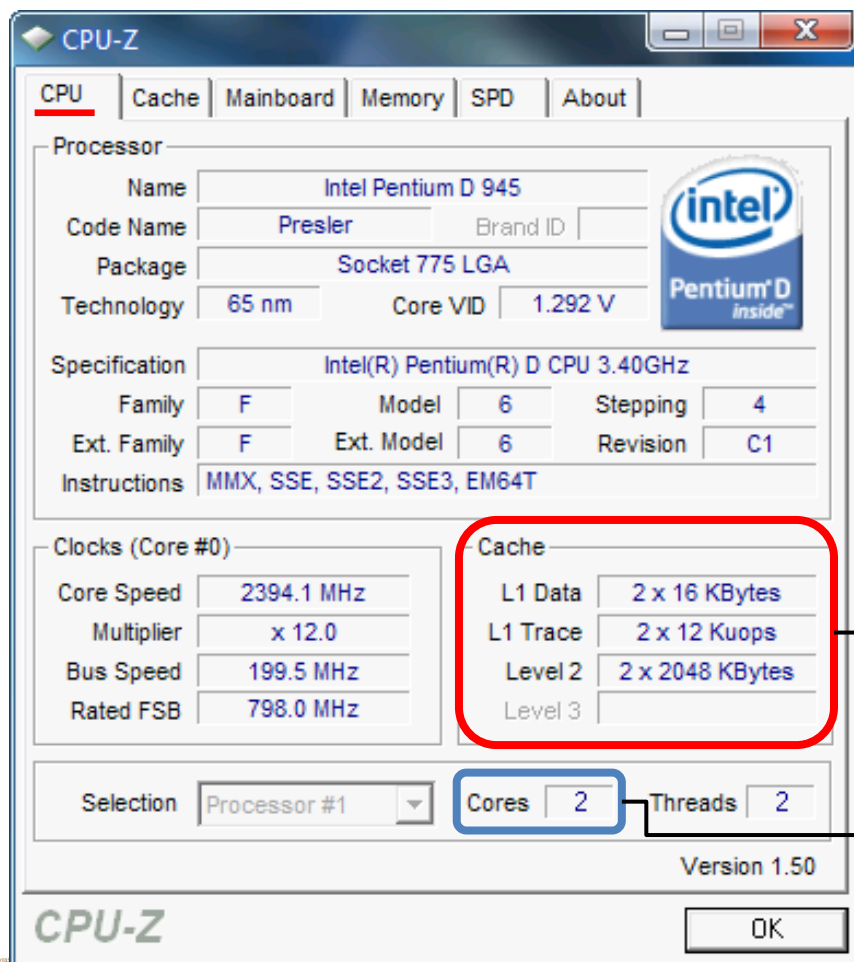
L2: Associativa a 8-camins (K=8) i mida dels blocs de 64 Bytes:

- $C=2^{15}=32768$ línies. $S=2^{12}=4096$ conjunts.
- TAG=18 bits. i=12 bits. W=3 bits. B=3 bits.

Un fet a tenir en compte és que tenim 2 caches de nivell 2 independents, una per cada core.

Com podem conèixer les característiques del sistema de cache del nostre ordinador?

A la xarxa podem trobar software lliure (gratuït) que ens donen informació sobre l'ordinador i que ens poden servir, un d'ells és el CUP-Z. Exemple:



A la primera pestanya ens indica informació sobre el processador. Com que, en aquest cas, la cache és interna, ens indica que:

- Tenim 2 nivells de cache:
 - L1 de Dades de 16 KB.
 - L1 Instruccions (*Trace Caché*) 12Kuops
 - L2 de 2MB (unificada)
 - El “x2” a totes elles significa que tenim dos memòries idèntiques de cada, una per cada core del processador. Si mirem el número de cores veiem que en té dos.