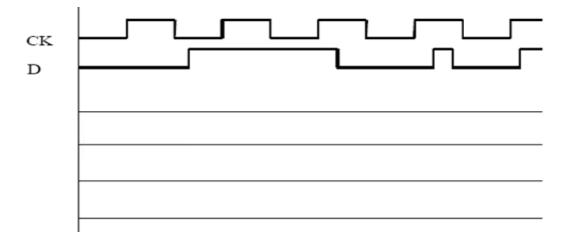


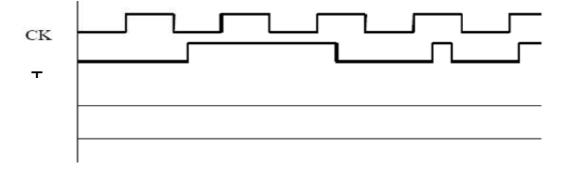
## Bloc 2

- 1. Completeu el diagrama temporal de la sortida Q suposant que el D funcioni com a:
  - a) actiu per flanc de baixada
  - b) Master-Slave
  - c) actiu per flanc de pujada
  - d) Latch

Inicialment el biestable es troba en l'estat, Qini=0

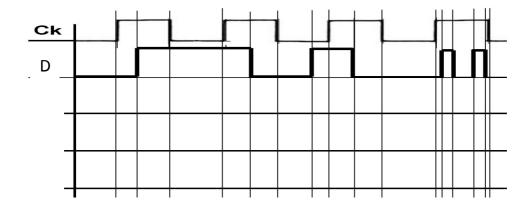


- 2. Completeu el diagrama temporal de la sortida Q suposant que el T funcioni com a:
  - a) Flip-Flop actiu per flanc de baixada
  - b) Flip-Flop actiu per flanc de pujada Inicialment el FF es troba en l'estat, Q<sub>ini</sub>=1



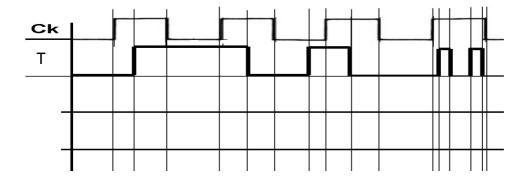
- 3. Completeu el diagrama temporal de la sortida Q suposant que el D funcioni com a:
  - a) actiu per flanc de baixada
  - b) actiu per flanc de pujada
  - c) Latch

Ínicialment el biestable es troba en l'estat, Qini=1



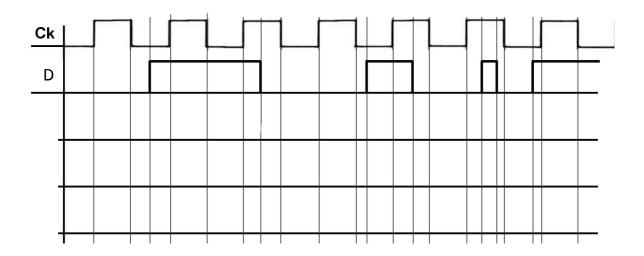
- 4. Completeu el diagrama temporal de la sortida Q suposant que el T funcioni com a:
  - a) Flip-Flop actiu per flanc de baixada
  - b) Flip-Flop actiu per flanc de pujada

Inicialment el biestable es troba en l'estat, Q<sub>ini</sub>=0



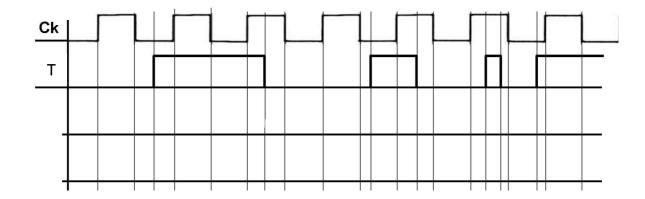
- 5. Completeu el diagrama temporal de la sortida Q suposant que el D funcioni com a:
  - a) actiu per flanc de baixada
  - b) actiu per flanc de pujada
  - c) Latch

Ínicialment el biestable es troba en l'estat, Qini=0

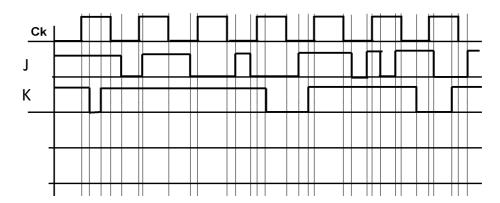


- 6. Completeu el diagrama temporal de la sortida Q suposant que el T funcioni com a:
  - a) Flip-Flop actiu per flanc de baixada
  - b) Flip-Flop actiu per flanc de pujada

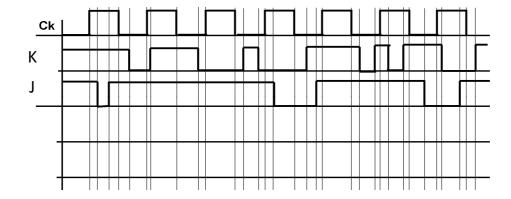
Inicialment el biestable es troba en l'estat, Q<sub>ini</sub>=1



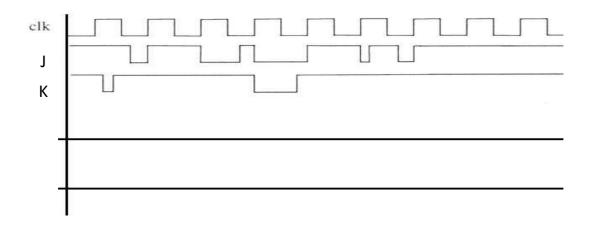
- 7. Completeu el diagrama temporal de la sortida Q suposant que el JK funcioni com a:
  - a) Flip-Flop actiu per flanc de baixada
  - b) Flip-Flop actiu per flanc de pujada Inicialment el FF es troba en l'estat, Q<sub>ini</sub>=1



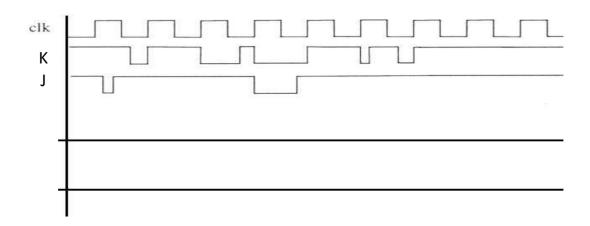
- 8. Completeu el diagrama temporal de la sortida Q suposant que el JK funcioni com a:
  - a) Flip-Flop actiu per flanc de baixada
  - b) Flip-Flop actiu per flanc de pujada Inicialment el FF es troba en l'estat, Q<sub>ini</sub>=0



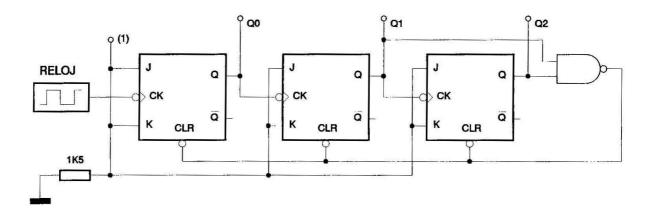
- 9. Completeu el diagrama temporal de la sortida Q suposant que el JK funcioni com a:
  - a) Flip-Flop actiu per flanc de baixada
  - b) Flip-Flop actiu per flanc de pujada Inicialment el FF es troba en l'estat, Q<sub>ini</sub>=0



- 10. Completeu el diagrama temporal suposant que el JK funcioni com a:
  - a) Flip-Flop actiu per flanc de baixada
  - b) Flip-Flop actiu per flanc de pujada Inicialment elFF es troba en l'estat, Q<sub>ini</sub>=1



- 11. Dissenyeu un rellotge digital (que indiqui hores, minuts i segons) utilitzant com a senyal de rellotge el mateix senyal d'alimentació (240V, 50Hz).
- 12. Representeu el cronograma corresponent al circuit de la figura inferior, suposant que els Flip-Flops siguin actius per flanc de baixada. De quin tipus de circuit es tracta?



- 13. Construïu un multiplexor de 8 canals (3 entrades de selecció):
  - a) A partir de 4 multiplexors de 2 canals i el mínim nombre de portes necessari.
  - b) Amb 2 descodificadors 2-4 i les portes necessàries.
- 14.
- 15. Dissenyeu la lògica addicional que es necessitarà per a comparar 2 nombres de 2·n bits, emprant dos comparadors d'n bits amb les sortides usuals A<B, A=B, A>B però sense els terminals de interconnexió entre comparadors.
- 16. Dissenyeu amb la ajuda de descodificadors i multiplexors un sistema combinacional on s'apliquin a l'entrada dos combinacions binàries de 4 bits i a la sortida aparegui la major de les dues o 0000 en cas d'igualtat.
- 17. Dissenyeu amb l'ajut d'un descodificador i les portes necessàries un circuit combinacional que detecti si 2 combinacions binàries de 4 bits són adjacents.

18. La generalitat de Catalunya ha distribuït un avís on és demana que no es consumeixi peix immadur. Dissenyeu un circuit combinacional utilitzant un comparador de 4 bits que detecti automàticament si un peix és madur o immadur.

Peix	Mida mínima	
Seitó	9 cm	
Sardina	11 cm	
Lluç	20 cm	

El sistema té les entrades  $s_1$  i  $s_0$  que indiquen quina espècie de peix s'està mesurant, i altres 5 bits d'entrada  $m_4m_3m_2m_1m_0$  que corresponen a la mida del peix codificada en binari (aquesta entrada val 11111, en cas de que el peix presenti una longitud superior a aquest valor).

- 19. El govern de Nova Zelanda no es creu que el govern francès deixi de fer proves nuclears, per això s'han comprat 4 sismògrafs per mesurar la potència de les explosions franceses. Cada sismògraf dóna directament la potència d'una explosió (no entrem en detalls de com ho fan) però presenten algunes limitacions. El primer sismògraf és d'alta precisió i els seus resultats tan sols són fiables si la seva lectura és inferior a 28 KTn. El segon sismògraf s'utilitza per les explosions de major potència, la seva lectura tan sòls es fiable si és superior a 98 KTn. Pel rang mig s'utilitza una mitja entre els resultats del tercer i el quart sismògraf. Desenvolupeu un sistema que permeti mesurar correctament la potència de la explosió.
- 20. Es té un sistema detector de temperatura format per 2 termòmetres digitals calibrats per mesurar temperatures compreses entre  $0^{\circ}$  i  $50^{\circ}$  (amb una precisió de +/- $1^{\circ}$  C). Els dos termòmetres no donen sempre la mateixa temperatura. Es demana dissenyar un circuit que realitzi les funcions següents, en funció de 2 senyals de control  $G_0$  i G:

G <sub>1</sub>	$G_0$	FUNCIÓ	
0	0	Mitja arrodonida per defecte	
0	1	Temperatura mínima	
1	0	Temperatura màxima	
1	1	Mitja arrodonida per excés	

21. A i B són 2 números de 8 bits codificats en binari sense signe. Dissenyeu una unitat aritmètica que realitzi les següents funcions: suma d'A i B, mitja arrodonida per excés d'A i B, mitja arrodonida per defecte d'A i B, i increment d'A en una unitat.

22. La taula següent descriu una màquina d'estats (x és l'entrada i Z la sortida)

$Q_n$	$Q_{n+1}$		Ζ
	x=0	x=1	
Α	В	С	0
B C	Α	ССШЕСШ	0
С	D	С	0
D	D	Е	1
Е	Α	F	0
FG	В	G	0
G	Α	Е	0

- i) Utilitzeu una taula d'implicació per eliminar els possibles estats redundants.
- ii) Representeu el diagrama d'estats de la màquina equivalent simplificada.
- 23. Trobeu la taula d'estats mínima d'una màquina de Mealy amb entrada x i sortida Z que opera de la següent forma: quan detecta l'arribada de 110 (primer 1, després 1, després 0) Z es posa a 1, i manté aquest valor fins a que detecta la arribada de 010 (primer 0, després 1, després 0) canviant la sortida Z a 0. Després es manté a aquest valor fins que torna a arribar una nova següència 110 i la Z es posa a 1.
- 24. Dissenyeu un detector per la seqüència ..10010.. que pot estar solapada. La sortida ha de ser 1 en el moment de rebre el darrer 0.
- 25. Dissenyeu un verificador de paritat en sèrie per a paraules de 4 bits. En el moment de rebre el quart bit, la sortida ha de ser 1 si el nombre total d'1ns es parell, en la resta de casos la sortida ha de ser 0. Després de rebre el quart bit cal una restauració (es torna a començar).
- 26. Una via de tren amb trànsit en ambdós sentits creua una carretera en la que es col·loca una barrera governada per la sortida d'un sistema de control. A 500 metres del punt de creuament es col·loquen dos detectors de trens, el primer a l'esquerra 'x<sub>1</sub>', i el segon a la dreta 'x<sub>2</sub>'. Dissenyeu un sistema que quan s'acosti un tren en qualsevol direcció, doni una sortida z=1, fins que el darrer vagó hagi passat per segon detector.
- 27. Dissenyeu un sistema que detecti a un canal d'entrada de bits en sèrie un nombre senar d'1s seguit d'un 0, a) amb una màquina de Moore i b) amb una màquina de Mealy

- 28. Dissenyeu un circuit sequencial síncron amb dues línies d'entrada 'a' i 'b' per les quals entren en sèrie dos números de tres bits, A i B. La sortida serà 1 si A es més gran o igual que B.
- 29. Suposem que el principi d'un missatge en un sistema de comunicacions es nota per l'aparició de tres 1ns consecutius a una línia d'entrada X, on les dades estan sincronitzades per un senyal de rellotge. Dissenyeu un circuit en que la sortida Z valgui 1 només en el període de rellotge que coincideix amb el tercer 1.
- 30. Dissenyeu una màquina d'estats síncrona que presenti el següent comportament (a més del rellotge, el sistema presenta dues entrades, I,S):
  - i) La màquina no canviarà d'estat sempre que l=1, a no ser que entri en un estat no especificat.
  - ii) Si S=0, la màquina treballa com a comptador de mòdul 3 ascendent.
  - iii) Si S=1, la màquina treballa com a comptador de mòdul 4 descendent.
  - iv) Si la màquina va a parar a un estat no especificat, el sistema evolucionarà cap a l'estat inicial del comptador corresponent al valor de S del estat no especificat.
  - v) El sistema únicament commutarà del comptador de mòdul 3 al comptador de mòdul 4 (i viceversa) quan es trobi a l'estat inicial del comptador corresponent.
- 31. Dissenyeu un comptador sincrònic amb una senyal de control 'x' que realitzi la seqüència de sortida ...0, 1, 2, 4, 8, 16, 32, 64, 0, 1, 2 ... quan x=1, i mantingui el seu estat quan x=0.
- 32. Implementeu un comptador mòdul 10. La seqüència del comptador és: 0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 1001 i a partir d'aquí torna a 0000... El disseny ha d'incorporar un senyal de control 'SC' que valgui '1' quan la sortida del comptador sigui '1001'. Dissenyeu un comptador BCD que conti de 0 a 999 a partir d'aquest comptador.
- 33. Dissenyeu un comptador de sincrònic reversible en mòdul 12.