

1. Per convenció, es denomina una memòria cau segons la quantitat de dades que conté (és a dir, una memòria cau de 4 KiB pot contenir 4 KiB de dades); tanmateix, com haureu comprovat a classe, les memòries cache també requereixen SRAM per emmagatzemar metadades com ara etiquetes i bits d' "status". Per a aquest exercici, examinarem com afecta la configuració d'una memòria cau a la quantitat total de SRAM necessària per implementar-la, considerant que a la SRAM només hi guardarem les etiquetes. Suposem que les memòries cau són adreçables byte a byte i que les adreces i les paraules són de 64 bits. (adreçables byte a byte vol dir que, si volem, podem accedir a només un byte de la paraula).

Calculeu el nombre total de bits, provinents de les etiquetes, que es guardaran a l'SRAM si tenim una memòria cau **totalment associativa** de **32 KiB amb blocs de 2 paraules**.

$$\begin{aligned} \text{mida cache} &= 32\text{kB} = 2^5 \cdot 2^{10} B = 2^{15} B \\ \text{mida paraula (B)} &= 64 \text{ bits} = 8B = 2^3 \quad \rightarrow \quad \begin{cases} \text{mida cache} = 2^{15} \\ B = 3 \\ W = 1 \end{cases} \\ 2 \text{ paraules per bloc (W)} & \\ \text{mida adreça} &= 64 \text{ bits} \end{aligned}$$

$$\begin{aligned} \text{mida bloc} &= \text{mida paraula} \times 2 = 2^3 \cdot 2^1 = 2^4 \\ \text{mida adreça} &= \text{TAG} + i + W + B \\ \text{en CA : } S &= 1; K = C \\ S &= 2^0 \rightarrow i = 0 \\ \text{TAG} &= 64 - 0 - 1 - 3 = 60 \end{aligned}$$

CA

TAG	i	W	B
60	0	1	3

$$\text{num blocs} = \frac{\text{mida cache}}{\text{mida bloc}} = \frac{2^{15}}{2^4} = 2^{11} \text{ blocs/linies}$$

La SRAM ha de guardar  $2^{11} \text{ linies} \times 60 \text{ bits de TAG} = 122.880 \text{ bits} \rightarrow 15.360 \text{ Bytes}$

2. Considerem un computador format per una CPU, una memòria cau i una memòria principal. La mida de les paraules és de 64 bits i la memòria principal és adreçable byte a byte. La caché s'organitza mitjançant mapejat directe. El bus d'adreces és de 64 bits i s'organitza de la següent manera:

TAG	Index	Offset
63-10	9-5	4-0

$$\begin{aligned} \text{mida paraula} &= 64 \text{ bits} = 8B = 2^3 \rightarrow B = 3 \\ \text{mida bus adreces} &= 64 \text{ bits} \\ \text{offset} &= W + B \rightarrow W = \text{offset} - B = 5 - 3 = 2 \rightarrow W = 2 \\ i &= 5 \rightarrow \text{num conjunts (S)} = 2^5 \\ \text{TAG} &= 54 \text{ bits} \\ \text{en MP : } K &= 1; S = C \\ C = S &= 2^5 \text{ num blocs} \end{aligned}$$

MD

TAG	i	W	B
54	5	2	3

a) Quina és la mida dels blocs de la caché ?

$$\begin{aligned} \text{mida bloc} &= 2^{W+B} \\ \text{mida bloc} &= 2^{2+3} = 2^5 \end{aligned}$$

b) Quantes línies té la caché ?

La caché té  $2^5$  línies/blocs

Dintre de la caché s'han de emmagatzemar 2 tipus d'informació:

- **Caché Data:** La informació que ens interessa (Instruccions o dades).
- **Caché TAG:** Informació sobre l'adreça que aquesta informació té a MP.

c) Quin és el ratio entre els bits dedicats a emmagatzemar dades i el nombre total d'informació que ha d'emmagatzemar la caché si considerem que, a més, tenim 1 bit d'status ?

$$\begin{aligned} \text{mida línia caché} &= 2^{W+B} + \text{TAG} + n^0 \text{ bits status} \\ n^0 \text{ bits status} &= 1 \end{aligned}$$

$$\text{ratio} = \frac{n^0 \text{ bits status} + i + W + B}{\text{mida adreça}} \times 100 = \frac{1 + 5 + 2 + 3}{64} \times 100 = 17,1875\%$$

d) Amb la caché inicialment buida, les següents adreces són introduïdes (per ordre d'esquerra a dreta)

Address												
Hex	00	04	10	84	E8	A0	400	1E	8C	C1C	B4	884
Dec	0	4	16	132	232	160	1024	30	140	3100	180	2180

Ompliu la següent taula:

*Ens fixem en els bits de l'index:*

*Si no coincideixen amb cap i anterior → MISS*

*Si coincideixen amb un i anterior:*

*Mirar bits del TAG de la última instrucció i que coincideix:*

*Si coincideixen els TAGs → HIT*

*Si no coincideixen els TAGs → MISS*

Byte Address	Binary Address	TAG	Index	Offset	Hit/Miss
0	00 00 0000 0000	... 00	00000	00000	Miss
4	0000 0000 0100	... 00	00000	00100	Hit
16	0000 0001 0000	... 00	00000	10000	Hit
132	0000 1000 0100	... 00	00100	00100	Miss
232	0000 1110 1000	... 00	00111	01000	Miss
160	0000 1010 0000	... 00	00101	00000	Miss
1024	0100 0000 0000	... 01	00000	00000	Miss
30	0000 0001 1110	... 00	00000	11110	Miss
140	0000 1000 1100	... 00	00100	01100	Hit
3100	1100 0001 1100	... 11	00000	11100	Miss
180	0000 1011 0100	... 00	00101	10100	Hit
2180	1000 1000 0100	... 10	00100	00100	Miss

Mida instrucció completa:

0000 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000

Bits que falten a la taula (Ctrl+C Ctrl+V):

0000 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000 0000

e) Segons aquestes dades, quin és el hit rate?

$$\text{Hit Rate} = \frac{\text{num cache hits}}{\text{num peticions a memòria}} = \frac{4}{12} = 0,33$$