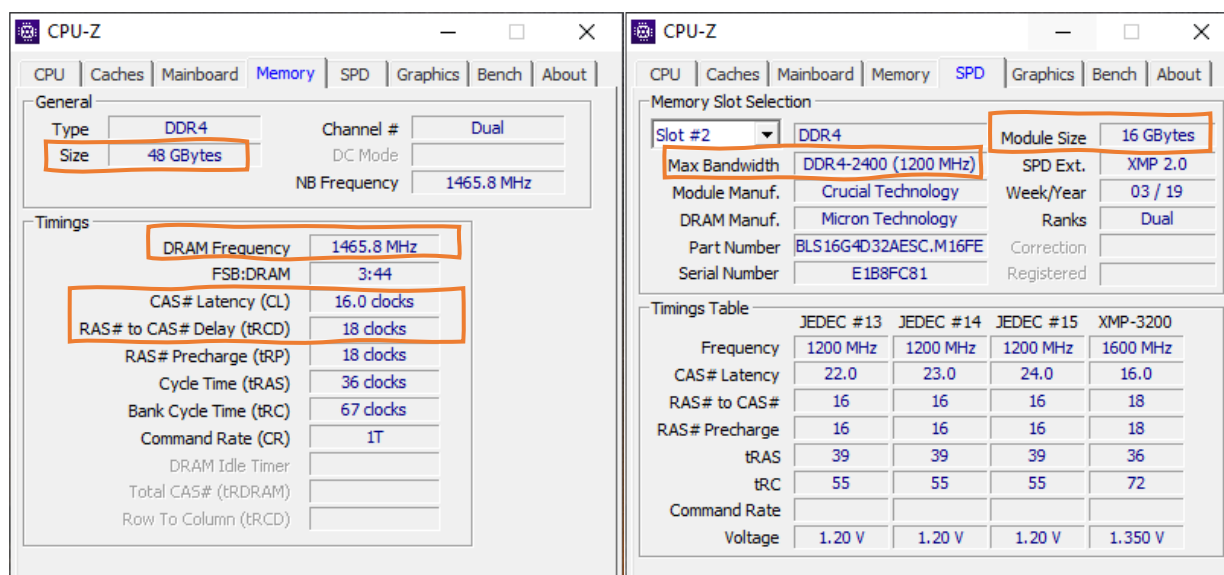


1. Tenim un ordinador amb les següents característiques de Memòria Principal:



Ompliu la taula:

Amb quina altra nomenclatura podríem trobar les dades a l'etiqueta de la memòria?	PC4 - 19200
Quantitat total de memòria principal?	48 GBytes
Número de mòduls de memòria?	3
Freqüència real del BUS?	1465.8 MHz
Ample banda teòric de cada mòdul de M.P.?	19200 MB/s
Ample banda teòric del sistema M.P.?	$19200 \times 2 = 38400$ MB/s (dual)
Aquest processador fa servir un sistema de comunicació "Single Channel", "Dual Channel" o "Triple Channel"?	Dual Channel
Quants cicles de bus es necessiten per fer la transferència de 8 Bytes?	$\text{RAS to CAS} + \text{CAS Latency} + \text{data transfer}^*$ $18 + 16 + 1 = 35$
Quants cicles de bus es necessiten per fer la transferència de 16 Bytes contigus?	$18 + 16 + 1 = 35$
Quants cicles de bus es necessiten per fer la transferència de 64 Bytes contigus?	$18 + 16 + 4 = 38$ (64/16 = 4 bloques a enviar)

mida caché = 48 GBytes

mida mòdul = 16 GBytes

$$\text{num mòduls} = \frac{\text{mida caché}}{\text{mida mòdul}} = \frac{48}{16} = 3 \text{ mòduls}$$

$BW_{\text{sistema MP}} = BW_{\text{modul MP}} \times \text{number of data transfer per clock (2 - DDR)}$
 $\times 64(\text{memory bus interface width}) \times \text{number of interfaces}$

DDR – PC : DDR × 8

*Bit datapath?? DDR – bit datapath de 64 bits. Por cada clock transportas 64 bits. La SDRAM envia esos 64 bits por cada subida y cada bajada de flanco, así que en total se envían 16 bytes por clock.

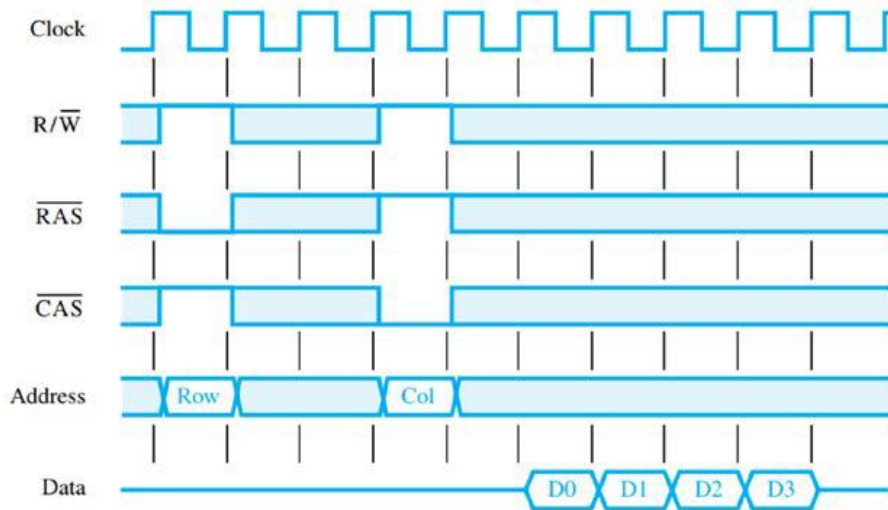
EC – Qüestionari 10

Standard name	Memory clock (MHz)	I/O bus clock (MHz)	Data rate (MT/s)	Module name	Peak transfer rate (MB/s)	Timings CL-tRCD-tRP	CAS latency (ns)
DDR4-1600J* DDR4-1600K DDR4-1600L	200	800	1600	PC4-12800	12800	10-10-10 11-11-11 12-12-12	12.5 13.75 15
DDR4-1866L* DDR4-1866M DDR4-1866N	233.33	933.33	1866.67	PC4-14900	14933.33	12-12-12 13-13-13 14-14-14	12.857 13.929 15
DDR4-2133N* DDR4-2133P DDR4-2133R	266.67	1066.67	2133.33	PC4-17000	17066.67	14-14-14 15-15-15 16-16-16	13.125 14.063 15
DDR4-2400P* DDR4-2400R DDR4-2400T DDR4-2400U	300	1200	2400	PC4-19200	19200	15-15-15 16-16-16 17-17-17 18-18-18	12.5 13.32 14.16 15
DDR4-2666T DDR4-2666U DDR4-2666V DDR4-2666W	333.33	1333.33	2666.67	PC4-21300	21333.33	17-17-17 18-18-18 19-19-19 20-20-20	12.75 13.50 14.25 15
DDR4-2933V DDR4-2933W DDR4-2933Y DDR4-2933AA	366.67	1466.67	2933.33	PC4-23466	23466.67	19-19-19 20-20-20 21-21-21 22-22-22	12.96 13.64 14.32 15
DDR4-3200W DDR4-3200AA DDR4-3200AC	400	1600	3200	PC4-25600	25600	20-20-20 22-22-22 24-24-24	12.5 13.75 15

2. Considerem un computador format per una CPU, una memòria cau i una memòria principal. Considereu una memòria principal construïda amb xips SDRAM. Les dades es transfereixen en ràfegues tal com es mostra a la figura, llevat que la longitud de ràfega és de 8. Suposem que 32 bits de dades es transfereixen en paral·lel. Si s'utilitza un rellotge de 400 MHz, quant de temps triga a transferir:

- A. 32 bytes de dades
- B. 64 bytes de dades
- C. Quina és la latència en cada cas?

(Suposeu, en cas de necessitar-ho, que les dades es troben en la mateixa fila)



$$\text{Tiempo de clock} = \frac{1}{f} = \frac{1}{400 \times 10^6} = 2.5 \text{ ns} = (2.5 \times 10^{-9} \text{ s})$$

A

Adress: para obtener la fila tardas 3 ciclos. para obtener la columna tardas 2 ciclos

RAS TO CAS = 3 ciclos (desde que se acaba el RAS hasta que empieza el CAS)

CAS LATENCY = 2 ciclos (desde que acaba el CAS hasta que se empiezan a enviar datos)

Para enviar un cacho de datos tardas 4 Bytes por cacho, cada cacho = 32 bits = 4 Bytes

Tardas 1 ciclo en enviar un cacho, queremos enviar 8 cachos → 8 ciclos de reloj para enviar los cachos

$\text{cicles de bus} = 3 + 2 + 8 = 13 \text{ cicles per enviar les dades}$

$\text{temps total} = \text{cicles} \times \text{tiempo de clock} = 13 \times 2.5 = 32.5 \text{ ns}$

B

Se pueden enviar 32 Bytes en una ráfaga. 4 Bytes por cacho, hay 8 cachos. Para enviar 64 Bytes nos harán falta 2 ráfagas.

$\text{cicles de bus} = \text{row} + \text{col} + \text{datos} + \text{col} + \text{datos}$

$\text{cicles de bus} = 3 + 2 + 8 + 2 + 8 = 23 \text{ cicles per enviar les dades}$

$\text{temps total} = \text{cicles} \times \text{tiempo de clock} = 23 \times 2.5 = 57.5 \text{ ns}$

C

Latencia = desde que lanzas el RAS hasta que lanzas el primer dato (RAS TO CAS + CAS Latency)

$\text{Latencia} = (\text{RAS TO CAS} + \text{CAS Latency}) \times \text{tiempo de clock} = 5 \times 2.5 = 12.5$

3. Considereu una llarga sèrie d'accessos a un disc amb un temps mitjà de cerca de 6 ms i un retard de rotació mitjà de 3 ms. La mida mitjana d'un bloc al què s'accedeix és de 8 KiB. La velocitat de transferència de dades del disc és de 34 MiB / segon.

A. Suposant que els blocs de dades estan ubicats a l'atzar al disc, calculeu el percentatge mitjà del temps total ocupat per operacions de cerca i retards de rotació.

B. Repetiu la part (a) per la situació en què es disposen els accessos al disc, de manera que en el 90 per cent dels casos, el següent accés serà a un bloc de dades del mateix cilindre.

* temps mitjà de cerca = temps que triges en trobar un arxiu al disc

* retard de rotació mitjà = temps que triges en fer una rotació -> per trobar coses al disc s'han de fer rotacions

$$t_{med\ cerca} = 6\ ms$$

$$t_{med\ rotacio} = 3\ ms$$

$$mida\ mitjana\ d'un\ bloc = 8\ KiB$$

$$v_{transferencia} = 34\ MiB/s$$

A.

$$t_{transferencia} = \frac{mida\ mitjana\ d'un\ bloc}{v_{transferencia}} = \frac{8\ KiB}{34000\ KiB/s} = 0.235\ ms$$

$$t_{total} = t_{med\ cerca} + t_{med\ rotacio} + t_{transferencia}$$

$$t_{total} = 6ms + 3ms + 0.235ms = 9.235\ ms$$

$$porcentaje = \frac{t_{med\ cerca} + t_{med\ rotacio}}{t_{total}} = \frac{9}{9.235} = 0.974 = 97.4\%$$

B.

Me quiero suicidar

El 90% de los casos ya estan en el mismo sitio. Solo seria $0.9 \cdot 3 = 2.7$

3 = lo que tarda en rotar

El 10% restante es $0.1 \cdot 9 = 0.9$

$$9 = t_{med\ cerca} + t_{med\ rotacio}$$

$$t_{total} = 2.7 + 0.9 + 0.235 = 3.835\ ms$$

$$porcentaje = \frac{2.7 + 0.9}{3.835} = 0.9387 = 93.87\%$$