

# CIRCUITS BIESTABLES

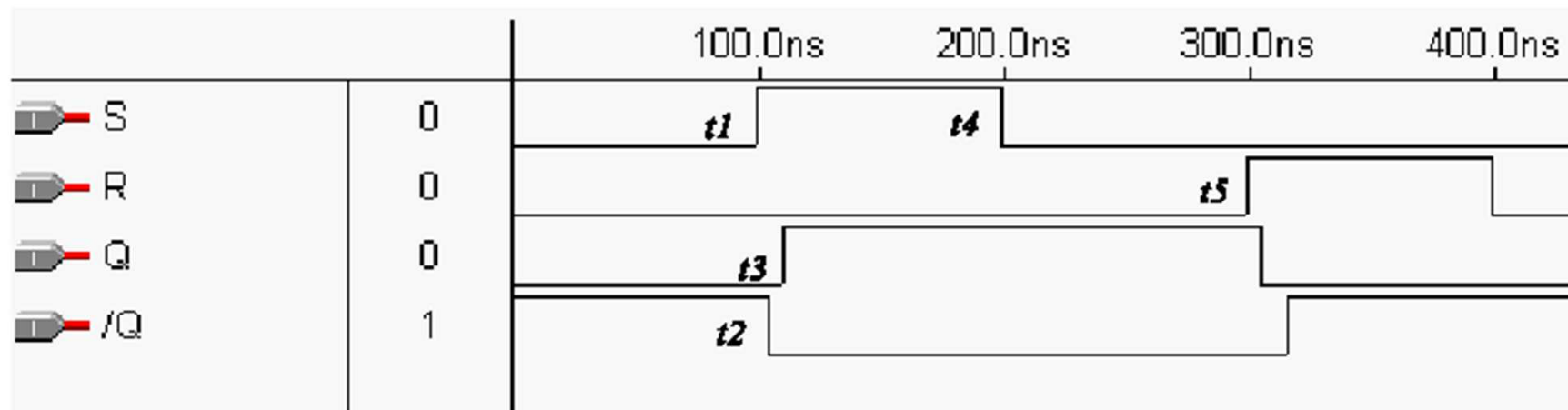
## Índex de conceptes

- Biestables
- Latch
- FFs MS i per flanc
- Tipus RS
- Tipus D
- Tipus JK
- Tipus T

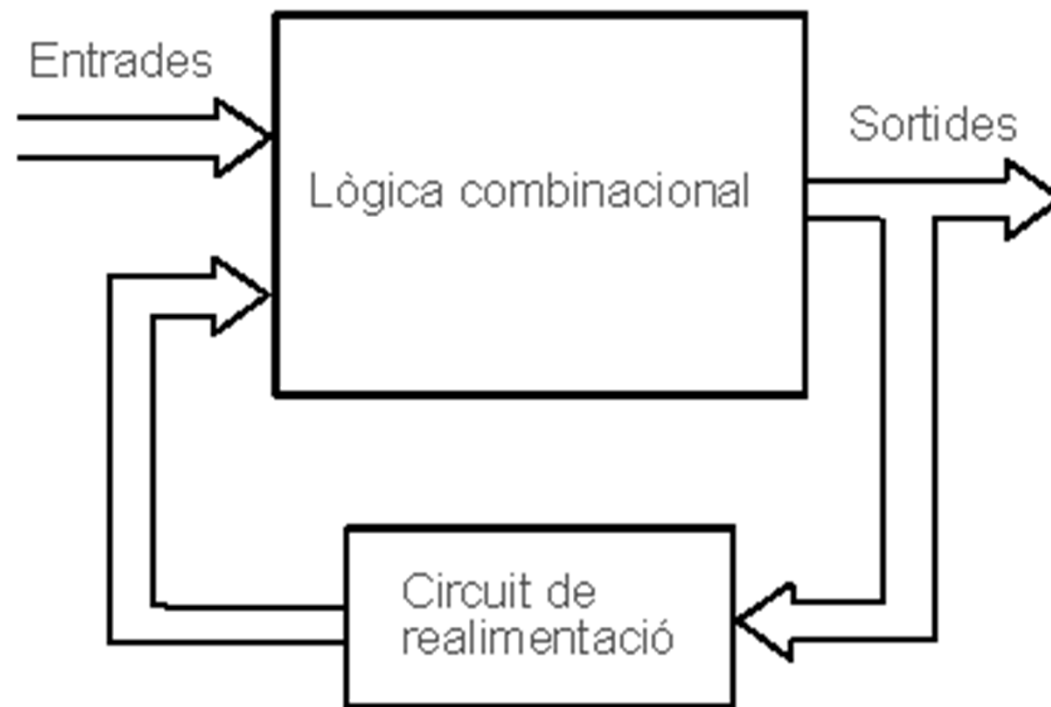
Els circuits seqüencials són circuits en els quals **les sortides depenen del valor de les entrades en l'instant de temps considerat i a més de l'estat anterior de les entrades**. Tenen, doncs, **memòria** dels estats anteriors.

Exemple: dial d'un telèfon

La descripció es pot realitzar mitjançant un **diagrama temporal d'estats**, on es manifesta l'evolució del sistema en **funció del temps** i dels diferents valors de les entrades.



Un circuit seqüencial es pot entendre com un circuit combinacional on les sortides es tornen a utilitzar, via un circuit lògic, per combinar-les amb les entrades i produir noves sortides (**realimentació**).



# Multivibradors

Són la base dels circuits seqüencials. N'hi ha de 3 tipus:

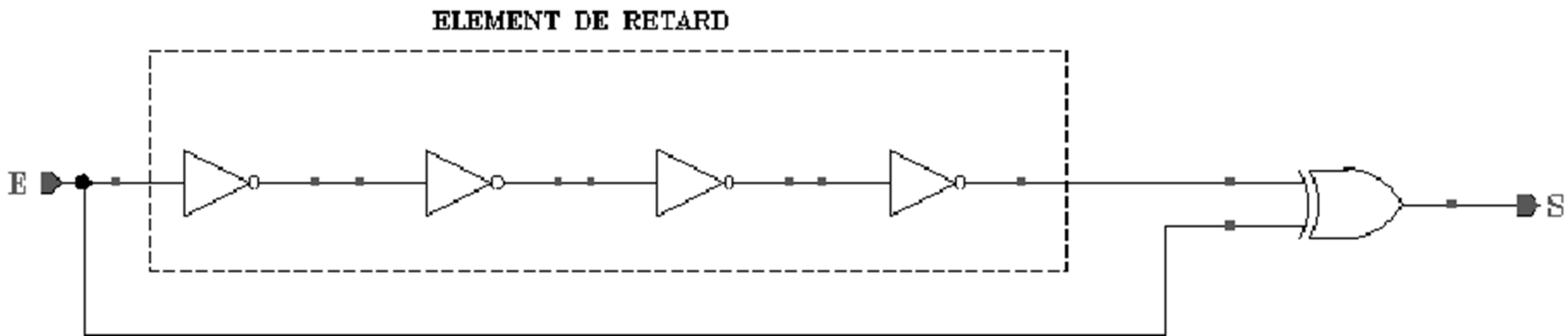
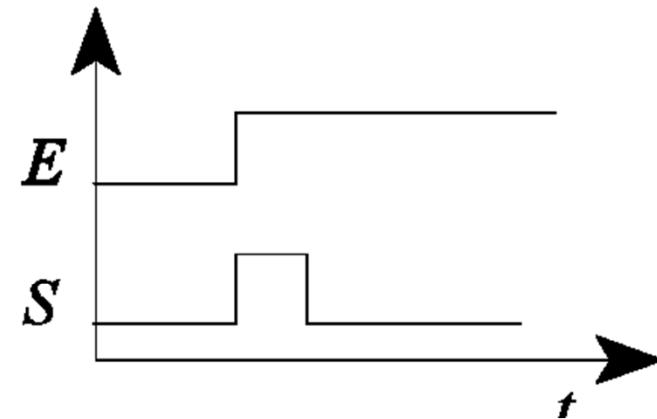
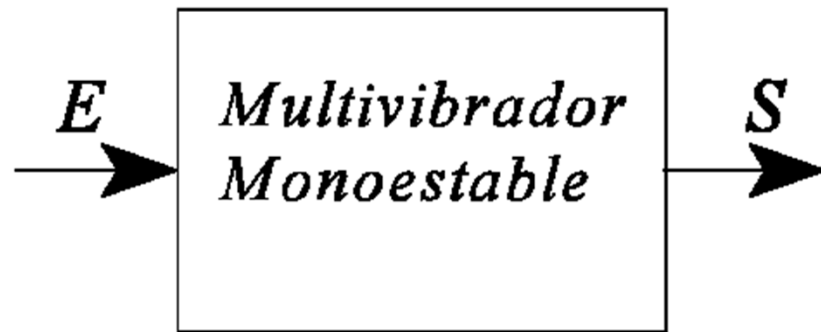
- Monoestable (1 estat estable)
- Astable (cap estat estable)
- **Biestable** (2 estats estables)

Aquest últim és el bàsic per a entendre els circuits seqüencials, per les seves característiques de memòria.

Definim **estat del sistema** a cadascuna de les situacions estables i distingibles en que es pot trobar el sistema.

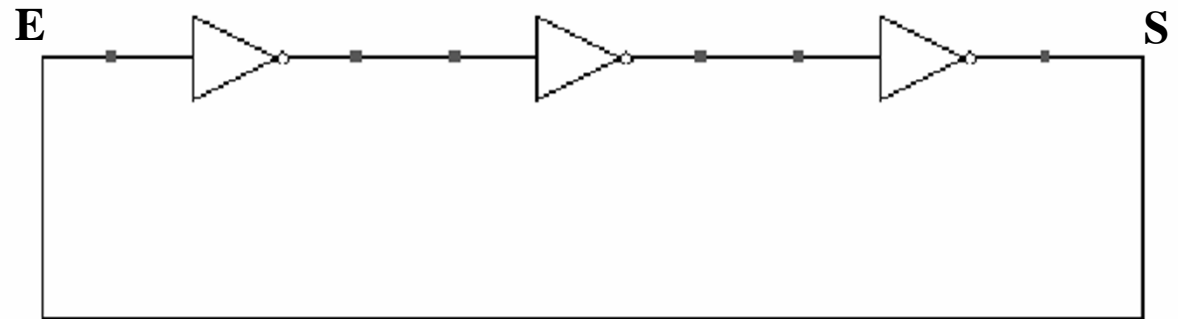
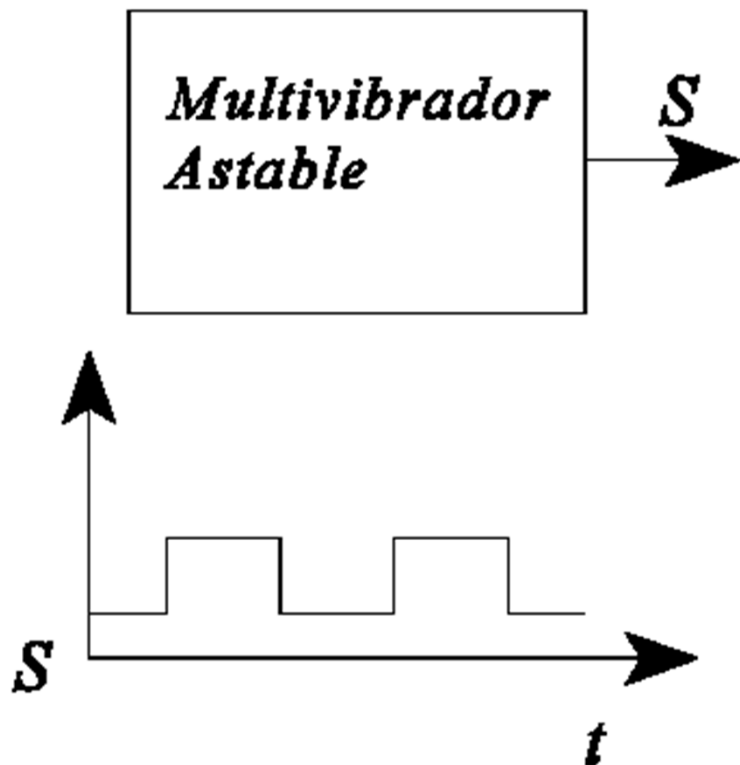
# Multivibrador monoestable

És un circuit que genera un pols d'una durada determinada quan se li aplica un senyal a l'entrada. Té, per tant, **un sol estat estable**. Són molt útils per generar un disparador (**trigger**).



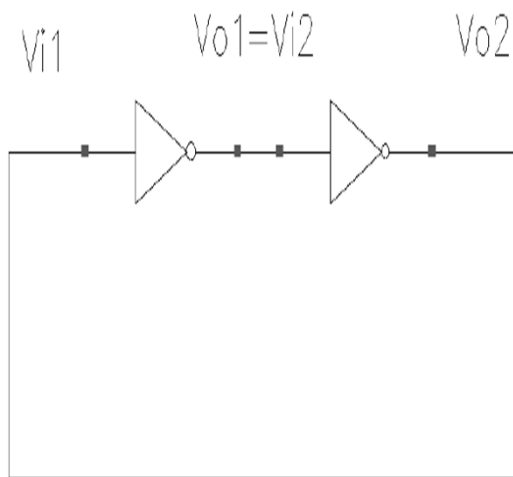
# Multivibrador astable

És un circuit que **no té cap estat estable**, ja que la sortida oscil·la entre dos estats. Són molt útils per generar **senyals de rellotge**.



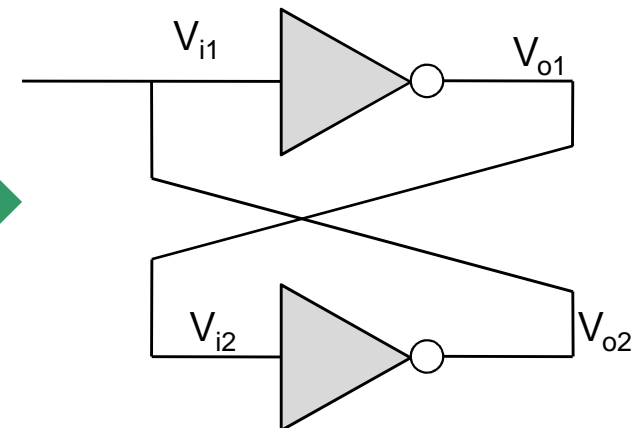
# Multivibrador biestable

És un circuit que té **dos estats estables** i que es passa de l'un a l'altre mitjançant l'aplicació d'un determinat senyal d'entrada. En cas de no aplicar cap senyal, el sistema es manté indefinidament a l'estat en que estava.



Disposa de 2 estats estables:

1.  $V_{i1}=0$  ;  $V_{o1}=1=V_{i2}$  ;  $V_{o2}=0=V_{i1}$
2.  $V_{i1}=1$  ;  $V_{o1}=0=V_{i2}$  ;  $V_{o2}=1=V_{i1}$



La commutació es produeix per l'aplicació d'un senyal disparador d'entrada a  $V_{i1}$ : si es commuta l'entrada  $V_{i1}$  de 0 a 1, es desencadena la "basculació" cap a l'altre estat estable, i  $V_{i2}$  commuta de 1 a 0



# Tipus de biestables

Podem classificar els biestables en funció de:

les seves entrades:

1. RS
2. JK
3. **D**
4. T

el mode de funcionament:

1. circuits no sincronitzats
2. circuits activats per nivell lògic (latch activat per nivell)
3. circuits activats per pols (flip-flop master-slave)
4. circuits activats per canvi de nivell (**flip-flop edge triggered**)

Es pot combinar **qualsevol** tipus de entrada  
amb **qualsevol** mode de funcionament



# Tipus de biestables

A l'hora de dissenyar un biestable es pot fer amb **tots tipus de portes** utilitzant adequadament l'àlgebra de Boole.

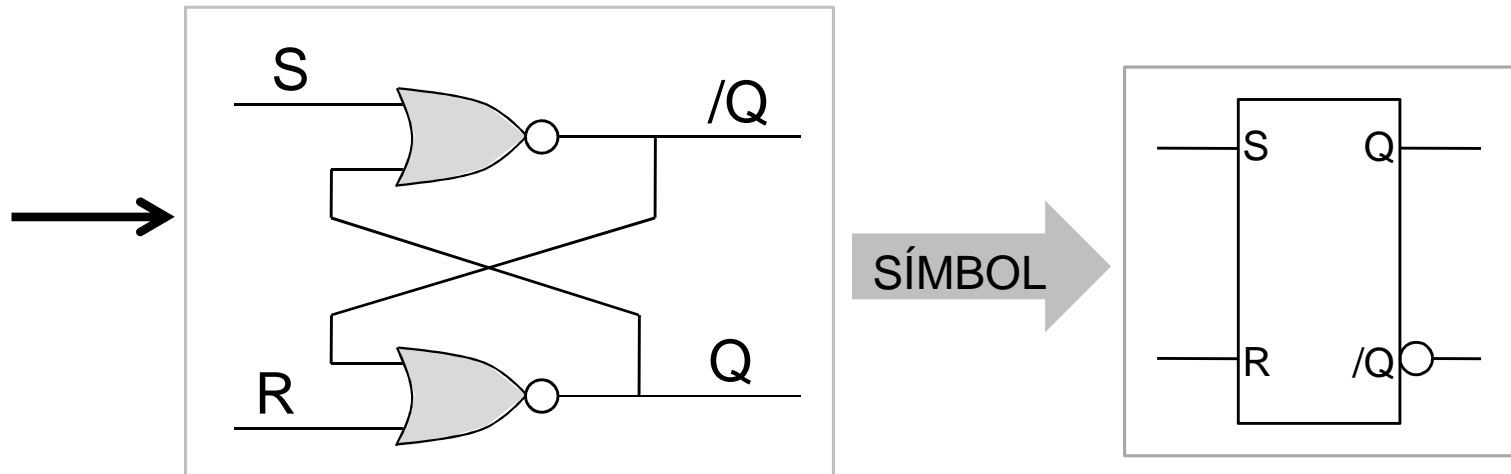
A continuació veurem els següents **exemples** de diferent tipus de entrades i modes de funcionament:

1. Biestable RS
2. Latch RS (pany, nivell)
3. Flip-Flop ordenador-seguidor RS (master-slave)
4. Latch D
5. FF JK ordenador-seguidor
6. FF D positive edge-triggered
7. FF JK negative edge-triggered
8. FlipFlop T (toggle)

# Biestable RS

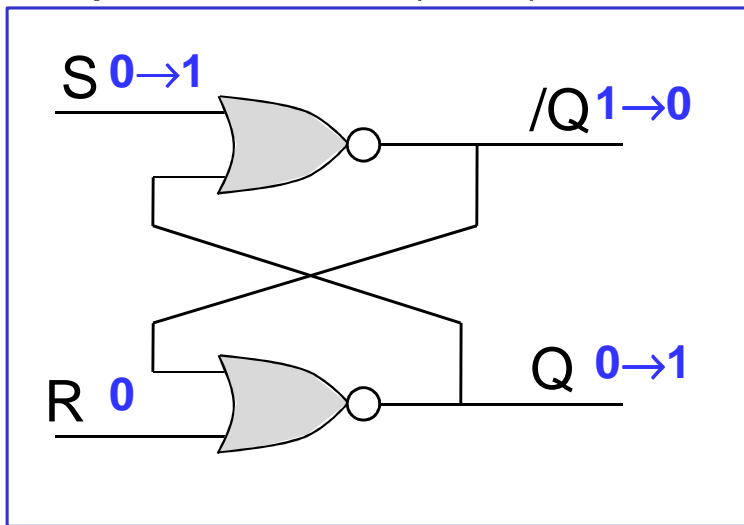
Els biestables tenen dues entrades de dades anomenades S (**set**, posar a 1) i R (**reset**, posar a 0) i dues sortides, una complementada de l'altra Q i  $\bar{Q}$  (que escriurem com **/Q**).

dissenyat amb  
portes NOR

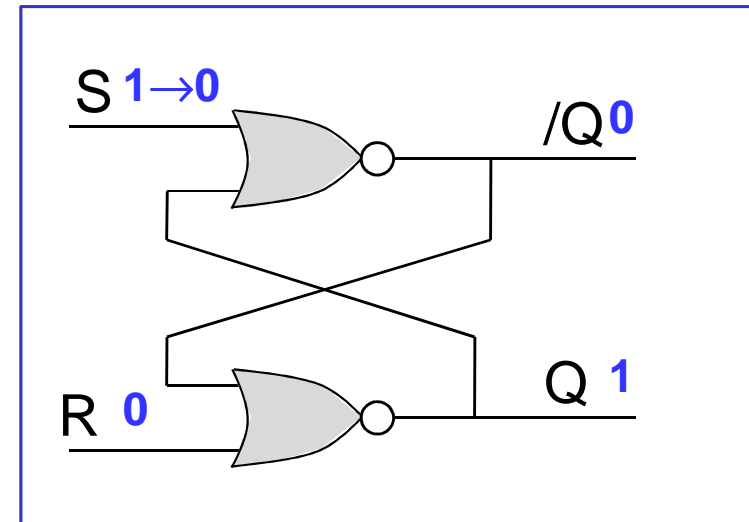


Suposem que inicialment  $S=R=0$ ,  $Q=0$  i  $\bar{Q}=1$  (el sistema és estable perquè és autoconsistent: la porta de dalt té entrades  $S=Q=0$  i sortida  $\bar{Q}=1$ ; la porta de sota té entrades  $R=0$ ,  $\bar{Q}=1$  i sortida  $Q=0$ ). Analitzem què passa quan variem les entrades S i R.

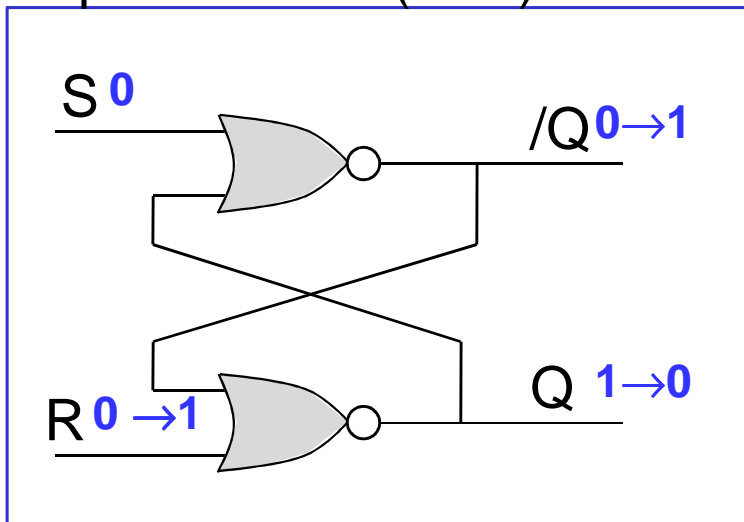
Estat inicial del biestable  $Q=0$ .  
El passem a 1 ( $S=1$ )



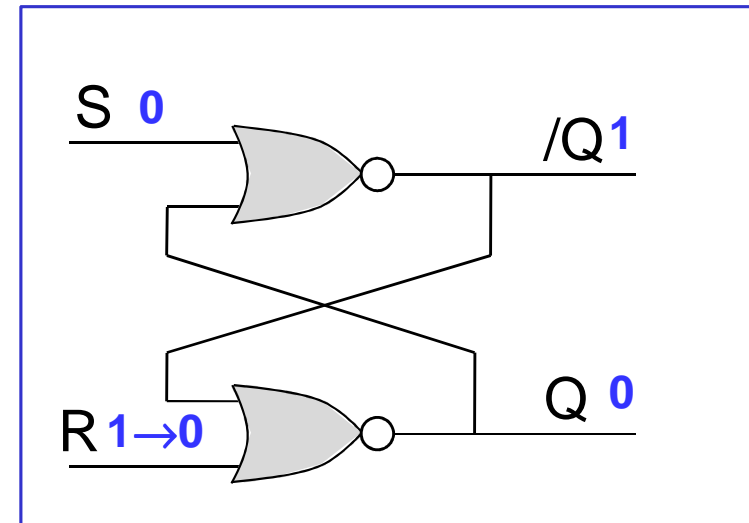
Si tornem l'entrada  $S$  a 0, el biestable manté l'estat



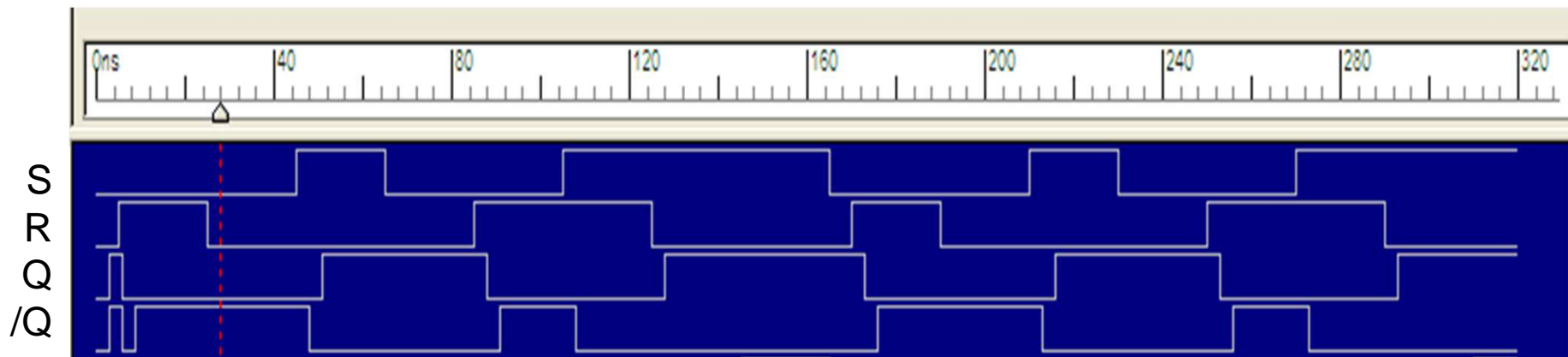
Estat inicial del biestable  $Q=1$ .  
El passem a 0 ( $R=1$ )



Si tornem l'entrada  $R$  a 0, el biestable manté l'estat



Observem que quan  $S=1$  (i  $R=0$ ), el biestable passa a l'estat 1 i si tornem les dues entrades a 0 manté l'estat estable. A més a més quan  $R=1$  (i  $S=0$ ), el biestable passa a l'estat 0 i si tornem les dues entrades a 0 també manté l'estat estable. Per tant veiem que la **bàscula té memòria de l'última entrada que ha sigut a '1'**




El **problema** es presenta quan S i R passen simultàniament a 1, ja que la sortida serà  $Q=/Q=0$ , que és inconsistent amb la definició (**és un estat no desitjat**). A més, si S i R tornen simultàniament a 0, no sabem quin estat s'assolirà.

El comportament d'aquest biestable es pot descriure mitjançant la taula de la veritat següent, on es representa **l'estat futur  $Q^+$**  en funció de les variables d'entrada i de  **$Q$**  l'estat del sistema en el moment actual:

S	R	Q	$Q^+$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X

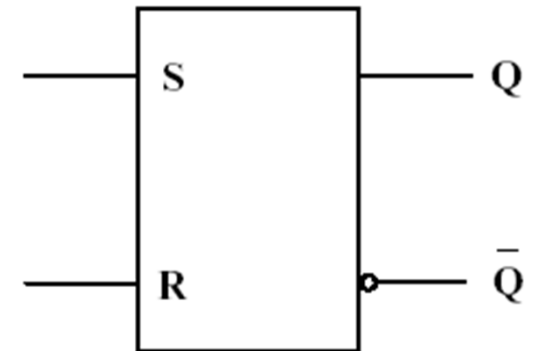
$$Q^+ = S + \overline{R} \cdot Q$$

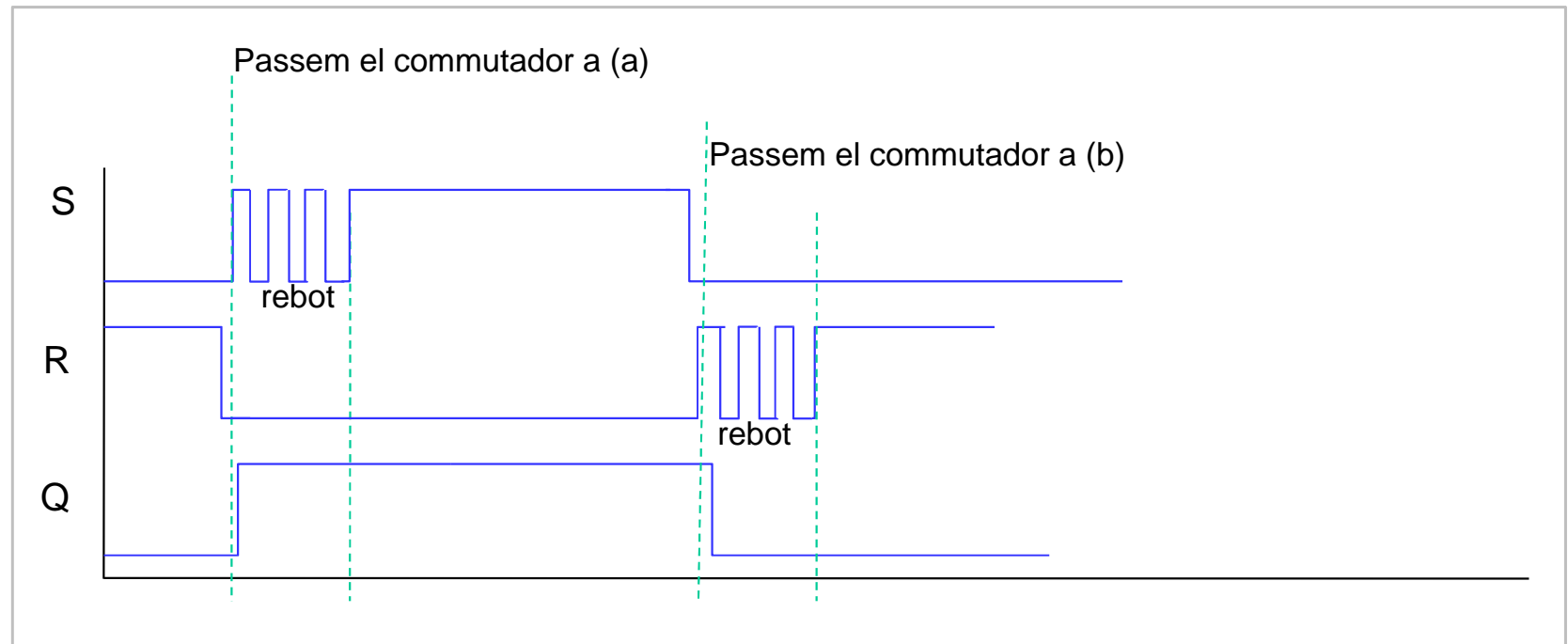
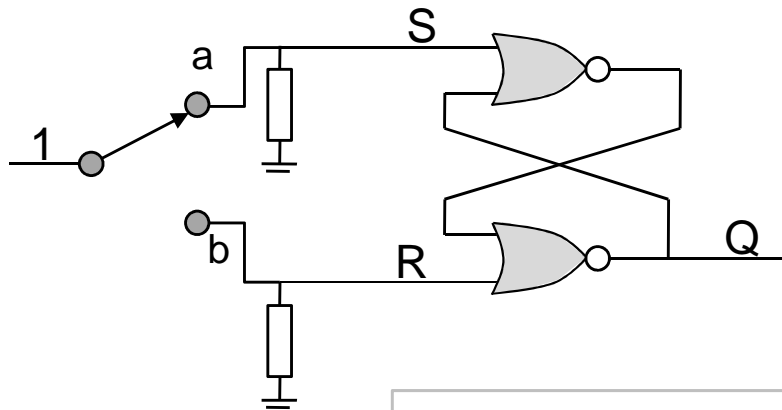
Hi ha una forma reduïda d'aquesta taula que és: 

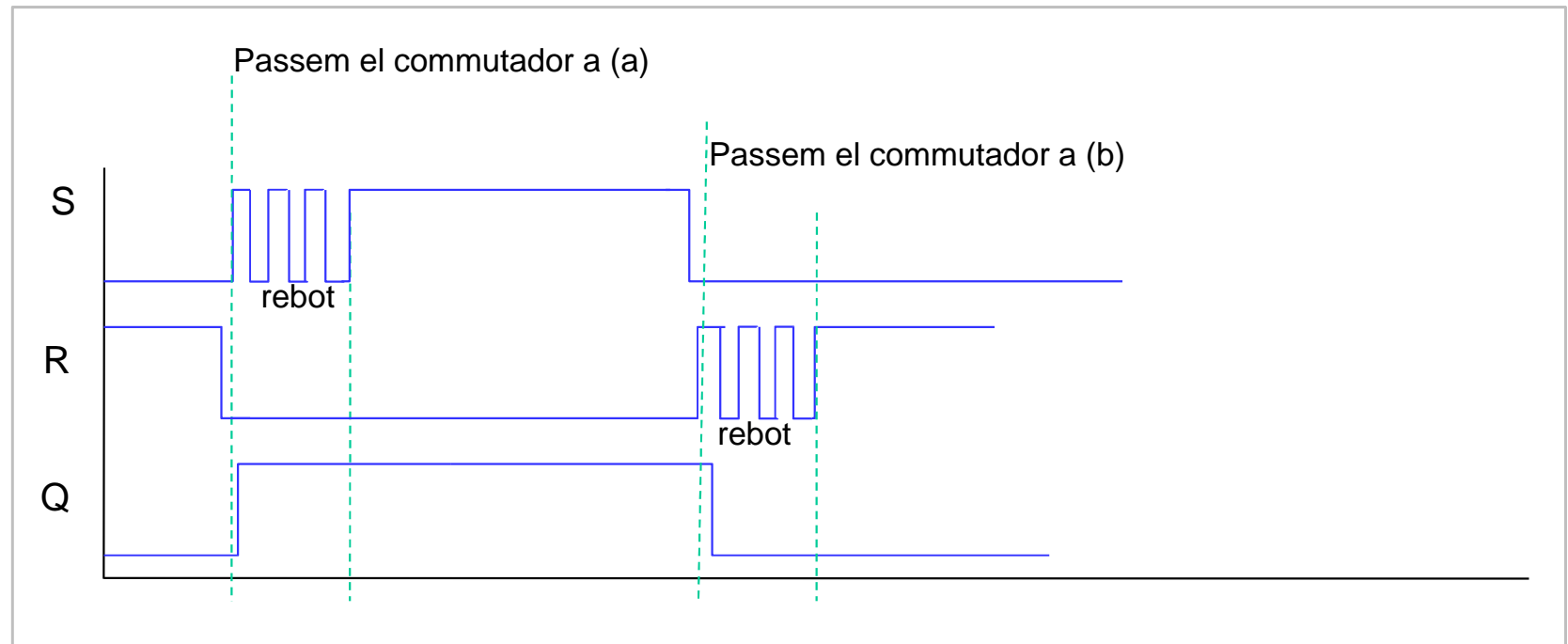
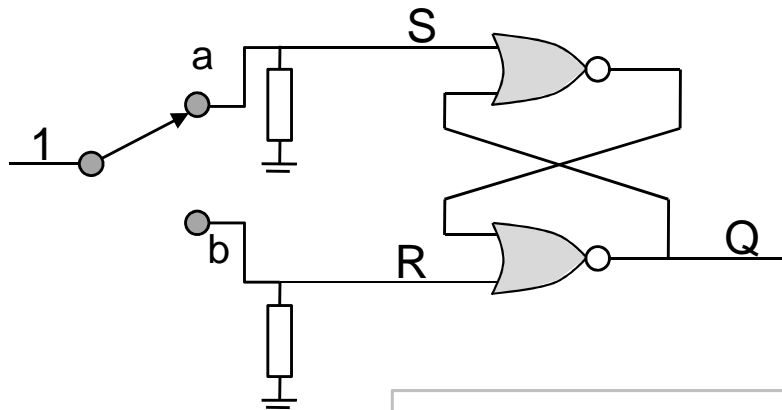
S	R	$Q^+$
0	0	Q
0	1	0
1	0	1
1	1	X

Una altre forma de representar el comportament és utilitzant l'anomenada taula d'excitació. En aquesta taula es representa, sabent la transició que s'ha de produir a la sortida, quins han de ser els estats de les variables d'entrada que provoquen aquesta transició.

Q	Q <sup>+</sup>	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0



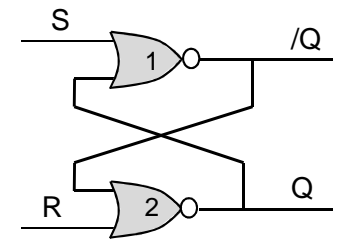
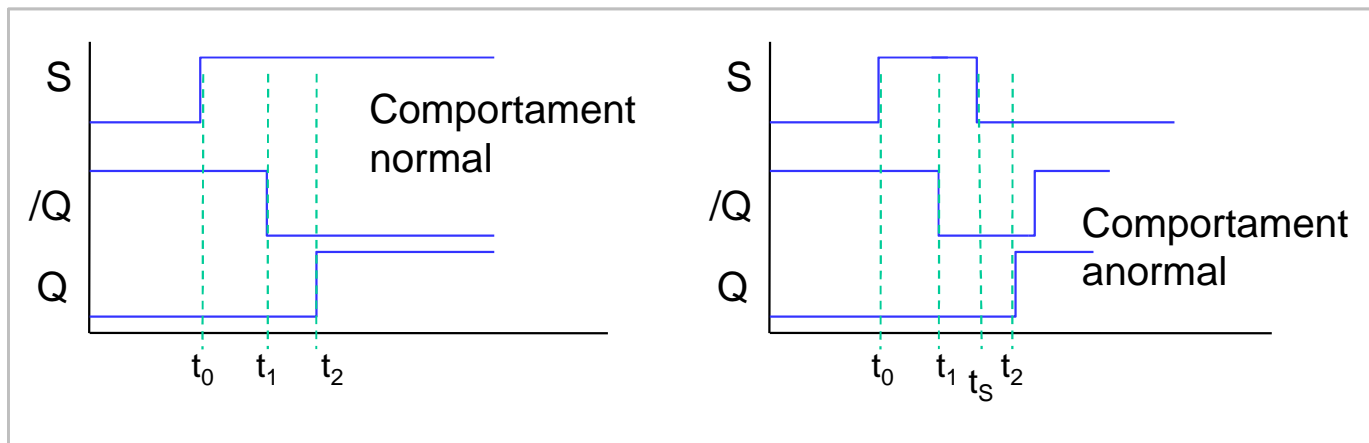






## Comportament anormal

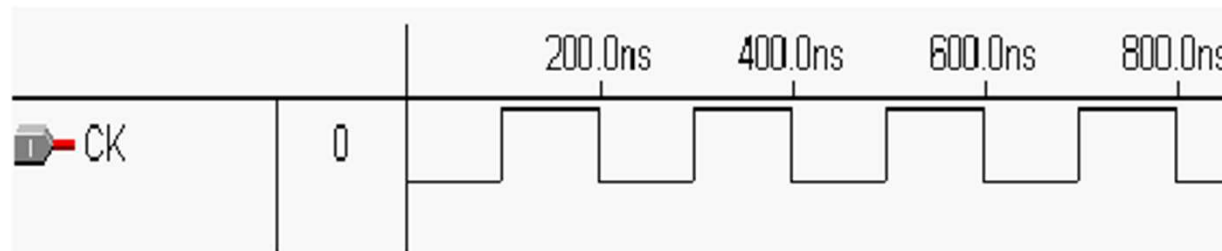
Els biestables tenen el **problema** d'un comportament temporal anormal, ja que requereixen un cert temps per poder produir les commutacions de les portes. Això obliga a definir una durada mínima d'aplicació dels senyals (sincronització dels dispositius).



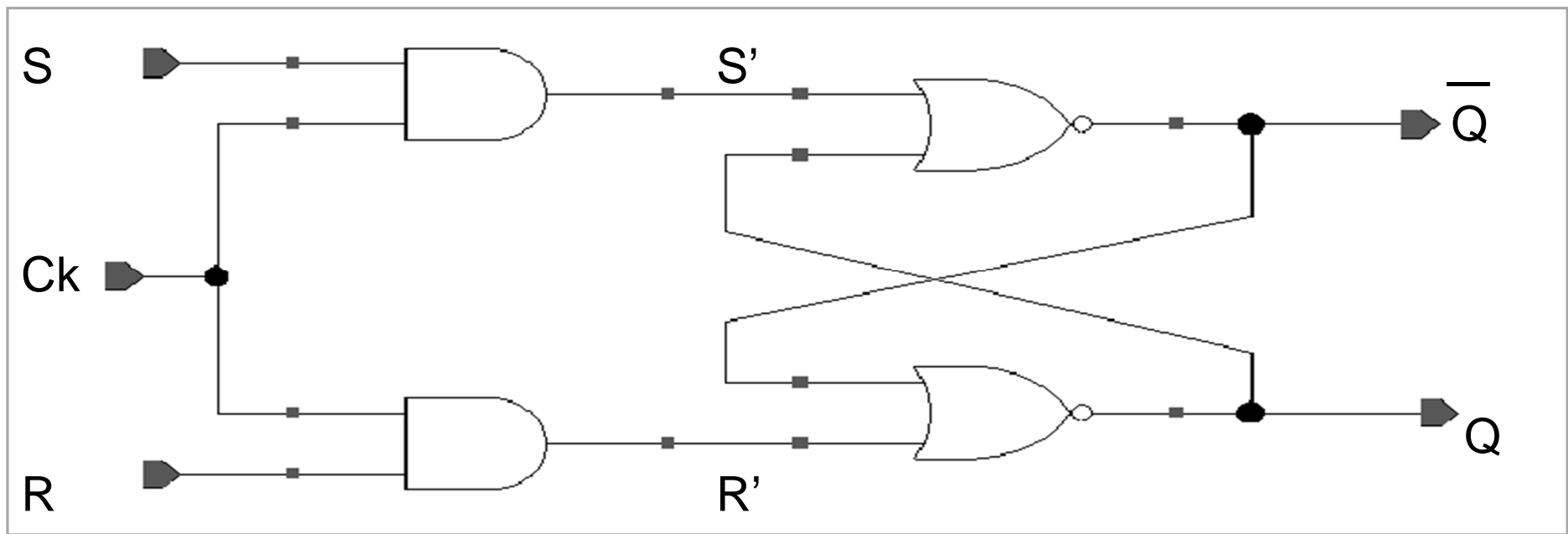
- $t_1$  i  $t_2$  són els retards de les portes NOR. El problema apareix si l'entrada S canvia abans de que hagi canviat Q. L'interval entre  $t_s$  i  $t_2$  les entrades de la porta NOR (1) estan a 0, per tant la sortida /Q valdrà 1. El comportament final és difícil de preveure.
- Cal definir una durada mínima del senyal. **Temps de manteniment:**  $t_{\text{HOLD}}$

## Latch RS (pany, nivell)

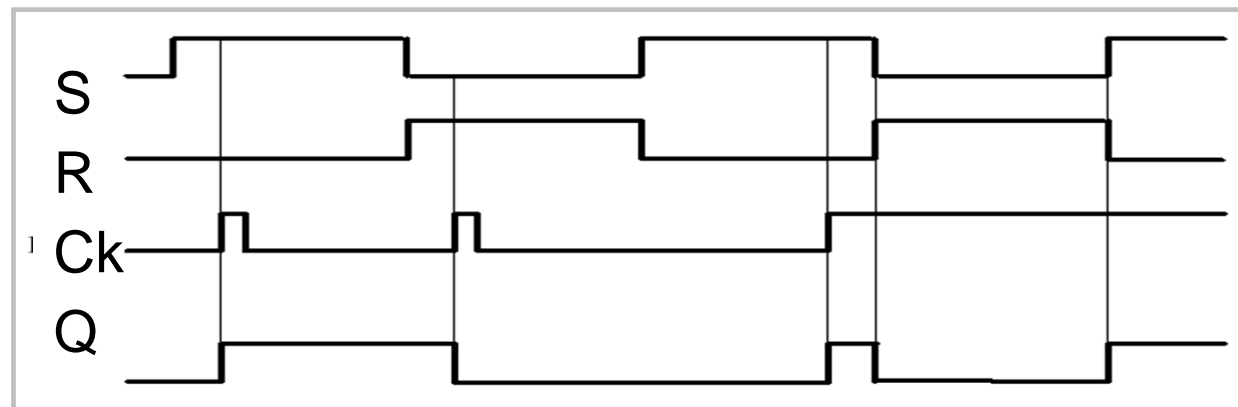
El funcionament d'un biestable es simplifica si els canvis de senyal es produeixen en instants de temps controlats per un **senyal de sincronització**, moltes vegades **periòdic** (rellotge).



Un biestable RS es pot sincronitzar amb un senyal de rellotge de forma molt senzilla afegint a les entrades S i R un senyal de rellotge mitjançant una porta AND



Mentre  $Ck=0$ , no està activat el biestable ( $S'=R'=0$ ). Quan  $Ck=1$  s'activen les entrades S i R.



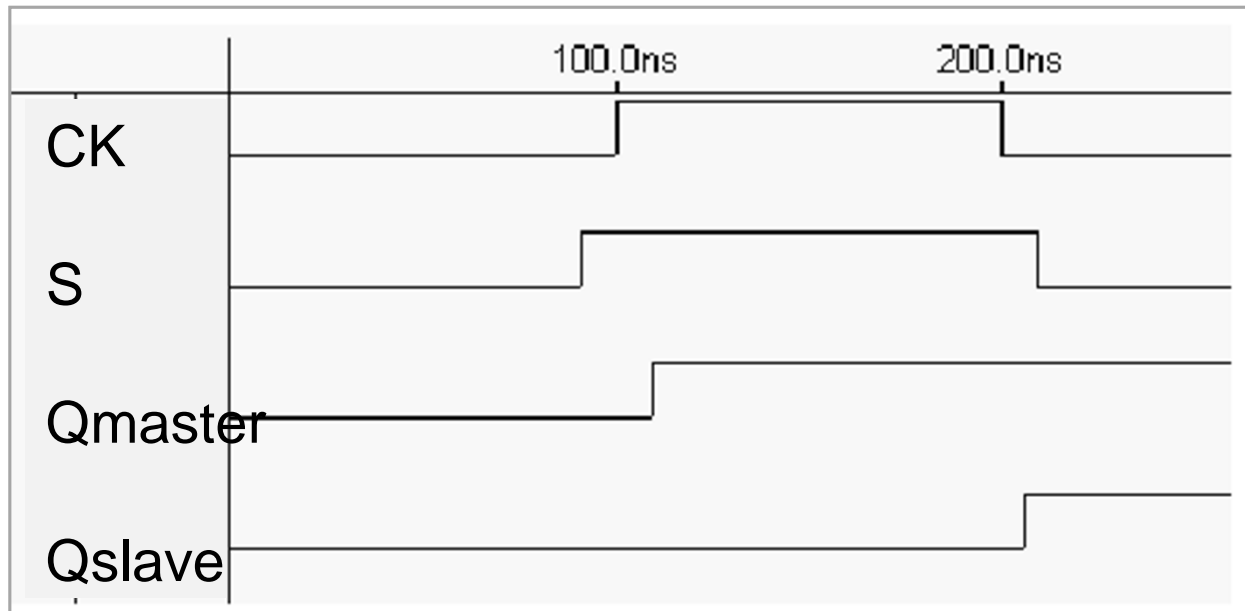
# Flip-Flop ordenador-seguidor RS (master-slave)

El funcionament del latch presenta el *problema* que es produeixen els canvis durant **tot** el temps en què el rellotge està a nivell alt i això pot afectar negativament quan tenim dos o més biestables connectats la sortida d'un a l'entrada del següent (com a un registre de desplaçament).

Seria més interessant permetre només 1 canvi d'estat per període de rellotge. Això s'aconsegueix amb el **Flip-Flop** ordenador-seguidor. Consisteix en connectar 2 biestables de forma que un d'ells canviï el seu estat durant l'estat alt de tensió i l'altre durant l'estat baix de tensió.

(Flip-Flop = 'es produeix el canvi en un temps molt curt quasi instantani')

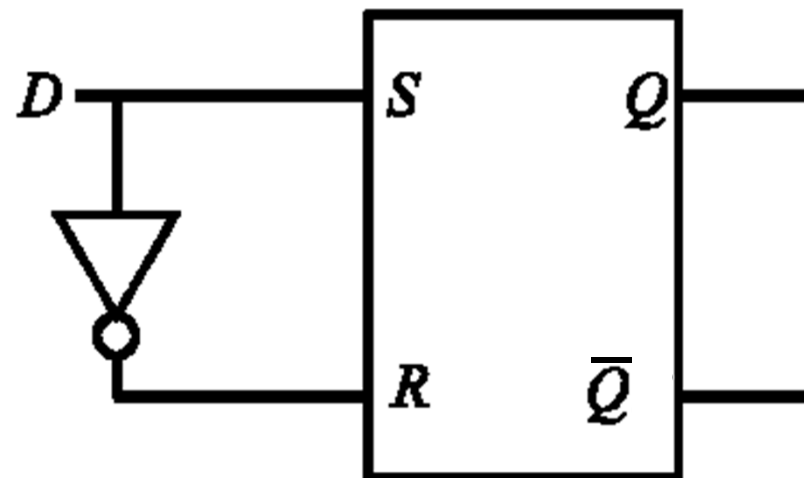




S	R	Q	Q <sup>+</sup>
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	<b>X</b>
1	1	1	<b>X</b>

## Latch D

Per tal d'evitar el problema del latch RS (que es posin simultàniament  $S=R=1$ ), tenim el **latch D**, consistent en que  $R=\bar{S}$  en tot moment. Anomenant  $S=D$  (entrada de dades). L'esquema és el següent:



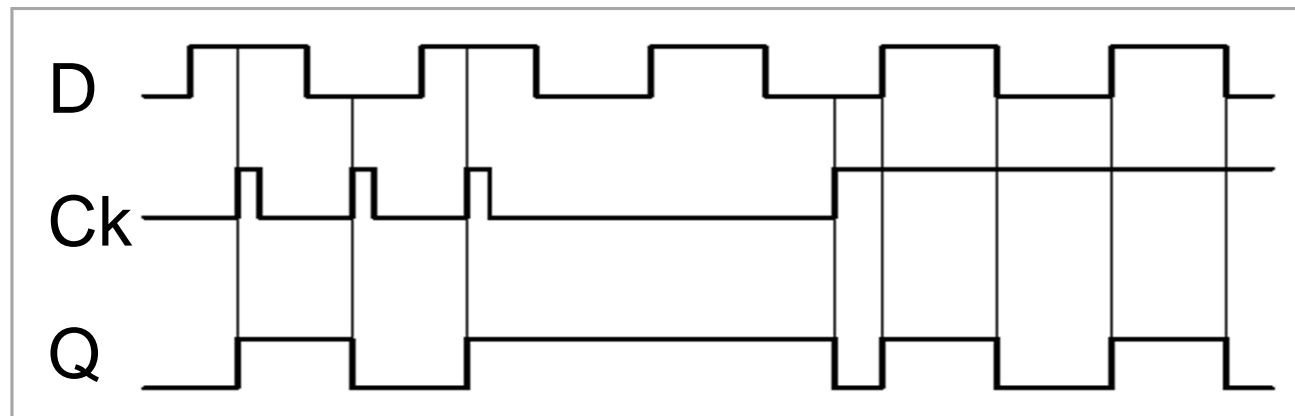
Buffer de memòria

Les taules de veritat i d'excitació són:

<b>D</b>	<b>Q<sup>+</sup></b>
0	0
1	1

<b>Q</b>	<b>Q<sup>+</sup></b>	<b>D</b>
0	0	0
0	1	1
1	0	0
1	1	1

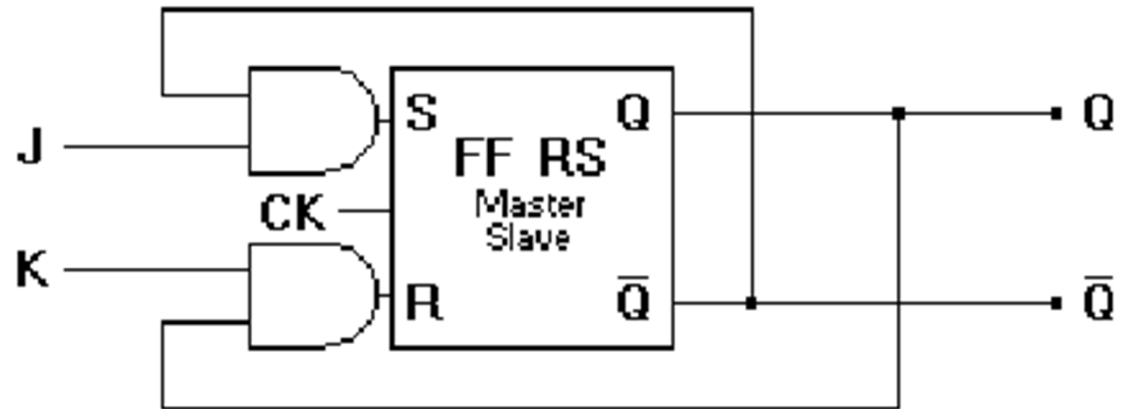
Veiem que el latch **emmagatzema l'última dada entrada** a la única entrada (entrada D).





## FF JK ordenador-seguidor

És una modificació del FF RS ordenador-seguidor que **permet l'estat  $J=K=1$**  amb resultat consistent amb la definició (valor de  $Q$  invers al valor de  $\bar{Q}$ ).



Si  $J=K=0$ ,  $S=R=0 \Rightarrow$  el FF es manté a l'estat que estava

Si  $J=1$  i  $K=0$ ,  $S=\bar{Q}$  i  $R=0 \Rightarrow$  si  $Q=0$ ,  $S=1 \Rightarrow Q^+=1$   
si  $Q=1$ ,  $S=0 \Rightarrow Q^+=1$

Si  $J=0$  i  $K=1$ ,  $S=0$  i  $R=Q \Rightarrow$  si  $Q=0$ ,  $R=0 \Rightarrow Q^+=0$   
si  $Q=1$ ,  $R=1 \Rightarrow Q^+=0$

Si  $J=K=1$ ,  $S=\bar{Q}$  i  $R=Q \Rightarrow$  si  $Q=0$ ,  $R=0$ ,  $S=1 \Rightarrow Q^+=1$   
si  $Q=1$ ,  $R=1$ ,  $S=0 \Rightarrow Q^+=0$

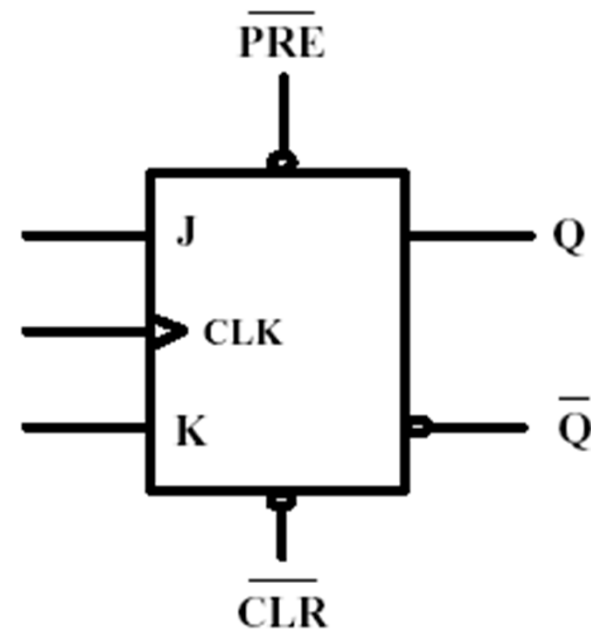
Les taules de veritat i d'excitació d'aquest FF són:

J	K	Q	Q <sup>+</sup>
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

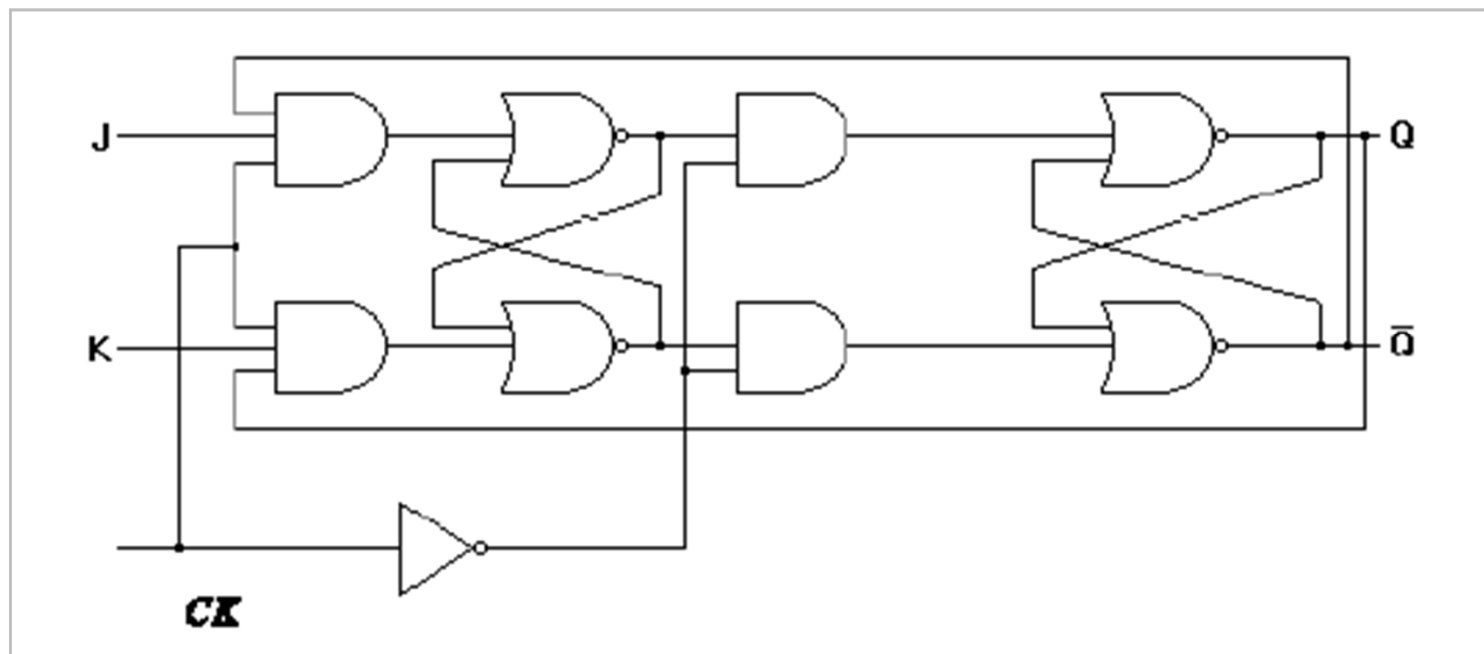
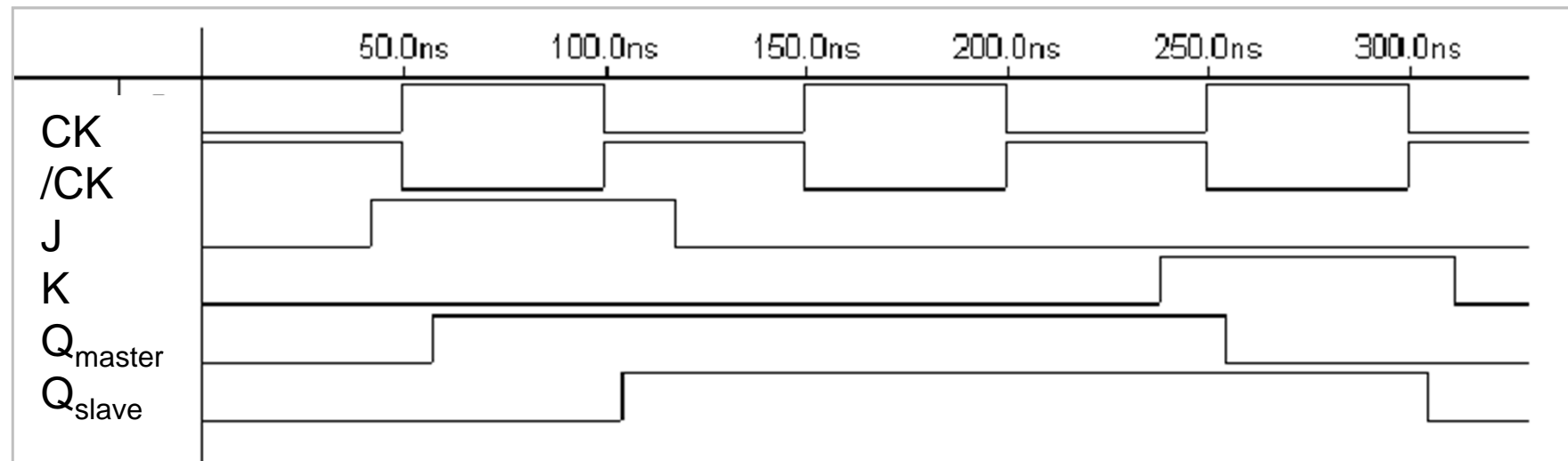
J	K	Q <sup>+</sup>
0	0	Q
0	1	0
1	0	1
1	1	/Q

Q	Q <sup>+</sup>	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

$$Q^+ = J \cdot \overline{Q} + \overline{K} \cdot Q$$



El cronograma del qual podem deduir el comportament és:

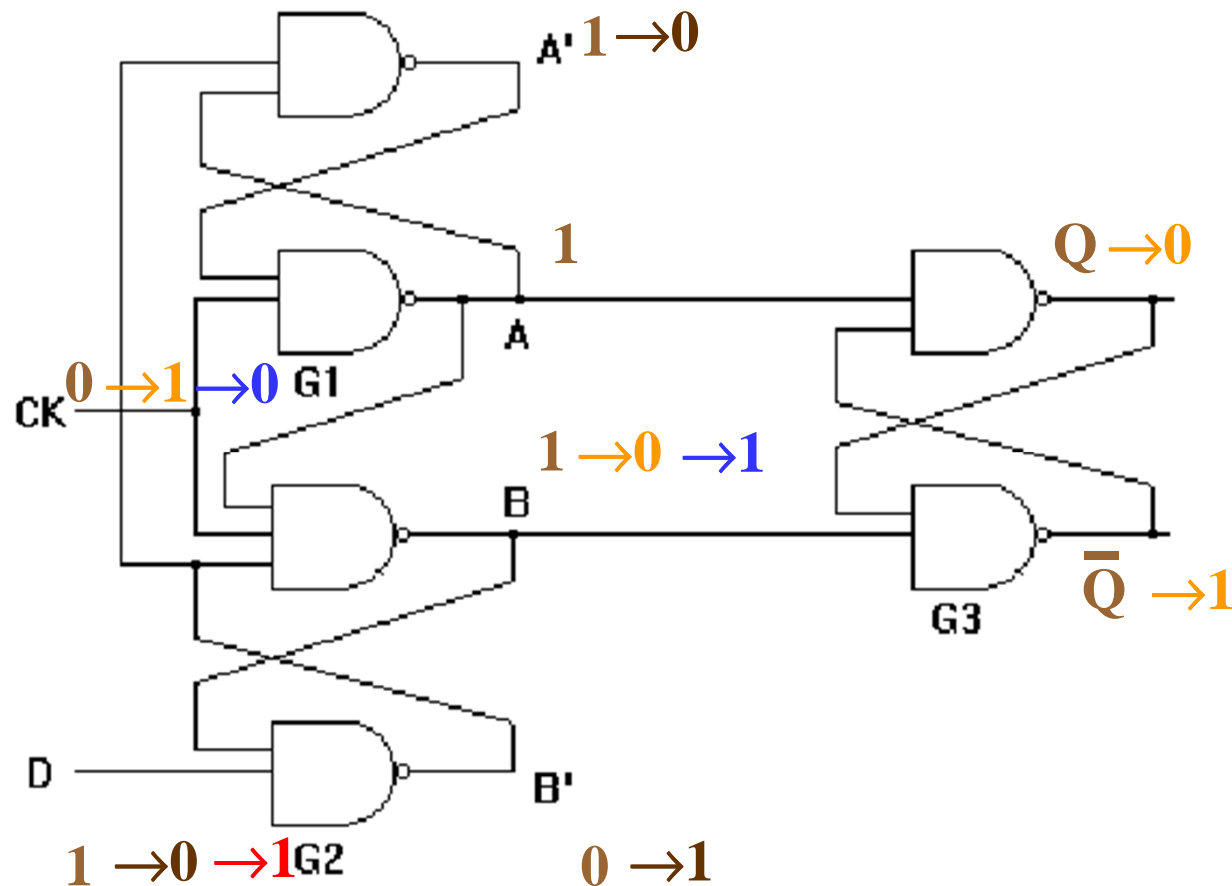


## Flip-flop actiu per flanc (edge-triggered)

Aquests FF tenen la propietat que només permeten canvis durant un **temps molt curt**, cosa que permet d'eliminar sorolls i problemes de transicions en els FF.

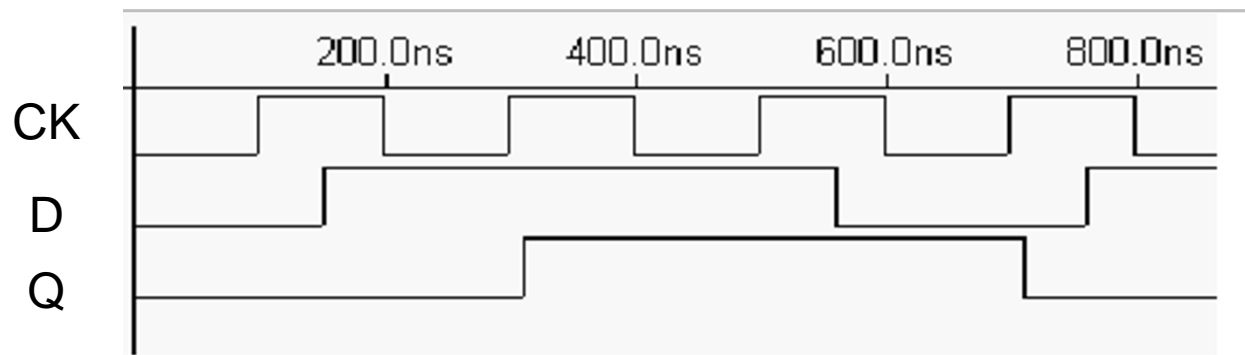
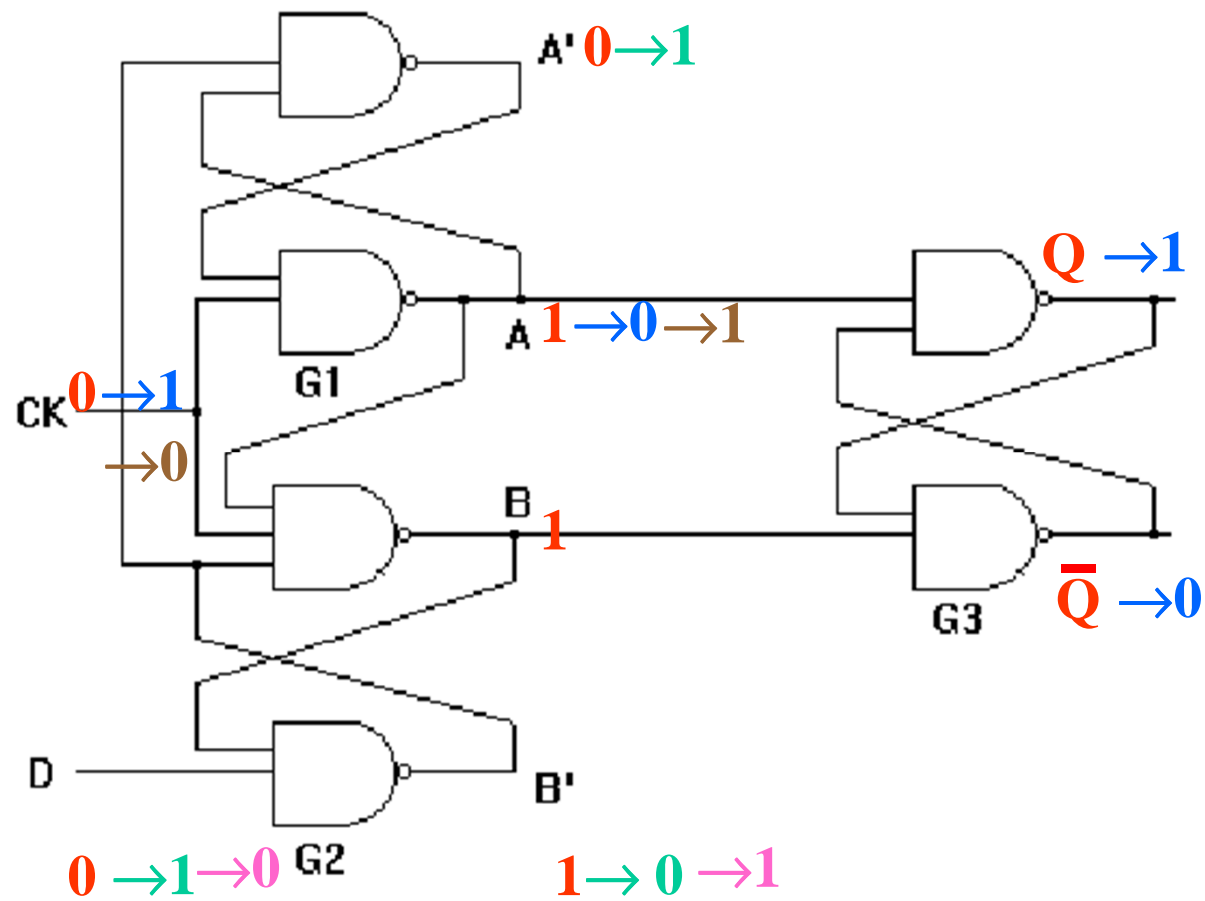
Consisteix en que només són actius durant el canvi de 0 a 1 (**flanc de pujada** o positive edge-triggered) o de 1 a 0 (**flanc de baixada** o negative edge-triggered).

# FF D positive edge-triggered

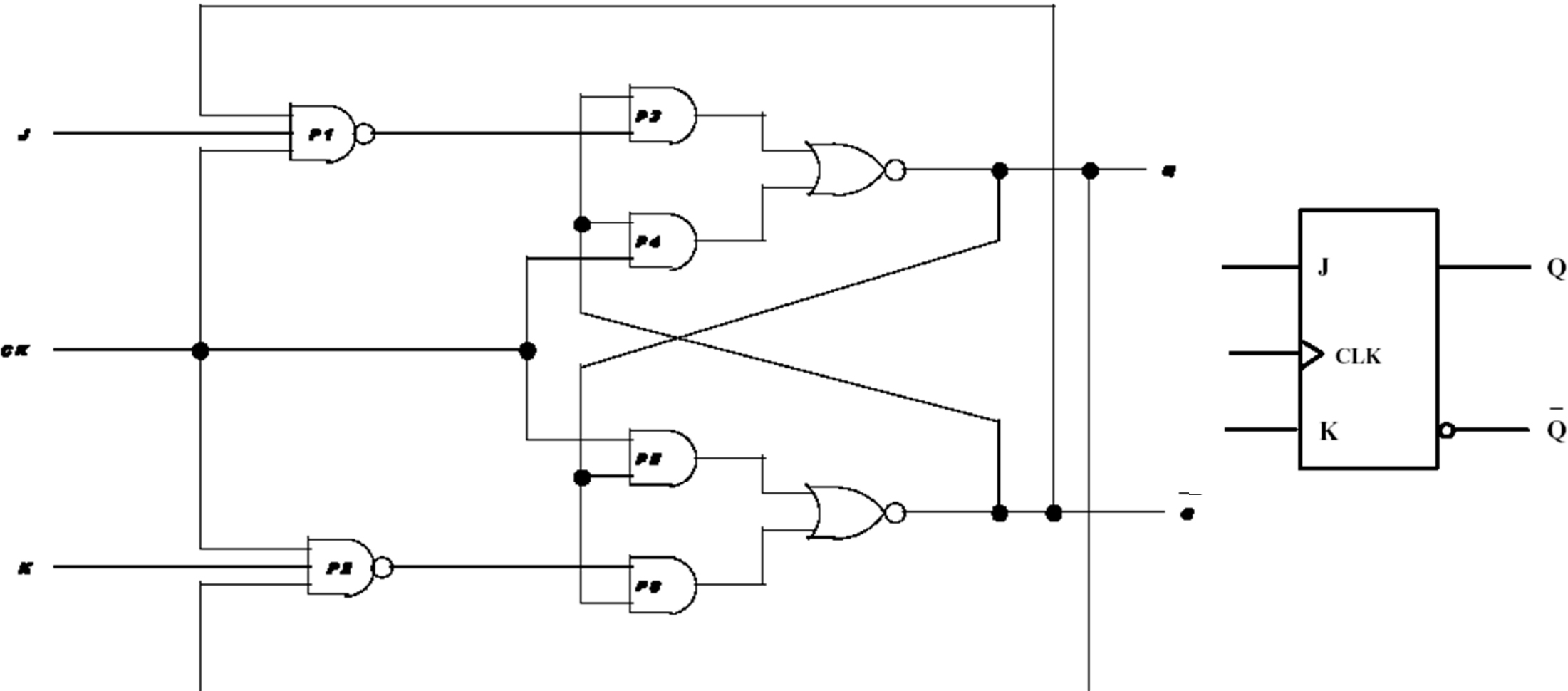


Aquest FF només commuta en **un temps molt curt** i, tal com es veu, és **insensible** a canvis mentre que el Ck val 1.

D	Q	Q <sup>+</sup>
0	0	0
0	1	0
1	0	1
1	1	1



FF JK negative edge-triggered



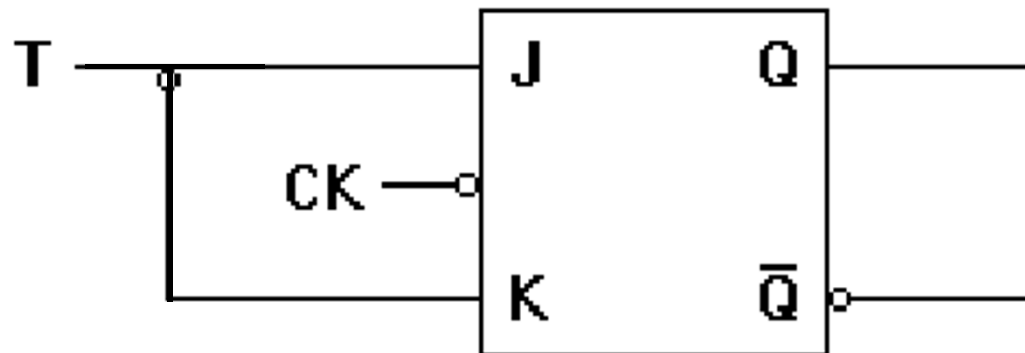
És actiu només per flanc de baixada.

## FlipFlop T (toggle)

És un FF que té només una entrada T, tal que si **T=0 no canvia d'estat**, i si **T=1 l'estat següent serà el complementari de l'actual**. Si T continua a 1, el FF va canviant entre els estats 1 i 0. Es pot construir a partir d'un FF JK on J=K.

T	$Q^+$
0	Q
1	$\neg Q$

$$Q^+ = T \cdot \overline{Q} + \overline{T} \cdot Q$$





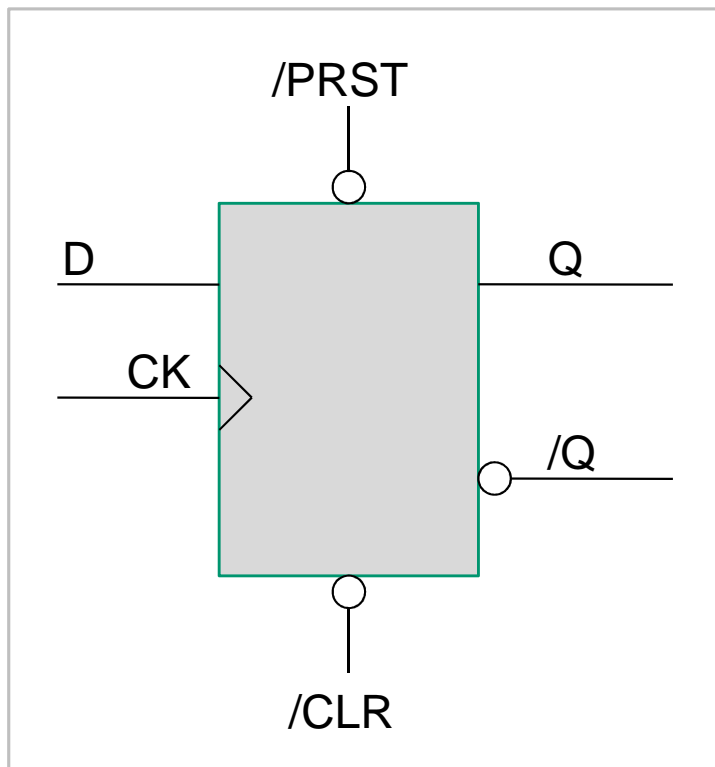
# Entrades especials addicionals: PRESET i CLEAR

**PRESET** (/PRST)

Posa el FF a **1** asíncronament

**CLEAR** (/CLR)

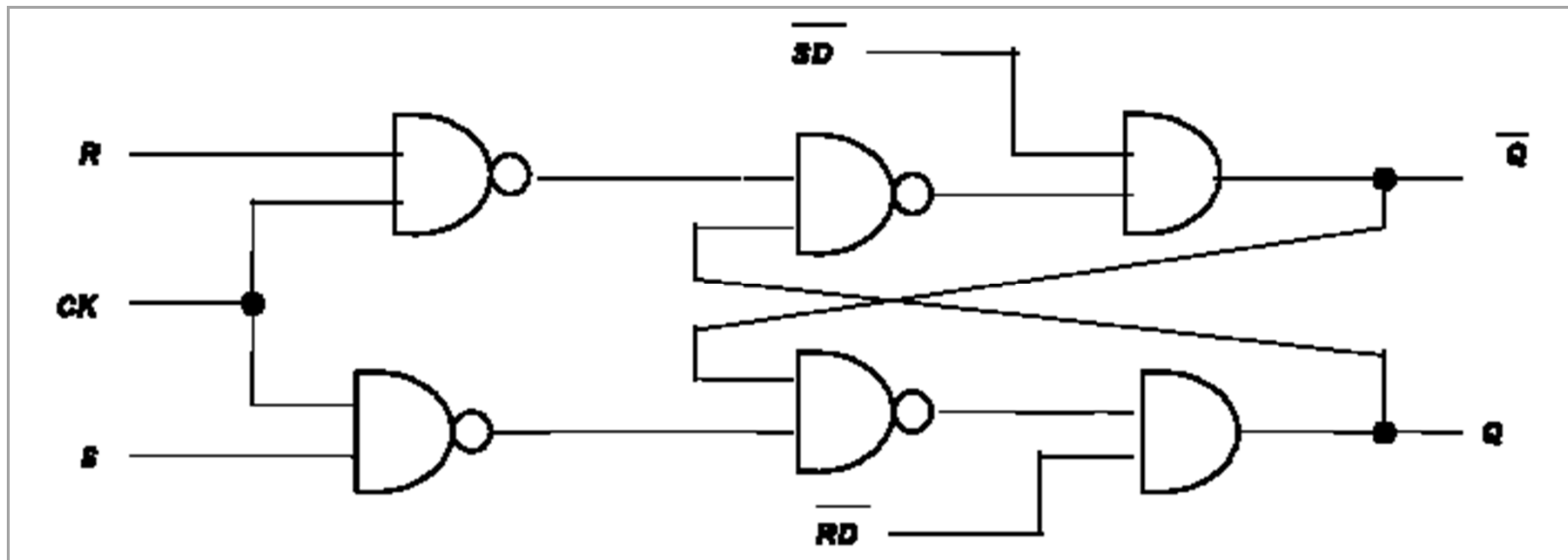
Posa el FF a **0** asíncronament



Suposem un Flip-Flop D *positive edge-triggered*

CK	D	/PRST	/CLR	Q <sup>+</sup>
X	X	0	0	No permès
X	X	0	1	1
X	X	1	0	0
↑	0	1	1	0
↑	1	1	1	1
0, 1, ↓	X	1	1	Q

## Exemple de disseny d'entrades asíncrones amb un Latch RS



$/S_d$	$/R_d$	Q
1	1	Sortida normal
0	1	1 (set)
1	0	0 (reset)
0	0	X