



Versuchsprotokoll zu DT2

Schaltungstechnische Realisierung eines seriellen 4-Bit-Rechenwerkes

durchgeführt von
2016507006 Olbrich, Marie
2015516619 Hoffmann, Manuel
im SS17 am 02.05.2017 und 09.05.2017

Betreut durch: M.Sc. Kruse
Dozent: M.Sc. Richthofer

Inhaltsverzeichnis

1	Vorbereitende Aufgaben	1
---	------------------------	---



1 Vorbereitende Aufgaben

S1	S2	E	Ü
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Tabelle 1.1: Wahrheitstabelle Halbaddierer

$$E := (\overline{S1} \wedge S2) \vee (S1 \wedge \overline{S2}) \quad (1.1)$$

$$\ddot{U} := S1 \wedge S2 \quad (1.2)$$

S1	S2	E	Ü
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Tabelle 1.2: Wahrheitstabelle Halbsubtrahierer

$$D := (S \wedge \overline{M}) \vee (\overline{S} \wedge M) \quad (1.3)$$

$$E := S \wedge \overline{M} \quad (1.4)$$

S1	S2	ÜE	E	ÜA
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1