



Versuchsprotokoll zu DT2

Schaltungstechnische Realisierung eines seriellen 4-Bit-Rechenwerkes

durchgeführt von
2016507006 Olbrich, Marie
2016506999 Hoffmann, Manuel
im SS17 am 02.05.2017 und 09.05.2017

Betreut durch: M.Sc. Kruse
Dozent: M.Sc. Richthofer



Inhaltsverzeichnis

1	Vorbereitende Aufgaben	1
1.1	Addierer	1
1.1.1	Halbaddierer	1
1.1.2	Volladdierer	2
1.2	Subtrahierer	3
1.2.1	Halbsubtrahierer	3
1.2.2	Vollsubtrahierer	4
1.3	Halb- und Volladdierer	5
1.4	Anzahl D-Flipflops	5
1.5	Taktzyklen Systemtakt	5
1.6	Blockschaltbild 1	6
1.7	Blockschaltbild 2	7
1.8	Blockschaltbild 3	8
2	Kritische Schlussbetrachtung	9
2.1	Olbrich, Marie	9
2.2	Hoffmann, Manuel	10



1 Vorbereitende Aufgaben

1.1 Addierer

1.1.1 Halbaddierer

S1	S2	E	Ü
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Tabelle 1.1: Wahrheitstabelle Halbaddierer

S2 \ S1	0	1
0	0	1
1	1	0

Tabelle 1.2: KV-Diagramm Halbaddierer Ergebnis

S2 \ S1	0	1
0	0	0
1	0	1

Tabelle 1.3: KV-Diagramm Halbaddierer Übertrag

$$E := (\overline{S1} \wedge S2) \vee (S1 \wedge \overline{S2}) \quad (1.1)$$

$$\ddot{U} := S1 \wedge S2 \quad (1.2)$$

1.1.2 Volladdierer

S1	S2	ÜE	E	ÜA
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Tabelle 1.4: Wahrheitstabelle Volladdierer

S1S2 \ ÜE	ÜE	
	0	1
00	0	1
01	1	0
11	0	1
10	1	0

Tabelle 1.5: KV-Diagramm Volladdierer Ergebnis

S1S2 \ ÜE	ÜE	
	0	1
00	0	0
01	0	1
11	1	1
10	0	1

Tabelle 1.6: KV-Diagramm Volladdierer Übertrag Ausgang

$$E := (\ddot{U}E \wedge \overline{S1} \wedge \overline{S2}) \vee (\overline{\ddot{U}E} \wedge \overline{S1} \wedge S2) \vee (\ddot{U}E \wedge S1 \wedge S2) \vee (\ddot{U}E \wedge S1 \wedge \overline{S2}) \quad (1.3)$$

$$\ddot{U}A := (S1 \wedge S2) \vee (\ddot{U}E \wedge S2) \vee (\ddot{U}E \wedge S1) \quad (1.4)$$

1.2 Subtrahierer

1.2.1 Halbsubtrahierer

S1	S2	E	Ü
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Tabelle 1.7: Wahrheitstabelle Halbsubtrahierer

M \ S	0	1
	0	1
0	0	1
1	1	0

Tabelle 1.8: KV-Diagramm Halbsubtrahierer Differenz

M \ S	0	1
	0	1
0	0	1
1	0	0

Tabelle 1.9: KV-Diagramm Halbsubtrahierer Entleiher

$$D := (S \wedge \overline{M}) \vee (\overline{S} \wedge M) \quad (1.5)$$

$$E := S \wedge \overline{M} \quad (1.6)$$

1.2.2 Vollsubtrahierer

M	S	EE	D	EA
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Tabelle 1.10: Wahrheitstabelle Vollsubtrahierer

MS \ EE	EE	
	0	1
00	0	1
01	1	0
11	0	1
10	1	0

Tabelle 1.11: KV-Diagramm Halbaddierer Differenz

MS \ EE	EE	
	0	1
00	0	1
01	1	1
11	0	1
10	0	0

Tabelle 1.12: KV-Diagramm Vollsubtrahierer Entleihung Ausgang

$$D := (EE \wedge \overline{M} \wedge \overline{S}) \vee (\overline{EE} \wedge \overline{M} \wedge S) \vee (EE \wedge M \wedge S) \vee (\overline{EE} \wedge M \wedge \overline{S}) \quad (1.7)$$

$$EA := (EE \wedge \overline{M}) \vee (\overline{M} \wedge S) \vee (EE \wedge S) \quad (1.8)$$



1.3 Halb- und Volladdierer

Der Halbaddierer hat zwei, der Volladdierer drei Eingänge. Daher kann der Halbaddierer nur zwei einstellige Dualzahlen addieren, ohne einen Übertrag zu berücksichtigen. Da der Volladdierer einen Eingang mehr hat, kann er drei einstellige Dualzahlen, bzw. zwei mehrstellige Zahlen addieren. Beide haben je einen Ausgang für das Ergebnis und einen für den Übertrag.

1.4 Anzahl D-Flipflops

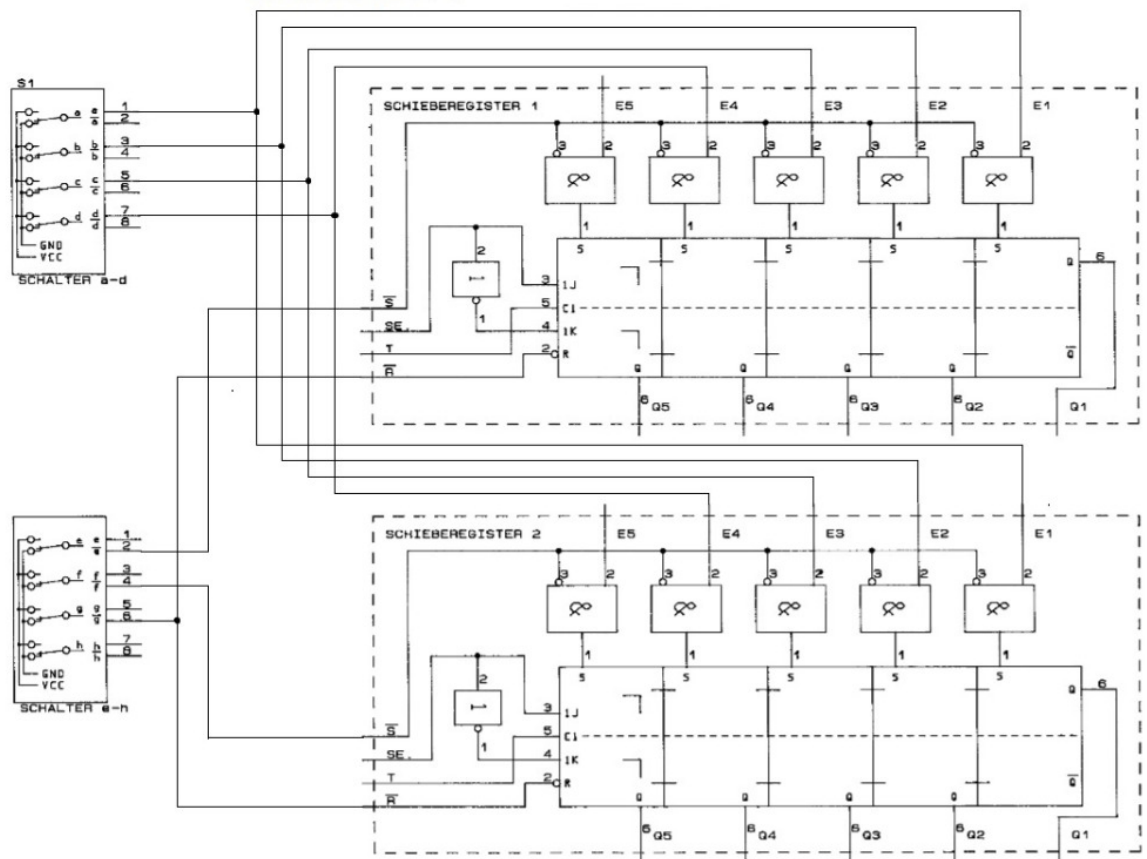
Man braucht fünf D-Flipflops, weil man 4-Bit-Dualzahlen und einen Übertrag berücksichtigen muss.

1.5 Taktzyklen Systemtakt

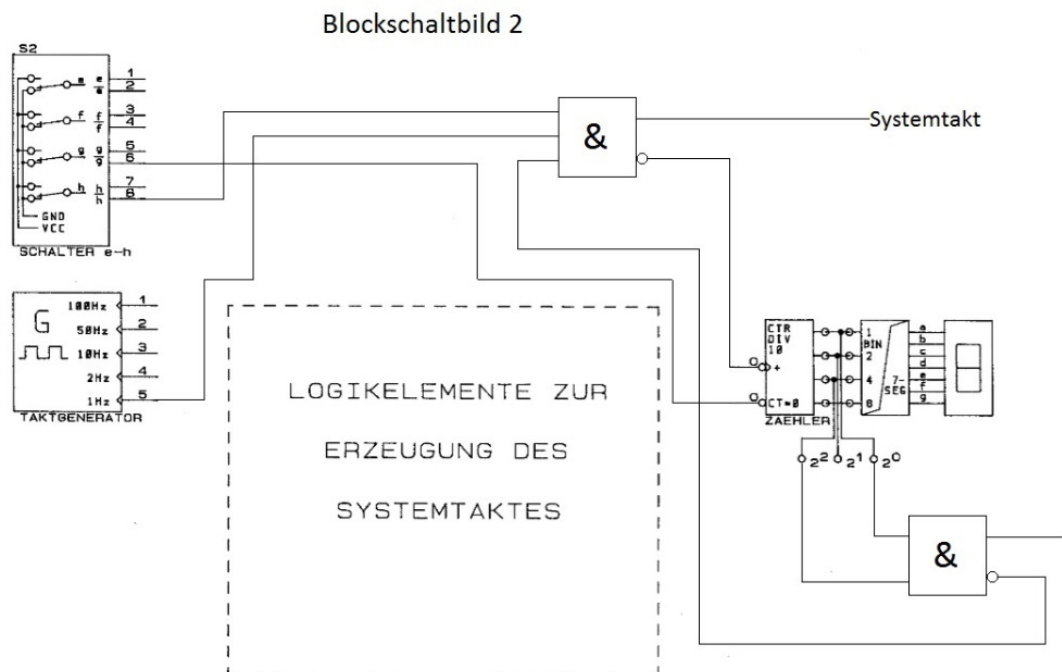
Man benötigt fünf Taktzyklen, damit die vier Ergebnisse und der Übertrag durch das Schieberegister geschoben werden können.

1.6 Blockschaltbild 1

Blockschaltbild 1

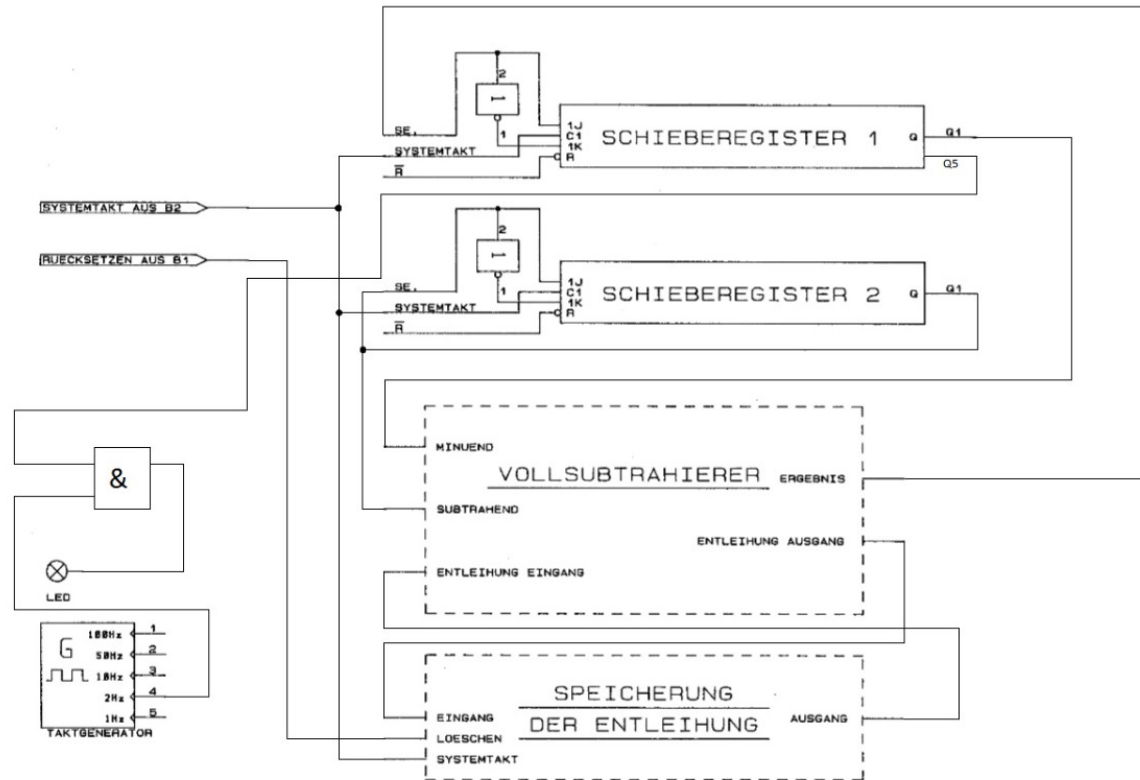


1.7 Blockschaltbild 2



1.8 Blockschaltbild 3

Blockschaltbild 3



2 Kritische Schlussbetrachtung

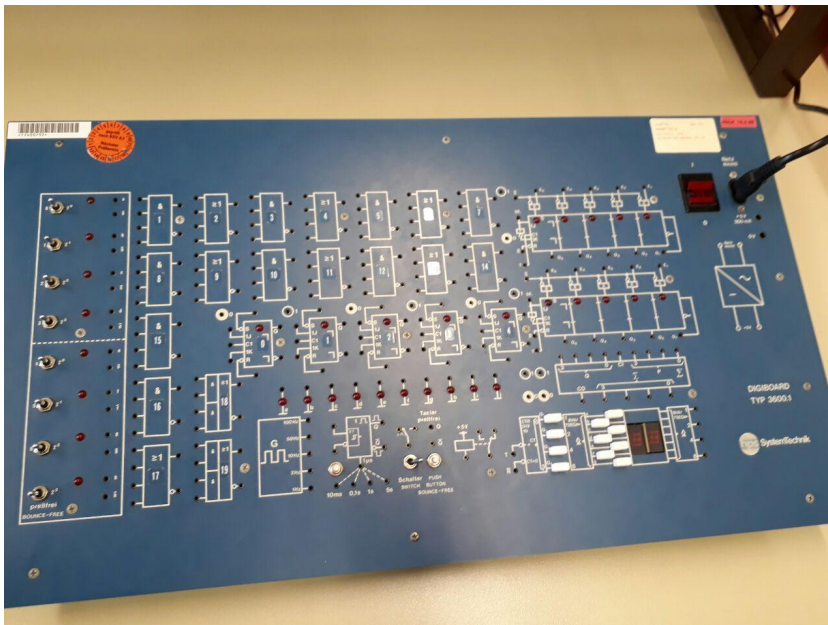
2.1 Olbrich, Marie

In Versuch DT2 ging es um die schaltungstechnische Realisierung eines seriellen, 4-Bit-Rechenwerkes. Es sollen zunächst zwei 4-Bit-Dualzahlen in zwei Schieberegister parallel eingeschrieben werden, welche anschließend seriell mittels eines Vollsubtrahierers subtrahiert werden sollen. Das Ergebnis soll in einem der beiden Schieberegister gespeichert werden. Außerdem ist ein Systemtakt zu erzeugen, damit das Ergebnis nicht noch einmal verrechnet wird.

Dazu sollten zunächst drei einzelne Schaltungen entwickelt werden. Die erste Schaltung dient zur Einlesung der beiden Dualzahlen in die Schieberegister. Mit Hilfe der zweiten Schaltung wird ein Systemtakt erzeugt. Die dritte Schaltung enthält die Elemente der vorherigen beiden und verbindet sie mit einem Vollsubtrahierer. Die Entleerung wird auch gespeichert und bei einem negativen Ergebnis soll eine LED leuchten. Ist das Ergebnis negativ, müsste noch das Zweierkomplement gebildet werden, weshalb das angezeigte Ergebnis nicht korrekt ist.

Am Versuchstag sollten die einzelnen Teilschaltungen auf einem Board (siehe Bild) aufgebaut und in ihrer Funktion vorgeführt werden. Es traten keine Probleme auf und der Subtrahierer funktionierte auf Anhieb einwandfrei.

Die vorbereitenden Aufgaben konnten ebenfalls ohne größere Probleme in der vorgegebenen Zeit gelöst werden.



2.2 Hoffmann, Manuel

Schaltungstechnische Realisierung eines seriellen, 4-Bit Rechenwerkes

Zu Beginn des Versuchs DT2 wird, je nach Gruppe, festgelegt ob ein 4-Bit Addierer oder Subtrahierer zu bearbeiten ist. Die unterschiedliche Aufgabenstellung, je nach Gruppe, kommt dabei erst in der Vorbereitenden Aufgabe 1.8 (Blockschaltbild 3) zu tragen. Im vorliegenden Fall wird der Subtrahierer erstellt.

Die Vorbereitenden Aufgaben beginnen mit grundsätzlichem wie z.B. die Einarbeitung in Rechenschaltung, Flipflop-Arten(1.1) oder die Unterschiede zwischen Halb- und Voll-Addierer bzw. Subtrahierer(1.3). Im weiteren Verlauf muss man, nach den Regeln der Schaltungssynthese, Voll- und Halb-Addierer sowie Subtrahierer entwerfen(1.2). Anschließend sind noch die Fragen nach der Anzahl der benötigten D-Flipflops je Schieberegister(1.4) und der Anzahl von Taktzyklen des Systemtakts(1.5) zu beantworten.

Weiterführend ist das erste Blockschaltbild zu vervollständigen. Hierbei wird die Verschaltung der Schieberegister zur Aufnahme der Summanden, im Fall des Addierers, bzw. des Subtrahenden und Minuenden, im Fall des Subtrahierers, und des Ergebnisses. Dabei ist speziell auf die Schalter Verkabelung zum freischalten und zum löschen der Register zu achten.

Im Blockschaltbild 2 wird eine Schaltung zur Generierung des Systemtaktes erstellt. Auch dabei ist auf den korrekten Anschluss der Schalter zu achten um die vorgegebenen Funktionen zu gewährleisten.

Das dritte Blockschaltbild, Aufgabe 1.8b, zeigt die Schaltung des Vollsubtrahierers. Bedingt durch den Aufbau des Vollsubtrahierers sind einige Besonderheiten zu beachten. Zum einen muss die Speicherung der Entleihung gesondert im Schaltbild verkabelt werden. Des Weiteren soll laut Aufgabenstellung eine LED eingebunden werden die im Falle eines negativen Rechenergebnisses mit einer Frequenz von 2 Hz blinkt. Wie zuvor ist im allgemeinen auch wieder auf das anschließen der Schalter wie vorgegeben zu achten.

Am Versuchstag sind die einzelnen Schaltungen gemäß der zuvor angefertigten Blockschaltbilder aufzubauen und zu Prüfen. Dabei ist jede Teilschaltung sowie das gesamte Rechenwerk vorzuführen. Bei Korrekten Schaltzeichnungen sollte der praktische Aufbau der Schaltungen kein Problem darstellen.