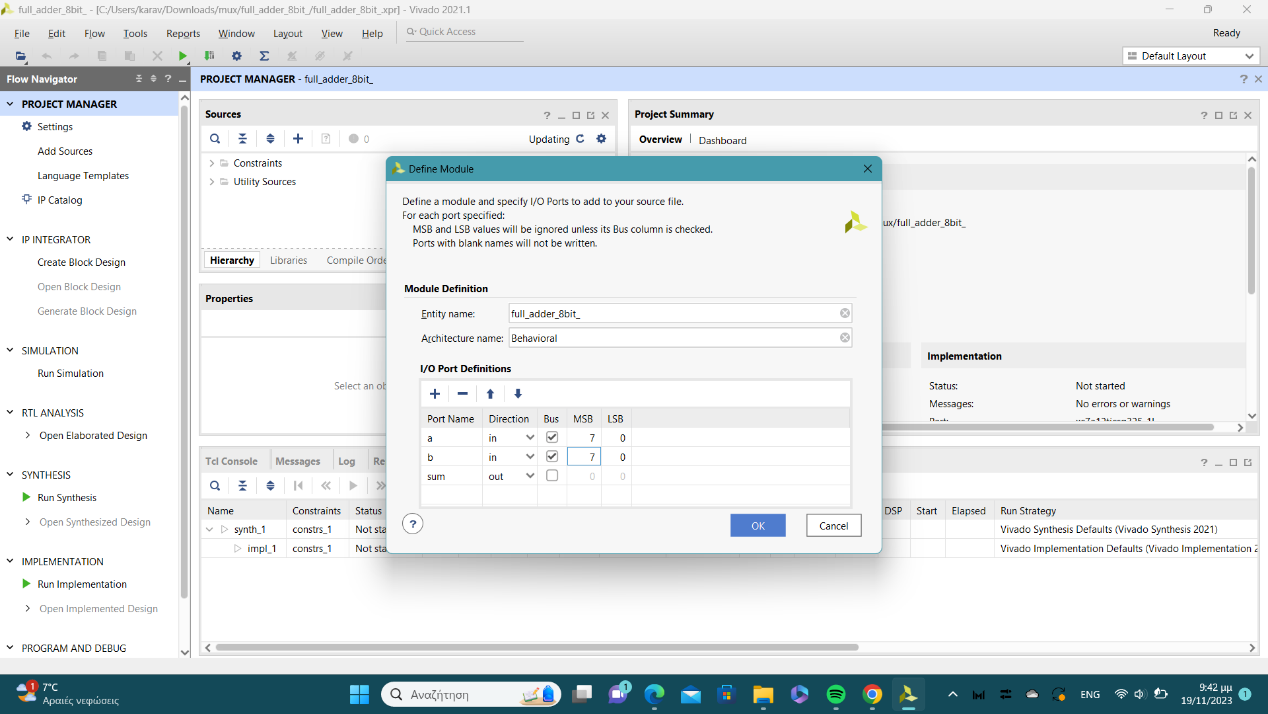
**3Η ΕΡΓΑΣΙΑ ΕΠΑΝΑΔΙΑΜΟΡΦΩΣΙΜΑ(ADDER\_8BIT)**

***--περιγραφη συμπεριφορας***



library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.STD\_LOGIC\_ARITH.ALL;

use IEEE.STD\_LOGIC\_UNSIGNED.ALL;

entity full\_adder\_8bit\_ *is --δηλωση της οντοτητας*

Port ( a : in STD\_LOGIC\_VECTOR (7 downto 0); *--εισοδος των 8bit*

b : in STD\_LOGIC\_VECTOR (7 downto 0); *--εισοδος των 8bit*

sum : out STD\_LOGIC *--εξοδος (αθροισμα*)

);

end full\_adder\_8bit\_; *--τελος δηλωσης*

architecture Behavioral of full\_adder\_8bit\_ is *--δηλωση της αρχιτεκτονικης behavioral για το full\_adder\_8bit\_*

begin

process(a,b*)-- δήλωση διεργασίας με λιστα ευαισθησιας των σημάτων a, b*

variable carry: std\_logic:='0'*; -- δήλωση μεταβλητής carry ως τυπικό λογικό σήμα με αρχική τιμή 0*

begin

for i in 0 to 7 loop *-- επανaληψη από 0 εως 7*

Sum(i) <= a(i) xor b(i) xor carry; *-- υπολογισμός του i-th bit του Sum ως αποκλειστικό ή των i-th bits των a, b και του carry*

carry <= (a(i) and b(i)) or ((a(i) xor b(i)) and carry*); -- υπολογισμός του carry για το επόμενο bit, βάσει των i-th bits των a, b και του προηγούμενου κρατουμενου*

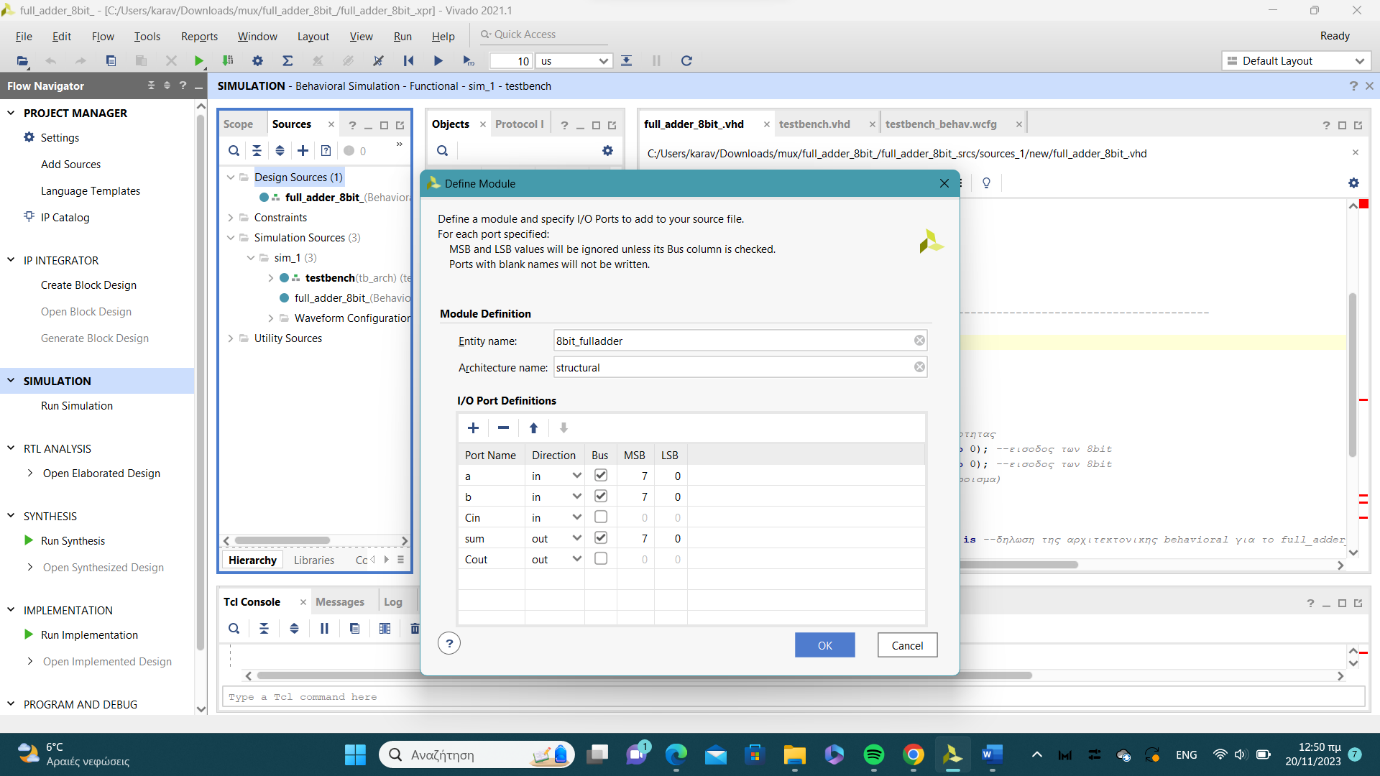
end loop*;--τελος επαναληψης*

Sum(8) <= carry*;--το τελικο κρατουμενο μπαινει στο 9ο bit του αθροισματος*

end process*;--τελος διεργασιας*

end Behavioral*;--τελος αρχιτεκτονικης*

***--περιγραφη δομης***



library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.STD\_LOGIC\_ARITH.ALL;

use IEEE.STD\_LOGIC\_UNSIGNED.ALL;

entity 8bit\_fulladder is

Port ( a : in STD\_LOGIC\_VECTOR (7 downto 0*);--εισοδος του a 8 bit*

b : in STD\_LOGIC\_VECTOR (7 downto 0);*--εισοδος του b 8 bit*

Cin : in STD\_LOGIC;*--εισοδοσ κρατουμενου*

sum : out STD\_LOGIC\_VECTOR (7 downto 0);*--αθροισμα εξοδου*

Cout : out STD\_LOGIC);*--κρατουμενο εξοδου*

end 8bit\_fulladder;

architecture Structural of 8bit\_fulladder is

begin

process(a, b, Cin)*--διεργασια με λιστα ευαισθησιας των σηματων a,b,Cin*

begin

sum <= (a xor b) xor Cin;*--exclusive or για τις εισοδους και το κρατουμενο για να παρουμε το αθροισμα*

Cout <= (a and b) or ((a xor b) and Cin); *--υπολογισμος του κρατουμενου εξοδου*

end process;

end Structural;

entity 8bit\_fulladderStructural is

port(

a, b : in std\_logic\_vector(7 downto 0); *--εισοδοι 8 bit*

sum : out std\_logic\_vector (8 downto 0) *--αθροισμα εξοδου 9 bit*

);

end 8bit\_fulladdersStructural;

architecture structural of 8bit\_fulladder is

signal Cin: std\_logic;*--ενδιαμεσο σημα για την διαδοση κρατουμενου*

signal sum: std\_logic\_vector(7 downto 0);*--ενδιαμεσο σημα για το αθροισμα, 8 bit*

begin

carry(0)<='0';*--αρχικοποιηση κρατουμενου*

*--στιγμιοτυπο απο την καθε θεση bit*

FA0: FullAdder port map (A(0), B(0), '0', Sum(0), carry);

FA1: FullAdder port map (A(1), B(1), carry, Sum(1), carry);

FA2: FullAdder port map (A(2), B(2), carry, Sum(2), carry);

FA3: FullAdder port map (A(3), B(3), carry, Sum(3), carry);

FA4: FullAdder port map (A(4), B(4), carry, Sum(4), carry);

FA5: FullAdder port map (A(5), B(5), carry, Sum(5), carry);

FA6: FullAdder port map (A(6), B(6), carry, Sum(6), carry);

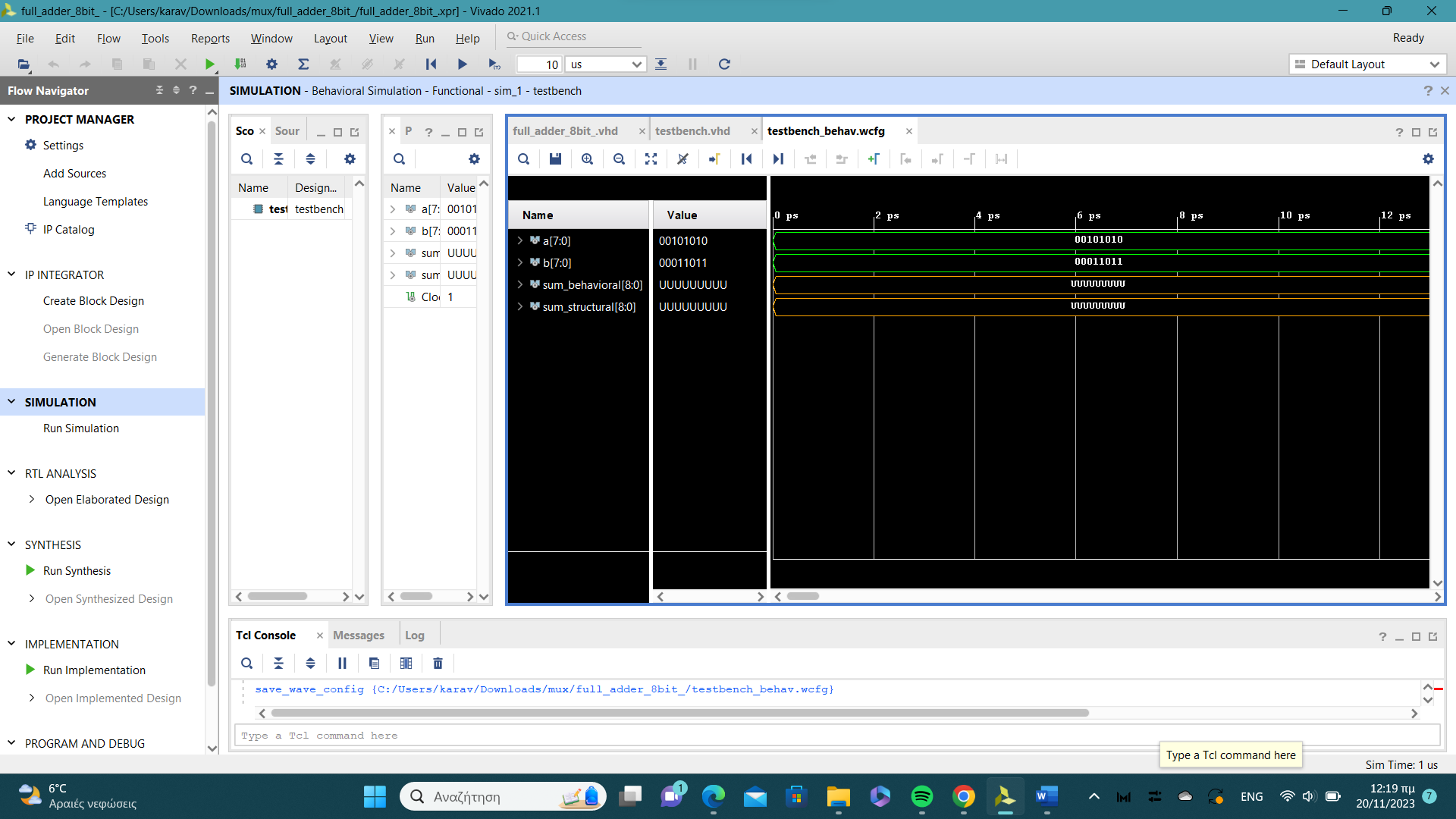
FA7: FullAdder port map (A(7), B(7), carry, Sum(7), carry);

FA8: FullAdder port map ('0', '0', carry, Sum(8), carry);

sum<=s;*--οπου s ειναι sum*

end structural;*--τελος αρχιτεκτονικης δομης*

***--TESTBENCH***



library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

entity testbench is

end testbench;

architecture tb\_arch of testbench is

signal a, b : STD\_LOGIC\_VECTOR(7 downto 0);-*-ενδιαμεσα σηματα των 8 bit*

signal sum\_behavioral, sum\_structural : STD\_LOGIC\_VECTOR(8 downto 0);*--σημα για το αθροισμα, 9 bit*

signal Clock : STD\_LOGIC := '0';*-- σημα ρολογιου για την προσομοιωση, με αρχικη τιμη 0*

component full\_adder\_8bit\_behavioral*--δηλωσεις εισοδων και εξοδων για τα συστατικα της συνθεσης, για την περιγραφη συμπεριφορας*

Port (

a, b : in STD\_LOGIC\_VECTOR(7 downto 0);

sum : out STD\_LOGIC\_VECTOR(8 downto 0)

);

end component;

component full\_adder\_8bit\_structural*--δηλωσεις εισοδων και εξοδων για τα συστατικα της συνθεσης, για την περιγραφη δομης*

Port (

a, b : in STD\_LOGIC\_VECTOR(7 downto 0);

sum : out STD\_LOGIC\_VECTOR(8 downto 0)

);

end component;

begin

BehavioralAdder : full\_adder\_8bit\_behavioral port map (A, B, Sum\_behavioral);*--τεστ για της συμπεριφορα*

StructuralAdder : full\_adder\_8bit\_structural port map (A, B, Sum\_structural);*--τεστ για την δομη*

process*--διαδικασια προσομοιωσης*

begin

*--διανυσματα εισοδου*

a <= "00101010";

b <= "00011011";

Clock <= not Clock after 5 ns;*--αλλαγη ρολογιου καθε 5 ns*

wait for 10 ns;*--σταθερο σημα για 10 ns*

*--ελεγχος αποτελεσματων*

assert sum\_behavioral = "010001001" report "Behavioral Adder Test Failed!" severity error;

assert sum\_structural = "010001001" report "Structural Adder Test Failed!" severity error;

wait;

end process;

end tb\_arch;*--τελος αρχιτεκτονικης του testbench*

**Καραβιά Μαρία Σπυριδούλα (ΑΜ: 2026202100049)**