

Лабораторная работа №7: «Моделирование триггеров и регистров»

Цель работы – приобретение практических навыков построения и исследования различных типов триггеров и регистров.

Общие сведения из теории

Кроме комбинационных устройств существует класс цифровых устройств, в которых состояние выхода зависит не только от того, какие сигналы присутствуют на его входах в данный момент времени, но и в предшествующие моменты времени. Поэтому такие устройства называют последовательными или многотактными автоматами. В общем виде, последовательный автомат рассматривается состоящим из двух частей: комбинационного устройства (КУ) и памяти, состоящей из элементов памяти (ЭП) (рисунок 1). В качестве элементов памяти могут быть применены как однобитовые элементы памяти (различные типы триггеров), так и многобитовые (многоразрядные) цепочки триггеров.

Триггер – это последовательностная схема с двумя состояниями, каждое из которых при определенных условиях на входах поддерживается постоянным. Каждому из этих состояний ставится в соответствие логическое значение, которое “хранит” триггер (если на выходе триггера высокий уровень напряжения – “1” и “0” – в противном случае).



Рисунок 1

Когда на выходной линии логическая 1, говорят, что триггер установлен, в противном случае говорят, что триггер сброшен. Триггер имеет несколько входных линий, сигналы на которых (вместе с текущим состоянием триггера) определяют следующее состояние триггера. От функций входных линий зависит тип триггера. Триггеры бывают переключающимися уровнем и фронтом тактирующего сигнала. Несмотря на большое разнообразие триггеров, практически все триггеры строятся на базе RS-триггеров, который является простейшим триггером. УГО RS – триггера показано на рисунке 2.

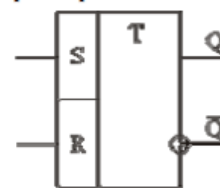


Рисунок 2

Один из входов триггера называется установочным входом и обозначается буквой S, а другой – входом сброса и обозначается буквой R. Триггер имеет два симметричных выхода: прямой Q и инверсный \bar{Q} . В таблице состояний триггера (таблица 2) В таблице это состояние триггера до подачи управляющего сигнала обозначено Q^0 . Если на обоих входах триггера имеются уровни логического 0 – это состояние соответствует режиму хранения. При подаче на вход R уровня логической 1 триггер переключается в состояние 0, а при подаче управляющего сигнала 1 на вход S – в состояние 1. При подаче на входы R и S одновременно уровня 1 триггер будет находиться в неопределенном состоянии α .

Таблица 2

S	R	Q^0	Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	α
1	1	1	α

Схема RS-триггера, реализованного на элементах ИЛИ-НЕ и управляемая уровнем логической 1, приведена на рисунке 3,а, а схема RS- триггера, реализованного в базисах И-НЕ и управляемая низким уровнем, приведена на рисунке 3,б. Асинхронные RS-триггеры при наличии помех часто работают ненадежно. Например, короткие импульсы помехи, попадающие на R- и S- входы, могут изменить состояние триггера. Для повышения помехоустойчивости и устранения «состязаний» используют синхронный RS-триггер, УГО которого на принципиальных и функциональных схемах и его реализация на базе RS-триггера приведены на рисунках 4,а и 4,б.

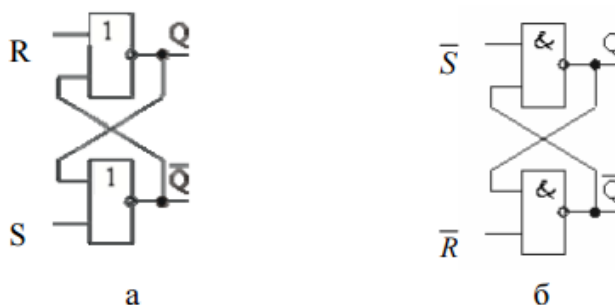


Рисунок 3

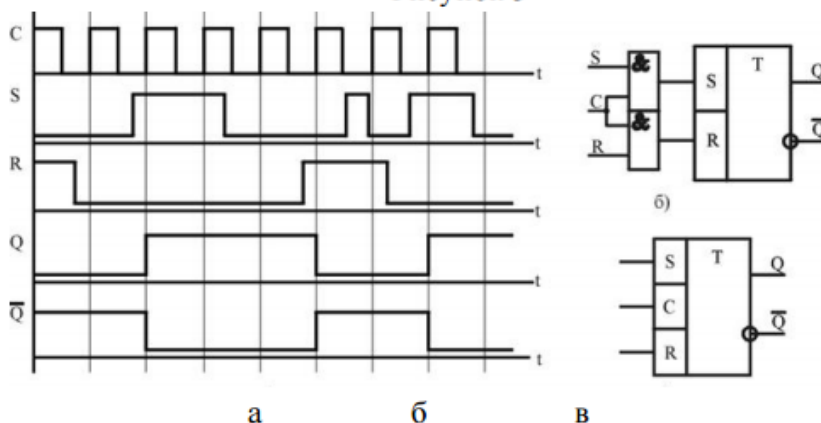


Рисунок 4

Временные диаграммы, поясняющие его работу приведены на рисунке 4,в. Синхронный RS-триггер изменяет свое состояние только в те моменты времени, когда на специальный синхровход триггера С поступает разрешающий тактирующий импульс. Следует отметить, что для надежной работы триггера необходимо, чтобы длительность синхронизирующего сигнала не меньше времени переключения триггера. Рассмотренные выше RS-триггеры нельзя использовать в цифровых устройствах с обратными связями, так как изменения на входах и выходах происходят практически одновременно, что может привести к неопределенностям.

Для устойчивой работы RS-триггера, в том числе и в схемах с обратными связями, необходимо, чтобы сигналы $Q(t)$ и $\bar{Q}(t)$ изменялись только тогда, когда его входы заперты, т.е. синхросигнал уже прекратился. Это требование выполняется в двухступенчатых триггерах (MS-триггерах), УГО которого на принципиальных и функциональных схемах и его реализация на базе синхронного RS-триггера приведены на рисунках 5,а и 5,б. Символ ТТ в поле УГО означает, что триггер двухступенчатый. MS- триггер состоит из двух секций, соединенных каскадно. Для ведущего триггера используется обычная синхронизация, в то время как для ведомого триггера импульс синхронизации инвертируется.

Временные диаграммы, поясняющие его работу приведены на рисунке 5,в. Изменение состояния выхода ведущего триггера будет происходить в момент появления положительного импульса синхронизации, и эти изменения будут переданы на входы ведомого триггера. Однако никакие изменения на выходе ведомого триггера не будут происходить до тех пор, пока не появится отрицательный фронт исходного синхроимпульса. Такая синхронизация называется динамической.

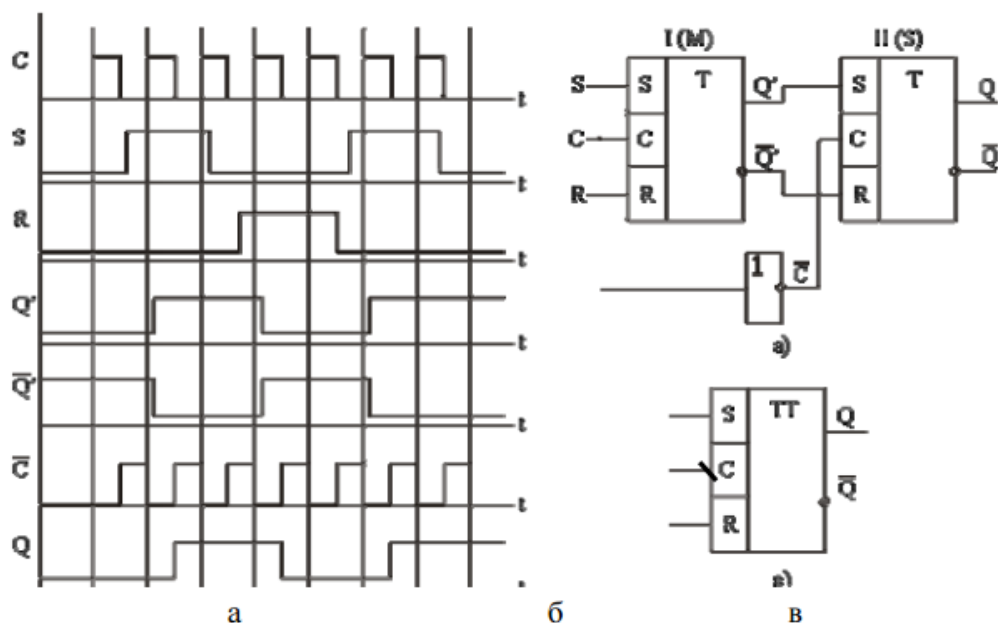


Рисунок 5

Динамические триггеры могут переключаться как передним, так и задним фронтом тактирующих импульсов. Фрагменты схемного обозначения приведены на рисунке 6.



Рисунок 6

Одним из самых широко используемых триггеров является D- триггер, который называют информационным триггером, а также триггером задержки. D-триггер бывает только синхронным. Он может управляться как уровнем тактирующего импульса, так и его фронтом. По синхроимпульсу D-триггер принимает то состояние, которое имеет входная линия D.

УГО D-триггера приведено на рисунке 7,а. На рисунке 7,б приведена функциональная схема D-триггера на основе синхронного двухступенчатого RS-триггера.

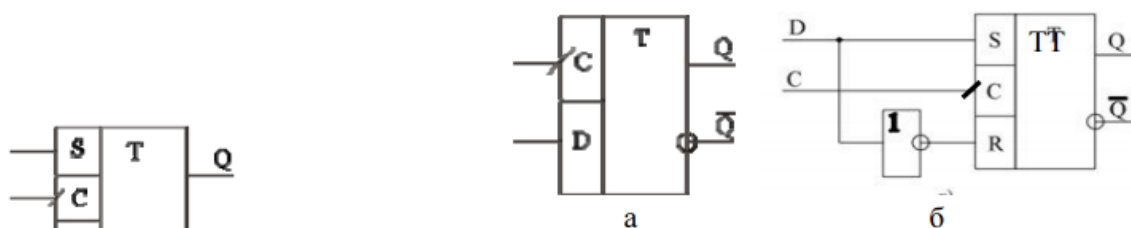


Рисунок 7

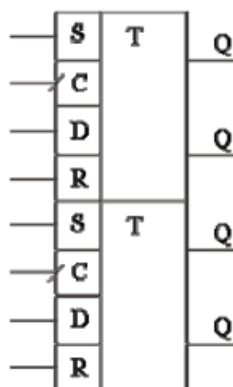


Рисунок 8

На рисунке 8 приведено обозначение D-триггера K1533TM2, выпускаемого промышленностью в виде интегральной микросхемы (ИМС). Обычно, в одном корпусе ИМС содержится два D-триггера, управляемых фронтом. D-триггеры в интегральном исполнении имеют также

дополнительные асинхронные входы управления S и R (входы “предустановки” и “очистки”).

Среди триггеров особое место занимают *JK- триггеры*, имеющие более широкие функциональные возможности. Упрощенная таблица состояний JK-триггера (таблица 3) содержит четыре строки. Схема, полученная путем синтеза JK-триггера из двухступенчатого RS-триггера, приведена на рисунке 9,а.

Таблица 3

J	K	Q
0	0	Q
0	1	0
1	0	1
1	1	\bar{Q}

Обозначение JK-триггера на функциональных схемах приведено на рисунке 9,б. Выпускаемые промышленностью ИМС JK-триггеры могут иметь несколько входов (до трех) J и такое же количество входов K, объединенных схемами конъюнкций (рисунок 9,в).

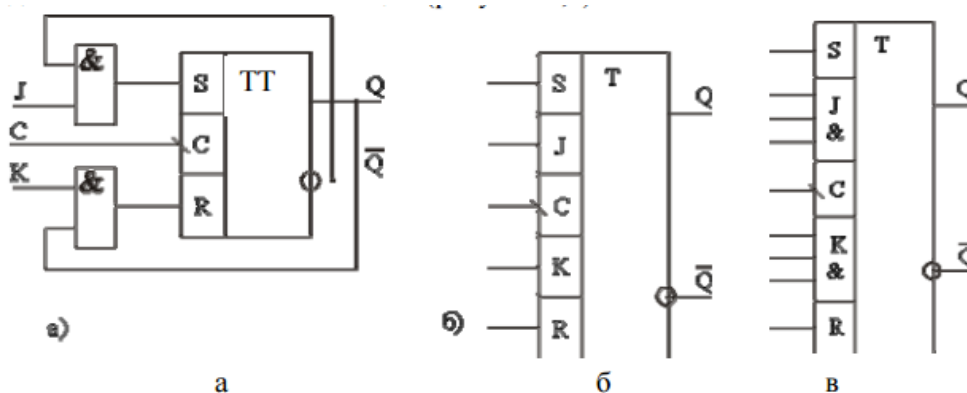


Рисунок 9

T-триггер – это счетный триггер. Он имеет один вход, куда подают тактирующие (счетные) импульсы. Каждый синхроимпульс меняет состояние T-триггера на обратное (аналогично состоянию JK-триггера при комбинации входных переменных $J=1$ и $K=1$). Частота следования импульсов на выходе счетного триггера в два раза меньше частоты входных синхроимпульсов, что позволяет их использовать в качестве делителей частоты. Для реализации делителя частоты на четыре потребуется два триггера, соединенных последовательно и т.д. T-триггеры строятся только на базе двухступенчатых (RS, D, JK) триггеров. На рисунках 10,а и 10,б приведены схемы T-триггера построенные на основе JK-триггера и D-триггера. Он переключение состояния счетного триггера происходит в моменты поступления передних фронтов синхроимпульсов.

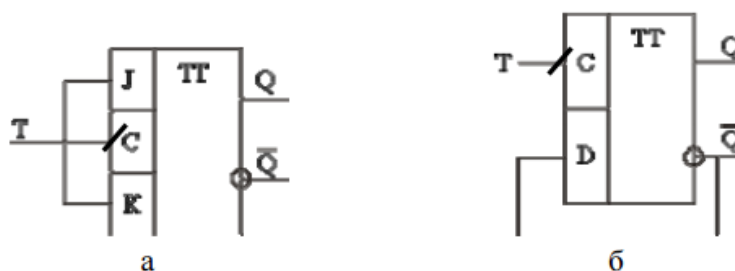


Рисунок 10

Наиболее распространенным узлом цифровой техники и устройств автоматики являются *регистры*. Регистры строятся на базе синхронных одно- и двухступенчатых RS и D-триггеров. Регистры могут быть реализованы также на базе JK-триггеров.

Регистры с *параллельным* приемом и выдачей информации служат для хранения информации и называются регистрами *памяти* или *хранения*. Запись новой информации в регистр осуществляется после установки на входах $D_0 \dots D_m$ новой цифровой комбинации при поступлении синхроимпульса C . Количество разрядов записываемой цифровой информации определяется разрядностью регистра, которая, в свою очередь, определяется количеством триггеров, образующих этот регистр. Регистры памяти могут быть реализованы на D-триггерах, если информация поступает на входы регистра в виде однофазных сигналов и на RS-триггерах, если информация поступает в виде парафазных сигналов. В некоторых случаях регистры могут иметь вход для установки выходов в состояние “0”. Этот асинхронный вход называют входом R “сброса” триггеров регистра. На рис. 3.26 приведены схемы четырехразрядных регистров памяти на D- и RS-триггерах, синхронизируемых уровнем и фронтом синхроимпульсов (обычно четыре триггера объединены в одном корпусе ИМС). На рисунке 12 показаны регистры хранения на D-триггерах, синхронизируемых фронтом (а) и на RS-триггерах, синхронизируемых фронтом (б). На рисунке 12,в показано УГО регистра.

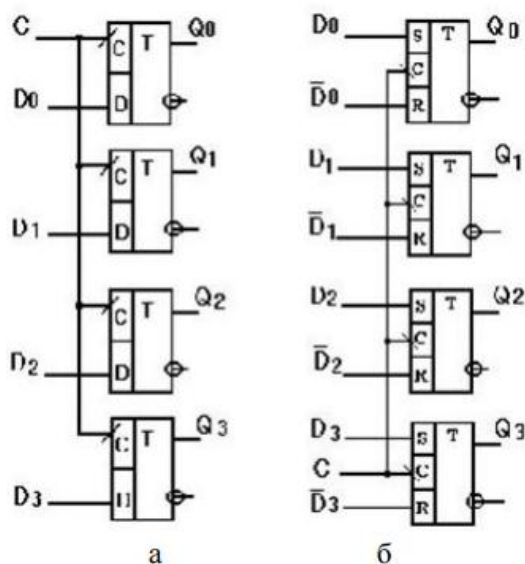


Рисунок 12

Регистры с последовательным приемом или выдачей информации называются сдвиговыми регистрами или регистрами *сдвига*. Они могут выполнять функции хранения и преобразования информации (умножение и деление чисел двоичной системы счисления, преобразование параллельного кода в последовательный и наоборот и т.д.).

На рисунке 13,а и 13,б приведены схемы четырехразрядных регистров сдвига, реализованных на D- и RS-триггерах, а временные диаграммы, поясняющие работу регистра сдвига, приведены на рисунке 14.

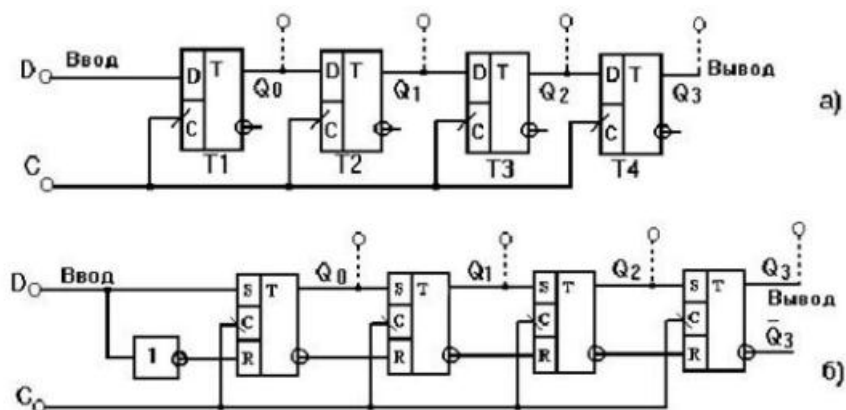


Рисунок 13

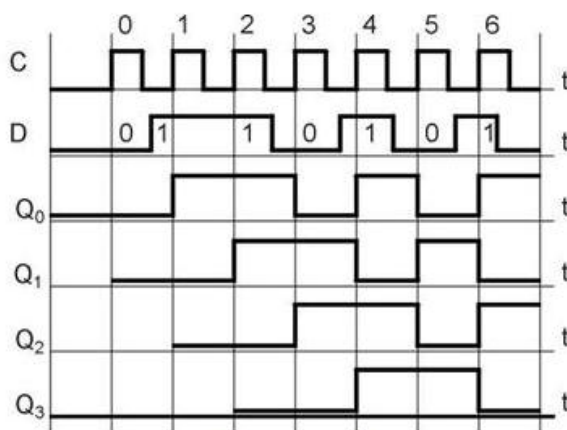


Рисунок 14

Расчетная часть

1. В соответствии с заданным вариантом (таблица 1) начертить схему электрическую функциональную асинхронного RS-триггера на логических элементах И-НЕ или ИЛИ-НЕ и временные диаграммы его работы.

Таблица 1

RS-триггер на логическом элементе	Т-триггер на базе		
	RS-триггеры	D-триггеры	T-триггеры
И-НЕ	1-4	5-8	9-12
ИЛИ-НЕ	13-16	17-20	21-24

2. На базе RS-триггера построить двухтактный RS-триггер, синхронный RS-триггер, одноктактный D- и JK-триггеры и привести соответствующие им временные диаграммы и таблицы истинности.
3. Построить T-триггер на базе двухступенчатых RS-, D- или JK- триггера в зависимости от номера варианта из таблицы 1. Привести временные диаграммы и таблицы истинности, поясняющие его работу.

4. Разработать и начертить схему электрическую функциональную и временную диаграмму четырехразрядного параллельного регистра на базе D-триггеров синхронизируемых фронтом для четных вариантов или на базе RS-триггеров, синхронизируемых фронтом для нечетных вариантов.
5. Разработать и начертить схему электрическую функциональную и временную диаграмму четырех разрядного регистра сдвига на базе на RS-триггеров, синхронизируемых фронтом, для четных вариантов или на базе D-триггеров, синхронизируемых фронтом, для нечетных вариантов.

Экспериментальная часть

1. Смоделировать различные типы триггеров, разработанные в п.п. 1-3 в среде Electronics Workbench. Подать на их входы с помощью ключей различные разрешенные кодовые комбинации. Синхровходы триггеров подключить к генератору слов Word Generation в режиме Sycle.
2. Получить временные диаграммы входных и выходных сигналов для всех смоделированных триггеров на экране логического анализатора Logic Analyzer.
3. Смоделировать параллельный регистр, разработанный в п. 1.4, в среде Electronics Workbench. Поочередно подать на входы $D_0 \dots D_3$ код, соответствующий четырем младшим разрядам двоичного числа, равного номеру вашего варианта, и код на единицу меньший с помощью соответствующих ключей. Подать синхроимпульса С с помощью генератора слов Word Generation, включив его в ручном режиме Step, и убедиться в правильной работе параллельного регистра по состоянию логических пробников на его выходах.
4. Смоделировать регистр сдвига, разработанный в п. 5, в среде Electronics Workbench. Для имитации работы схемы подключить ее синхровход к генератору слов Word Generation, включив его в циклическом режиме Sycle. Подать на входы $D_0 \dots D_3$ регистра код, соответствующий четырем младшим разрядам двоичного числа, равного номеру вашего варианта плюс три. Получить временные диаграммы входных и выходных сигналов сдвигающего регистра на экране логического анализатора Logic Analyzer.
5. Составить отчет о выполнении лабораторной работы. Включить в отчет схемы, полученные при выполнении п.п. 1-5 расчетной части, а также результаты их моделирования и диаграммы входных и выходных сигналов для каждой из выполненных схем.
6. Сравнить диаграммы для разработанных теоретически и смоделированных в среде Electronics Workbench схем и сделать выводы.

Контрольные вопросы:

1. Чем определяется быстродействие триггера?
2. Начертить схему электрическую функциональную RS-триггера на логических элементах ИЛИ-НЕ или И-НЕ и пояснить его работу.
3. Почему JK-триггер называют универсальным?
4. Поясните работу D-триггера. Начертите условное графическое обозначение D-триггера и временные диаграммы его работы со статическим и динамическим входами синхронизации.
5. Какой характерной особенностью обладает периодическая последовательность импульсов на выходе T-триггера?
6. Каким преимуществом обладают двухступенчатый триггер?
7. Каково назначение регистров?
8. По каким признакам классифицируют регистры?
9. Чем определяется разрядность регистров?
10. Как работает параллельный регистр?
11. Каким образом осуществить операции умножения и деления в двоичной системе счисления в реверсивном регистре?
12. Как произвести с помощью регистра преобразование последовательного кода числа в параллельный код и обратно?
13. Как обозначаются регистры на схемах электрических функциональных и принципиальных?