

Лабораторная работа №6: «Моделирование комбинационных устройств»

Цель работы – изучение форм представления чисел в цифровых устройствах и исследование схем комбинационных цифровых устройств – дешифраторов, мультиплексоров и сумматоров.

Общие сведения из теории

Комбинационное устройство – это устройство с n входами и m выходами. Если КУ выполнено на базе идеальных, т.е. безинерционных элементов, то состояние его выходов однозначно определяется состоянием его входов в тот же момент времени.

Дешифратор – это комбинационное устройство, предназначенное для преобразования параллельного двоичного кода в унитарный, т.е. позиционный код. При подаче на вход дешифратора параллельного двоичного кода выходной сигнал появится только на том его выходе, номер которого соответствует десятичному эквиваленту входного двоичного кода. В зависимости от типа дешифратора, этот сигнал может иметь как уровень логической единицы (при этом на всех остальных выходах уровень логического 0), так и уровень логического 0 (при этом на всех остальных выходах уровень логической 1).

В условных обозначениях дешифраторов и шифраторов используются буквы DC и CD (от слов decoder и coder соответственно). Если количество двоичных разрядов дешифруемого кода обозначить через n , то число выходов дешифратора должно быть 2^n . Если часть входных наборов не используется, то дешифратор называют неполным.

Функционирование дешифратора описывается системой логических уравнений составленных на основе таблицы истинности. Одноступенчатый дешифратор (линейный) – наиболее быстродействующий, но при значительной разрядности входного слова требует применения логических элементов с большим числом входов и сильно нагружает источники входных сигналов.

Таблица 1

X_2	X_1	Y_0	Y_1	Y_2	Y_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Рассмотрим пример построения двухразрядного дешифратора на основе базовых логических элементов, с помощью таблицы истинности (см. таблицу 1). Составим соответствующие логические уравнения для построения схемы дешифратора:

$$\begin{aligned} Y_0 &= \bar{X}_1 \cdot \bar{X}_2; & Y_1 &= \bar{X}_2 \cdot X_1; \\ Y_2 &= X_2 \cdot \bar{X}_1; & Y_3 &= X_1 \cdot X_2. \end{aligned}$$

Графическая схема дешифратора, реализующая полученные логические уравнения, приведена на рисунке 4.

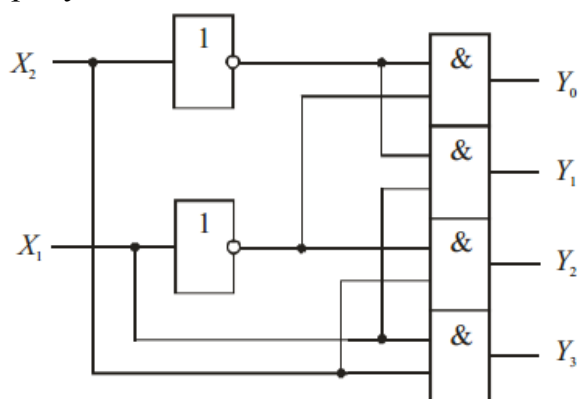


Рисунок 4

Малоразрядные дешифраторы в виде ГИС позволяют строить дешифраторы большей разрядности по пирамидальной или матричной структуре из отдельных линейных дешифраторов.

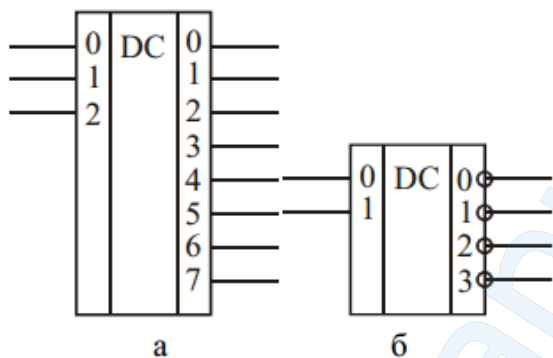


Рисунок 5

При этом входное слово делится на поля, разрядность которых соответствует числу входов имеющихся ГИС дешифраторов. На рисунке 5,а показано условное графическое обозначение трехразрядного дешифратора с прямыми выходами, а на рисунке 5,б – двухразрядного линейных дешифраторов с

инверсными выходами.

Мультиплексор – комбинационное устройство, обеспечивающее коммутацию одного из входов на общий выход под управлением сигналов на адресных входах. Номер подключаемого входа равен числу (адресу), определяемому комбинацией логических уровней на адресных входах. Параллельные цифровые данные (D) с помощью мультиплексора преобразуются в последовательные информационные сигналы, которые передаются по одному проводу. **Демльтиплексор**, наоборот, преобразует последовательные сигналы на входе в параллельные данные на выходе. Рассмотрим пример построения мультиплексора с четырьмя информационными (D) и двумя адресными шинами (X_1 и X_2) на основе базовых логических элементов, с помощью таблицы истинности (см. таблицу 2).

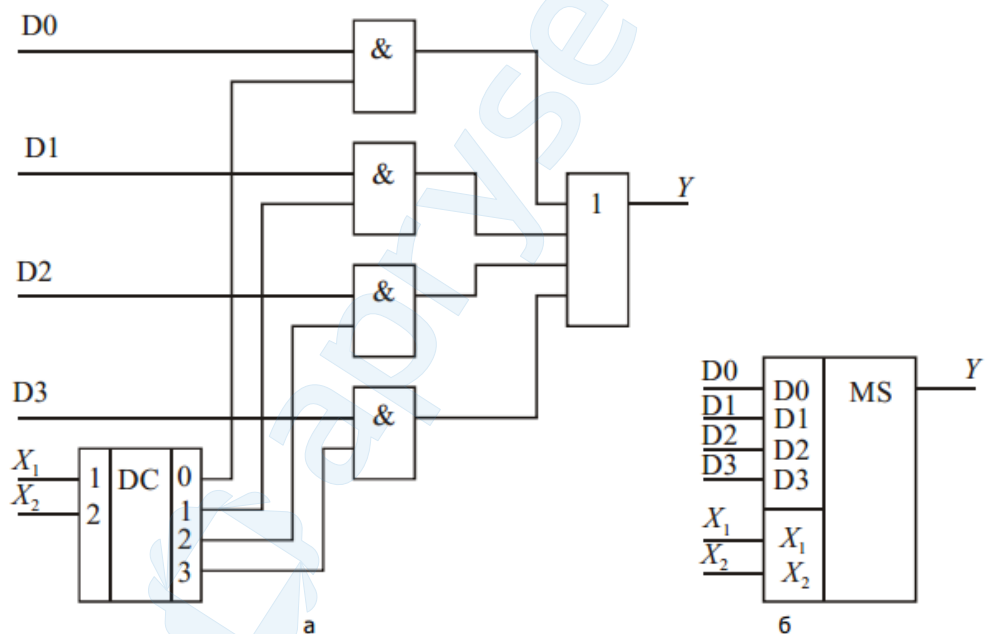
Таблица 2

X_2	X_1	Y
0	0	D0
0	1	D1
1	0	D2
1	1	D3

Составим соответствующее логическое уравнение для построения схемы полусумматора:

$$Y = \bar{X}_1 \cdot \bar{X}_2 \cdot D0 \vee X_1 \cdot \bar{X}_2 \cdot D1 \vee \bar{X}_1 \cdot X_2 \cdot D2 \vee X_1 \cdot X_2 \cdot D3$$

Графическая схема мультиплексора, реализующая полученные логические уравнения, приведена на рисунке 6,а. УГО мультиплексора показано на рисунке 6,б.



Сумматор является простейшим цифровым устройством, предназначенным для сложения двух чисел, заданных в двоичном коде. Сложение производится поразрядно – от младшего разряда к старшему. В каждом разряде необходимо найти сумму S_i слагаемых X_i и Y_i и переноса из предыдущего разряда P_{i-1} .

По числу входов различают **полусумматоры, одноразрядные сумматоры и многоразрядные сумматоры**.

Полусумматорами называются устройства с двумя входами и двумя выходами, на которых вырабатываются сигналы суммы и переноса. В таблице 3 приведена таблица истинности полусумматора.

Таблица 3

a_i	b_i	S_i	C_{i+1}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Составим соответствующие логические уравнения для построения схемы полусумматора:

$$S = a \bullet \bar{b} \vee \bar{a} \bullet b;$$

$$P = a \bullet b.$$

Графическая схема полусумматора с использованием базовых логических элементов, реализующая полученные логические уравнения, приведена на рисунке 7,а. УГО полусумматора показано на рисунке 7,б.

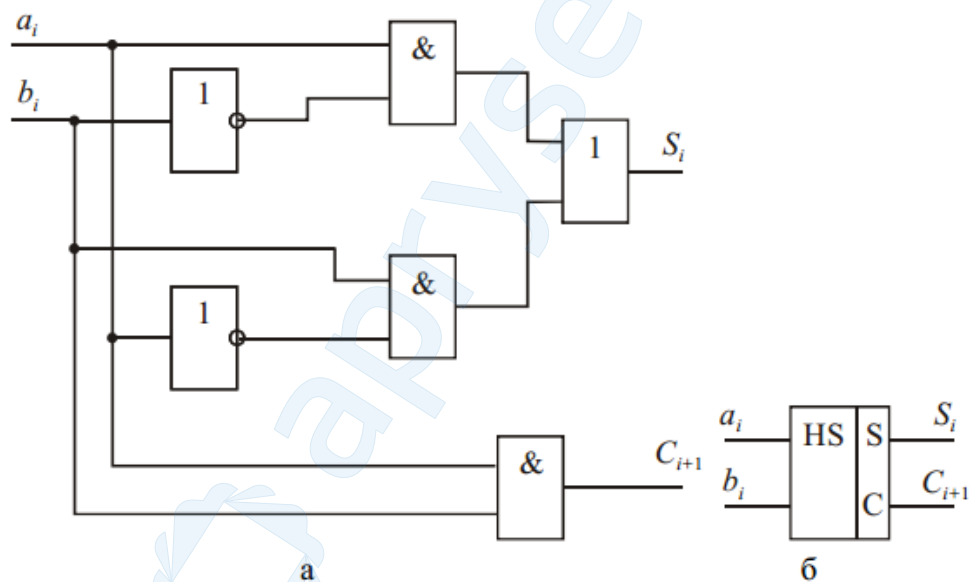


Рисунок 7

Графическая схема полусумматора с использованием логических элементов ИСКЛЮЧАЮЩЕЕ-ИЛИ, приведена на рисунке 8.

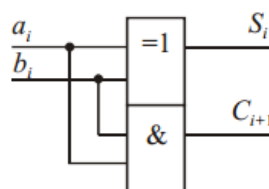


Рисунок 8

Схема сумматора может быть реализована на двух полусумматорах, соединенных как указано на схеме рисунке 9.

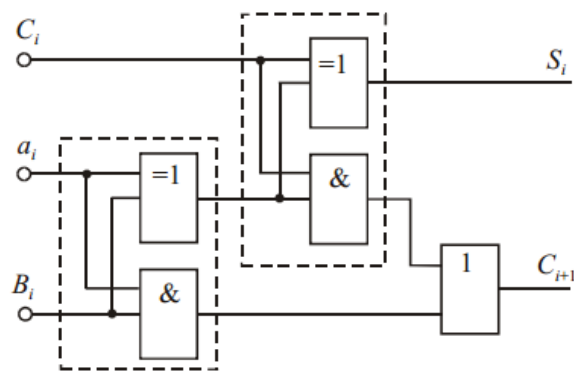


Рисунок 9

В зависимости от характера ввода-вывода кодов и организации переносов многоразрядные сумматоры бывают **последовательного** и **параллельного** принципа действия.

В **последовательном сумматоре** сложение кодов осуществляется, поразрядно начиная с младшего разряда с помощью комбинаторного сумматора на три входа. Образующийся в данном разряде перенос P_{j+1} задерживается на время $t_{эд}$ и поступает на вход P_j сумматора в момент поступления следующего разряда слагаемых. Таким образом, последовательно разряд за разрядом производится сложение кодов чисел. Схема последовательного сумматора приведена на рисунке 10.

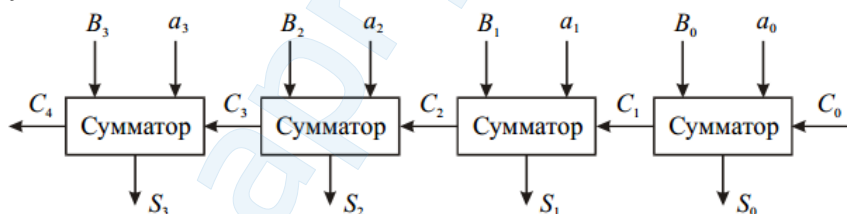


Рисунок 10

Достоинством последовательного сумматора является простота аппаратной реализации, а недостатком — достаточно большое время суммирования.

В **параллельном сумматоре** достигается более высокое быстродействие. Суммируемые коды поступают на входы сумматора одновременно по всем разрядам. Для этого в каждом разряде используется комбинаторный сумматор на три входа, на выходах которого образуются значения суммы S_j данного разряда и переноса P_{j+1} в старший разряд. В процессе распространения сигнала переноса устанавливается окончательное значение суммы в каждом разряде. Очевидно, что в течение этого времени на входах сумматора присутствуют сигналы X_i , Y_i , соответствующие суммируемым кодам. Максимальное по времени суммирование получается в том случае, когда перенос, возникший в первом разряде, распространяется по всем разрядам (например, при сложении кодов 11..11 и 00..01). В параллельном сумматоре обычно применяются различные способы ускорения переноса (параллельный перенос, групповой и т. п.)

Расчетная часть

1. Перевести десятичное число, равное вашему номеру в журнале плюс десять, в следующие системы счисления: двоичную, восьмеричную, шестнадцатеричную, двоично-десятичную с весами 8,4,2,1; 2,4,2,1; 4,2,2,1.
2. Разработать и начертить схему электрическую функциональную полного линейного дешифратора двоичного кода в десятичный на три входа с использованием базовых логических элементов. Нарисовать временные диаграммы его работы.
3. Разработать и начертить схему электрическую функциональную мультиплексора на восемь входов с использованием базовых логических элементов. Нарисовать временные диаграммы его работы.
4. Разработать и начертить схему электрическую функциональную трехразрядного сумматора с последовательным переносом с использованием полусумматоров. Нарисовать временные диаграммы его работы.

Экспериментальная часть

1. Смоделировать линейный дешифратор, разработанный в п. 2 расчетной части, в среде Electronics Workbench. Пример моделирования графической схемы линейного дешифратора двоичного кода в десятичный код с двумя входами в программе Electronics Workbench приведен на рисунке 1. Для имитации работы спроектированной схемы подключить ее входы к генератору слов Word Generation, включив его в циклическом режиме Cycle.
2. Получить временные диаграммы выходных сигналов дешифратора на экране логического анализатора Logic Analyzer. Убедиться в правильной работе шифратора по состоянию логических пробников на ее выходах, заполнив таблицу истинности.
3. Собрать схему рисунок 2 и исследовать линейный дешифратор двоичного кода в десятичный на три входа в среде Electronics Workbench с использованием гибридной интегральной микросхемы (ГИС) 74138.

Чтобы посмотреть назначение выводов микросхемы, щелкните по ней и выберите команду Help из контекстного меню.

Установить генератор слов в пошаговом режиме Step. С помощью соответствующих ключей задать следующие состояния управляющих входов микросхемы: $G1=1$, $G2A=G2B=0$. Убедиться в правильной работе шифратора по состоянию логических пробников на его выходах и составьте соответствующую таблицу истинности.

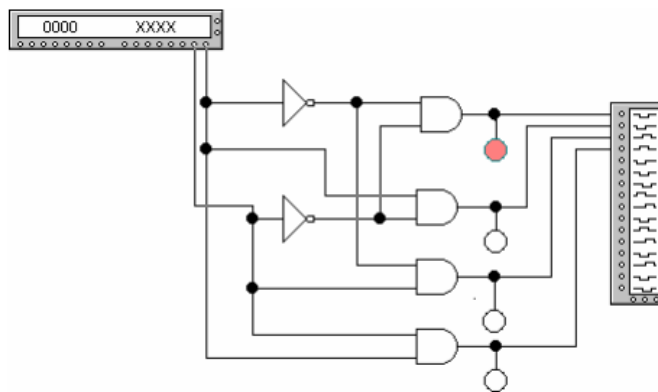


Рисунок 1

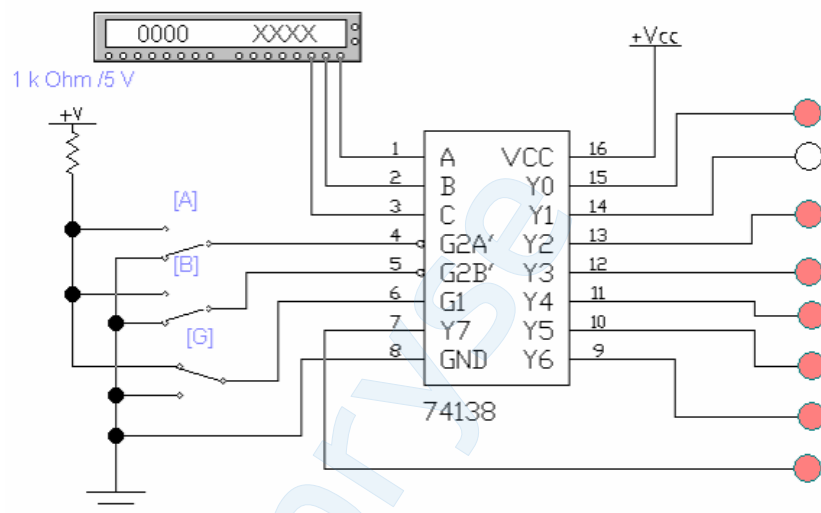


Рисунок 2

4. Смоделировать мультиплексор, разработанный в п. 1.3, в среде Electronics Workbench. Для имитации работы спроектированной схемы подключить ее адресные входы к генератору слов Word Generation, включив его в ручном режиме Step. Задать с помощью ключей управляющий код на шине данных D, соответствующий заданному преподавателем номеру варианта.
5. Получить временные диаграммы информационных, адресных и выходных сигналов мультиплексора на экране логического анализатора Logic Analyzer.
6. Повторить п.п. 4-5, используя в качестве мультиплексора ГИС 74151.
7. Смоделировать трехразрядный сумматор, разработанный в п. 1.4, в среде Electronics Workbench. Пример моделирования графической схемы двухразрядный сумматор в программе Electronics Workbench приведен на рисунке 3.

Поочередно подавая все возможные комбинации входных сигналов с помощью соответствующих ключей, убедиться в правильной работе сумматора по состоянию логических пробников на его выходах и наблюдая за изменением показаний Decoded Seven-Segment Display (семисегментного индикатора с

двоично-десятичным дешифратором на входе), подключенного к его выходам. Составить соответствующую таблицу истинности.

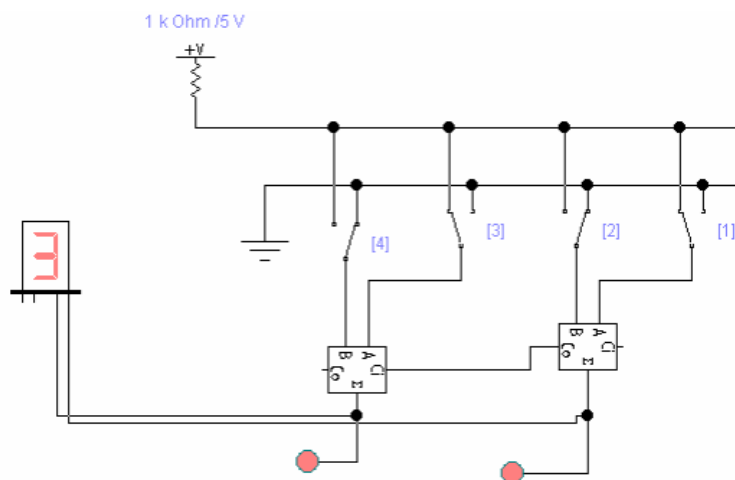


Рисунок 3

8. Составить отчет о выполнении лабораторной работы. Включить в отчет результаты выполнения домашнего задания, разработанные и экспериментальные схемы и соответствующие им таблицы истинности, а также диаграммы входных и выходных сигналов для каждой из выполненных схем.
9. Сравнить диаграммы и таблицы истинности для разработанных теоретически и смоделированных в среде Electronics Workbench схем и сделать выводы.

Контрольные вопросы:

1. Каким образом осуществляется перевод числа из одной позиционной системы счисления в другую?
2. Каким образом осуществляются арифметические операции в двоичной системе счисления?
3. На каких логических элементах строятся схемы шифраторов?
4. По какому принципу и на каких логических элементах строятся линейные дешифраторы?
5. Как построить полусумматор на логических элементах?
6. Как построить схему полного одноразрядного сумматора на базе схем полусумматоров?
7. Как осуществляется сложение и вычитание многоразрядных чисел в сумматоре?
8. Какие условные графические обозначения применяются для ГИС шифраторов, дешифраторов, мультиплексоров, демультиплексоров, полусумматоров и сумматоров?