

Universidad de Costa Rica

Facultad de Ingeniería

Escuela de Ingeniería Eléctrica

IE0499 - Proyecto Eléctrico

II ciclo 2024

Bitácora

# Verificación funcional y diseño de la implementación física de un procesador PicoSoC

José Mario Navarro Bejarano B75398

25 de septiembre, 2024.

# Índice

<b>1. Semana 2</b>	<b>1</b>
1.1. Sesión: lunes 19 de agosto (1 hora)*: . . . . .	1
1.2. Sesión: miércoles 21 de agosto (2 horas) . . . . .	1
1.3. Sesión: viernes 23 de agosto: (6 horas) . . . . .	1
<b>2. Semana 2</b>	<b>2</b>
2.1. Sesión: lunes 19 de agosto (1 hora)*: . . . . .	2
2.2. Sesión: miércoles 21 de agosto (2 horas) . . . . .	2
2.3. Sesión: viernes 23 de agosto: (6 horas) . . . . .	2
<b>3. Semana 3</b>	<b>3</b>
3.1. Sesión: lunes 27 de agosto (2 horas)* . . . . .	3
3.2. Sesión: domingo 8 de agosto (7 horas) . . . . .	3
<b>4. Semana 4</b>	<b>4</b>
4.1. Sesión: lunes 2 de septiembre (1 hora)* . . . . .	4
4.2. Sesión: domingo 8 de setiembre (8 horas) . . . . .	4
<b>5. Semana 5</b>	<b>5</b>
5.1. Sesión: lunes 9 de setiembre (1 hora)* . . . . .	5
5.2. Sesión: miércoles 11 de setiembre (2 horas) . . . . .	5
5.3. Sesión: domingo 15 de setiembre (6 horas) . . . . .	5
<b>6. Semana 6</b>	<b>7</b>
6.1. Sesión: lunes 16 de setiembre (1 hora) . . . . .	7
6.2. Sesión: domingo 22 de setiembre(8 horas) . . . . .	7
<b>7. Semana 7</b>	<b>9</b>
7.1. Sesión: lunes 23 de setiembre (1 hora)* . . . . .	9
7.2. Sesión: miércoles 25 de setiembre (2 horas) . . . . .	9
7.3. Sesión: domingo 29 de setiembre (6 horas) . . . . .	9

# **1. Semana 2**

## **1.1. Sesión: lunes 19 de agosto (1 hora)\*:**

Se mantuvo una reunión con el profesor Gerardo Castro, en la cual se discutieron los términos generales del proyecto.

Se discutió el cronograma con el que se va a trabajar, incluyendo el documento requerido para entregar la próxima semana (test plan).

## **1.2. Sesión: miércoles 21 de agosto (2 horas)**

Se asistió a clase presencial en donde se discutieron algunos temas del curso como el formato para algunos entregables y demás.

## **1.3. Sesión: viernes 23 de agosto: (6 horas)**

La mitad de las horas fueron dedicadas a estudiar el DUT, el cual es un núcleo RISC-V, por lo que fue necesario estudiar la especificación y entender la mayor cantidad de detalles posibles. La otra mitad del tiempo fue dedicado a realizar el documento test plan, con base en lo solicitado por el profesor y la especificación del DUT.

\*Nota: En las sesiones con el profesor guía, se anotan varias mini-tareas que deben cumplirse antes de la próxima sesión. Sirven de recordatorio para las cosas que se deben realizar. - Montar el testplan. - Se decidió el cronograma, es necesario confeccionarlo formalmente. - Se podría realizar un repositorio en Github, pero no es urgente.

## **2. Semana 2**

### **2.1. Sesión: lunes 19 de agosto (1 hora)\*:**

Se mantuvo una reunión con el profesor Gerardo Castro, en la cual se discutieron los términos generales del proyecto.

Se discutió el cronograma con el que se va a trabajar, incluyendo el documento requerido para entregar la próxima semana (test plan).

### **2.2. Sesión: miércoles 21 de agosto (2 horas)**

Se asistió a clase presencial en donde se discutieron algunos temas del curso como el formato para algunos entregables y demás.

### **2.3. Sesión: viernes 23 de agosto: (6 horas)**

La mitad de las horas fueron dedicadas a estudiar el DUT, el cual es un núcleo RISC-V, por lo que fue necesario estudiar la especificación y entender la mayor cantidad de detalles posibles. La otra mitad del tiempo fue dedicado a realizar el documento test plan, con base en lo solicitado por el profesor y la especificación del DUT.

\*Nota: En las sesiones con el profesor guía, se anotan varias mini-tareas que deben cumplirse antes de la próxima sesión. Sirven de recordatorio para las cosas que se deben realizar. - Montar el testplan. - Se decidió el cronograma, es necesario confeccionarlo formalmente. - Se podría realizar un repositorio en Github, pero no es urgente.

### **3. Semana 3**

#### **3.1. Sesión: lunes 27 de agosto (2 horas)\***

Se tuvo una reunión con el profesor en donde se realizó la entrega de la primera versión del test plan.

Se discutieron detalles menores sobre la ejecución del proyecto.

Se acordó los archivos en cuales se debe seguir avanzando para entregar la próxima semana.

#### **3.2. Sesión: domingo 8 de agosto (7 horas)**

Se dedicó 1 hora a completar los archivos necesarios de la semana, como entregar el ante-proyecto y crear y actualizar la bitácora con la información de las semanas anteriores.

\*Nota: En las sesiones con el profesor guía, se anotan varias mini-tareas que deben cumplirse antes de la próxima sesión. Sirven de recordatorio para las cosas que se deben realizar.

- Reemplazar “co-pro” por BFM en entorno de verificación. - Remover pruebas para C, E, Fence y System. - Investigar funciones `do_compare` y `do_copy` (para posible uso en scoreboard) - Investigar más sobre IRQ. - Explicar más cómo obtener datos del DUT en el diagrama de bloques. - Investigar test para comprobar compliance con RISC-V. - Investigar sobre CSR. - Buscar y usar un coding style. - Recordar escribir el header en cada documento y en inglés. - Se puede usar código en C para comprobar saltos de Branch. - Aclarar test para PCPI, la interfaz en específico.

## 4. Semana 4

### 4.1. Sesión: lunes 2 de septiembre (1 hora)\*

Se tuvo una reunión con el profesor en donde se habló sobre los avances del testplan y sobre los resultados de la información que había que investigar.

### 4.2. Sesión: domingo 8 de setiembre (8 horas)

Se estuvo trabajando principalmente en agregar el header con la licencia utilizada y en crear un primer test sencillo que funcionara, para comprobar la utilidad del uso de BFM en lugar de una memoria simulada.

\*Nota: En las sesiones con el profesor guía, se anotan varias mini-tareas que deben cumplirse antes de la próxima sesión. Sirven de recordatorio para las cosas que se deben realizar. - Investigar sobre alguna licencia para agregar al proyecto. - Investigar cómo acceder a los valores de los registros sin tener que sacar las señales como output (tal vez mediante operador punto) - Recordar agregar “Fix Me” cuando se hace un cambio temporal en el código. - Investigar e implementar UVC para reset, memoria y PCPI. Es decir, tener 3 o 4 driver, scoreboard, monitor... - Estudiar virtual sequencer. - Investigar sobre “manejo de registro” , “mapa de registros” , “acceso a registros”. UVM\_Reg. - Investigar las capas de UVM (como UVM\_Reg) - Reemplazar BFM en lugar de sim\_mem. - Ya que se va a usar BFM para la memoria, revisar en UVM\_driver cuando el DUT responder (¿handshake?) - Cambiar el diagrama de capas para hacerlo mas específico y menos genérico (por ejemplo, agregar los 3 agents). - Agregar la sección de compliance en el testplan. - Tener prueba de concepto del BFM para la próxima reunión. - Revisar cómo funciona y cómo se hace la verificación formal del DUT.

## 5. Semana 5

### 5.1. Sesión: lunes 9 de setiembre (1 hora)\*

En esta sesión se tuvo una reunión virtual con el profesor Gerardo Casto. Se mostró el avance que se realizó. Como el avance que se tenía era funcional, se solicitó para la próxima reunión poder realizar correctamente el envío de todas las instrucciones que se iban a verificar.

### 5.2. Sesión: miércoles 11 de setiembre (2 horas)

Se asistió a clases presenciales. En esta clase se discutió sobre la primera entrega de las bitácoras, y se mencionaron puntos de mejora. También se habló del cronograma del curso para las próximas semanas, esto incluye presentar el avance al profesor (25 de setiembre), Realizar el elevator pitch (2 de octubre) y la siguiente semana a esta la presentación en formato Pecha Kucha.

### 5.3. Sesión: domingo 15 de setiembre (6 horas)

El domingo se estuvo trabajando en mejorar el entorno de verificación que se tiene. Parte de las mejoras incluyen el envío correcto de todos los tipos de instrucciones que son soportadas por el DUT. En la figura 2 se muestra un fragmento del código que se utiliza para generar de forma aleatoria mediante restricciones, todos los espacios que conformar las instrucciones de RISC-V (como se muestra en la figura 1). De esta forma es posible enviar de forma ilimitada instrucciones constantemente al DUT, para poder realizar una verificación funcional más completa.

31	27	26	25	24	20	19	15	14	12	11	7	6	0	
funct7				rs2		rs1		funct3		rd		opcode		R-type
imm[11:0]						rs1		funct3		rd		opcode		I-type
imm[11:5]				rs2		rs1		funct3		imm[4:0]		opcode		S-type
imm[12 10:5]				rs2		rs1		funct3		imm[4:1 11]		opcode		B-type
imm[31:12]										rd		opcode		U-type
imm[20 10:1 11 19:12]										rd		opcode		J-type

Figura 1: Formatos de instrucciones en RISC-V

```

43 // After selecting the type of instruction, generate the specific fields
44 // for each instruction
45 constraint constr_opcode_c{
46     // Type R instr
47     if (type_instr==0) opcode inside{7'b0110011};
48     // Type I instr
49     else if (type_instr==1) opcode inside{7'b0010011, 7'b0000011};
50     // Type S instr
51     else if (type_instr==2) opcode inside{7'b0100011};
52     // Type B instr
53     else if (type_instr==3) opcode inside{7'b1100011};
54     // Type U instr
55     else if (type_instr==4) opcode inside{7'b0110111, 7'b0010111};
56     // Type J instr
57     else if (type_instr==5) opcode inside{7'b1101111, 7'b1100111};
58 }
59 constraint constr_func3_c{
60     if (opcode==7'b1100111) funct3 inside{3'b000};
61     else if (opcode==7'b1100011) funct3 inside{3'b000, 3'b001, 3'b100, 3'b101, 3'b110, 3'b111};
62     else if (opcode==7'b0000011) funct3 inside{3'b000, 3'b001, 3'b010, 3'b100, 3'b101};
63     else if (opcode==7'b0100011) funct3 inside{3'b000, 3'b001, 3'b010};
64 }

```

Figura 2: Fragmento del código que muestra la forma en la que se generan los valores para formar instrucciones

Otra tarea que se realizó fue agregar una pequeña sección del código para la implementación de los virtual sequencer, los monitores y el scoreboard. No se agregan muestras del trabajo realizado ya que fue poco lo que se avanzó, se espera que en la siguiente semana se pueda tener esta parte lista.

\*Nota: Mini tareas de la reunión con el profesor Guía: - Realizar correctamente el envío de todas las instrucciones al DUT. -Tener el entorno de verificación completo (incluyendo los 3 Agent y el virtual Sequencer)



## 6. Semana 6

### 6.1. Sesión: lunes 16 de setiembre (1 hora)

Se realizó la reunión semanal con el profesor guía. Básicamente se mostró el avance, y se mencionó que se debía finalizar el entorno, además de corregir el envío de instrucciones, ya que esta parte se estaba realizando de forma incorrecta en el driver.

### 6.2. Sesión: domingo 22 de setiembre(8 horas)

En esta sesión de trabajo, los dos objetivos principales eran corregir la forma en la que se enviaban las instrucciones desde el driver, ya que la forma en la que se estaba realizando era como si el driver se comportara como un monitor, lo cual es incorrecto en el entorno de verificación. El segundo objetivo era terminar de agregar los componentes de verificación que estaban pendientes, como el scoreboard y los monitores.

El primer objetivo se resolvió integrando algo llamado "driver reactivo". Lo que significa que el driver va a reaccionar a las solicitudes realizadas por el DUT. Para implementar esto, se agregó un monitor, y cuando estos detecten que el DUT desea realizar un acceso de memoria, y además este acceso es para obtener instrucciones, se envía la solicitud al sequencer, para que este puede enviar la instrucción al driver, y del driver al DUT.

Para el segundo objetivo, simplemente se terminaron de agregar los componentes de verificación faltantes, a modo de esqueleto, pues elementos como el scoreboard aún no realiza ninguna función.

En la figura 3 se muestra el diagrama completo que se tiene hasta el momento del entorno de verificación, en este se puede observar que ya los componentes faltantes se encuentran implementados, también se puede observar que existe un canal de comunicación desde el virtual sequencer hasta los sequencer, y además existe un canal de comunicación desde los monitores hasta los drivers de los 3 UVCs (memoria, reset y pcpi). Aunque quedan pendientes las asersiones, estas no representan un problema en la ejecución de la verificación.

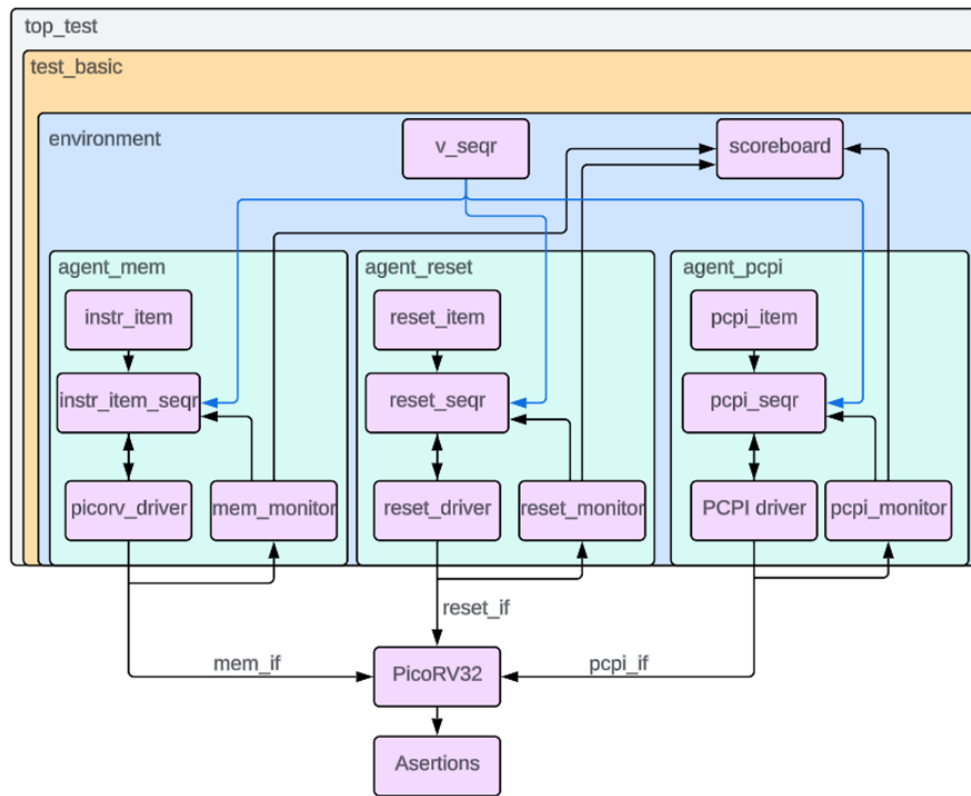


Figura 3: Diagrama de bloques completo del entorno de verificación que se está utilizando

## 7. Semana 7

### 7.1. Sesión: lunes 23 de setiembre (1 hora)\*

En la reunión semanal con el profesor, se mostró el avance, y se decidió que para la próxima semana, se debe priorizar la implementación del modelo de referencia, ya que este puede presentar varias complicaciones.

### 7.2. Sesión: miércoles 25 de setiembre (2 horas)

Se asistió a clases presenciales, en donde se mostró el avances que se tiene con el proyecto hasta el momento al profesor.

### 7.3. Sesión: domingo 29 de setiembre (6 horas)

Ya que el objetivo principal es avanzar los más posible en el modelo de referencia, la mayoría del tiempo de la sesión se dedicó a esto. En la figura 4 se muestra parte del código que forma el ítem que contiene la información de los registros de propósito general que contiene el picorv. Este grupo de registros se envía al scoreboard cada vez que el monitor de memoria detecta que se produce algún cambio en el valor de algún registro. Por otro lado, el monitor también detecta cuando se envía alguna instrucción al DUT, y envía esta instrucción al scoreboard, de esta manera, con las instrucciones enviadas y el valor de los registros, el scoreboard puede realizar el proceso de comparación y comprobar si existen diferencias en los registros.

```
20 class reg_state extends uvm_sequence_item;
21     bit [31:0] reg_state_x1;
22     bit [31:0] reg_state_x2;
23     bit [31:0] reg_state_x3;
24     bit [31:0] reg_state_x4;
25     bit [31:0] reg_state_x5;
26     bit [31:0] reg_state_x6;
27     bit [31:0] reg_state_x7;
28     bit [31:0] reg_state_x8;
29     bit [31:0] reg_state_x9;
30     bit [31:0] reg_state_x10;
31     bit [31:0] reg_state_x11;
32     bit [31:0] reg_state_x12;
33     bit [31:0] reg_state_x13;
34     bit [31:0] reg_state_x14;
35     bit [31:0] reg_state_x15;
36     bit [31:0] reg_state_x16;
37     bit [31:0] reg_state_x17;
38     bit [31:0] reg_state_x18;
39     bit [31:0] reg_state_x19;
40     bit [31:0] reg_state_x20;
41     bit [31:0] reg_state_x21;
```

Figura 4: Parte del código del reg\_state, que se envía al scoreboard cuando se detecta algún cambio.

En la imagen 5 se muestra una parte del código utilizado por el scoreboard para realizar la decodificación de las instrucciones y así poder manipular los registros de referencia, que se utilizan para comparar los valores del DUT.

```

60     case (instr.instr_dtc[6:0])
61     7'b0110111: begin
62         //    // LUI instr
63         //    ref_regs[instr.instr_dtc[11:7]] = {instr.instr_dtc[31:12], 12'b0};
64     end
65     7'b0010011: begin
66         case(instr.instr_dtc[14:12])
67         //ADDI
68         3'b000: begin
69             temp_ref_regs[regs[instr.instr_dtc[11:7]]] =
70                 {{20{instr.instr_dtc[31]}}, instr.instr_dtc[31:20]} +
71                 temp_ref_regs[regs[instr.instr_dtc[19:15]]];
72             regs_queue.push_back(temp_ref_regs);
73         end
74         default;;
75     endcase
76     end
77     default: begin
78         `uvm_error("SCB", $sformatf("The regs are not the same"))
79     end
80 endcase

```

Figura 5: Sección del código que se encarga de realizar la decodificación de las instrucciones en el scoreboard.

También se muestra en la figura 6 una parte del código que utiliza el scoreboard cuando recibe el conjunto de valores de los registros reales del DUT, para poder compararlos con los de referencia.

```

91 virtual function void write_reg (reg_state reg_stte);
92 if (regs_queue.size() != 0) begin
93     ref_regs = regs_queue.pop_front();
94 end
95 reg_stte.print();
96 if (ref_regs[1] != reg_stte.reg_state_x1 ||
97     ref_regs[2] != reg_stte.reg_state_x2 ||
98     ref_regs[3] != reg_stte.reg_state_x3 ||
99     ref_regs[4] != reg_stte.reg_state_x4 ||
100    ref_regs[5] != reg_stte.reg_state_x5 ||
101    ref_regs[6] != reg_stte.reg_state_x6 ||
102    ref_regs[7] != reg_stte.reg_state_x7 ||
103    ref_regs[8] != reg_stte.reg_state_x8 ||
104    ref_regs[9] != reg_stte.reg_state_x9 ||
105    ref_regs[10] != reg_stte.reg_state_x10 ||
106    ref_regs[11] != reg_stte.reg_state_x11 ||
107    ref_regs[12] != reg_stte.reg_state_x12 ||

```

Figura 6: Sección del código que utiliza el scoreboard para comprobar si los registros reales son iguales a los registros de referencia.

\*Nota: Mini tareas de la reunión con el profesor guía: -Agregar una memoria para almacenar la información que el DUT desea escribir. - Ver la cobertura funcional en Dsim Desktop. - Corregir el tamaño de los saltos en las instrucciones. - Corregir el código para que no haya que hacer reset cuando se levanta trap. - Modelar el acceso a memoria (tiempo de respuesta de 1 a 10 ciclos). - Crear un ítem que contenga los registros para enviarlos al scoreboard. - Priorizar el modelo de referencia a utilizar en el scoreboard. - Buscar más información sobre los CSR de RISC-V. - Para la semana 9 tener el modelo de referencia listo. - Para la semana 10 tener el coverage listo. - Ir agregando algunas aserciones. - Revisar nuevamente lo de verificación formal.