

Implementação em FPGA de um conversor HDMI para transmissão em série de alta velocidade

Marisa Oliveira* João Paulo de Castro Canas Ferreira† Henrique Manuel de Castro Faria Salgado‡

Resumo—A sociedade atual depende cada vez mais dos serviços de comunicações, exigindo melhores ligações e mais rápidas, prevendo-se num futuro próximo a necessidade de ligações na ordem das centenas de Gbit/s. O projeto *iBrow* que está a ser desenvolvido por vários parceiros, incluindo o INES-TEC, vem propor uma nova exploração do espectro de frequências permitindo assim comunicações de alta velocidade. Este projeto passa por propor uma metodologia que permite a manufatura de transdutores de baixo custo capazes de atingir grandes débitos de transmissão. A interface HDMI é cada vez mais usada em todos os tipos de ambientes: tanto empresariais como domésticos. Por esse motivo acaba por ser uma boa interface para testar os transdutores que estão a ser desenvolvidos. E por isso, nesta dissertação, é proposto um projeto cuja motivação passa por testar os mesmos.

O trabalho realizado consiste no desenvolvimento e implementação de uma arquitetura em FPGA capaz de suportar sinais provenientes de uma fonte HDMI, serializá-los e ainda enviá-los a alta velocidade. A arquitetura suporta ainda o processo inverso, isto é, recebe os dados em série em alta velocidade e envia-os de seguida para um dispositivo HDMI de destino. Para cumprir os requisitos propostos o projeto é dividido em duas partes.

I. INTRODUÇÃO

ESTE documento contempla o trabalho desenvolvido na Dissertação do Mestrado Integrado em Engenharia Eletrotécnica pela Faculdade de Engenharia da Universidade do Porto. O objetivo desta passa por transmitir dados HDMI em série a alta velocidade. Para tal, é utilizada uma FPGA que, segundo [1], permite desenvolver e implementar uma arquitetura adequada e são também usadas duas placas HDMI que permitem a conversão dos dados HDMI para dados em paralelo. A figura 1 apresenta o diagrama geral do objetivo proposto nesta dissertação.

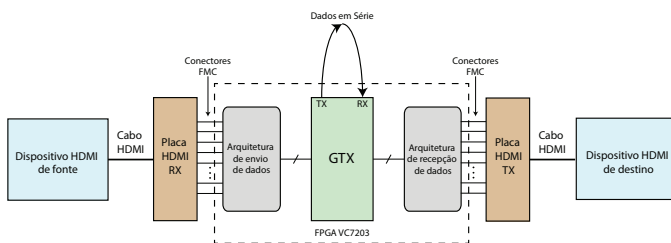


Figura 1. Diagrama geral do objetivo proposto

*ee12180@fe.up.pt

†jcf@fe.up.pt

‡hsalgado@fe.up.pt

II. CONCEPÇÃO E DESENVOLVIMENTO

Nesta secção são apresentadas as duas principais fases do projeto e o trabalho desenvolvido para alcançar o objetivo em cada uma delas.

A. Transmissão de dados HDMI

A primeira fase do projeto consiste em transmitir dados HDMI entre dois dispositivos de uma forma direta. Foram desenvolvidas diversas arquiteturas no sentido de explorar as diferentes configurações das placas HDMI disponíveis para a concepção do trabalho.

1) *Transmissão de barra de cores gerada na FPGA para dispositivo HDMI final:* Esta arquitetura utiliza a placa HDMI transmissora configurada por omissão, tal como referenciado em [2]. Foi desenvolvido um módulo na FPGA que gera uma barra de cores em *FULL HD* com uma taxa de atualização vertical de 60 Hz, que posteriormente envia os dados referentes à mesma para a placa transmissora.

2) *Transmissão de imagem entre dispositivos HDMI:* Esta arquitetura utiliza as placas HDMI transmissora e recetora configuradas por omissão, e permite a transmissão de imagem entre dois dispositivos HDMI. Os dados são recebidos pela placa recetora, e diretamente enviados para a placa HDMI transmissora.

3) *Transmissão de imagem e som entre dispositivos HDMI:* Esta arquitetura, utiliza ambas as placas HDMI configuradas para suporte de um canal e áudio, tal como mencionado em [3]. Esta mesma assemelha-se à arquitetura desenvolvida no ponto anterior, com a vantagem de ser capaz de transmitir também dados de som.

B. Transmissão de dados HDMI em série

A segunda fase do projeto consiste no desenvolvimento de uma arquitetura que, com o auxílio dos transdutores disponíveis na FPGA utilizada (cujo manual é referenciado em [4]), seja capaz de transmitir dados HDMI em série de alta velocidade entre dispositivos.

1) *Transmissão em série de barra de cores gerada na FPGA para dispositivo HDMI final:* Esta arquitetura utiliza a placa HDMI transmissora configurado por omissão e transmite a imagem resultante do bloco gerador de barra de cores, anteriormente mencionado. Os dados referentes

à imagem são transmitidos em tramas de 40 bits a uma cadência de 148,5 MHz de acordo com um determinado formato. Os dados são transmitidos através dos transdutores da FPGA e posteriormente recuperados para o seu envio para a placa HDMI transmissora.

2) *Transmissão em série de imagem entre dispositivos HDMI*: Esta arquitetura utiliza ambas as placas HDMI configuradas por omissão, permitindo que os dados recebidos pela placa receptora sejam enviados em série pelos transdutores da FPGA. Estes dados são também enviados a uma cadência de 148,5 MHz em tramas de 40 bits. Posteriormente são recuperados e enviados para a placa HDMI transmissora.

III. PRINCIPAIS RESULTADOS OBTIDOS

Nesta secção são apresentados os resultados obtidos em cada uma das fases do projeto desenvolvido.

A. Transmissão de dados HDMI

Relativamente ao trabalho desenvolvido na primeira parte do projeto, obteve-se os resultados esperados atingindo-se assim os objetivos propostos: transmissão direta entre dois dispositivos HDMI explorando as diferentes configurações das placas utilizadas.

B. Transmissão de dados HDMI em série

Os resultados obtidos relativamente à segunda parte do projeto foram os esperados: foi possível obter uma ligação em série com uma taxa de débito de 5,94 Gbit/s e ainda recuperar devidamente o sinal transmitido. Contudo, surgiu um problema na transmissão de imagem em série entre dispositivos HDMI. Após várias análises, concluiu-se que tal problema não se deve à transmissão em série, mas a um problema de sincronismo ainda antes do envio das tramas para os transdutores. Este pode ser resolvido através da criação de um protocolo de comunicação mais robusto.

IV. CONCLUSÕES

Neste capítulo são apresentadas as considerações finais sobre o projeto desenvolvido tendo em conta a qualidade dos resultados obtidos. São ainda apresentadas algumas propostas de trabalho futuro que visa melhorar o já desenvolvido.

A. Qualidade dos resultados obtidos

O objetivo principal da primeira parte do projeto é explorar as diferentes configurações das placas HDMI e conseguir obter resultados que venham a ser aplicados na segunda fase do mesmo. Como tal, os resultados obtidos nesta fase foram ao encontro dos objetivos definidos. Foram desenvolvidas e validadas diversas arquiteturas para diferentes configurações das placas HDMI que devido às suas características vieram facilitar a segunda fase do projeto.

Relativamente à transmissão de dados em série, também se conclui que o seu desenvolvimento veio ao encontro dos objetivos definidos para essa mesma fase. A transmissão em série de dados foi obtida com sucesso através do desenvolvimento

de uma arquitetura que, em conjunto com o módulo GTX, é capaz de enviar dados e recebê-los corretamente.

Numa perspectiva geral do projeto, os objetivos foram cumpridos: a transmissão em série de dados entre dois dispositivos HDMI foi conseguida, ainda que possa vir a ser melhorada.

B. Trabalho futuro

Todo o trabalho realizado teve como motivação a sua inclusão no projeto *iBrow* no sentido de testar os transdutores desenvolvidos pelo mesmo. Consequentemente, para que tal inclusão seja realizada é necessário fazer algumas melhorias do trabalho desenvolvido, que passam de seguida a ser enumeradas:

- **Protocolo de comunicação mais robusto**: Como já mencionado, neste projeto, optou-se por abordar a serialização de uma forma direta sem criar um protocolo de comunicação robusto. Assim sendo, o recurso a este procedimento vem melhorar o processo de transmissão de dados em série colmatando algumas falhas.
- **Implementação de códigos detetores de erros**: Com a inserção do sinal em canais ruidosos é expectável que os sinais sejam alterados. O recurso à implementação de códigos detetores de erros vai permitir que tais alterações dos dados sejam detetadas evitando assim que dados errados sejam transmitidos para o final da cadeia de transmissão.

Outros aspectos que podem ser explorados, como trabalho futuro, é a transmissão dos dados de som em série, visto que já foi possível obter essa mesma transmissão de uma forma direta e a utilização da interface DRP do GTX para que haja suporte de diferentes resoluções de imagem.

REFERÊNCIAS

- [1] *VC7203 Virtex-7 FPGA GTX Transceiver Characterization Board User Guide*, 1st ed., Xilinx and Inc, outubro 2014.
- [2] *Manual do Utilizador de TB-FMCH-HDMI2 Hardware*, 1st ed., Inrevium, agosto 2014.
- [3] *TB-FMCH-HDMI2 Hardware User Manual 1 IN / OUT + Audio support*, 1st ed., Inrevium, agosto 2014.
- [4] *7 Series FPGAs GTX/GTH Transceivers User Guide*, 1st ed., Xilinx and Inc, dezembro 2016.