

Transmissão de dados em série

INESC-TEC

12 de Julho de 2017

v1.0

Data	Autor	Edição	Alterações
11 julho 2017	Marisa Oliveira	1.0	Lançamento Inicial

1 Introdução

Este manual apresenta os aspetos relevantes sobre a arquitetura implementada em FPGA que permite a transmissão de uma barra de cores para um dispositivo final HDMI.

2 Objetivo

Esta arquitetura tem como principal objetivo a transmissão direta entre a FPGA e o dispositivo final HDMI, tal como mencionado em (1). É gerada uma barra de cores em *FULL HD* com uma taxa de atualização vertical de 60 Hz no módulo “*colorBar_generator.v*” e os dados referentes à imagem são transmitidos para a placa HDMI TX, tal como se visualiza na Fig. 1.

3 Material Utilizado

Para a implementação desta arquitetura são utilizados vários equipamentos, entre os quais os seguintes:

3.1 FPGA VC7203

É uma FPGA (*Field-programmable gate array*) que se caracteriza pelo seu elevado número de recursos e também pelas entradas e saídas de alta velocidade que possui, tal como indica (2). É utilizada para implementação do código desenvolvido em Verilog para esta arquitetura e ainda para conexão à placa HDMI pelos conectores FMC (*FPGA Mezzanine Card*).

3.2 TB-FMCH-HDMI2-TX

Esta placa HDMI caracteriza-se pela capacidade de transmissão de dados HDMI através da recepção dos dados referentes à imagem em paralelo. Esses dados são recebidos através dos conectores FMC de interface entre a placa e a FPGA VC7203. Para esta implementação, a placa deve estar configurada por omissão cujos detalhes se encontram em (3).

4 Arquitetura

O diagrama de blocos na Fig. 1 representa a arquitetura desenvolvida. É implementado um módulo que gera uma barra de cores em FULL HD com uma taxa de atualização vertical de 60 Hz. Os dados são transmitidos para a placa HDMI transmissora através dos conectores FMC.

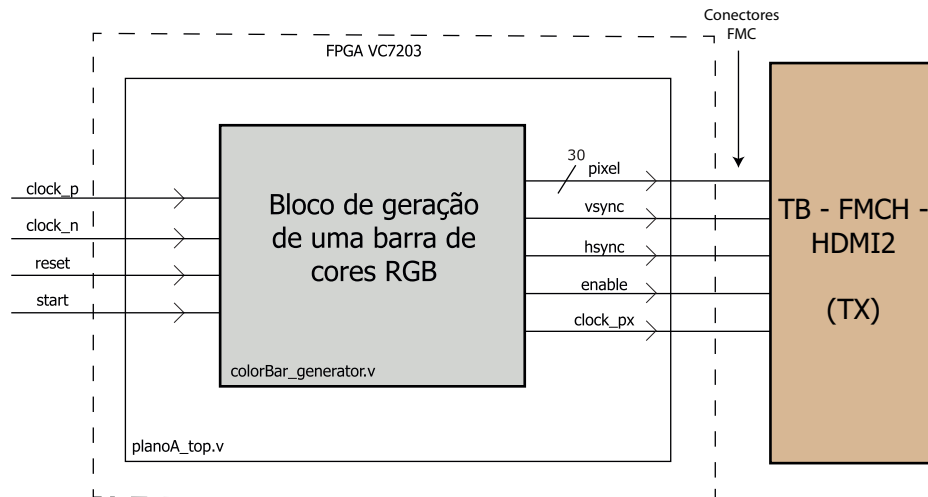


Figura 1: Diagrama de blocos da arquitetura

Disponível para o utilizador:

- Botão **reset**: permite ao utilizador repor os dados originais do sistema;
- Interruptor **start**: permite ao utilizador definir o início da transmissão:
 - **ON**: Transmissão ativa;
 - **OFF**: Transmissão inativa;

5 Configuração do *setup*

Na Fig. 2 está representado o *setup* de teste que deve ser utilizado para esta arquitetura. A configuração de cada um dos componentes passa a ser de

seguida descrito.

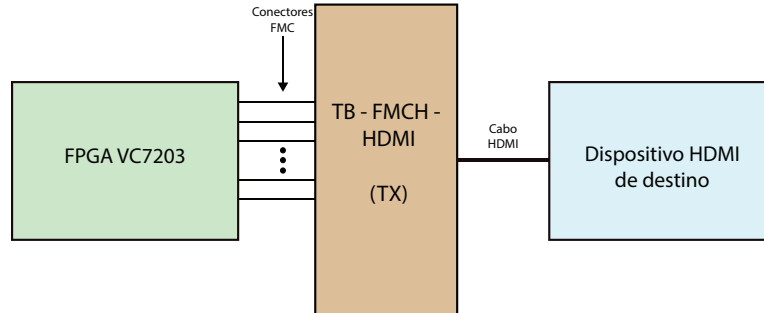


Figura 2: *Setup* de teste

5.1 TB-FMCH-HDMI TX

Estas placas devem estar configuradas por omissão. Para tal deve-se recorrer ao *software iMPACT* e ainda ao programador JTAG (tal como indicado em (4)):

- O programador deve estar devidamente conectado à placa HDMI e ao computador;
- O *software iMPACT* deve ser inicializado;
- Com o botão do lado direito do rato deve ser escolhida a opção “Inicializar cadeia”;
- A PROM (*Programmable read-only memory*) cujos detalhes podem ser encontrados em (5) da placa transmissora deve ser programada com o ficheiro com o nome “*tx_fpga_top.mcs*” que se encontra na pasta “*finalFolder/HDMI_programming/default*”.

5.2 FPGA VC7203

A placa FPGA *Vertex-7* deve ser programada com o *bitstream* gerado pós-implementação da arquitetura no *software VIVADO*.

- A FPGA deve estar devidamente conectada ao computador através da porta USB;
- Após inicializado, deve ser escolhida a opção “*Open Hardware Manager*” no VIVADO;
- De seguida deve ser escolhida a opção “*Open New Target*” dentro de “*Open Target*”;

- Na nova janela aberta deve-se seleccionar a FPGA **XC7VX485T-3** e terminar até a janela fechar;
- De seguida, selecciona-se com o botão do lado direito do rato o componente **XC7VX485T-3**, escolhendo-se a opção “*Program Device*”;
- Nessa janela é seleccionado o bitstream que tem o nome “*colorBarGenerator.bit*” na pasta ‘*finalFolder/planA*’

Mais informações sobre o *software* VIVADO pode ser encontrado em (6).

6 Utilização dos recursos da FPGA

Na Tabela 1 são apresentados os valores dos recursos utilizados pela FPGA nesta arquitetura (denominada por “A”).

Tabela 1: Recursos utilizados pela arquitetura na FPGA

Recurso	Arquitetura A	
	Utilização	%
FF	31	0,01
LUT	59	0,02
I/O	38	5,43
GT	0	0

Os valores percentuais ocupados pela arquitetura são muito baixos, possibilitando a expansão da mesma caso necessário.

Referências

- [1] M. Oliveira, “Implementação em FPGA de um conversor HDMI para transmissão em série de alta velocidade,” Master’s thesis, Faculdade de Engenharia da Universidade do Porto, 2017.
- [2] Xilinx and Inc, *VC7203 Virtex-7 FPGA GTX Transceiver Characterization Board User Guide*, 1.3 ed., outubro 2014.
- [3] Inrevium, *Manual do Utilizador de TB-FMCH-HDMI2 Hardware*, 1.04 ed., agosto 2014.
- [4] Xilinx, *Xilinx Platform Cable USB II*.
- [5] Xilinx, *Platform Flash In-System Programmable Configuration PROMs*, 2.19 ed., junho 2016.
- [6] Xilinx, *Vivado Design Suite Tutorial*, 2015.1 ed., maio 2015.