

## Investeste in OAMENI!

### === Frecvențmetru numeric ===

**Obiectivele temei:** Aprofundarea cunoștințelor despre funcționarea circuitelor logice și utilizarea acestora în proiectarea sistemelor digitale mai complexe, realizate cu circuite integrate de complexitate mică (SSI – Small Scale Integration), sau de complexitate medie (MSI – Medium Scale Integration).

*Etapele proiectării unui sistem digital cu circuite discrete sunt prezentate pentru cazul particular al unui frecvențmetru numeric.*

**Competențe obținute:** Proiectarea sistemelor digitale la nivel de schemă bloc; Proiectarea schemelor logice pentru blocurile funcționale și implementarea acestora cu circuite discrete; Realizarea și optimizarea schemei electrice finale a sistemului digital.

## 1. Breviar teoretic

### 1.1. Prezentarea metodei de măsurare a frecvenței adoptate

Determinarea frecvenței unui semnal de curent alternativ este foarte importantă mai ales acolo unde sistemul este proiectat să funcționeze corect/optimal pentru o singură frecvență (echipamente de comunicații radio, rețeaua de alimentare cu energie electrică, etc.).

În prezent, din mulțimea metodelor cunoscute de măsurare a frecvenței, cele mai utilizate, și totodată cele mai precise, sunt metodele numerice. În literatura de specialitate se arată că eroarea de determinare a frecvenței prin metode numerice, poate atinge valoarea de  $10^{-14}$ .

În esență, pentru măsurarea numerică a frecvenței, se pleacă de la definiția acesteia: *numărul de oscilații în unitatea de timp*. În consecință, în interiorul frecvențmetrului se generează un interval de timp de măsură  $T_M$ , în care se numără impulsurile semnalului de intrare cu frecvența necunoscută  $f_x$ . Pentru aceasta, în schema bloc de principiu a unui frecvențmetru numeric trebuie să găsim:

- o bază de timp – pentru generarea periodică a intervalelor de măsură  $T_M$ ;
- o poartă AND – care lasă să treacă impulsurile semnalului de intrare doar pe durata intervalului de măsură  $T_M$ ;
- un numărător – pentru numărarea impulsurilor ce trec prin poarta AND;
- un bloc de afișare – pentru afișarea rezultatului măsurării, într-o manieră convenabilă utilizatorului.

Modul de conectare a blocurilor componente este prezentat în figura 1. Pentru această schemă, se poate arăta că frecvența  $f_x$  este direct proporțională cu numărul de impulsuri  $N_x$  ce trec prin poarta AND în intervalul de timp  $T_M$ . Așadar, se pot scrie următoarele relații:

$$T_M = N_x \cdot T_x = \frac{N_x}{f_x} \quad (1)$$

$$f_x = \frac{N_x}{T_M} \quad (2)$$

## Investeste in OAMENI!

Din analiza relației (2) se constată că este necesară o operație de împărțire între  $N_x$  și  $T_M$ . Această operație este relativ greu de implementat în hardware cu ajutorul circuite digitale MSI sa SSI.

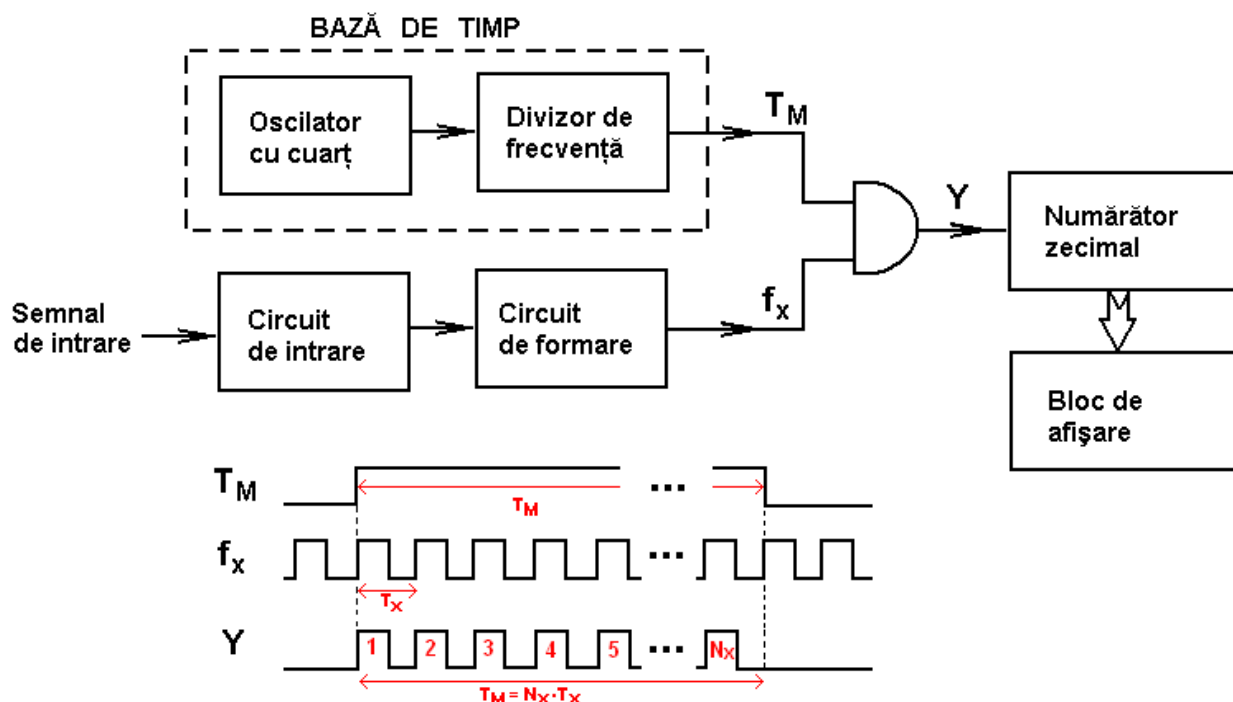


Fig. 1 : Schema bloc de principiu pentru măsurarea frecvenței

O soluție de a evita utilizarea unui circuit de împărțire se bazează pe observația că împărțire unui număr zecimal oarecare, la un alt număr ce reprezintă o putere a lui 10, se face prin simpla deplasare spre stânga a punctului zecimal al primului număr. Pe baza acestei observații, numărătorul de la ieșirea porții AND este zecimal și nu binar, iar durata aleasă pentru timpul de măsură trebuie să fie una din valorile următoare: 100μs, 1ms, 10ms, 100ms, 1s, ... , și nu o valoare numerică oarecare. În aceste condiții, circuitul de împărțire este înlocuit cu o logică ce trebuie să semnalizeze unitatea de măsură corectă și poziția corectă, pe afișaj, a punctului zecimal. Această logică este mult mai ușor de implementat în raport cu circuitul de împărțire.

### 1.2. Eroarea de măsurare

Din cauza faptului că semnale digitale  $f_x$  și  $T_M$  sunt complet necorelate, între numărul perioadelor de intrare care acoperă timpul de măsură  $T_M$  și numărul de impulsuri  $N_x$ , din numărător, poate exista o diferență de  $\pm 1$ . Această diferență induce o eroare de măsură:

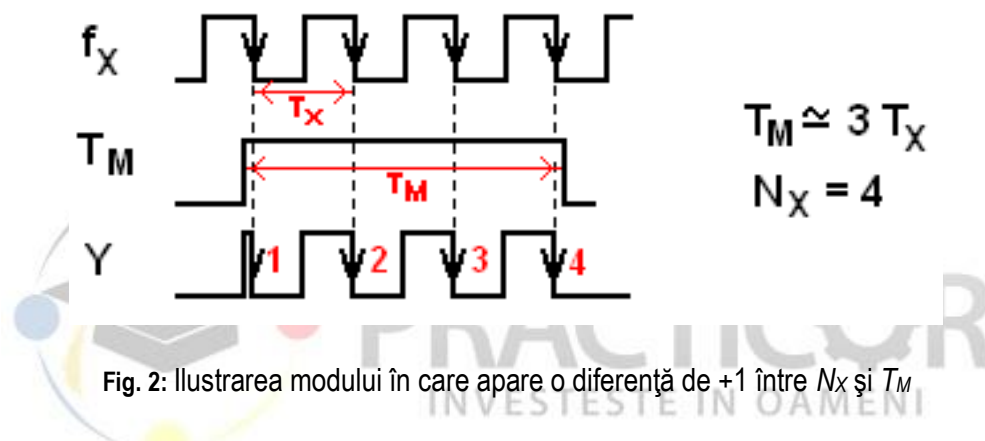
## Investeste in OAMENI!

$$\delta = \pm \frac{1}{N_x} \quad (3)$$

sau, ținând cont de relația  $T_M = N_x \cdot T_x$ , obținem:

$$\delta = \pm \frac{T_x}{T_M} \quad (4)$$

Pentru a ilustra modul în care apare diferența de  $\pm 1$  dintre  $N_x$  și  $T_M$ , în figura 2 se prezintă o situație particulară în care  $T_M$  începe puțin înaintea tranziției 1 și se termină imediat după tranziția 4, a semnalului de intrare. Numărătorul se consideră activ pe tranziția negativă a semnalului de ceas. În această situație, deși  $T_M \approx 3T_x$  numărătorul primește 4 tranziții negative (vezi semnalul Y), ceea ce corespunde lui  $N_x = 4$ .



La eroare dată de relația (3) ar mai fi necesar să adăugăm și eroarea ce apare în generarea timpului de măsură  $T_M$ . Această eroare este nesemnificativă pentru bazele de timp ce prelucrează semnale provenite de la oscilatoare cu cuarț (valorile tipice sunt cuprinse în intervalul  $10^{-6} \div 10^{-7}$ ).

Din analiza relației (4) se pot trage câteva concluzii importante pentru etapa de proiectare:

- eroarea relativă poate fi redusă prin creșterea timpului de măsurare  $T_M$ ;
- o eroare mică se obține pentru măsurarea frecvențelor mari, capătul superior al domeniului de măsură, unde  $T_x$  are valori reduse;
- o eroare mare se obține pentru măsurarea frecvențelor mici, capătul inferior al domeniului de măsură, unde  $T_x$  are valori crescute.

Din observațiile de mai sus tragem concluzia că cel mai dificil este să asigurăm o eroare acceptabilă pentru capătul din stânga al fiecărui subdomeniu de măsurare. Din acest motiv, în proiectare, verificarea condiției de eroare se face pentru frecvența cea mai mică a subdomeniului.

## 2. Activități de proiectare

Principalele etape ce trebuie parcurse în proiectarea oricărui aparat sau echipament electronic sunt:

Proiect co-finanțat din Fondul Social European prin  
Programul Operațional Sectorial Dezvoltarea Resurselor Umane 2007 – 2013

## Investeste in OAMENI!

- stabilirea datelor inițiale de proiectare, în concordanță cu specificațiile/cerințele utilizatorului final al echipamentului;
- alegerea circuitelor de lucru și a tehnologiei de realizare (cu circuite discrete, cu microprocesoare, cu FPGA, etc);
- proiectarea schemei bloc, în concordanță cu deciziile luate în etapele anterioare;
- proiectarea și simularea blocurilor componente din schema bloc;
- verificarea funcționării schemei electrice finale;
- proiectarea cablajului;
- proiectarea carcasei.

### 2.1. Stabilirea datelor inițiale de proiectare

Stabilirea datelor de proiectare se face, de regulă, în colaborare cu utilizatorul final al produsului ce urmează a fi proiectat, sau ca urmare a unui studiu de piață.

În cele ce urmează considerăm că, la finalul acestei etape, au rezultat următoarele date inițiale de proiectare:

- domeniul de măsură :  $100\text{Hz} \div 10\text{MHz}$ ;
- eroarea maximă admisibilă:  $\delta_{\max}[\%] = \pm 1\%$ ;
- afișarea rezultatului se face cu cel puțin 4 cifre;
- se impune utilizarea exclusivă a circuitelor digitale SSI sau MSI;
- consum redus de energie electrică;

### 2.2. Proiectarea schemei bloc

În proiectarea schemei bloc, punctul de plecare este schema de principiu din figura 1, însă această schemă trebuie completată pentru a răspunde cerințelor inițiale de proiectare, așa cum se prezintă în tabelul de mai jos:

Cerință	Acțiune
Timpul de măsură $T_M$ trebuie generat cât mai exact (cu o eroare foarte mică) pentru a nu afecta precizia de măsurare a frecvenței;	Baza de timp, formată dintr-un oscilator și un divizor de frecvență, este responsabilă cu generarea lui $T_M$ . Pentru o bună stabilitate și precizie a lui $T_M$ , este <i>absolut necesar</i> ca oscilatorul să aibă ca referință un cristal de cuarț de frecvență mare.
Operația de împărțire dintre $N_x$ și $T_M$ trebuie realizată cât mai simplu pentru a reduce complexitatea schemei.	<ul style="list-style-type: none"> <li>- Valoarea numerică a lui <math>T_M</math> se alege ca fiind un submultiplu al unității de timp (spre exemplu <math>T_M = 100\mu\text{s}</math>), și nu o valoare numeric oarecare.</li> <li>- Numărătorul folosit pentru contorizarea impulsurilor <math>N_x</math> trebuie să fie zecimal.</li> </ul>
Frecvențmetrul trebuie să poată urmări eventualele schimbări ale frecvenței semnalului de intrare.	Procesul de măsurare trebuie să fie repetitiv.

## Investeste in OAMENI!

Frecvențmetrul trebuie să afișeze rezultatele finale și nu cele parțiale (în decurs de desfășurare)

Rezultatul final se obține la sfârșitul timpului de măsură  $T_M$ , în numărătorul zecimal. Pentru a nu pierde un rezultat final se procedează astfel:

- între numărător și blocul de afișare se introduce un *registru de memorie* în care se salvează rezultatul final;
- se introduce o logică de control care să comande transferul informației din numărător în registrul de memorie, după care să comande ștergerea numărătorului (în vederea reluării unui nou proces de măsurare)

În urma acestor cerințe, adoptăm schema bloc din figura 3.

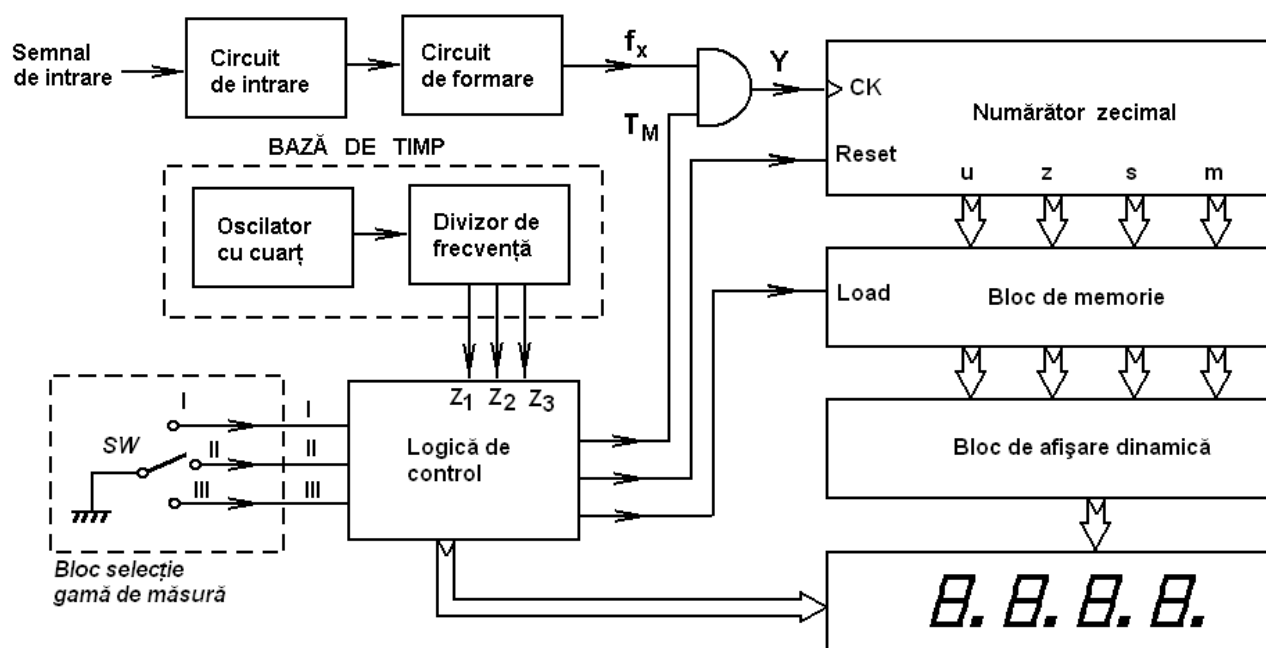


Fig. 3: Schema bloc a frecvențmetrului

### a) Stabilirea capacității maxime a numărătorului zecimal

Pentru determinarea capacității maxime a numărătorului se ține cont de faptul că afișajul are 4 cifre, deci cel mai mare număr ce poate fi afișat este 9999. Nu are rost să lucrăm cu un numărător mai mare de 4 decade deoarece informația din el nu poate fi afișată.

Așadar adoptăm un numărător zecimal cu 4 decade, caz în care  $N_{xmax} = 9999$ .

### b) Stabilirea subdivenziilor și a timpilor de măsură



UNIUNEA EUROPEANĂ

GUVERNUL ROMÂNIEI  
MINISTERUL MUNCII, FAMILIEI  
ȘI PROTECȚIEI SOCIALE  
AMPOSDRUFondul Social European  
POSDRU 2007-2013Instrumente Structurale  
2007-2013

OIPOSDRU

Universitatea  
POLITEHNICA Timisoara

## Investeste in OAMENI!

Pentru determinarea valorii corecte pe care trebuie să o aibă timpul de măsură, se pleacă de la expresia erorii de măsură și se pune condiția ca aceasta să fie sub cea impusă prin datele inițiale de proiectare.

Relația (4), scrisă pentru frecvența minimă de intrare  $f_{x\min}$  devine:

$$\delta_{\max} = \pm \frac{T_{X\max}}{T_M} = \pm \frac{1}{f_{X\min} T_M} \quad (5)$$

Din relația (5) deducem expresia lui  $T_M$  ca fiind:

$$T_M = \frac{1}{f_{X\min} \cdot |\delta_{\max}|} \quad (6)$$

Pentru cea mai mică frecvență a domeniului de măsurare:  $f_{x\min}=100\text{Hz}$ , obținem:

$$T_M = \frac{1}{f_{X\min} \cdot |\delta_{\max}|} = \frac{1}{100 \cdot 0,01} = 1\text{sec} \quad (7)$$

Dacă menținem această valoare a lui  $T_M$  și la frecvența maximă  $f_{x\max}=10\text{MHz}$ , numărul impulsurilor ce ajung spre numărător se calculează cu relația:

$$N_M = \frac{T_M}{T_{X\min}} = T_M \cdot f_{X\max} = 1\text{sec} \cdot 10\text{MHz} = 10^7 \text{impulsuri} \quad (8)$$

Această valoare este cu mult mai mare decât capacitatea numărătorului zecimal. Deoarece o măsurătoare corectă se obține numai atunci când numărătorul nu se umple, indiferent de valoarea frecvenței măsurate, este necesar să împărțim domeniul de măsură în subdomenii mai mici.

Pentru a stabili valorile extreme ale fiecărui subdomeniu, se procedează astfel:

- din condiția de eroare maxim admisibilă se determină timpul de măsură  $T_M$ ;
- din cerința ca numărătorul să nu se umple în intervalul de timp  $T_M$  se determină care este valoare maximă a subdomeniului respectiv.

Procedând astfel, se obțin următoarele rezultate:

a) subdomeniul 1:

$$f_{m1}=100\text{Hz}$$

$$T_{M1} = \frac{1}{f_{m1} \cdot |\delta_{\max}|} = \frac{1}{100 \cdot 0,01} = 1\text{sec}$$

$$f_{M1} = \frac{9999}{T_{M1}} = \frac{9999}{1} = 9999\text{Hz} = 9,999\text{kHz}$$

## Investeste in OAMENI!

b) subdomeniul 2:

$$f_{m2} = 10\text{kHz}$$

$$T_{M2} = \frac{1}{f_{m2} \cdot |\delta_{\max}|} = \frac{1}{10 \cdot 10^3 \cdot 0,01} = 0,01\text{sec} = 10\text{ms}$$

$$f_{M2} = \frac{9999}{T_{M2}} = \frac{9999}{10 \cdot 10^{-3}} = 999,9\text{KHz}$$

c) subdomeniul 3:

$$f_{m3} = 1\text{MHz}$$

$$T_{M3} = \frac{1}{f_{m3} \cdot |\delta_{\max}|} = \frac{1}{10^6 \cdot 0,01} = 0,1\text{ms} = 100\mu\text{s}$$

$$f_{M3} = \frac{9999}{T_{M3}} = \frac{9999}{100 \cdot 10^{-6}} = 99,99\text{MHz}$$

În urma acestor calcule am obținut următoarele rezultate:

subdomeniul 1	100Hz ÷ 9,999kHz	$T_M = 1\text{sec}$
subdomeniul 2	100kHz ÷ 999,9kHz	$T_M = 10\text{ms}$
subdomeniul 3	1MHz ÷ 99,99MHz	$T_M = 0,1\text{ms}$

### 2.3. Proiectarea bazei de timp

Baza de timp este formată dintr-un oscilator cu cuarț și un lanț de divizoare de frecvență ce au ca rol generarea a trei semnale periodice,  $Z_1$ ,  $Z_2$ ,  $Z_3$ , a căror durată de “unu logic” este egală cu  $T_{M1}$ ,  $T_{M2}$  respectiv  $T_{M3}$ .

Semnalele  $Z_1$ ,  $Z_2$ ,  $Z_3$ , se aplică comutatorului de selecție a subgamei de măsură, iar apoi, unul dintre acestea ajunge la intrarea porții AND de la intrarea număratorului zecimal. Pe fiecare stare logică a semnalului selectat se execută o serie de acțiuni:

- pe “unu logic” se derulează procesul de măsurare a frecvenței;
- pe “zero logic” se fac două acțiuni, în următoarea ordine:
  - rezultatului măsurării se transferă din numărător în elementul de memorare;
  - ștergerea număratorului în vederea reluării măsurării.

Pentru oscilator, alegem un cuarț cu frecvența de  $f_{osc} = 2\text{MHz}$ , caz în care perioada semnalului generat de oscilator are valoarea  $T_{osc} = 0,5\mu\text{s}$ .

În continuare trebuie să determinăm constantele de divizare  $k_1$ ,  $k_2$ ,  $k_3$ , pentru schema bloc prezentată în figura 4.



## Investeste in OAMENI!

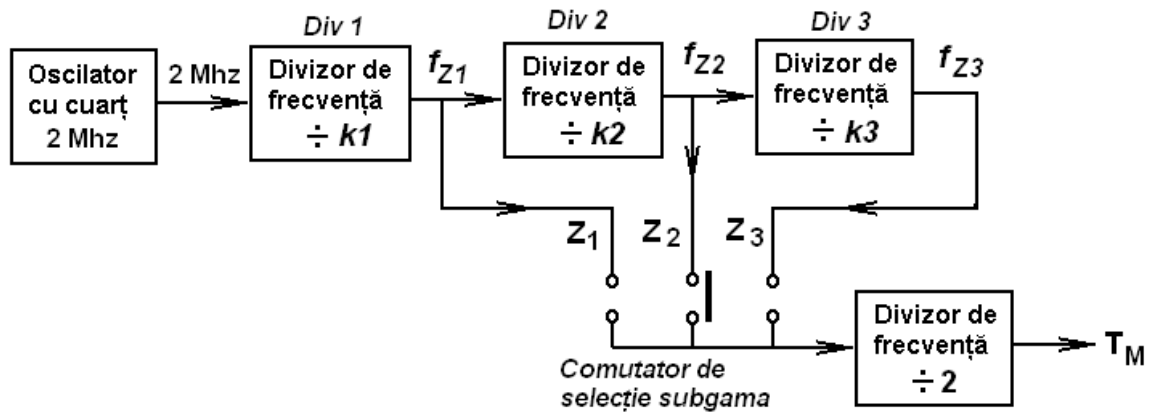


Fig. 4: Schema bloc de principiu a bazei de timp

La ieșirea primului divizor de frecvență, notat prin *Div1*, trebuie să obținem semnalul  $Z_1$ , a cărei perioadă trebuie să respecte relația:  $T_{Z1} = T_{M1}$ . Ținând cont că la intrarea divizorului se aplică semnalul de la oscilator, caracterizat de frecvența  $f_{osc}=2MHz$ , se poate determina constanta de divizarea  $k_1$ , respectiv frecvența semnalului de ieșire  $f_{Z1}$ , cu relațiile:

$$k_1 = \frac{T_{M1}}{T_{osc}} = \frac{100\mu s}{0,5\mu s} = 200$$

$$f_{Z1} = \frac{f_{osc}}{k_1} = \frac{2MHz}{200} = 10kHz$$

Pentru divizorul *Div2*, semnalul de intrare are frecvența  $f_{Z1}=10kHz$ , iar perioada semnalului de ieșire  $Z_2$ , trebuie să respecte relația:  $T_{Z2} = T_{M2}$ . În aceste condiții deducem că:

$$k_2 = \frac{T_{M2}}{T_{Z1}} = \frac{10ms}{0,1ms} = 100$$

$$f_{Z2} = \frac{f_{Z1}}{k_2} = \frac{10kHz}{100} = 100Hz$$

Pentru ultimul divizor, *Div3*, semnalul de intrare are frecvența  $f_{Z2}=100Hz$ , iar perioada semnalului de ieșire  $Z_3$ , trebuie să respecte relația:  $T_{Z3} = T_{M3}$ . În aceste condiții obținem următoarele rezultate:

$$k_3 = \frac{T_{M3}}{T_{Z2}} = \frac{1s}{10ms} = 100$$



## Investeste in OAMENI!

$$f_{Z3} = \frac{f_{Z2}}{k_3} = \frac{100\text{Hz}}{100} = 1\text{Hz}$$

În procesul de măsurare a frecvenței este necesar ca *durata de "unu logic"* a semnalelor de la ieșirea bazei de timp să fie  $100\mu\text{s}$ ,  $10\text{ms}$  respectiv  $1\text{s}$ . În realitate schema din figura 4, generează semnale de ieșire care au *perioada* egală cu  $100\mu\text{s}$ ,  $10\text{ms}$  respectiv  $1\text{s}$ .

Pentru a obține un semnal cu durata de "unu logic" egală cu perioada semnalului de intrare, avem nevoie de un divizor de frecvență cu 2. La prima vedere, un astfel de divizor ar fi necesar pentru fiecare semnal  $Z_1$ ,  $Z_2$ ,  $Z_3$ . Dar, având în vedere că în procesul de măsurare se folosește un singur semnal din cele trei, este mai eficient să folosim un singur divizor de frecvență, amplasat după comutatorul de selecție a gamei de măsură, așa cum se arată în figura 3.

Factorii divizare  $k_1=200$ ,  $k_2=100$ ,  $k_3=100$  sunt prea mari ca să fie realizați cu un singur numărător, de aceea divizoarele  $Div1$ ,  $Div2$ ,  $Div3$  trebuie, la rândul lor, realizate pe baza unor divizoare mai mici ce pot fi realizate cu un singur numărător, așa cum se arată în figura 5.

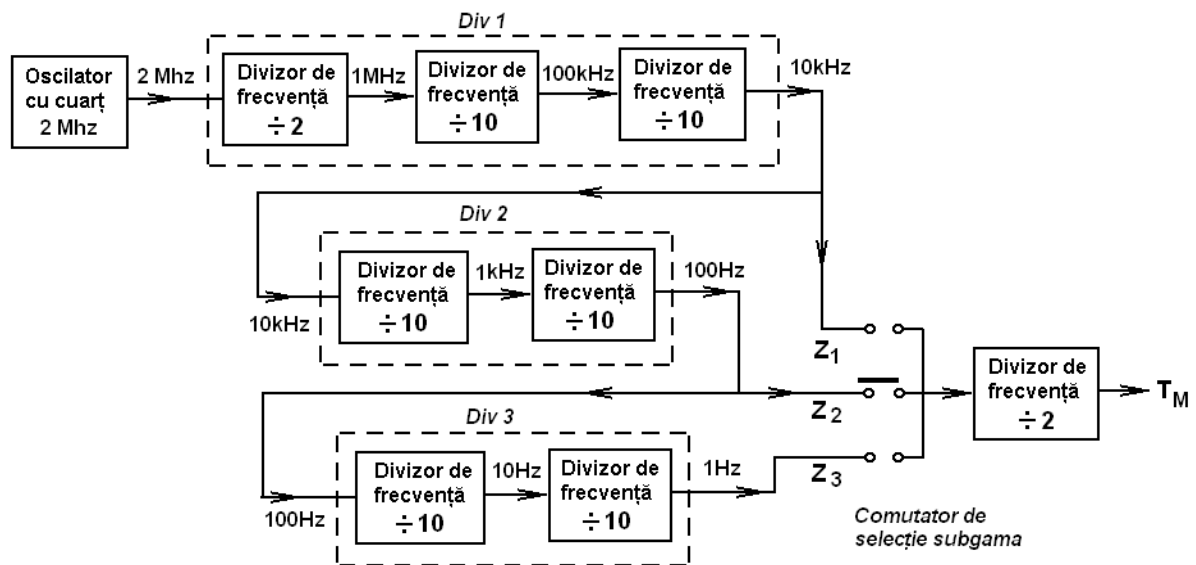


Fig. 5: Schema bloc a bazei de timp, folosită pentru implementare

Pentru implementarea celor două divizoare de frecvență cu 2, se poate folosi un circuit 7474, ce conține 2 bistabile de tip D. Pentru fiecare bistabil se realizează o conexiune de la ieșirea  $\overline{Q}$  la intrarea  $D$ , iar intrările de  $\overline{Preset}$  și  $\overline{Clear}$  se leagă în permanență la unu logic, deoarece nu sunt utilizate. Modul de conectare precum și formele de undă obținute prin simulare sunt prezentate în figura 6.

## Investeste in OAMENI!

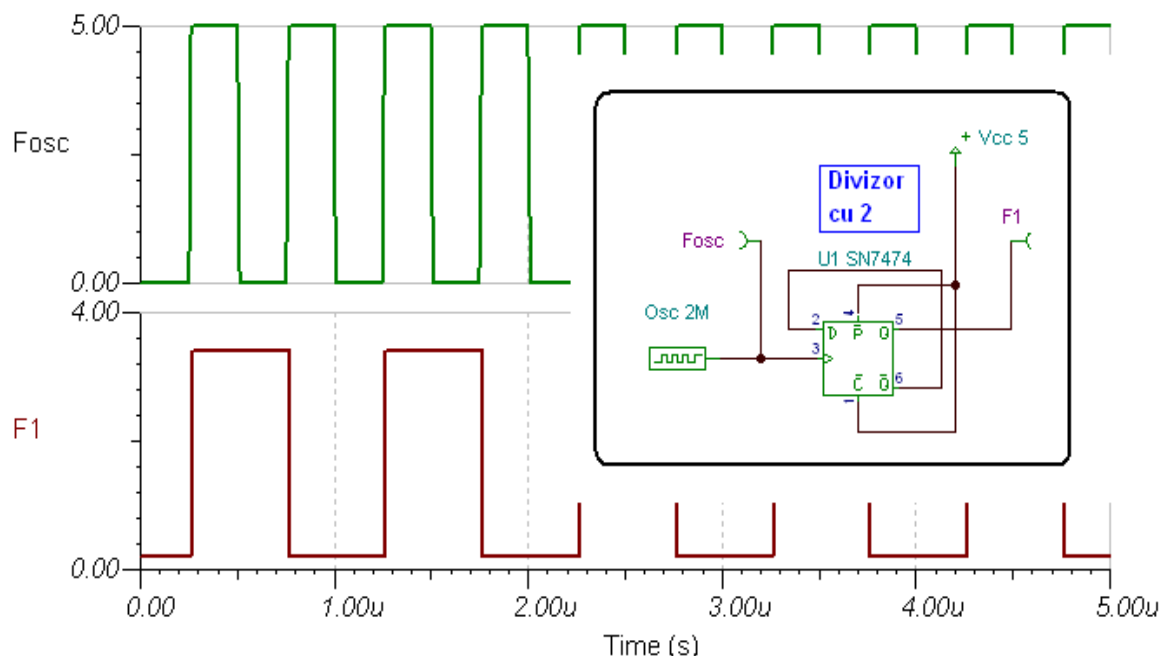


Fig. 6: Schema electrică și formele undă obținute prin simulare pentru divizorul de frecvență cu 2

Pentru implementarea divizoarelor de frecvență cu 10 există mai multe soluții de implementare:

- utilizarea de circuite binare pe 4 biți, spre exemplu 7493, configurate astfel încât să lucreze ca un numărător zecimal;
- utilizarea de numărătoare zecimale, spre exemplu 7490, ce conțin un singur numărător în capsulă;
- utilizarea de numărătoare zecimale duale, spre exemplu 74390, ce conțin două numărătoare într-o singură capsulă de circuit integrat.

Cea mai bună soluție, din punct de vedere al reducerii complexității schemei electrice, și implicit și a cablajului, constă în folosirea de circuite 74390, deoarece putem realiza un divizor cu 100 folosind o singură capsulă. Modul de conectare și formele de undă obținute prin divizare sunt prezentate în figura 7.

## Investeste in OAMENI!

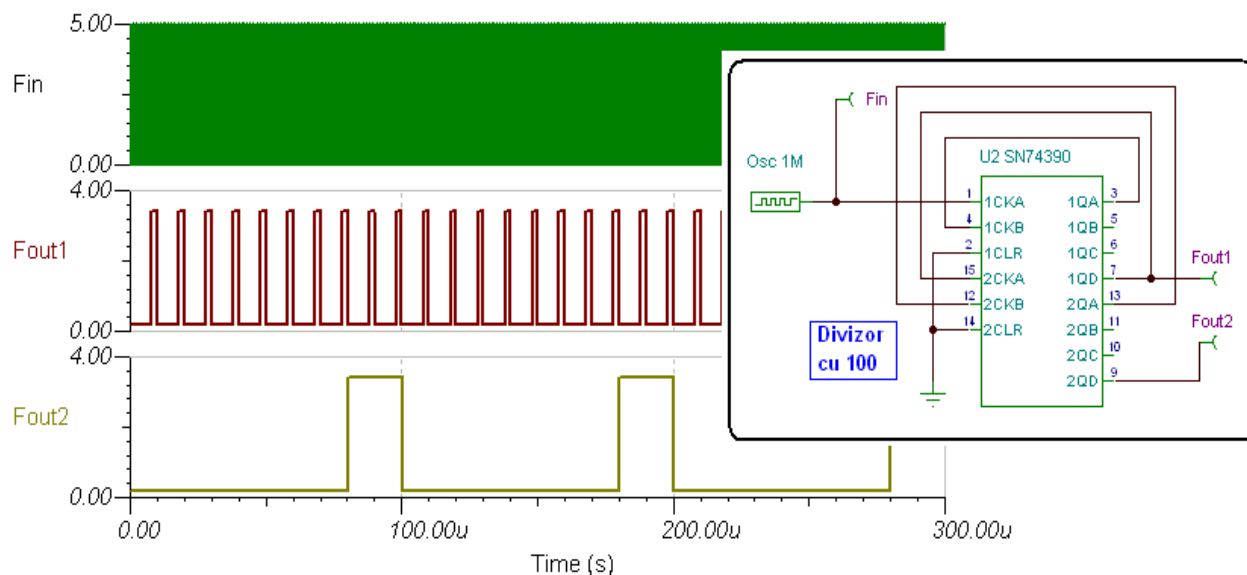


Fig. 7: Schema electrică și formele undă obținute prin simulare pentru divizorul de frecvență cu 100

În realizarea schemei electrice a divizorului cu 100, s-au avut în vedere câteva aspecte ce țin de structura internă a circuitului dar și aspecte ce țin aplicația de față:

- circuitul 74390 conține două numărătoare zecimale, toate intrările/ieșirile primului numărător sunt precedate de cifra 1, iar cele ce aparțin celui de-al doilea numărător sunt precedate de cifra 2;
- fiecare numărător are o construcție internă mai aparte: primul bistabil din structură nu este conectat intern la următorul;
- realizarea unui divizor de frecvență cu 10 este posibilă numai dacă realizăm o legătură externă între ieșirea 1QA și intrarea 1CKB, respectiv între 2QD și 2CKB;
- pentru a obține un divizor cu 100, cele două divizoare cu 10 trebuie legate în serie: ieșirea 1QD a primului numărător se leagă la intrarea de 2CKA a celui de-al doilea numărător;
- pentru divizorul cu 100, intrarea de semnal este 1CKA, iar ieșirea este 2QD;
- intrările de ștergere 1CLR, 2CLR, nefiind folosite, se leagă la zero logic.

Schema electrică a bazei de timp, ce păstrează structura schemei bloc din figura 5, este prezentată în figura 8. Se observă că divizorul de frecvență cu 200, *Div1*, este realizat cu un bistabil D, din capsula U1, și două numărătoare zecimale din capsula U2. Divizoarele *Div2*, *Div3*, au aceeași schemă electrică și sunt implementate cu circuitele U3 respectiv U4. Ultimul divizor de frecvență cu 2, cel de după comutatorul de selecție a subgamei, este realizat cu celălalt bistabil D din circuitul U1.

## Investeste in OAMENI!

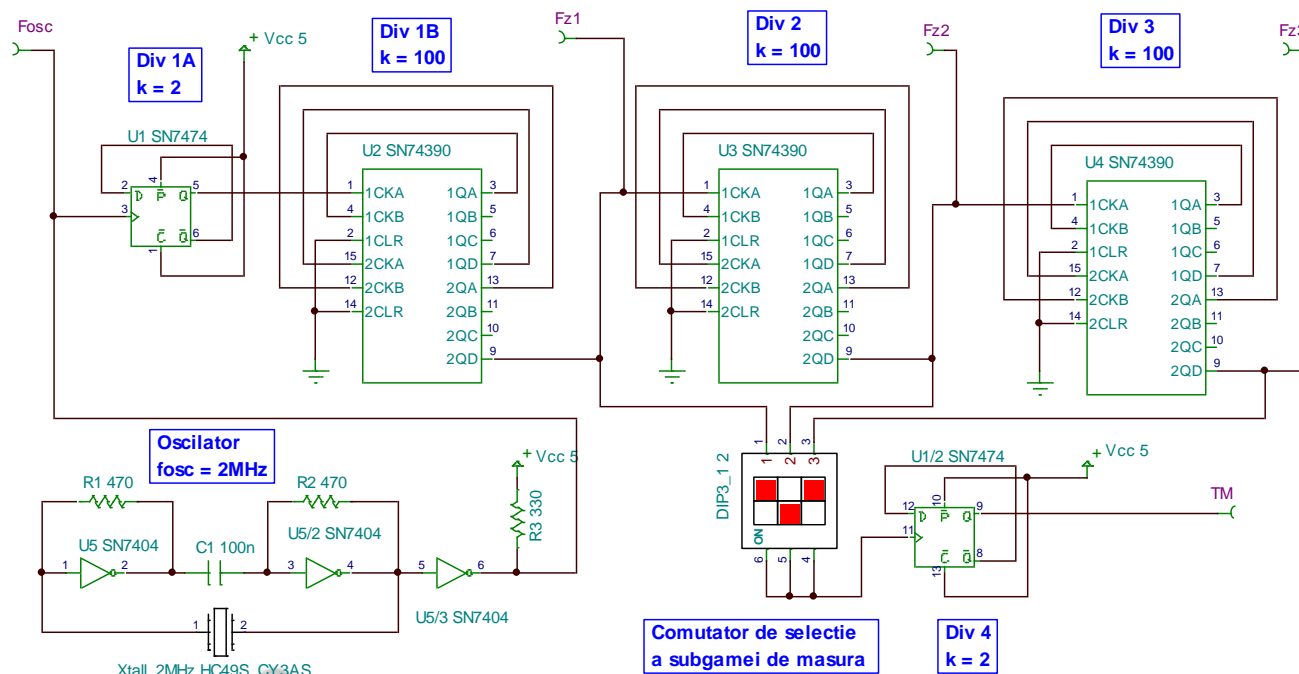


Fig. 8: Schema electrică completă a bazei de timp

### 2.4. Proiectarea numărătorului zecimal și a blocului de memorare

Numărătorul zecimal are ca rol contorizarea impulsurilor ce trec prin poarta AND pe durata de unu logic a timpului de măsură selectat de comutatorul de subgame. Am arătat anterior că acest numărător are 4 decade, în consecință el poate fi implementat cu 2 circuite 74390 conectate ca în figura 9.

În realizarea schemei electrice a numărătorului am ținut cont de următoarele aspecte:

- pentru fiecare circuit sunt realizate legături externe între ieșirea 1QA și 1CKB, respectiv între 2QD și 2CKB;
- intrările de ștergere ale tuturor numărătoarelor sunt legate împreună pentru a obține o funcționare unitară;
- toate cele 4 numărătoare sunt legate în serie, ieșirea 1QD a primului numărător se leagă la intrarea de 2CKA a celui de-al doilea numărător.

La sfârșitul fiecărui interval de măsură, conținutul numărătorului se salvează în blocul de memorie, iar de aici, informația este preluată de către blocul de afișare. În blocul de memorie, pentru fiecare ieșire a numărătorului, avem nevoie de un bistabil D.



UNIUNEA EUROPEANĂ

GUVERNUL ROMÂNIEI  
MINISTERUL MUNCII, FAMILIEI  
ȘI PROTECȚIEI SOCIALE  
AMPOSDRUFondul Social European  
POSDRU 2007-2013Instrumente Structurale  
2007-2013

OIPOSDRU

Universitatea  
POLITEHNICA Timisoara

## Investeste in OAMENI!

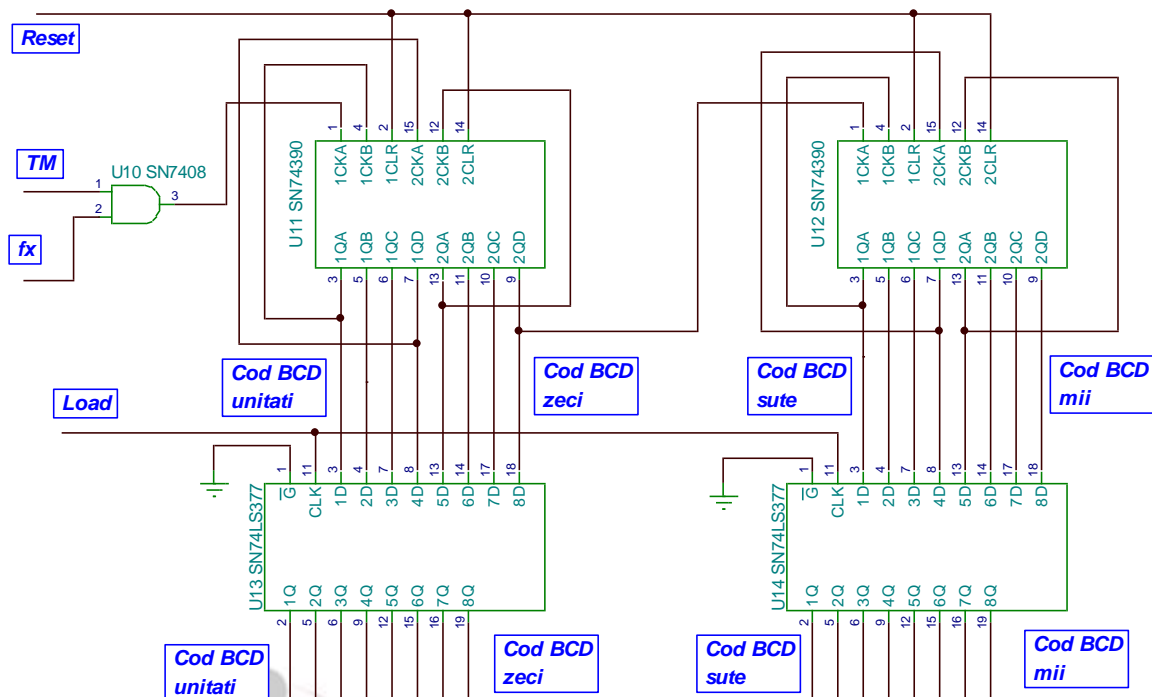


Fig. 9: Schema electrică completă a numărătorului zecimal și a blocului de memorie

În schema din figura 9, blocul de memorie este realizat cu circuitele de tip 74LS377, pentru că prezintă avantajul că au 8 bistabili  $D$  în fiecare capsulă. Din punct de vedere funcțional, circuitele  $U13$  și  $U14$  se comportă ca niște registre de memorie pe 8 biți, cu intrare paralelă și ieșire paralelă. Încărcarea paralelă a registrului se face pe tranziția pozitivă a semnalului de ceas  $CLK$ .

Pentru un comportament unitar al celor două registre, intrările de ceas se leagă împreună și formează intrarea de încărcare paralelă  $Load$ , iar intrările de validare a ieșirilor  $\overline{G}$ , se leagă la masă pentru validarea continuă a ieșirilor.

### 2.5. Proiectarea blocului de afișare

Blocul de afișare are ca rol preluarea informației din blocul de memorare și prelucrarea acesteia în vederea afișării, în format numeric, a valorii măsurate a frecvenței.

Reamintim că sistemele de afișare a informației numerice pot fi de două feluri:

- sisteme de afișare statice – în care se folosește câte un decodificator BCD/7 segmente pentru fiecare cifră din afișaj;
- sisteme de afișare dinamice - în care se folosește un singur decodificator BCD/7 segmente, utilizat pe principiul time-sharing pentru toate cifrele din afișaj.

Afișajele statice prezintă dezavantajul unui consum energetic ridicat din cauza faptului că toate cifrele sunt aprinse simultan.

Proiect co-finanțat din Fondul Social European prin  
Programul Operațional Sectorial Dezvoltarea Resurselor Umane 2007 – 2013



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI  
MINISTERUL MUNCII, FAMILIEI  
ȘI PROTECȚIEI SOCIALE  
AMPOSDRU



Fondul Social European  
POSDRU 2007-2013



Instrumente Structurale  
2007-2013



OIPOS DRU



Universitatea  
POLITEHNICA Timisoara

## Investeste in OAMENI!

Afișajele dinamice, se caracterizează prin:

- consum energetic mai redus deoarece, în orice moment de timp, se lucrează doar cu o singură cifră aprinsă;
- timpul de activare (menținere aprinsă) al fiecărei cifre este de ordinul milisecundelor, și este egal pentru toate cifrele;
- cifrele afișajului se aprind pe rând: un interval de timp cifra unităților, următorul interval de timp cifra zecilor și așa mai departe până când se ajunge la ultima cifră, după care, procesul se repetă;
- dacă trecerea de la o cifră la alta se face suficient de repede, ochiul percepe întreg afișajul ca fiind aprins. Spre exemplu, pentru un afișaj cu 4 digiți, frecvența de trece de la o cifră la alta trebuie să fie de cel puțin 200Hz ( $4 \text{ cifre} \times 50 \text{ Hz}$ ). Aceasta înseamnă că fiecare cifră este aprinsă un interval de timp egal cu  $(1/200)\text{s}=5\text{ms}$ .

### a) Proiectarea schemei bloc a afișajului dinamic pe 4 cifre

Schema bloc a afișajului dinamic adoptat în această aplicație este prezentată în figura 10. Referitor la rolul elementelor din schemă, se pot face următoarele precizări:

- Oscilatorul este folosit pentru generarea unui semnal digital cu frecvența de 200Hz. Acest semnal, indică momentele de timp în care trebuie făcută trecerea de la o cifră la alta;
- Semnalul cu frecvența de 200Hz, este preluat de un numărător binar care generează o secvență ciclică de coduri binare pe 2 biți:  $00 \rightarrow 01 \rightarrow 10 \rightarrow 11 \rightarrow 00 \rightarrow 01 \dots$ , așa cum se prezintă și în figura 10.

Fiecare cod binar (stare a numărătorului) este menținut neschimbat un interval de timp egal cu o perioadă a semnalului dat de oscilator, în cazul de față 5ms (vezi figura 10).

- Starea numărătorului are o dublă utilizare, este folosită pentru:
  - comanda intrărilor de selecție ale circuitului decodificator DCD, în vederea activării unei singure cifre din afișaj;
  - comanda intrărilor de selecție ale blocului de multiplexoare - în vederea alegerii unui singur cod BCD de intrare, cel care corespunde cifrei activate;

Această dublă utilizare a stării numărătorului este necesară pentru a realiza corespondența dintre cifra activată și codul BCD selectat de către blocul de multiplexoare.

- Blocul de multiplexoare are ca rol selectarea unui singur cod BCD din cele patru coduri BCD de intrare (mii, sute, zeci și unități). Codul ales este direcționat spre decodificatorul BCD/7segmente spre decodificare;
- Decodificatorul BCD/7segmente preia codul BCD selectat de către blocul de multiplexoare, îl decodifică și-l aplică pe intrările de date ale tuturor afișajelor. La prima vedere s-ar părea că informația decodificată va fi afișată pe toate cele patru afișaje. Acest lucru nu se întâmplă deoarece numai un singur afișaj este activat (alimentat), informația decodificată va fi vizibilă decât pe acesta.



## Investeste in OAMENI!

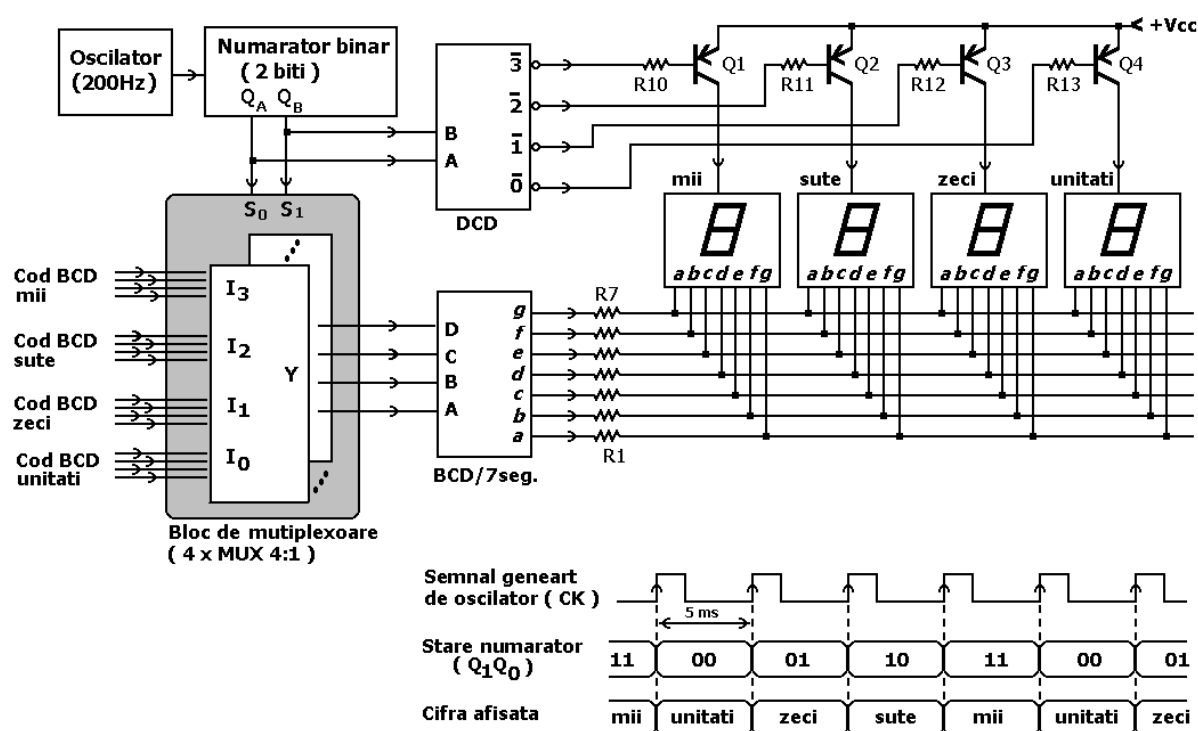


Fig. 10: Schema bloc a afișajului dinamic cu 4 cifre

- Tranzistoarele *pn*p din figura 10 sunt folosite pe post de comutatoare electronice, ele cuplează sau decuplează anodul comun al afișajelor la polul pozitiv al tensiunii de alimentare. Tranzistoarele lucrează în regim de comutație (regim special în care tranzistorul prezintă doar două stări: tranzistor saturat = contact electric închis, respectiv tranzistor blocat = contact electric deschis).

Pentru modul de conectare al tranzistoarelor din figura 10, blocarea se face prin aplicarea unui unu logic în bază iar saturarea prin aplicarea unui zero logic în bază.

- Decodificatorul DCD, are ca rol activarea unei singure cifre din afișaj, prin intermediul tranzistoarelor Q1÷Q4. Deoarece decodificatorul are ieșirile active pe zero logic, rezultă că, în fiecare moment de timp, vom avea doar un singur tranzistor saturat iar restul vor fi blocate. Aceasta înseamnă că numai un singură cifră din afișaj este conectată la polul pozitiv al tensiunii de alimentare.
- Rezistențele R10 ÷ R13 au rol de protecție a joncțiunii BE a tranzistoarelor, ele trebuie calculate astfel încât să permită intrarea în saturație a tranzistoarelor.
- Rezistențele R1 ÷ R7 au rol de limitare a curentului prin LED-urile afișajului.

Pentru a înțelege modul de funcționare a schemei din figura 10, să presupunem că starea număratorului este  $Q_1Q_0=01$ . În acest caz, putem face următoarele precizări:

- Decodificatorul binar primește pe intrările de selecție codul  $BA=01$ , situație în care:
  - ieșirea  $\bar{1}$  se activează (trece în zero logic), determinând intrarea în conducție a tranzistorului Q3, ceea ce are ca efect alimentarea afișajului de pe poziția zecilor;



## Investeste in OAMENI!

- restul ieșirilor sunt inactive (se află în starea de unu logic), ceea ce determină blocarea tranzistoarelor Q1, Q2 și Q4, și are ca efect lipsa de alimentare pentru cifrele de unități, sute și respectiv mii;

Așadar, singurul afișaj ce primește tensiune pozitivă de alimentare este cel de pe poziția zecilor.

- Blocul de multiplexare primește pe intrările de selecție codul  $S_1S_0=01$ . În acest caz, din cele patru coduri BCD de intrare, este selectat codul aplicat pe intrările  $I_1$ , ceea ce înseamnă că este selectat codul corespunzător zecilor.
- Digitul de zeci este menținut aprins 5ms, atâta timp cât durează o stare a număratorului.
- La următoarea tranziție pozitivă a semnalului de ceas, starea număratorului se schimbă și devine  $Q_1Q_0=10$ , ceea ce înseamnă că se activează cifra de sute.
- Așa cum se arată și în figura 10, urmează activarea miilor, a unităților, iar apoi procesul se reia.

### b) Proiectarea blocului de multiplexoare

În proiectarea acestui bloc funcțional, pentru început, trebuie să stabilim câte multiplexoare ne trebuie și câte intrări de date trebuie să aibă fiecare circuit. Pentru aceasta trebuie să avem în vedere următoarele aspecte:

- numărul de circuite de tip MUX este egal cu numărul de biți din codul BCD, adică egal cu 4, indiferent de numărul cifrelor din afișaj;
- numărul intrărilor de date pentru fiecare MUX este egal cu numărul cifrelor din afișaj;

În consecință, în aplicația de față avem nevoie de 4 circuite de tip MUX4:1. Aceste circuite trebuie conectate astfel încât să se comporte ca și cum ar fi un singur multiplexor ce operează cu date de intrare exprimate pe 4 biți. Cu alte cuvinte, din cele 4 coduri BCD de intrare, trebuie selectat unul singur și direcționat spre ieșire. Funcționarea unitară a celor 4 MUX-uri se obține numai dacă primesc aceeași informație de selecție. Din acest motiv intrările de selecție, de ponderi egale, trebuie conectate în paralel.

În continuare, prin convenție, trebuie să atribuim coduri binare pe 2 biți, pentru fiecare din cele 4 pachete informaționale de intrare. Asocierea codurilor este prezentată în tabelul ce urmează.

Cod de selecție $S_1S_0$	Codul BCD, de intrare, ce trebuie selectat	Ieșirile multiplexoarelor $D \quad C \quad B \quad A$
00	unități	$u_3 \quad u_2 \quad u_1 \quad u_0$
01	zeci	$z_3 \quad z_2 \quad z_1 \quad z_0$
10	sute	$s_3 \quad s_2 \quad s_1 \quad s_0$
11	mii	$m_3 \quad m_2 \quad m_1 \quad m_0$

Din tabelul anterior se constată că la intrările unui MUX trebuie aduși biți de aceeași pondere din cele 4 pachete informaționale de intrare. Spre exemplu, pentru multiplexorul a cărui ieșire este notată cu **A**, pe intrările de date trebuie conectați biți cei mai puțini semnificativi ai pachetelor de intrare: la intrarea  $I_0$  se aplică  $u_0$ ; la  $I_1$  se aplică  $z_0$ ; la  $I_2$  se aplică  $s_0$  iar la intrarea  $I_3$  se aplică  $m_0$ .

Din cele prezentate până acum deducem că modul de conectare a celor 4 multiplexoare este cel prezentat în figura 11.

## Investeste in OAMENI!

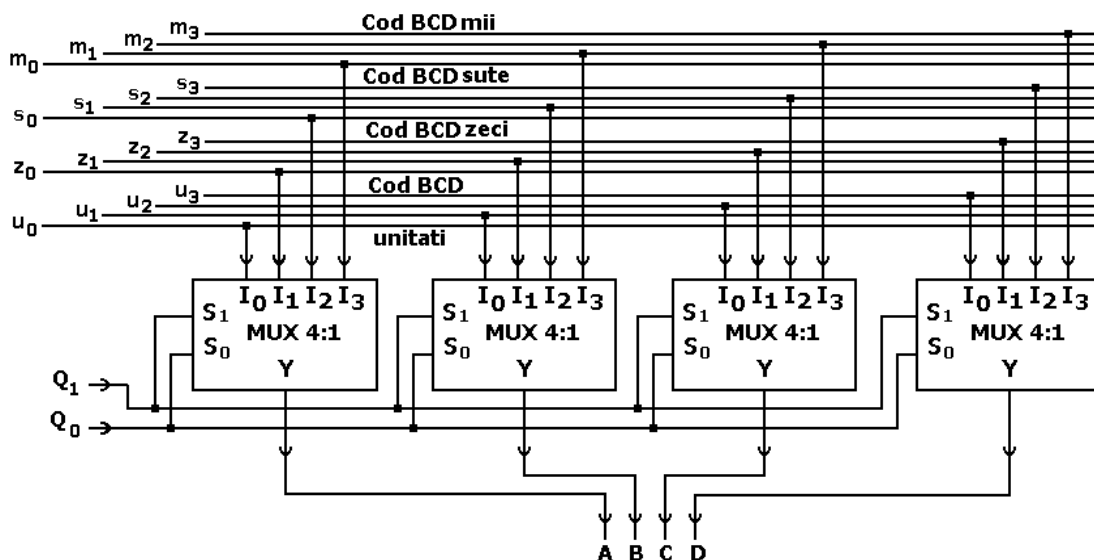


Fig. 11: Schema de conexiuni pentru blocul de multiplexoare al afişajului dinamic

În etapa următoare trebuie să trecem de la schema generică din figura 11 la o schemă electrică cu circuite concrete. Pentru aceasta, este util să găsim circuite integrate care să conțină mai multe circuite MUX4:1 într-o singură capsulă. Un astfel de circuit are codul 74153, el conține 2 circuite MUX4:1 ce folosesc în comun intrările de selecție. Modul de conectare a celor două circuite 74153 pentru a realiza blocul de multiplexare, se arată în figura 12. În această schemă, intrările de validare  $\overline{1G}$  respectiv  $\overline{2G}$  sunt active în permanență prin conectarea lor la masă.

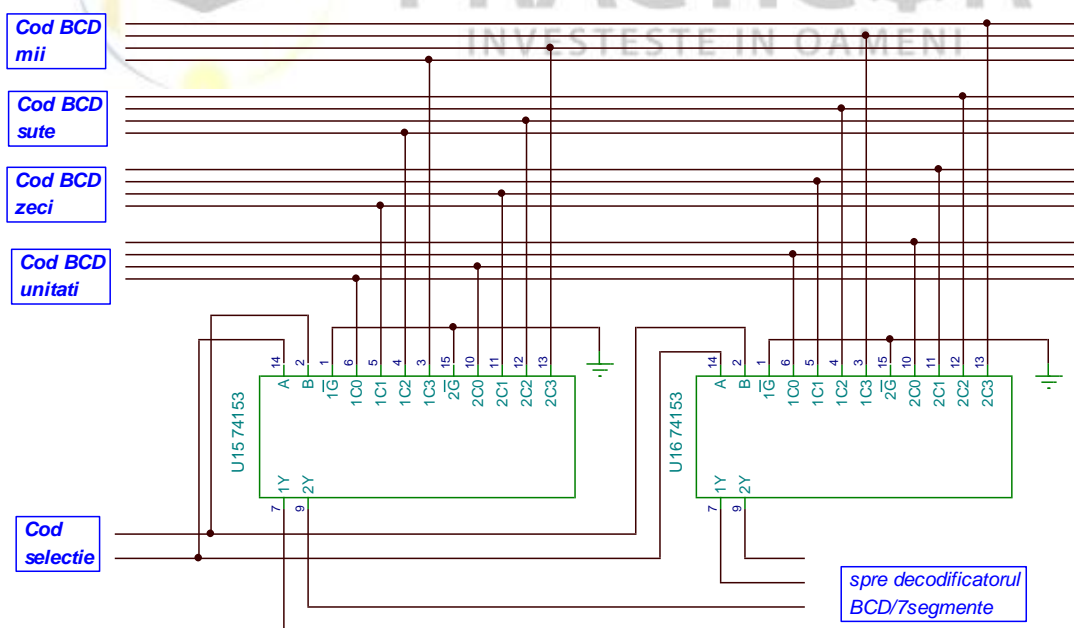


Fig. 12: Schema electrică a blocului de multiplexoare

## Investeste in OAMENI!

### c) Proiectarea schemei electrice a oscilatorului

Pentru oscilatorul din figura 9, se poate folosi o schemă bazată pe un inversor trigger Schmitt de tip 7414. Pentru acest tip de oscilator, frecvența se calculează cu formula aproximativă:

$$F_{osc} = \frac{0,8}{R_{20} \cdot C_{20}}$$

Valoarea minimă a frecvenței este de 200Hz, dar pentru siguranță, în calcule vom considera  $F_{osc}=400\text{Hz}$ . În foile de catalog pentru circuitul 7414 se precizează că valoarea rezistenței trebuie să îndeplinească condiția:  $R \leq 500\Omega$ .

În aceste condiții, alegem  $R_{20} = 470\Omega$  și determinăm valoarea lui  $C_{20}$ , cu relația:

$$C_{20} = \frac{0,8}{R_{20} \cdot F_{osc}} = \frac{0,8}{470 \cdot 400} = \frac{0,8}{188 \cdot 10^3} = 4,2\mu F$$

Se alege valoarea standard de  $4,7\mu F$ , caz în care valoarea frecvenței devine:

$$F_{osc} = \frac{0,8}{470 \cdot 4,7 \cdot 10^{-6}} = 362\text{Hz}$$

cea ce constituie o valoare acceptabilă pentru aplicația de față. Schema electrică și rezultatele obținute prin simulare sunt prezentate în figura 13.

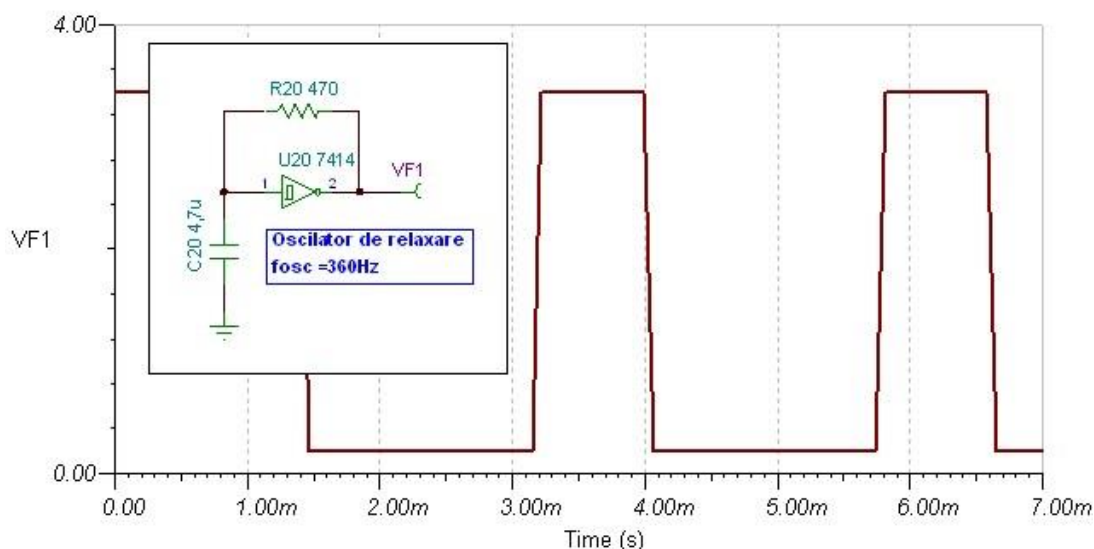


Fig. 13: Schema electrică și formele de undă pentru oscilatorul de relaxare

## Investeste in OAMENI!

### d) Proiectarea numărătorului pe 2 biți

Numărătorul binar pe doi biți este realizat după o structură tipică de numărător asincron, cu ajutorul a doi bistabili *D* din capsula 7474. Modul de conectare precum și formele de undă obținute prin simulare sunt prezentate în figura 14.

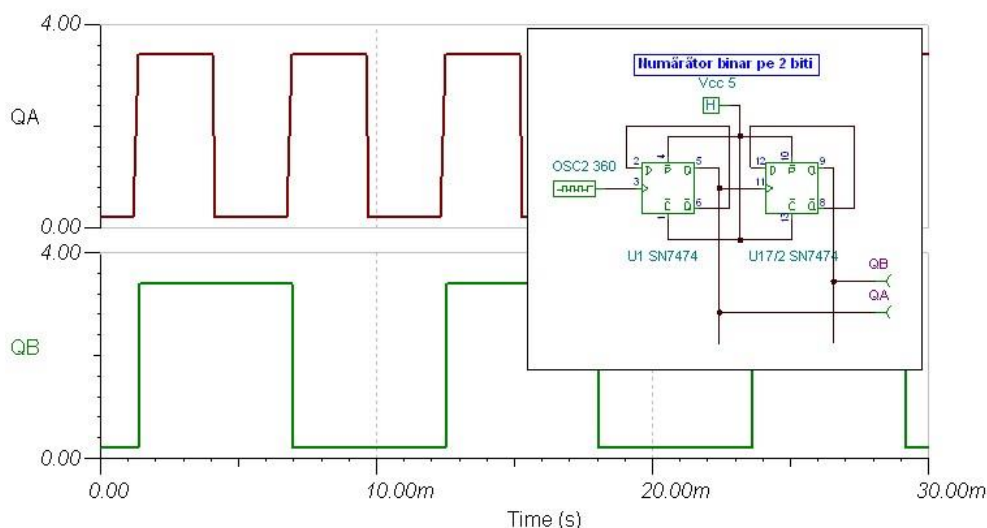


Fig. 14: Schema electrică și formele de undă pentru numărătorul binar pe 2 biți

### e) Proiectarea schemei electrice finale a blocului de afișaj

Realizarea schemei electrice a întregului bloc de afișaj necesită interconectarea schemelor anterioare și, în plus, mai necesită: alegerea decodificatorului binar; alegerea decodificatorului BCD/7segmente; alegerea tranzistoarelor și a afișajelor.

Pentru decodificatorul binar cu 2 intrări de selecție avem mai multe posibilități: decodificatorul zecimal 7442; demultiplexorul 1:4 de tip 74139, etc. În cazul de față alegem un circuit de tip 7442.

Pentru decodificatorul BCD/7segmente alegem circuitul 7447, cu ieșiri active pe zero logic. În urma acestei alegeri trebuie să folosim afișaje cu anod comun și tranzistoare pnp. Modul de conectare este prezentat în schema electrică din figura 15.

## 2.6. Proiectarea logicii de control

Logica de control trebuie să conțină trei componente, responsabile pentru următoarele acțiuni:

- selectarea timpului de măsură potrivit, în funcție de poziția comutatorului de selecție a subgamei de măsură;
- comanda punctelor zecimale și a unității de măsură ;
- generarea semnalelor de comandă pentru încărcarea registrului de memorie, respectiv pentru ștergerea numărătorului;

Pentru îndeplinirea acestor sarcini, logica de control trebuie să primească semnalele  $Z_1$ ,  $Z_2$ ,  $Z_3$  (generate de către baza de timp) precum și informații despre poziția comutatorului de selecție subgamă.

## Investeste in OAMENI!

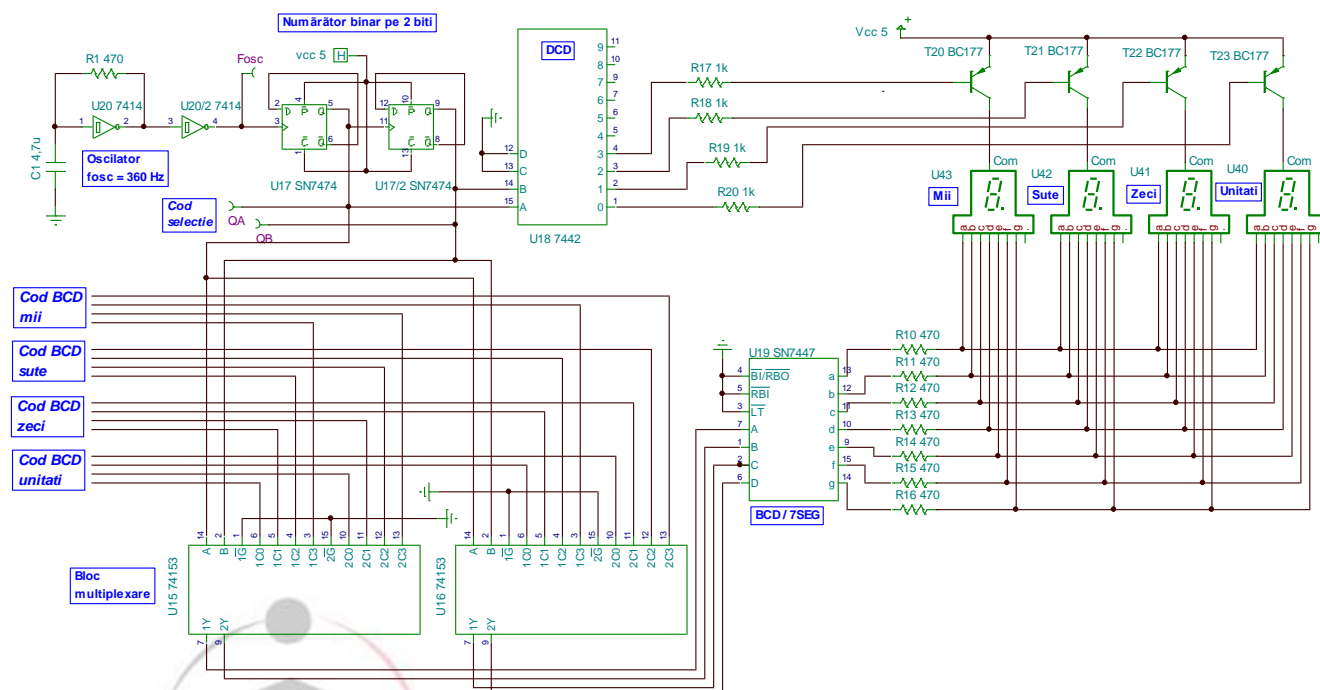


Fig. 15: Schema electrică a blocului de afișare dinamică pe 4 biți

Schimbarea gamei de măsură presupune modificarea valorii timpului de măsură. În cazul nostru, alegerea subgamei de măsură este echivalentă cu selectarea unuia din semnalele  $Z_1$ ,  $Z_2$ ,  $Z_3$  spre a fi dirijate spre poarta AND de la intrarea număratorului zecimal.

Metoda de selectarea a semnalelor  $Z_1$ ,  $Z_2$ ,  $Z_3$  bazată pe conducția lor prin comutatorul de selecție, așa cum s-a prezentat în figura 8, nu este convenabilă mai ales în proiectarea logicii de comandă a punctelor zecimale din blocul de afișaj.

O altă posibilitate ar fi ca semnalele  $Z_1$ ,  $Z_2$ ,  $Z_3$  să fi trecute prin circuite logice (alese în mod convenabil) și nu prin comutatorul de selecție a gamei. Pentru acest caz, poziția comutatorului de selecție a gamei joacă rol informațional (arată care este semnalul ce trebuie selectat dar nu-l conduce).

Pentru comutatorul de selecție al subgamei, alegem un comutator rotativ cu 3 poziții: cele trei intrări sunt conectate prin rezistențe la +Vcc, iar poziția centrală o conectăm la masă. Din punctele de conectare a rezistențelor cu intrările comutatorului se extrag trei semnale digitale, notate  $G_1$ ,  $G_2$ ,  $G_3$ . În funcție de poziția comutatorului mecanic, o singură ieșire de semnal din cele trei poate fi în zero logic. Pentru blocul de selecție a timpului de măsură aplicăm semnalele  $Z_1$ ,  $Z_2$ ,  $Z_3$  pe intrările de date ale un MUX4:1, iar intrările de selecție vor fi comandate de către  $G_1$ ,  $G_2$ ,  $G_3$ .

Din analiza tabelului de mai jos rezultă că este suficient să folosim, ca selecții, doar semnalele  $G_1$  și  $G_2$ . În aceste condiții, pe intrările de date trebuie să conectăm:  $I_1 = Z_1$ ,  $I_2 = Z_2$ ,  $I_3 = Z_3$  iar  $I_0 = 0$  deoarece nu este selectată niciodată.

## Investeste in OAMENI!

Stare comutatoare de intrare G1 G2 G3	Codul de selecție perceput de MUX (S <sub>2</sub> S <sub>1</sub> = G1G2)	Semnalul de intrare ce trebuie selectat	Intrările de date ale MUX
0 1 1	01=1	Z <sub>1</sub>	I <sub>1</sub> = Z <sub>1</sub>
1 0 1	10=2	Z <sub>2</sub>	I <sub>2</sub> = Z <sub>2</sub>
1 1 0	11=3	Z <sub>3</sub>	I <sub>3</sub> = Z <sub>3</sub>
Celelalte combinații de intrare nu apar	-	-	I <sub>0</sub> = 0

Schema electrică a blocului de selecție a timpului de măsură este prezentată în figura 16. Facem precizarea că circuitul etichetat *Div4*, este preluat din figura 8 și este introdus din motivele ce au fost prezentate la proiectarea bazei de timp.

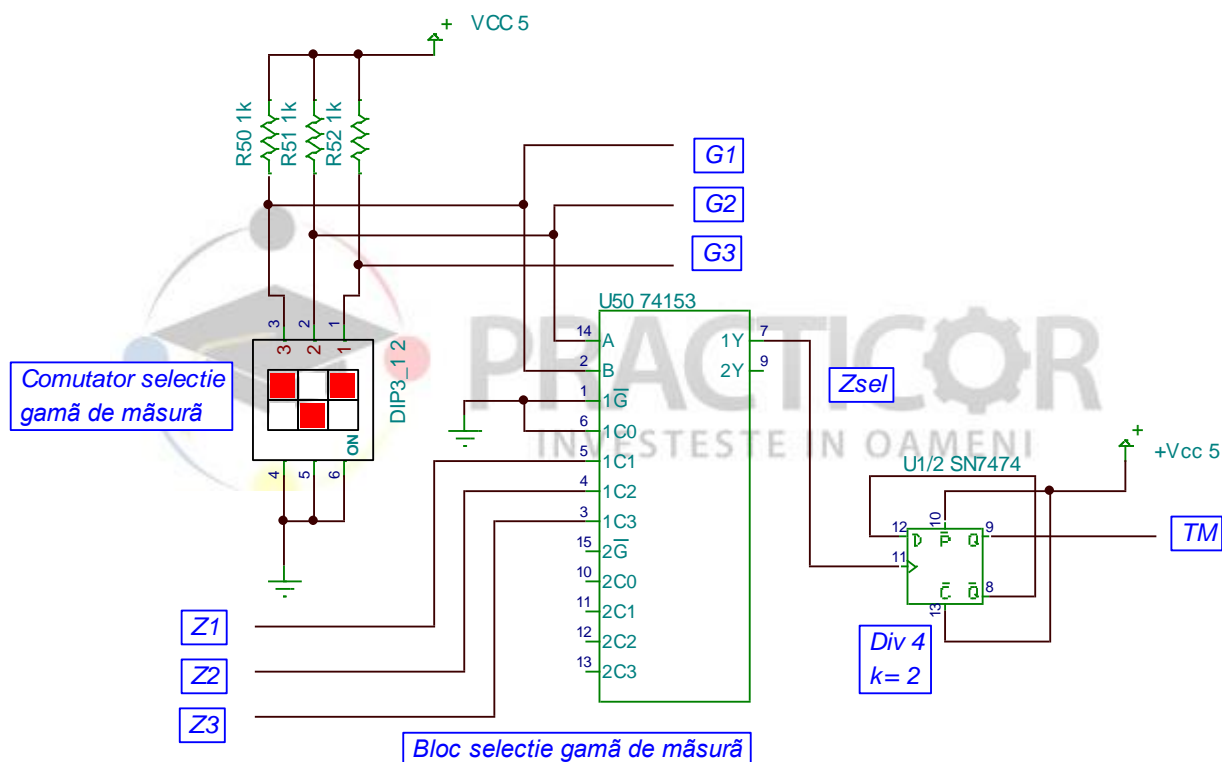


Fig. 16: Schema electrică a blocului de selecție a subgamei de măsură

Rezultatul măsurării (numărul de impulsuri **N<sub>x</sub>**) este preluat din numărător, la sfârșitul fiecărui interval de măsură **T<sub>M</sub>**. Deoarece între frecvența semnalului de intrare, **f<sub>x</sub>**, și numărul de impulsuri, **N<sub>x</sub>**, există relația:

$$f_x = \frac{N_x}{T_M} \quad (*)$$

constatăm că rezultatul ce trebuie afișat nu este **N<sub>x</sub>**, ci **N<sub>x</sub>** împărțit la **T<sub>M</sub>**.



## Investeste in OAMENI!

Am arătat anterior că operația de împărțire poate fi evitată dacă alegem valoarea lui  $T_M$  ca fiind un submultiplu al unității de timp. În această situație, împărțirea este echivalentă cu o deplasare a virgulei, un număr convenabil de poziții. În consecință, afișarea frecvenței înseamnă afișarea lui  $Nx$  plus afișarea virgulei pe o poziție corectă. Poziția virgulei, precum și unitatea de măsură ce trebuie afișată pentru fiecare subgamă, se deduc din tabelul următor.

G1	G2	G3	Subgama	Subdomeniul	Pm	Ps	Pz	Wk	Wm
0	1	1	I	100Hz ÷ 9,999kHz	1	0	0	1	0
1	0	1	II	100kHz ÷ 999,9kHz	0	0	1	1	0
1	1	0	III	1MHz ÷ 99,99MHz	0	1	0	0	1
Celelalte combinații de intrare nu apar			-	-	*	*	*	*	*

În tabelul anterior, am notat prin: **Pm, Ps, Pz** semnalele de comandă necesare aprinderii virgulei după cifra de mii, de sute respectiv de zeci. Pe de altă parte, prin **Wk, Wm** am notat semnalele de comandă pentru aprinderea LED-urilor ce indică unitatea de măsură: kHz respectiv Mhz.

Așadar, logica de control trebuie completată cu un CLC cu trei intrări și 5 ieșiri. Ținând cont de tabelul de adevăr anterior, putem stabili diagramele Karnaugh, expresiile logice și schemele electrice pentru aceste funcții (vezi figura 17).

În diagramele Karnaugh din figura 17 am ținut cont că anumite combinații ale intrărilor  $G_1, G_2, G_3$  nu apar niciodată, pentru acestea am folosit valoarea *don't care* și am obținut o reducere semnificativă a expresiilor algebrice ale celor 5 ieșiri. În plus,  $Ps$  și  $Wm$  au aceeași expresie, aceasta înseamnă că putem folosi o singură implementare pentru ambele ieșiri.

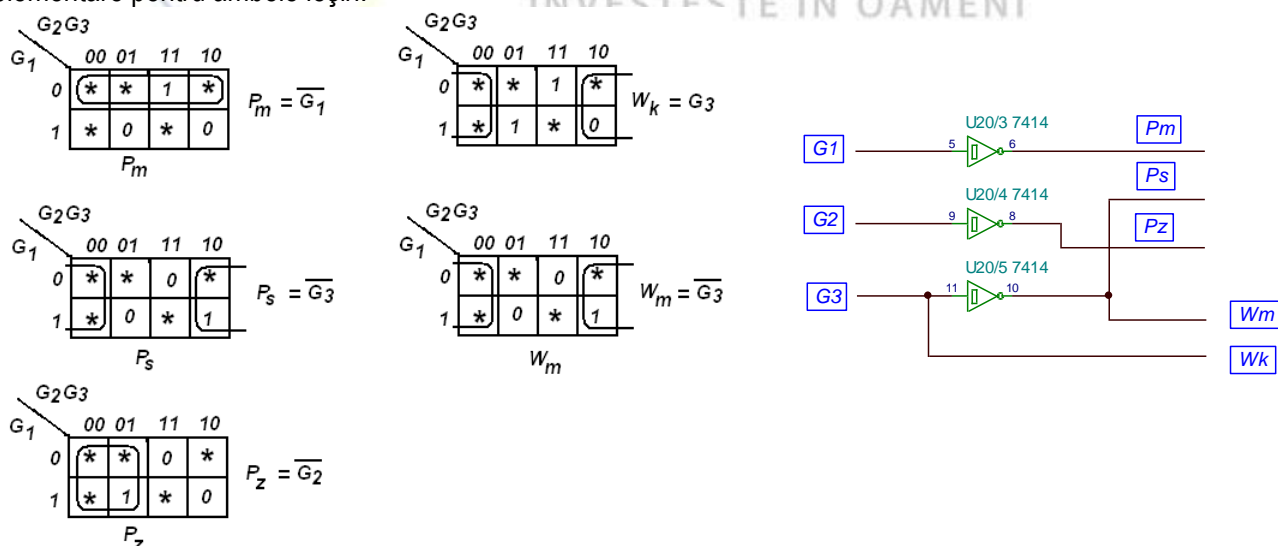


Fig. 17: Diagramele Karnaugh, expresiile logice și schemele electrice pentru funcțiile de activare a punctelor zecimale ( $P_m, P_s, P_z$ ) și a LED-urilor de semnalizare a unității de măsură ( $W_k, W_m$ )



## Investeste in OAMENI!

În proiectarea schemei electrice a CLC-ului din figura 17 se constată că avem nevoie de 3 inversoare. Aceste inversoare se pot lua din capsula U20, de tip 7414, din care s-au folosit doar 2 inversoare din cele 6 disponibile (vezi figura 15). Faptul că inversoarele rămase disponibile din capsula U20 sunt de tip trigger Schmitt nu constituie nicio problemă în aplicația de față. Această utilizare a inversoarelor rămase disponibile din U20, ne permite să reducem cu o unitate numărul de circuite integrate necesare în proiect.

Ultima componentă a logicii de control se referă la obținerea semnalelor de comandă pentru încărcarea registrului de memorie, respectiv ștergerea numărătorului. Aceste acțiuni sunt declanșate la terminarea impulsului de măsură  $T_M$  și trebuie executate exact în ordinea în care au fost prezentate. În proiectarea acestei părți trebuie să ținem cont de următoarele aspecte:

- încărcarea paralelă a circuitelor 74LS377, din registrul de memorie, se face pe frontul pozitiv al semnalului de ceas;
- ștergerea circuitelor 74LS390, folosite în implementarea numărătorului zecimal cu 4 decade, se execută pe nivelul de unu logic al semnalului aplicat pe intrarea de reset.

O schemă foarte simplă de generare a semnalelor necesare pentru încărcarea registrului de memorie, respectiv ștergerea numărătorului, este prezentată în figura 18. În această figură se constată că ambele semnale sunt generate din  $T_M$ . Comanda de încărcare paralelă, *Load*, se obține prin inversarea și întârzierea cu un timp de propagare a semnalului  $T_M$ . În acest fel avem siguranța că frontul pozitiv al semnalului *Load* apare după terminarea părții active a timpului de măsură. Comanda de ștergere a numărătorului se obține din comanda de încărcare paralelă prin întârziere cu doi timpi de propagare.

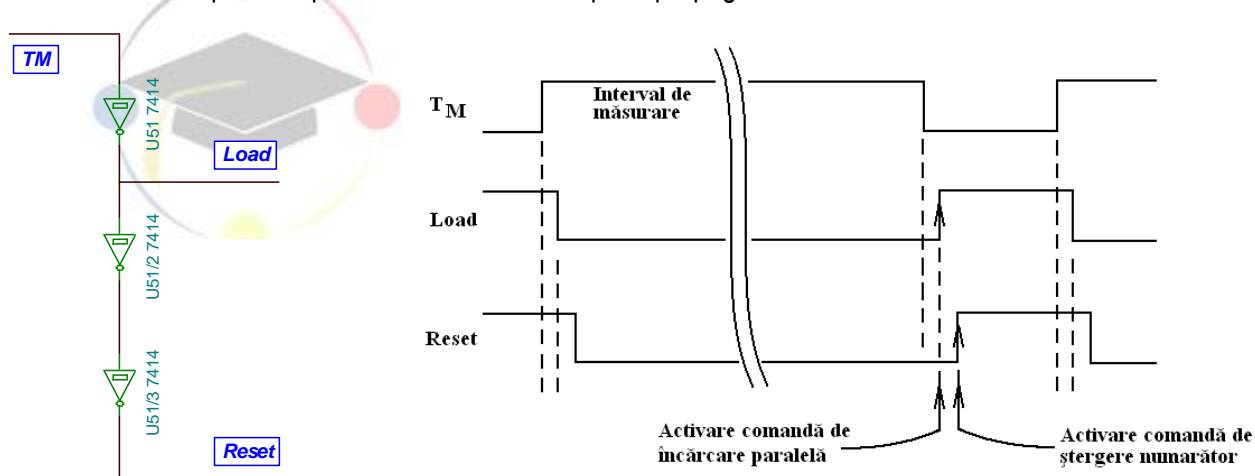


Fig. 18: Schema logică și diagramele de timp pentru generarea semnalelor de Load, respectiv Reset

Această abordare prezintă avantajul că necesită un număr mic de porți dar prezintă dezavantajul că scurtează timpul de măsură cu circa 3 timpi de propagare. Având în vedere că cei 3 timpi de propagare înseamnă aproximativ 30ns, iar cel mai mic timp de măsură este de  $100\mu s$ , putem trage concluzia că eroarea de măsură introdusă de acest mod de lucru este nesemnificativă.



UNIUNEA EUROPEANĂ

GUVERNUL ROMÂNIEI  
MINISTERUL MUNCII, FAMILIEI  
ȘI PROTECȚIEI SOCIALE  
AMPOSDRUFondul Social European  
POSDRU 2007-2013Instrumente Structurale  
2007-2013

OIPOSDRU

Universitatea  
POLITEHNICA Timisoara

## Investeste in OAMENI!

### 2.7. Proiectarea schemei electrice finale

Ultima etapă a procesului de proiectare constă în asamblarea schemelor electrice ce aparțin blocurilor funcționale. Deoarece blocurile funcționale sunt proiectate separat, în etapa de asamblare pot exista probleme legate de interfațare. În unele aplicații există posibilitatea de a reduce complexitatea unor blocuri funcționale prin utilizarea unor semnale ce aparțin unor blocuri proiectate anterior. Din cele prezentate rezultă că "asamblarea schemei finale" nu este un simplu proces de alipire a schemelor ce au fost proiectate separat (de multe ori în momente diferite de timp) - este necesară o analiză atentă pentru a reduce complexitatea schemei și pentru a menține compatibilitatea între componentele structurale.

În cazul de față, la realizarea schemei electrice finale, am folosit:

- pentru baza de timp am folosit schema din figura 8, cu excepția componentelor ce țin de selecția domeniului de măsurare;
- pentru numărătorul zecimal și blocul de memorie am folosit, integral, schema din figura 9;
- pentru blocul de afișare dinamică am folosit doar o parte din schema prezentată în figura 15. Din această schemă am renunțat la oscilatorul de relaxare și la numărătorul binar pe 2 biți. Acest lucru a fost posibil deoarece am identificat semnale similare celor necesare pentru activarea cifrelor din afișaj, în baza de timp. Practic, în locul celor două semnale de la ieșirea numărătorului binar pe 2 biți, am preluat semnalul Z2 (de la ieșirea lui *Div2*) și semnalul 1QA de la ieșirea numărătorului notat cu *Div 3*. Prin această acțiune, frecvența de comutare a cifrelor din afișaj crește de la 380 Hz, la 1000Hz. Această creștere nu influențează în rău funcționarea blocului de afișare, în condițiile în care cerința de proiectare era ca frecvența de comutare să fie peste 200Hz. Această modificare ne permite să facem o economie de 2 circuite integrate în schema electrică finală a frecvențmetrului (circuitul 7414, respectiv circuitul 7474).
- Blocul de selecție a gamei de măsură este preluat din figura 16, sub formă integrală. În acest punct trebuie menționat că bistabilul D, necesar realizării lui *Div4*, este preluat din aceeași capsulă din care provine și bistabilul D folosit în *Div1A*. Procedând astfel, evităm utilizarea unui alt circuit de tip 7474.
- Pentru logica de control responsabilă cu aprinderea punctelor zecimale din afișaj precum și a LED-urilor folosite pentru semnalizarea unității de măsură, am folosit, în totalitate, schema din figura 17.
- Pentru logica de control responsabilă cu generarea semnalelor de comandă pentru încărcarea registrului de memorie, respectiv ștergerea numărătorului, am folosit, în totalitate, schema din figura 18. Facem precizarea că cele 3 inversoare necesare în această parte a schemei provin din capsula 7414 ce a fost folosită parțial blocul prezentat anterior.

Schema electrică finală a frecvențmetrului este prezentată în figura 19.



UNIUNEA EUROPEANĂ



GUVERNUL ROMÂNIEI  
MINISTERUL MUNCII, FAMILIEI  
ȘI PROTECȚIEI SOCIALE  
AMPOSDRU



Fondul Social European  
POSDRU 2007-2013



Instrumente Structurale  
2007-2013



OIPOS DRU



Universitatea  
POLITEHNICA Timisoara

## Investeste in OAMENI!

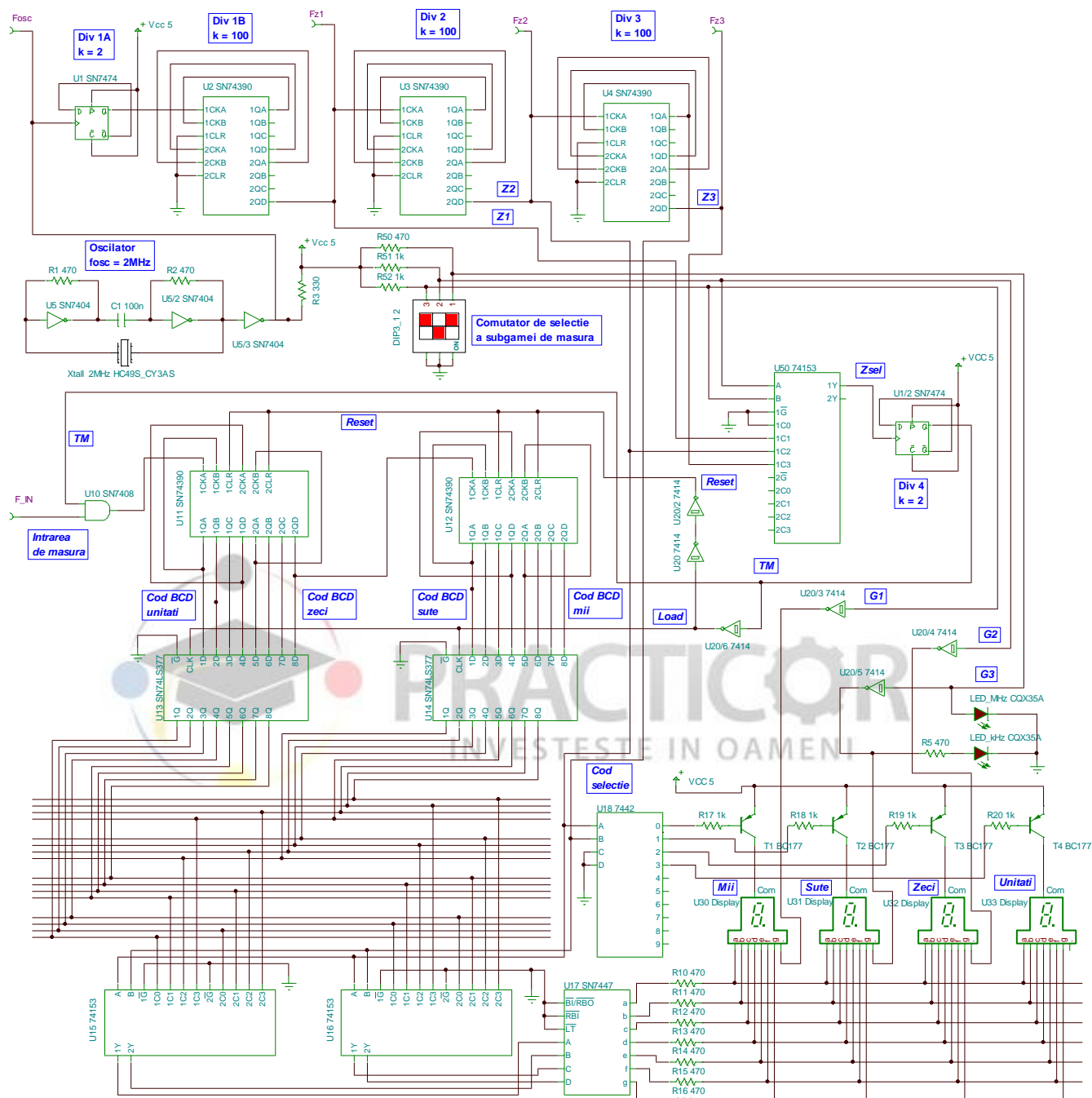


Fig. 19: Schema electrică finală a frecvențmetrului

Proiect co-finanțat din Fondul Social European prin  
Programul Operațional Sectorial Dezvoltarea Resurselor Umane 2007 – 2013