

Eln_Dig Curs 11:	IV. Circuite logice implementate cu tranzistoare MOS Alternative la logica statică cu rețele complementare
---------------------	---

IV.3. Logica CMOS statică de tip pseudo NMOS

- Este o variantă de logică statică care are ca scop reducerea numărului de tranzistoare prin eliminarea rețelei PUN cu o legătură electrică permanentă (necondiționată de semnalele de intrare);
- schema de principiu este prezentată în figura 4

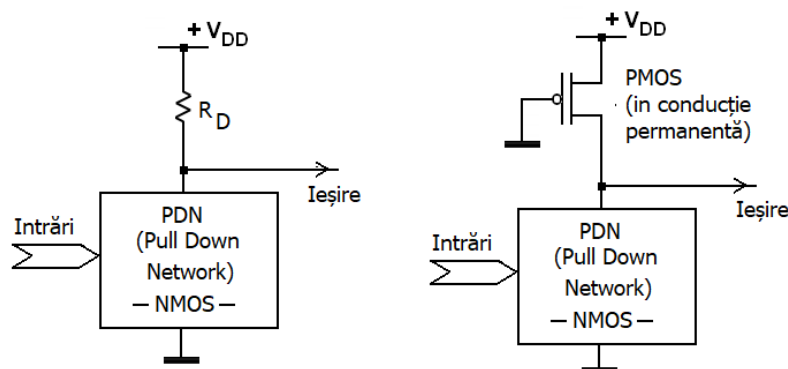


Fig. 4: Schema bloc de principiu pentru logica statică de tip pseudo NMOS

- rețeaua Pull Up Network (PUN):
 - este înlocuită cu o legătură electrică permanentă formată dintr-o rezistență sau, și mai bine, dintr-un tranzistor PMOS aflat în conducție permanentă;
 - din punct de vedere funcțional, schema se comportă similar unui etaj cu ieșirea în gol;
 - există și posibilitatea de a realiza această legătură cu tranzistoare NMOS conectate în configurație de diodă însă performanțele sunt mai slabe;
- rețeaua Pull Down Network (PDN):
 - este formată numai din tranzistoare de tip NMOS;
 - are ca rol conectarea ieșirii Y la masă (atunci când funcția logică realizată de circuit o permite), în scopul asigurării nivelului de tensiune necesar stării logice LOW;
 - sinteza schemei electrice se face ținând cont de expresia lui \bar{Y} ;

♦ Caracteristici generale

- folosește doar o singură rețea de tranzistoare;
- valoarea logică HIGH de la ieșire este asigurată de către tranzistorul PMOS conectat astfel încât să fie în conducție permanentă;
- este o logică cu raport impuls între dimensiunile fizice ale tranzistoarelor;
- valoarea logică LOW de la ieșire este asigurată de o cale conductivă din PDN;
- o poartă logică de tip NAND sau NOR cu N intrări necesită $N+1$ tranzistoare;
- **Avantaje față de logica statică cu rețele complementare:**
 - număr redus de tranzistoare ($N+1$ față de $2N$);

- necesită o arie mai mică pentru implementare;
- funcția logică realizată de circuit este disponibilă în orice moment de timp;
- viteza de lucru este mai mare față de logica anterioară deoarece avem mai puține tranzistoare și capacitatea parazită totală este mai redusă;
- compatibilitate directă cu circuitele logice realizate cu rețele complementare;

- **Dezavantaje:**

- Avem putere disipată în regim static, atunci când ieșirea este în zero logic deoarece apare o cale de conducție între V_{DD} și masă;
- Acest tip de logică se recomandă a fi utilizată pentru circuite la care ieșirea stă în starea HIGH în cea mai mare parte a timpului;
- performanțele dinamice sunt puternic influențate de dimensiunile fizice ale tranzistoarelor (**este o logică cu raport impuls**);
- nivele de tensiune nu sunt ferme;
- Marginea de zgomot este puternic influențată de raportul dintre dimensiunea fizică a tranzistoarelor folosite. Mai concret, tranzistorul PMOS trebuie să fie de 4÷10 ori mai mare față de tranzistoarele NMOS.
- Valoarea tensiunii de ieșire V_{OL} pentru starea LOW, este puternic influențată de raportul dintre dimensiunea fizică a tranzistoarelor folosite. Cu cât raportul este mai mare, cu atât V_{OL} este mai redus.

♦ **Exemple de porți logice implementate în logică pseudo NMOS**

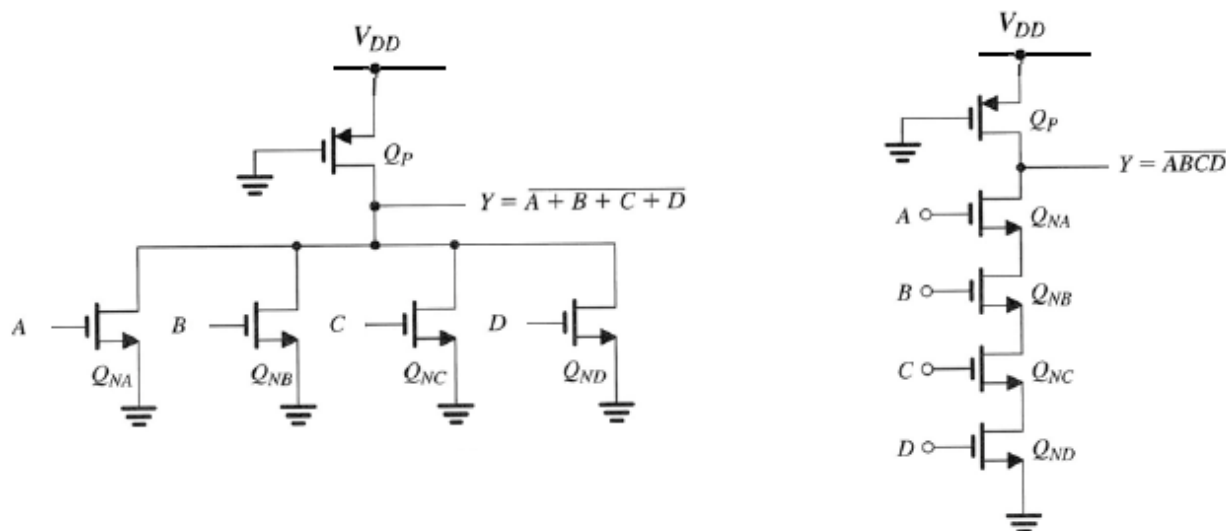


Fig. 5 Exemple de circuite logice implementate în logică pseudo NMOS

IV.4. Logica CMOS statică cu tranzistoare de trecere (Pass- Transistor Logic, PTL)

- Pentru toate logicile prezentate anterior, semnalele de intrare erau folosite doar pentru comanda grilelor tranzistoarelor implicate în PDN sau PUN;
- În logica PTL (*Pass-Transistor Logic*), semnalele logice de intrare sunt folosite în dublu scop:

- pentru comanda grilelor, în mod similar logicilor prezentate anterior;
 - ca valori conduse prin rețelele de tranzistoare;
- Schema bloc de principiu pentru logica PTL este prezentată mai jos:

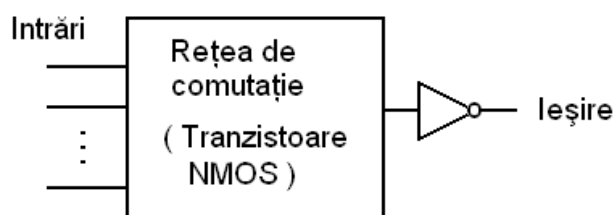


Fig. 6 Schema bloc de principiu pentru un circuit realizat în logică PTL

Exemplu: Poarta AND cu 2 intrări realizată în logică PTL

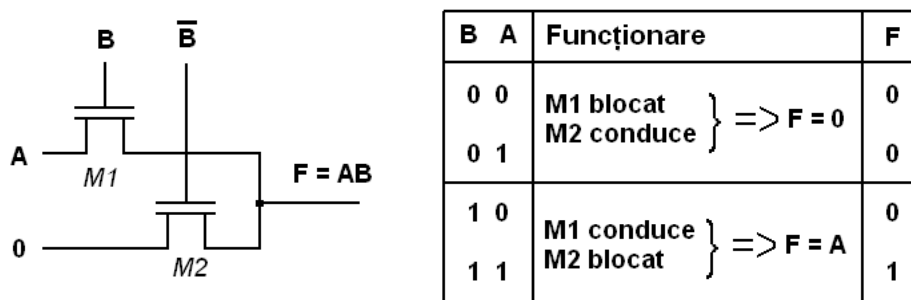
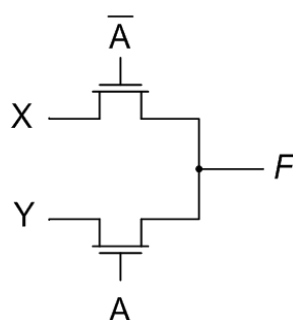


Fig. 7 Implementarea și funcționarea unei porți AND cu 2 intrări, realizată în logică PTL

- Funcționare:
- Dacă $B=0$, tranzistorul M1 este blocat iar M2 se află în conducție. În această situație, ieșirea copiază zeroul de pe intrarea de jos;
 - Dacă $B=1$, tranzistorul M2 este blocat iar M1 se află în conducție. De această dată, ieșirea copiază informația de pe intrarea A;
 - B este variabila de control sau de selecție iar A este variabila condusă;

Avantaje față de logica statică cu rețele complementare:

- Datorită dublei utilizări a semnalelor de intrare se pot obține reduceri semnificative în ceea ce privește numărul de tranzistoare necesare anumitor aplicații;
- Puterea disipată în regim de comutație este mult mai mică datorită swing-ului redus folosit în interiorul rețelei de comutare;
- Același circuit electronic poate realiza funcții logice diferite dacă se modifică ordinea de amplasare a variabilelor de intrare, așa cum se poate vedea în figura de mai jos:



X	Y	F
0	0	0
0	1	A
1	0	A-bar
1	1	1
0	B	AB
0	B-bar	AB-bar
1	B	A+B
1	B-bar	A+B-bar
B	0	AB
B	1	AB-bar
B	0	A+B
B	1	A+B-bar
B	B	B
B	B-bar	B-bar
B	B	A⊕B
B	B-bar	A⊕B-bar
B	B	B

Fig. 8 Funcții logice realizate cu același circuit PTL prin simpla rotire a semnalelor de intrare

Dezavantaje

- Tranzistoarele cu canal N sunt capabile să conducă bine valoarea logică unu dar nu pot conduce la fel de bine valoarea logică zero;
- Swing redus la ieșire;
- Caracteristica de transfer în tensiune se modifică în funcție de informația de la intrare;
- Pot apărea situații în care avem putere disipată în regim static: ieșirea din rețeaua de tranzistoare este în unu logic iar tensiunea redusă de la ieșire nu poate să determine comutarea inversorului static de la ieșire;
- Legarea în serie a două porți PTL nu este posibilă în stil clasic deoarece sunt afectate nivelele de tensiune pentru valoarea de unu logic.

Aspecte privind legarea în serie în logica PTL

- Comportamentul unui tranzistor PTL ce comandă un inversor static, în cazul aplicării unei tranziții pozitive la intrare este ilustrat în figura de mai jos:

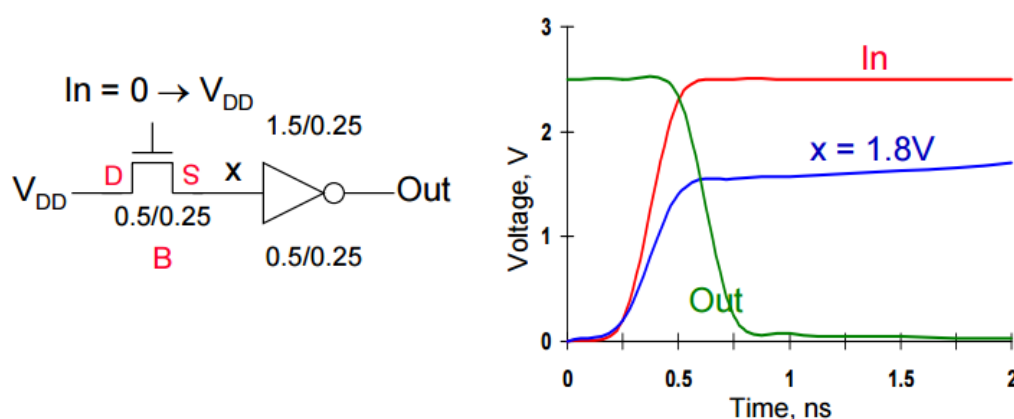


Fig. 9 Logica PTL: Alterarea nivelului de unu logic la ieșirea din rețeaua de tranzistoare

- Pentru cazul în care semnalul de intrare trebuie să parcurgă mai multe tranzistoare, saltul de tensiune (swing) se poate reduce și mai mult așa cum se arată în figura de mai jos:

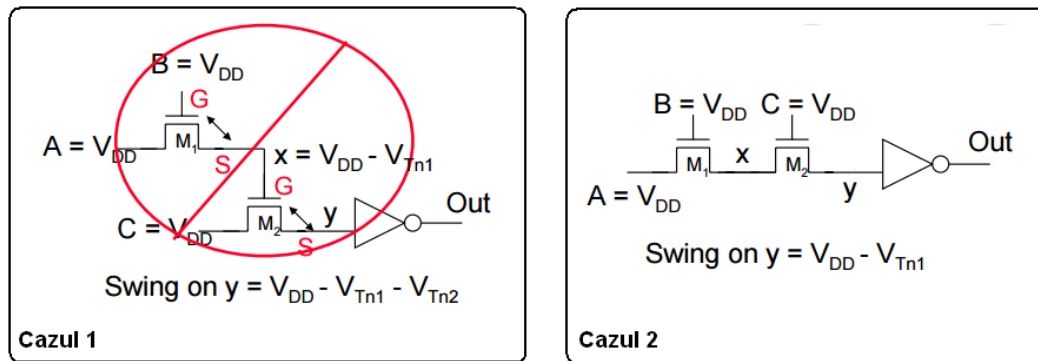


Fig. 10 Logica PTL: Cascadarea a două tranzistoare PTL

- O soluție de regenerare a nivelului de unu logic de la ieșirea din rețeaua de comutație, presupune utilizarea unui tranzistor suplimentar, de tip PMOS, conectat ca în figura ce urmează:

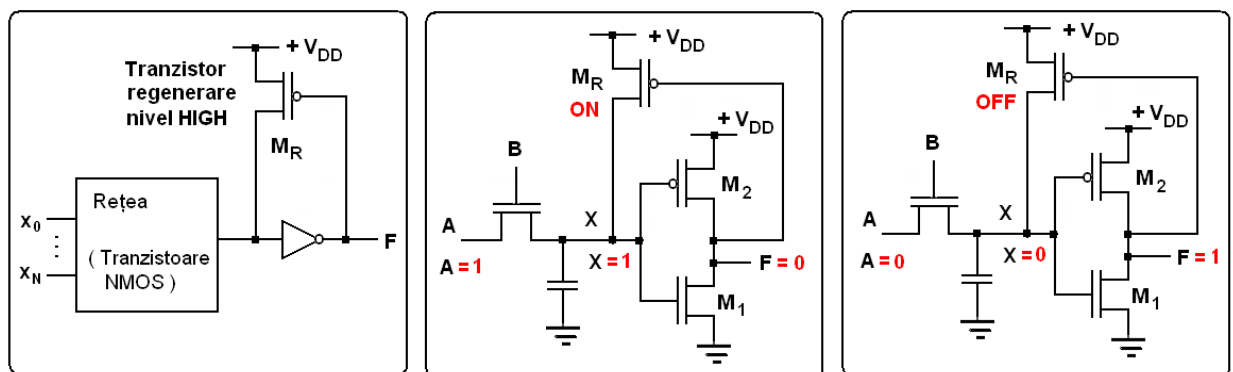


Fig. 11 Logica PTL: Conectarea tranzistorului de regenerare a nivelului de unu logic

- Funcționarea corectă a circuitului cu regenerare este puternic dependentă de dimensiunile fizice ale tranzistoarelor, așa cum se poate vedea în figura ce urmează:

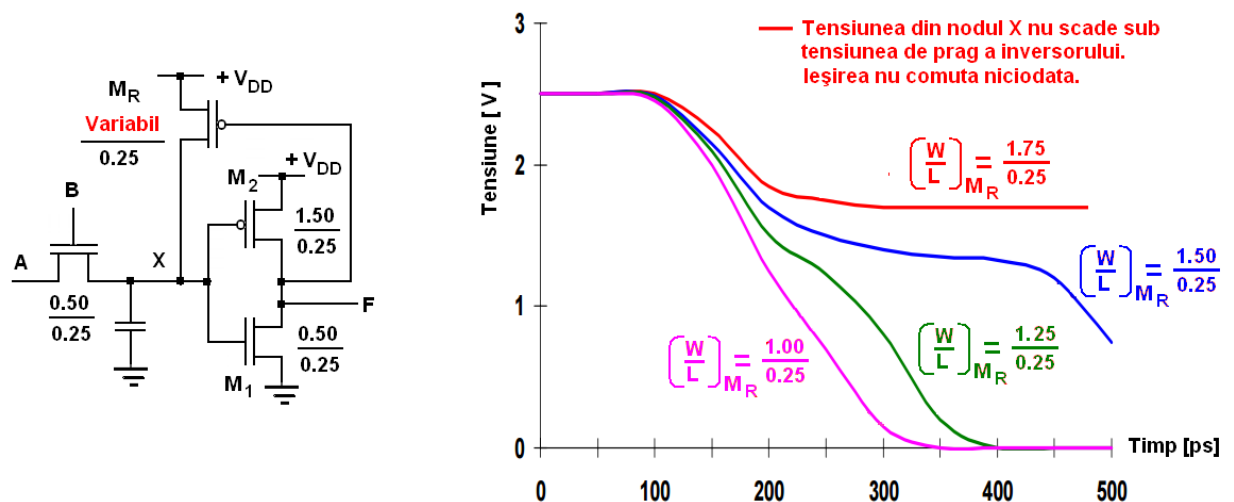


Fig. 12 Logica PTL: Timpul de comutare pentru diferite dimensiuni ale tranzistorului de regenerare

- Introducerea tranzistorului de regenerare are efecte multiple:
 - Crește capacitatea parazită a nodului X, ceea ce are ca efect reducerea vitezei de lucru;
 - Mărește timpul de creștere (durata tranziției pozitive);
 - Reduce timpul de descreștere (durata tranziției negative);

- Reface swingul în punctul X, ceea ce are ca efect eliminarea puterii disipate în regim static pe inversorul de ieșire;
- Nu apar curenți inverși prin rețeaua de comutație (de la MR spre intrări).

◆ Implementarea funcțiilor binare folosind logica PTL

Procedura de implementare este relativ simplă și presupune parcurgerea următorilor pași:

Pasul 1: Variabilele funcției trebuie împărțite în două categorii: variabile de selecție (folosite pentru comanda grilelor) și variabile conduse (vor trece prin rețeaua de tranzistoare).

În procesul de alegere a variabilelor de selecție este necesar să găsim în diagrama Karnaugh suprafețe ce depind doar de o singură variabilă sau suprafețe ce au o valoare logică constantă.

În exemplul de mai jos, variabile de selecție sunt C și A, iar variabilele conduse sunt D și B.

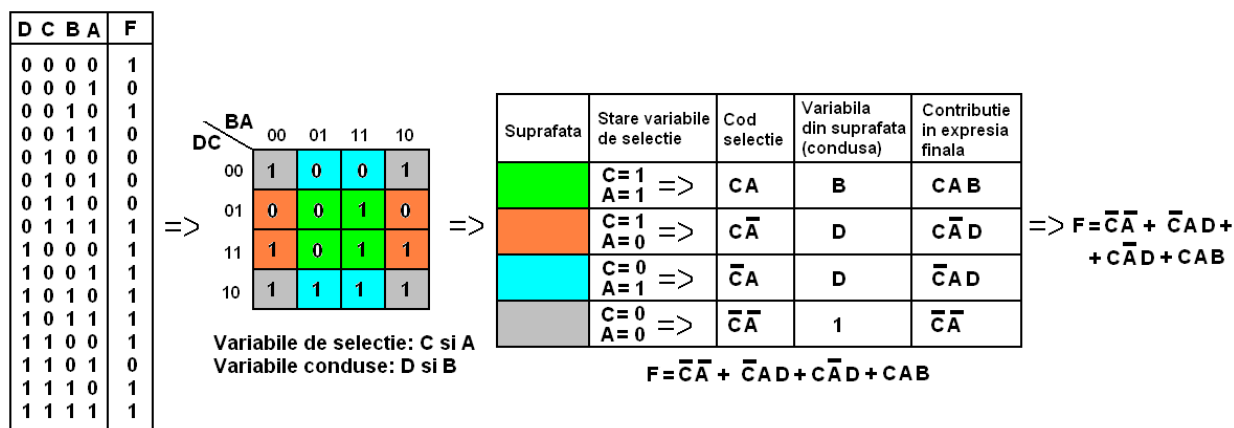


Fig. 13: Logica PTL: Exemplu de implementare a unei funcții binare – etapa de alegere a variabilelor

Pasul 2: Determinarea punctelor de conexiune în rețeaua de tranzistoare.

Rețeaua de tranzistoare are o organizare de tip matrice:

- pe liniile verticale se conectează variabilele de selecție,
- pe liniile orizontale se conectează variabilele conduse (extrase din diagrama Karnaugh în pasul anterior),
- la fiecare intersecție dintre o linie orizontală și una verticală se află un tranzistor NMOS;
- pe partea de ieșire din rețea, toate liniile orizontale se conectează între ele.

Pentru exemplul prezentat în pasul anterior, modul de conectare în matrice este ilustrat mai jos.

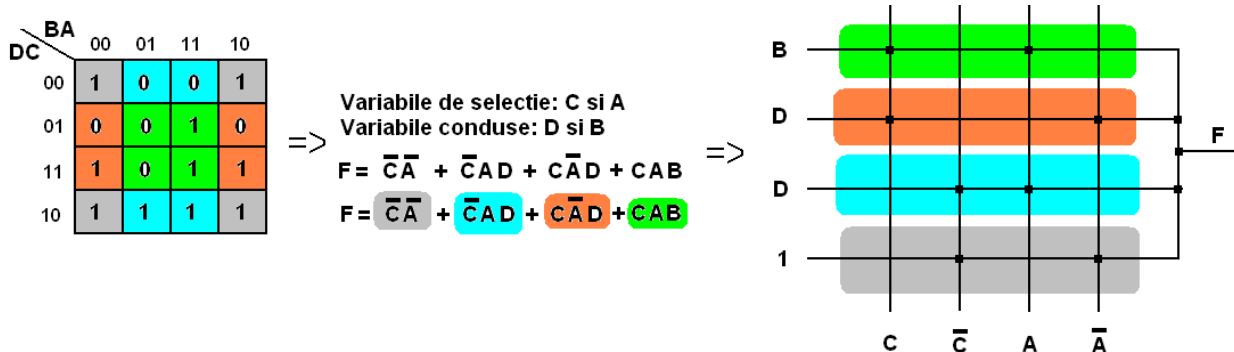


Fig. 14 Logica PTL: Exemplu de implementare – etapa de determinare punctelor de conexiune din matrice

Observații:

- Numărul de linii verticale din matrice este egal cu dublul numărului de variabile de selecție;
- Numărul de linii orizontale din matrice este egal cu numărul de suprafețe rezultate din diagrama Karnaugh;
- Pe fiecare linie orizontală trebuie să avem un număr de tranzistoare egal cu numărul variabilelor de selecție;

Pasul 3: Proiectarea schemei electrice.

Prima etapă constă în conectarea la ieșire a inversorului static P1, împreună cu tranzistorul de regenerare MR. Aceste componente sunt introduse din necesități electrice și au ca efect inversarea funcției logice realizate în rețeaua de tranzistoare. Pentru a anula acest efect, sunt negate toate variabilele de pe liniile orizontale ale matricei.

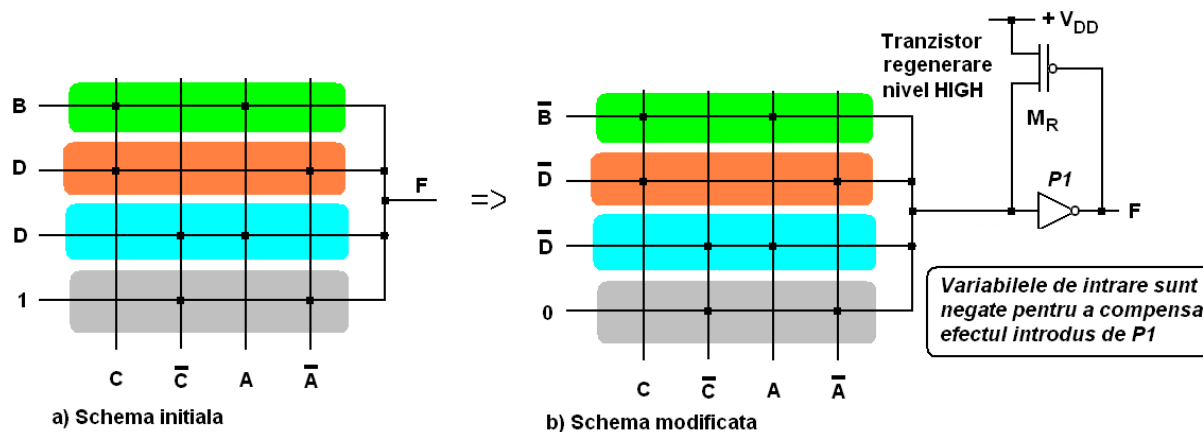


Fig. 15 Logica PTL: Exemplu de implementare – introducerea inversorului de ieșire și a tranzistorului de regenerare

Următoarea etapă presupune înlocuirea punctelor din matrice cu tranzistoare NMOS, așa cum se poate observa în schema de mai jos:

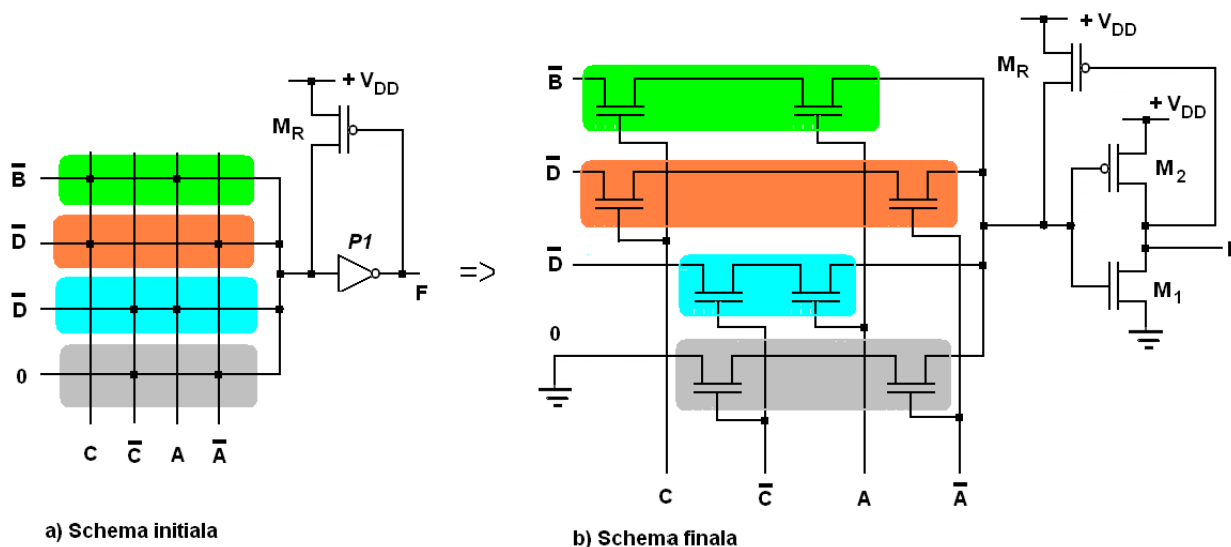


Fig. 16 Logica PTL: Exemplu de implementare – obținerea schemei finale

Numărul total de tranzistoare necesar pentru această aplicație este egal cu 15, fiind distribuit astfel: 8 în rețea, 3 în circuitul de ieșire, 4 pentru negarea variabilelor C și A.