

V.1. Introducere

- Circuitele combinaționale realizate în tehnologie CMOS statică cu rețele complementare necesită $2N$ tranzistoare;
- Reducerea numărului de tranzistoare de la $2N$ la $N+1$ se poate face folosind logica de tip pseudo-NMOS dar apare un aspect nedorit: putere disipată în regim static;
- O altă soluție de a reduce numărul de tranzistoare de la $2N$ la $N+2$, fără a introduce putere disipată în regim static, constă în utilizarea logicii dinamice;
- Reamintim că circuitele digitale CMOS se împart în două mari categorii:
 - Circuite statice – la care funcția logică realizată de circuit este disponibilă în orice moment de timp;
 - Circuite dinamice – la care funcția logică realizată de circuit este disponibilă doar pe un nivel logic al semnalului de ceas;
- În general, circuitele realizate în logică dinamică au următoarele caracteristici:
 - Prezintă intrare ce ceas, indiferent dacă sunt combinaționale sau secvențiale;
 - Starea logică de la ieșirea circuitului este dată de încărcarea/descărcarea capacității parazite de la ieșirea porții logice, capacitate notată prin C_P ;
 - În funcționarea unui circuit dinamic apar două etape distincte:
 - Pe un nivel al semnalului de ceas se realizează o etapă de pregătire a capacității parazite C_P , în sensul că această capacitate este adusă forțat într-o stare logică cunoscută;
 - Pe celălalt nivel al semnalului de ceas se realizează etapa de evaluare a funcției logice implementată de circuit;
 - Funcția logică realizată de către circuit este disponibilă numai pe un nivel logic al semnalului de ceas;
 - În etapa de evaluare nu pot realiza decât o tranziție de stare logică;
 - apar probleme la legarea în serie a blocurilor logice același tip;
 - nu avem putere disipată în regim static;
 - performanțele nu depind de raportul dimensiunilor fizice ale tranzistoarelor (nu este o logică cu raport impuls);
 - frecvența semnalului de ceas trebuie să fie peste o valoare minimală specificată în foile de catalog (tipic, frecvența trebuie să fie peste 1MHz);
 - în mod tipic este de $1,5 \div 2$ ori mai rapidă față de logica statică de tip complementar;
 - foarte folosită în interiorul microprocesoarelor performante;
- Există mai multe variante de circuite logice dinamice, cele mai reprezentative sunt prezentate succint în cele ce urmează;

V.2. Blocul dinamic de tip N

- Schema bloc de principiu pentru blocul dinamic de tip N este prezentată în figura 1a;
- Se observă că funcția logică este realizată cu o singură rețea de tranzistoare (rețea de tip Pull Down Network);
- Referitor la rețeaua PDN se pot face următoarele precizări:
 - este formată numai din tranzistoare de tip NMOS;
 - sinteza schemei electrice se face ținând cont de expresia lui \bar{Y} , în mod similar metodei prezentate pentru logica statică cu rețele complementare;
 - are ca rol conectarea ieșirii Y la masă (atunci când funcția logică realizată de circuit o permite), în scopul asigurării nivelului de tensiune necesar stării logice LOW;

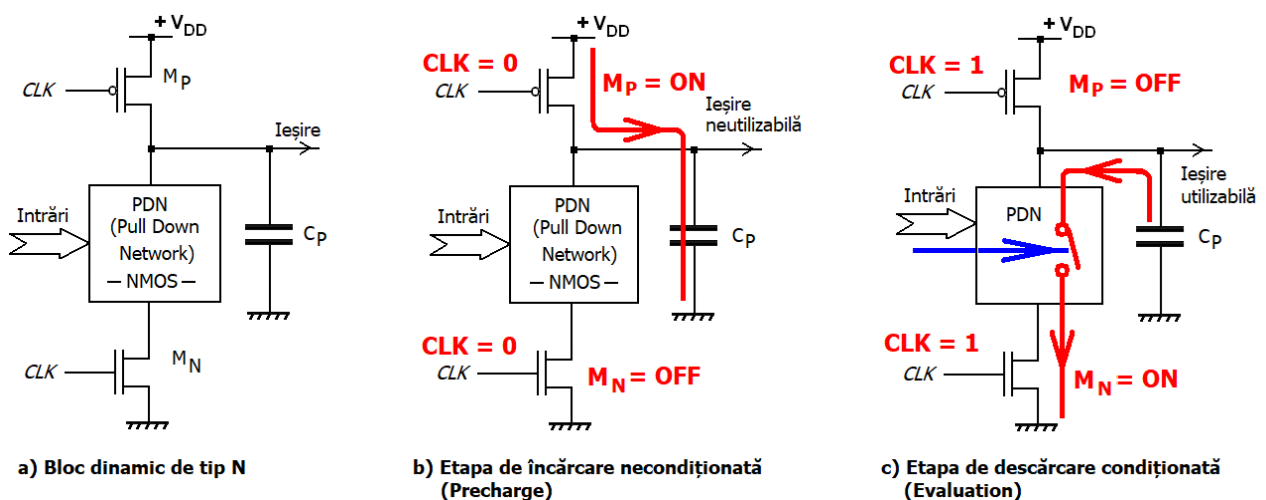


Fig. 1: Bloc dinamic de tip N: a) Schema bloc de principiu; b) Etapa de încărcare; c) Etapa de descărcare;

- În funcționarea schemei se disting două etape ce sunt impuse de starea logică a semnalului de ceas:
 - Pentru $CLK=0$, avem etapa de pregătire (**Precharge**)
 - Tranzistorul M_P este în starea ON iar tranzistorul M_N este în starea OFF;
 - Apare un traseu de încărcare necondiționată a capacității parazite C_P , așa cum se poate vedea în figura 1.b;
 - La finalul acestei etape capacitatea C_P este încărcată la $+V_{DD}$, ceea ce echivalează cu aducerea ieșirii în starea HIGH;
 - Încărcarea capacității C_P se face fără a ține cont de starea logică a semnalelor de intrare – motiv pentru care spunem că avem "încărcare necondiționată";
 - Pe durata acestui proces, funcția logică realizată de circuit nu este disponibilă;
 - Pentru $CLK=1$, avem etapa de evaluare (**Evaluate**)
 - La începutul acestei etape, ieșirea circuitului este în starea logică HIGH ca urmare a etapei anterioare de precharge;
 - Tranzistorul M_P este în starea OFF iar tranzistorul M_N este în starea ON;

- Starea tranzistoarelor M_P și M_N creează posibilitatea descărcării capacității C_P prin intermediul rețelei PDN;
 - Descărcarea capacității parazite C_P este condiționată de intrări și de funcția logică ce trebuie realizată de circuitul analizat:
 - dacă ieșirea trebuie să fie în starea HIGH, capacitatea C_P nu este descărcată;
 - dacă ieșirea trebuie să fie în starea LOW, capacitatea C_P este descărcată rapid printr-o cale de conducție creată în interiorul PDN ;
 - Pe durata acestei etape, starea logică de la ieșire este în concordanță cu tabelul de adevăr al circuitului;
 - Etapa de evaluare este intervalul de timp în care funcția logică realizată de circuit este disponibilă utilizatorului;
- Trebuie precizat că, pe un interval de evaluare, ieșirea circuitului poate realiza doar o singură tranziție negativă;
 - În cazul în care valoarea logică din etapa de evaluare trebuie păstrată și în ciclul următor de evaluare, această valoare trebuie memorată (stocată) separat pe durata procesului de precharge;
 - Semnalele de la intrări trebuie să rămână stabile (nemodificate) pe durata etapei de evaluare;

V.3. Blocul dinamic de tip P

- Schema bloc de principiu pentru blocul dinamic de tip P este prezentată în figura 2a;
- Se observă că funcția logică este realizată cu o singură rețea de tranzistoare (rețea de tip Pull Up Network);

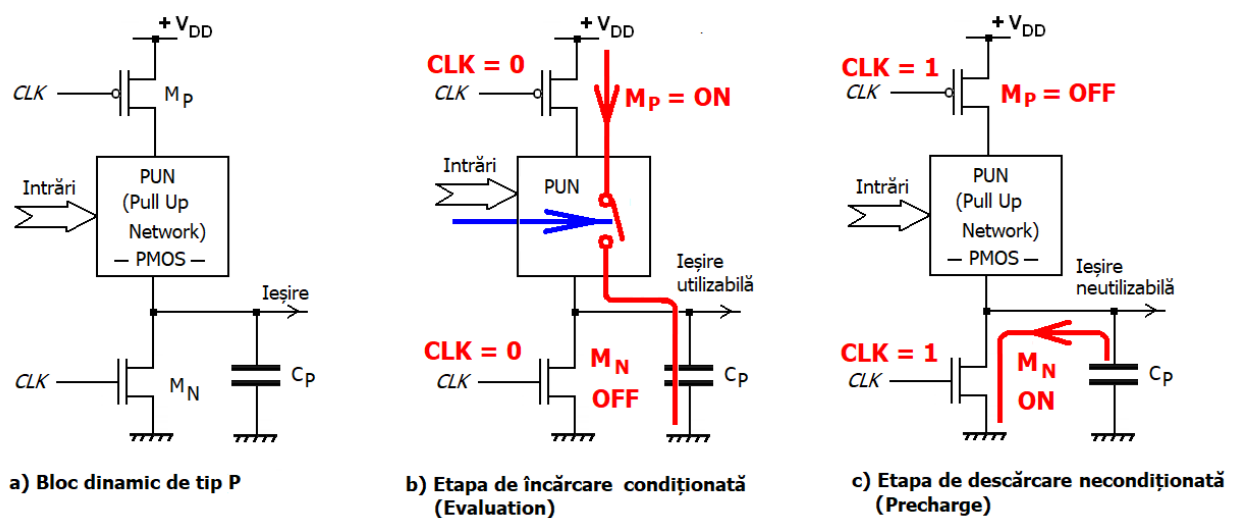


Fig. 2 : Bloc dinamic de tip P; a) Schema bloc de principiu; b) Etapa de încărcare; c) Etapa de descărcare

- Referitor la rețeaua PUN se pot face următoarele precizări:
 - este formată numai din tranzistoare de tip PMOS;
 - are ca rol conectarea ieșirii Y la tensiunea de alimentare (atunci când funcția logică realizată de circuit o permite), în scopul asigurării nivelului de tensiune necesar stării logice HIGH;

- sinteza schemei electrice se face într-o manieră similară celei folosite la proiectarea circuitelor statice cu rețele complementare;
- În funcționarea schemei se disting două etape ce sunt impuse de starea logică a semnalului de ceas:
 - Pentru CLK=0, avem etapa de Evaluare
 - La intrarea în această etapă capacitatea C_p este, în mod sigur, în starea LOW ca urmare a descărcării necondiționate ce a fost realizată în etapa anterioară;
 - Tranzistorul M_P este în starea ON iar tranzistorul M_N este în starea OFF;
 - Apare posibilitatea apariției unui traseu de încărcare condiționată a capacității parazite C_P , așa cum se poate vedea în figura 2.b
 - Încărcarea capacității parazite C_P , este condiționată de starea logică a semnalelor de intrare precum și de funcția logică ce trebuie realizată de către circuit:
 - dacă ieșirea trebuie să fie în starea HIGH, capacitatea C_P se încarcă rapid printr-o cale de conducție creată în interiorul PUN;
 - dacă ieșirea trebuie să fie în starea LOW, capacitatea C_P nu este încărcată de către PUN, capacitatea rămâne în starea LOW;
 - Pe durata acestui proces, funcția logică realizată de circuit este disponibilă pentru utilizator;
 - Pe durata acestui proces, starea logică a semnalelor de intrare nu trebuie să se modifice;
 - Pentru CLK=1, avem etapa de Discharge necondiționat
 - La începutul acestei etape, ieșirea circuitului este dependentă de funcția realizată de circuit;
 - Tranzistorul M_P este în starea OFF iar tranzistorul M_N este în starea ON;
 - Starea de conducție a tranzistorului M_N forțează o descărcare rapidă și necondiționată a capacității parazite C_P , indiferent care a fost starea logică de la începutul acestei etape;
 - La finalul acestei etape capacitatea C_P este adusă forțat în starea LOW;
 - Etapa de discharge este intervalul de timp în care funcția logică realizată de circuit este disponibilă utilizatorului;
- Trebuie precizat că, pe un interval de evaluare, ieșirea circuitului poate realiza doar o singură tranziție pozitivă;
- În funcționarea blocului dinamic de tip P, etapa de evaluare se face pe nivelul LOW al semnalului de ceas iar pentru blocul de tip N, evaluarea se face pe nivelul HIGH;

♦ **Exemplu.** Un exemplu de circuit logic combinațional, implementat cu un bloc dinamic de tip NMOS, este prezentat în figura 3.

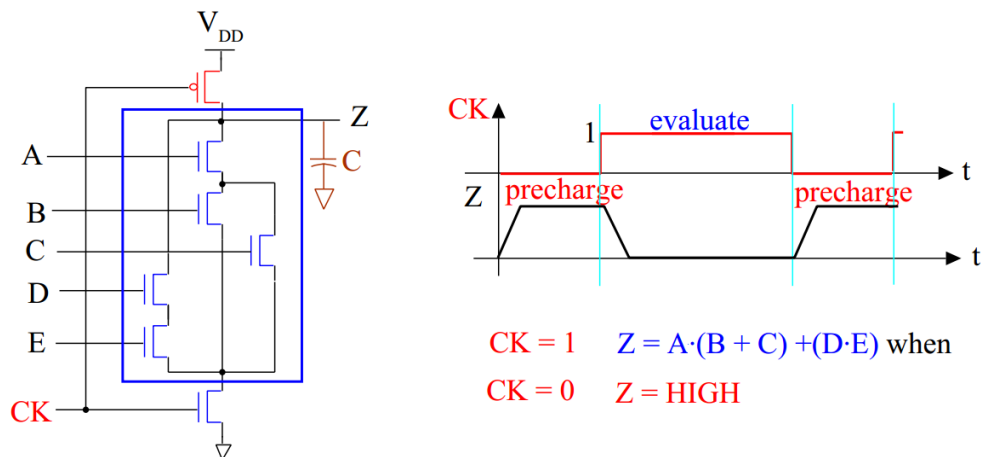


Fig. 3 : Exemplu de funcție logică complexă implementată cu un bloc dinamic de tip NMOS

V.4. Logica Domino (problematica interconectării blocurilor dinamice de același tip)

- Cascadarea directă (legarea în serie) a două blocuri dinamice de același tip nu este posibilă dacă este folosit același semnal de ceas. Pentru anumite condiții de funcționare, apare o alterare a nivelului de unu logic, așa cum se poate vedea în figura de mai jos.

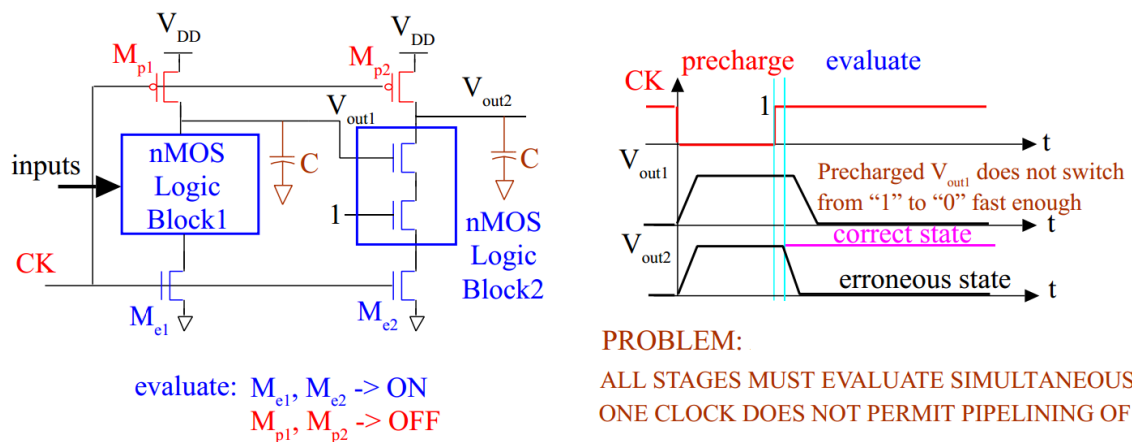


Fig. 4 : Problema interconectării blocurilor dinamice de același tip (în cazul de față, de tip NMOS)

- Rezolvarea problemelor legate de interconectarea blocurilor dinamice de același tip a condus la apariția mai multor variante de logică dinamică cu ar fi :
 - Logica de tip Domino;
 - Logica de tip NP;
 - Alte tipuri de logică dinamică;
- În cazul logicii Domino, interconectarea blocurilor dinamice de același tip a fost rezolvată prin introducerea de inversoare statice între două blocuri dinamice de același tip;
- Ansamblul format dintr-un bloc dinamic și un inversor static poartă denumirea de *Domino Gate*;

- Schema bloc de principiu pentru logica de tip Domino este prezentată în figura 5;

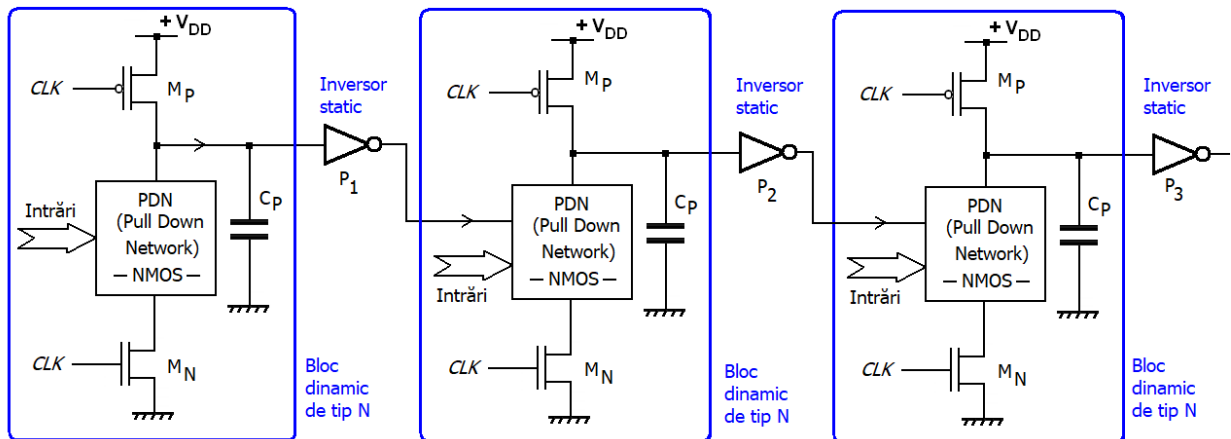


Fig. 5: Schema bloc de principiu pentru logica dinamică de tip Domino

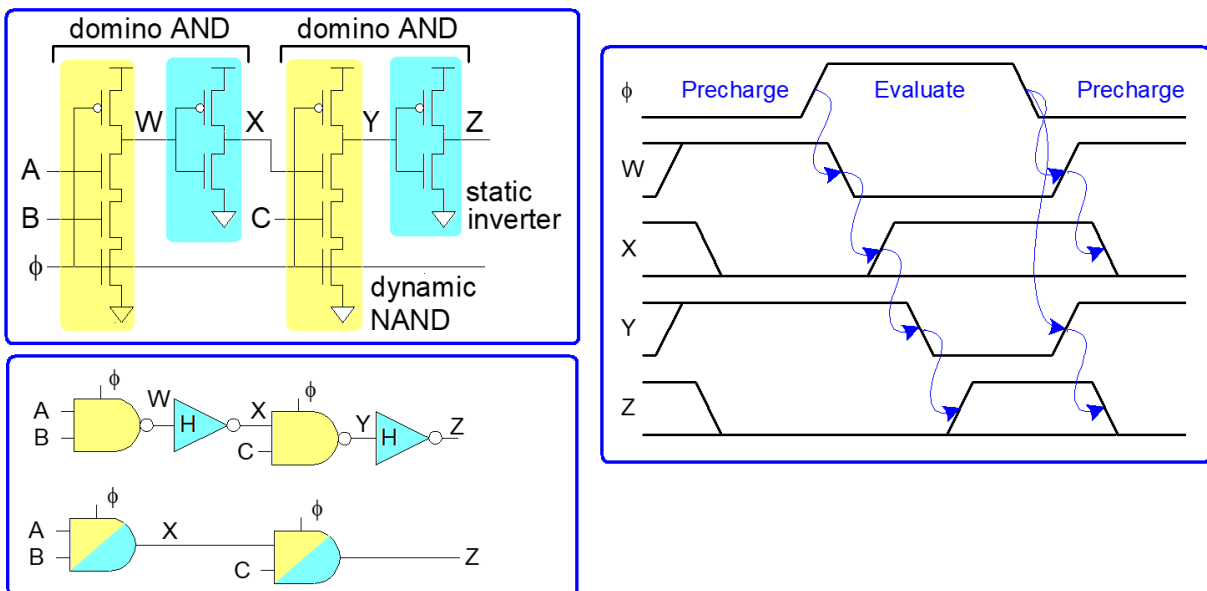


Fig. 5A: Caracterul neinversor al logicii Domino

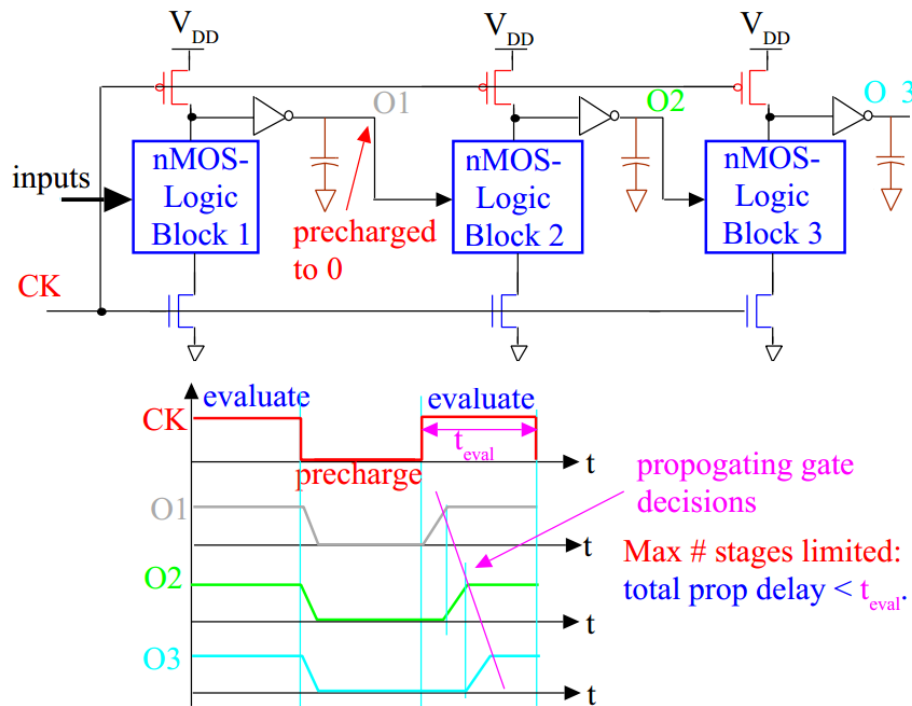


Fig. 6: Modul de lucru pentru logica de tip Domino

- Principalele caracteristici ale logicii de tip Domino sunt prezentate mai jos:
 - inversoarele statice sunt introduse din necesități electrice;
 - introducerea inversoarelor statice face ca fiecare bloc dinamic să aibă caracter neinvertor;
 - poate implementa doar porți AND, OR;
 - Este foarte rapidă;
 - Margine de zgomot bună;
 - Nu înregistrează putere disipată în regim static;
 - Nu are raport impus în privința dimensiunilor tranzistoarelor;
 - Introducerea inversorului static are efecte pozitive în ceea ce privește reducerea scurgerilor de curenți precum și rezolvarea unor probleme mai dificile legate de redistribuirea sarcinilor electrice;
 - Etapa de precharge se face în paralel (în același timp la toate blocurile dinamice);
 - Etapa de evaluare se face de la stânga la dreapta, secvențial, așa cum se poate vedea în figurile 6 și 7;
 - Este absolut obligatoriu ca suma întârzierilor introduse de blocurile Domino, în etapa de evaluare să fie mai mică decât durata procesului de evaluare;

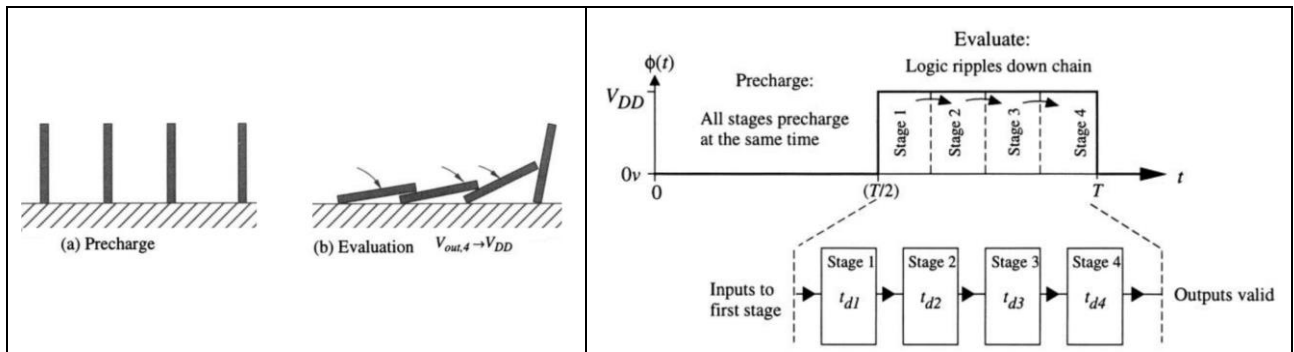


Fig. 7: Analogia cu piesele de Domino

◆ Problema "Charge Sharing"

- O problemă nedorită ce apare în funcționarea blocurilor dinamice este problema distribuției sarcinii electrice în etapa de evaluare. Acest fenomen are ca efect reducerea tensiunii de ieșire, așa după cum se poate vedea justificarea din figura 8.

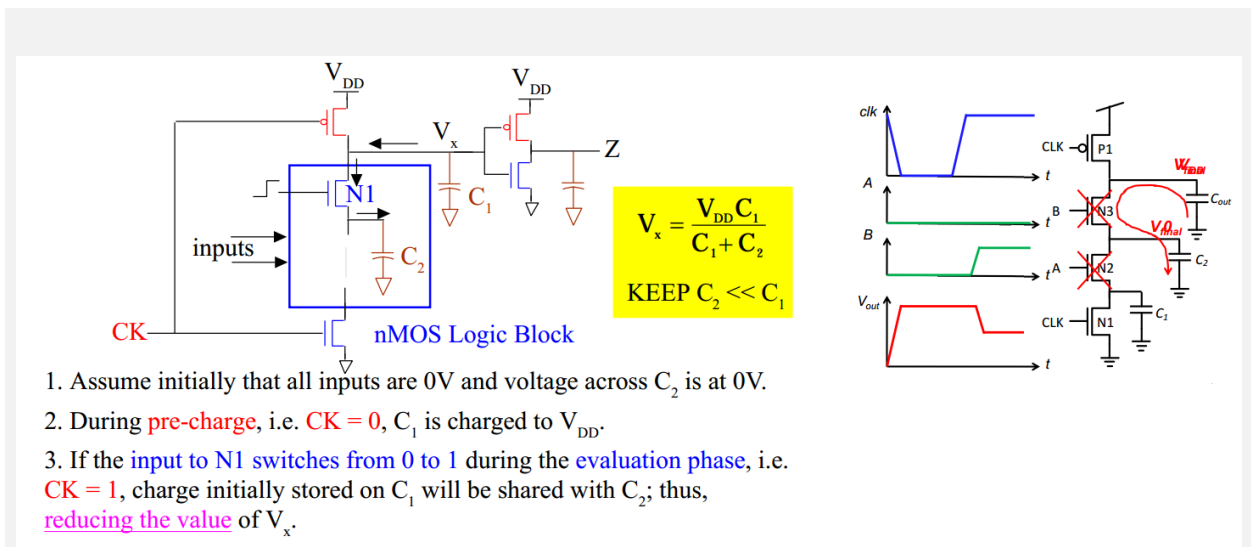


Fig. 8: Apariția fenomenului de "charge sharing"

- Reducerea efectului negativ dat de "charge sharing" se obține prin folosirea unor tranzistoare ce au ca rol realizarea unor legături slabe spre VDD (weak pull-up), conectate ca în figura de mai jos. Aceste tranzistoare mai sunt denumite și tranzistoare "bleeding".

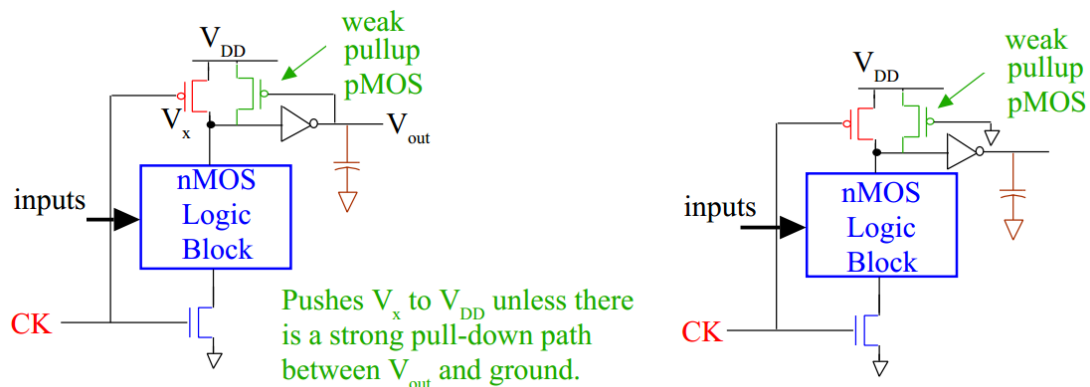


Fig. 9: Modul de conectare a tranzistorului de "bleeding"

◆ Problema cauzată de "Glitch" - uri

O altă problemă este generată de intrările care au glitch-uri în perioada de evaluare.

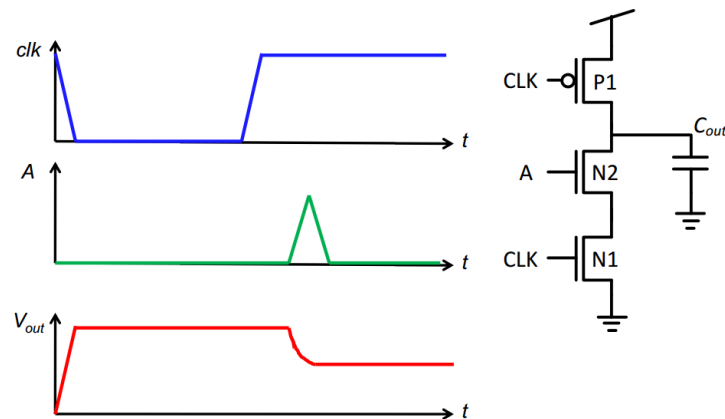


Fig. 10: Efectul negativ al glitch-urilor de pe intrări

- Problema este generată de următoarele aspecte:
 - În perioada de evaluare, tranzistorul de precharge este în starea OFF,
 - glitch-ul de pe intrare determină o comandă scurtă de descărcare a capacității parazite a nodului de ieșire;
 - tensiunea de ieșire poate rămâne la o valoare intermediară (între cele două stări logice);
 - compensarea pierderilor se poate face numai la următoarea etapă de precharge;
- Rezolvarea acestei probleme este realizată tot cu ajutorul tranzistorului bleed, cel care asigură o legătură slabă spre +Vdd.
- Proiectarea corectă a tranzistorului *bleed* este destul de realizat deoarece trebuie să facă un compromis între curentul static și nivelul de compensare a pierderilor de tensiune;
- Cea mai bună metodă de conectare a tranzistorului *bleed* este cea în care se folosește reacția (vezi figura 9.a). Această metodă are o creștere cu 3 a numărului de tranzistoare!

◆ Logica *Pseudo - Footless*

- Tranzistorul de evaluare este denumit "Foot Transistor";
- Deoarece în etapa de precharge, ieșirea este mereu în zero logic, tranzistorul de evaluare nu mai este necesar;
- Există o variantă de logică Domino ce nu mai are nevoie de tranzistorul M_N , cu excepția primului bloc dinamic. Schema de principiu este prezentată în figura 11:

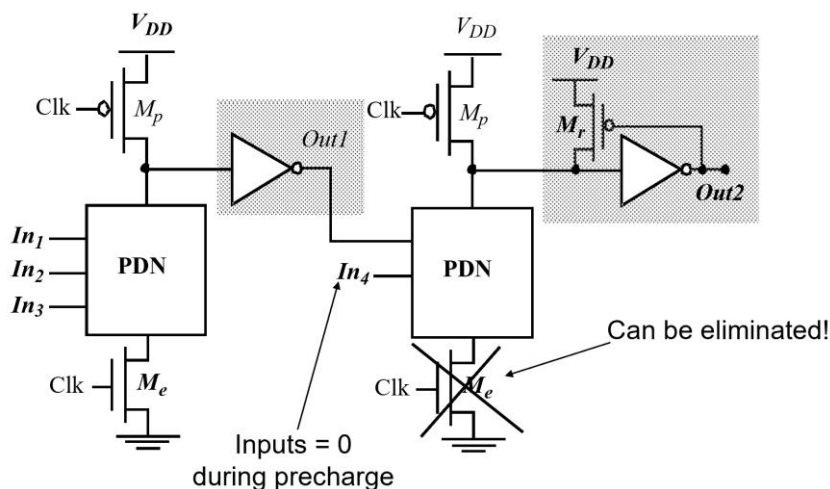


Fig. 11: Schema bloc de principiu pentru logica Domino de tip Pseudo-Footless

- Trebuie avut grijă că, fără tranzistorul de evaluare, etapa de precharge se propagă, nu mai este realizată simultan, ceea ce ridică probleme legate de timpul de propagare acceptat;

V.5. Logica Domino cu iesiri multiple

- Toate schemele bloc prezentate anterior au fost concepute pe ideea că avem nevoie de o singură ieșire din rețeaua PDN;
- Capacitatea parazită din nodul de ieșire este încărcată, în etapa de precharge, de către tranzistorul M_{Pi} ;
- În aplicații particulare, în care avem mai multe ieșiri ce prezintă o interdependență între ele, se poate recurge la o schemă cu ieșiri multiple, așa cum se poate vedea în schema bloc de principiu din figura 12;
- În cazul ieșirilor multiple dintr-un PDN, trebuie să avem grijă să facem încărcarea fiecărui nod. Această obligație duce la creșterea numărului de tranzistoare PMOS.

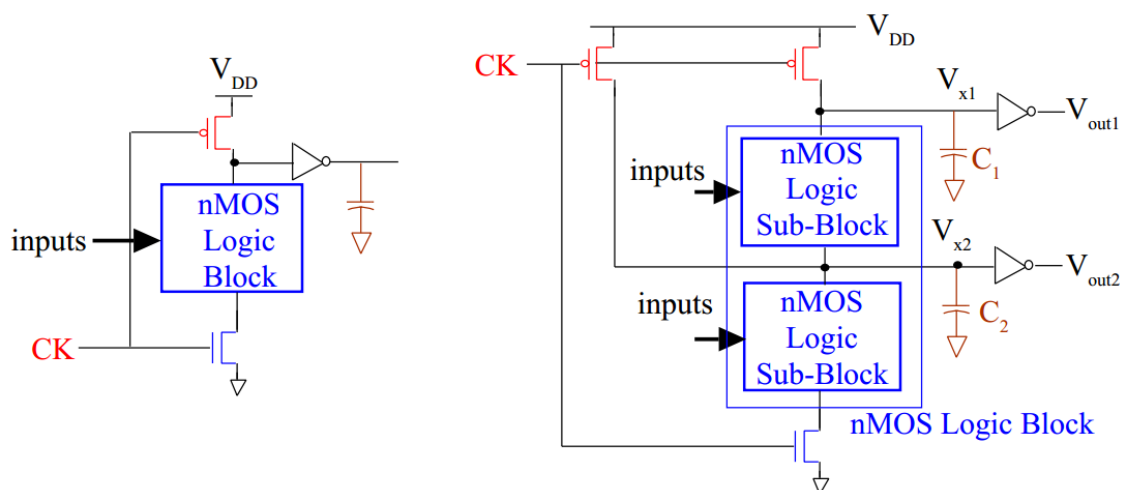


Fig. 12: Schema bloc de principiu pentru logica Domino cu iesiri multiple (partea stângă)

- Acest tip de logică are drept scop reducerea semnificativă a numărului de tranzistoare prin utilizarea multiplă a unor porțiuni din PDN/PUN;
- Este aplicabilă doar acolo unde există o relație de interdependență între ieșirile ce trebuie implementate;

- Dacă ieșirile sunt complet independente unele de altele, acest tip de logică nu poate fi aplicat;
- Pentru fiecare ieșire din interiorul rețelei PDN este necesară adăugarea unui tranzistor de precharge, de tip P;

♦ **Exemplul 1.** Un exemplu de circuit dinamic cu ieșiri multiple este prezentat în figura de mai jos.

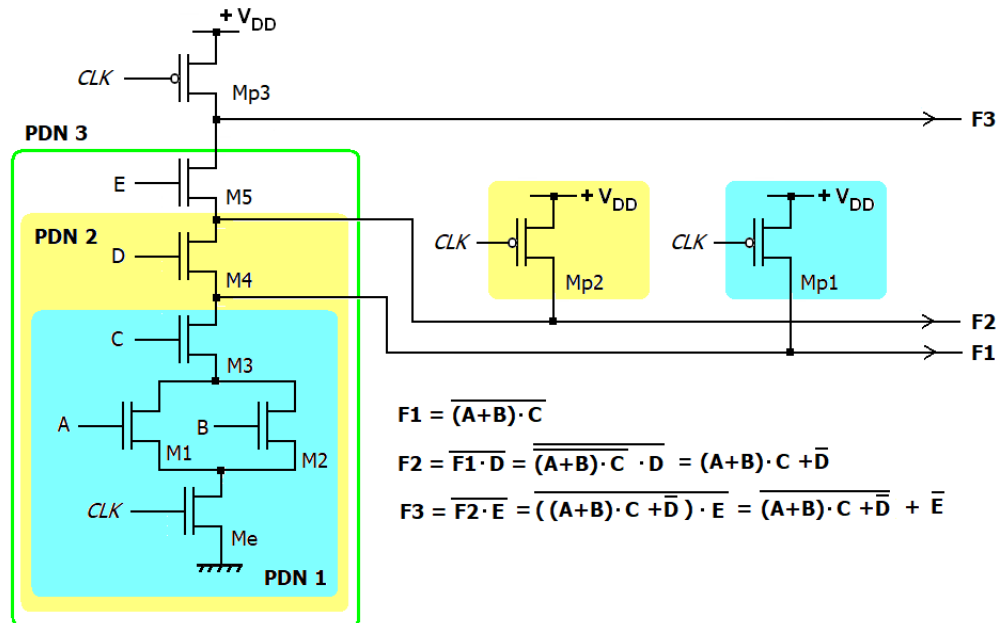


Fig. 13: Logica dinamică cu ieșiri multiple – Exemplul 1

- Pentru exemplul din figura 13, în care se prezintă un bloc dinamic de tip N cu o ieșire principală F3, și două ieșiri subordonate F2 și F1, se pot face următoarele precizări:
 - Ieșirea F1 este implementată de subrețeaua PDN1 formată din tranzistoarele M1, M2 și M3;
 - Ieșirea F2 este implementată de subrețeaua PDN2 = PDN1 + M4;
 - Ieșirea F3 este implementată de rețeaua PDN3 = PDN2 + M5;
 - Se observă utilizarea multiplă a subrețelei PDN1 în implementarea celor trei ieșiri;
 - Fiecare ieșire de subrețea trebuie să aibă propriul său tranzistor de precharge. În cazul de față avem: Mp1 pentru încărcarea ieșirii F1 iar Mp2 pentru încărcarea ieșirii F2;
- Pentru circuitul din figura 13, pe fiecare ieșire avem nevoie și de un inversor static, inversor ce nu este prezentat în figură și nici nu a fost luat în calculul expresiilor logice ale ieșirilor;
- În practică, după introducerea inversoarelor statice, câte unul pe fiecare ieșire, expresiile logice trebuie negate;

♦ **Exemplul 2.** Un alt exemplu de circuit dinamic cu ieșiri multiple este prezentat în figura 14.

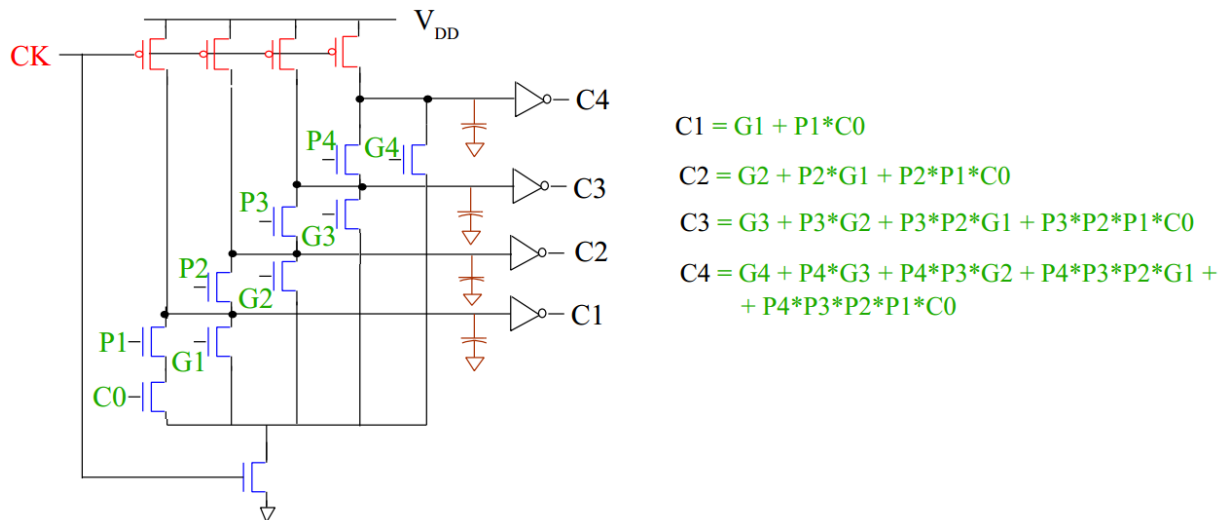


Fig. 14: Exemplu de logică Domino cu ieșiri multiple

- În figura 14, în determinarea funcțiilor de ieșire, sunt prezentate și luate în calcul și inversoarele statice specifice logicii Domino.

V.6. Logica Dual Rail Domino

- Logica *Domino* are caracter neinversor (poate implementa doar porți AND sau OR);
- Logica *Dual Rail Domino*, este o logică diferențială introdusă cu scopul de a putea realiza și porți inversoare;
- Este folosită în unele microprocesoare de uz comercial;
- Schema bloc de principiu este prezentată în figura 15

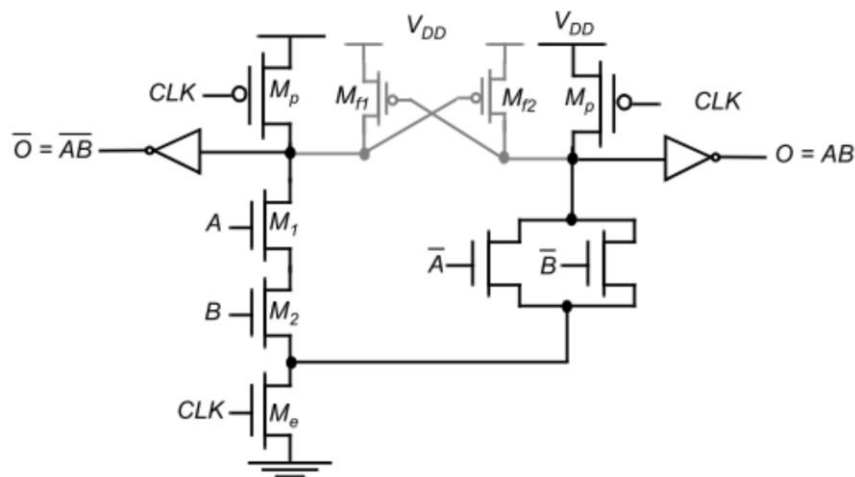


Fig. 15: Exemplu de poartă AND/NAND realizată în logica Dual Rail Domino

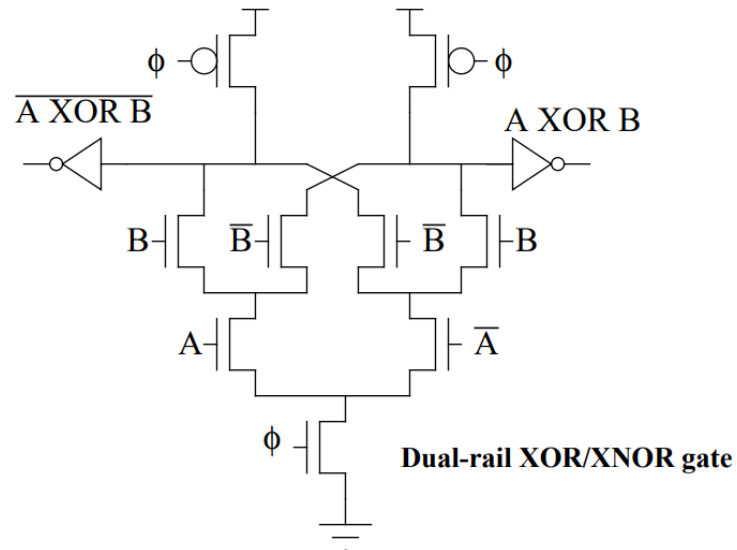


Fig. 16: Exemplu de poartă XOR/XNOR realizată în logica Dual Rail Domino

- Logica *Dual Rail Domino*, are dezavantajul că are o putere disipată mare în regim dinamic, în fiecare perioadă avem o tranziție pe una din ieșiri;

V.7. Logica Domino combinată

- Scopul acestui tip de logică este, ca de obicei: reducerea numărului de tranzistoare;
- Se pleacă de la structura de bază a logicii de tip Domino și se încearcă înlocuirea inversorului static cu alte porți inversoare care să participe activ la implementarea funcției logice realizate de circuit;

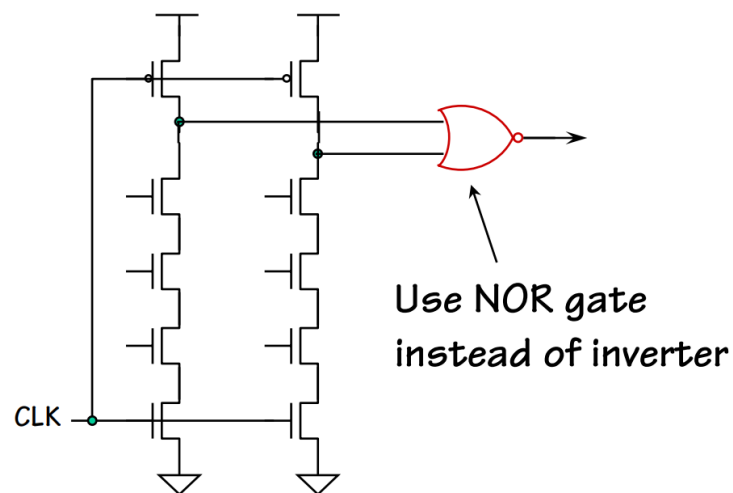


Fig. 17: Exemplu de Domino combinată

- Acest tip de logică este folosit mai ales pentru realizarea porților cu număr mare de intrări, fără să avem nevoie de legarea în serie a unui număr mare de tranzistoare NMOS;

- Un Se pleacă de la structura de bază a logicii de tip Domino și se încearcă înlocuirea inversorului static cu alte porți

V.8. Logica dinamică de tip NP

- O altă posibilitate de rezolvare a problemei interconectării blocurilor dinamice o reprezintă logica dinamică de tip NP, unde este folosită o alternare a blocurilor dinamice de tip N cu cele de tip P;
- Schema bloc de principiu pentru logica dinamică de tip NP este prezentată în figura 18;

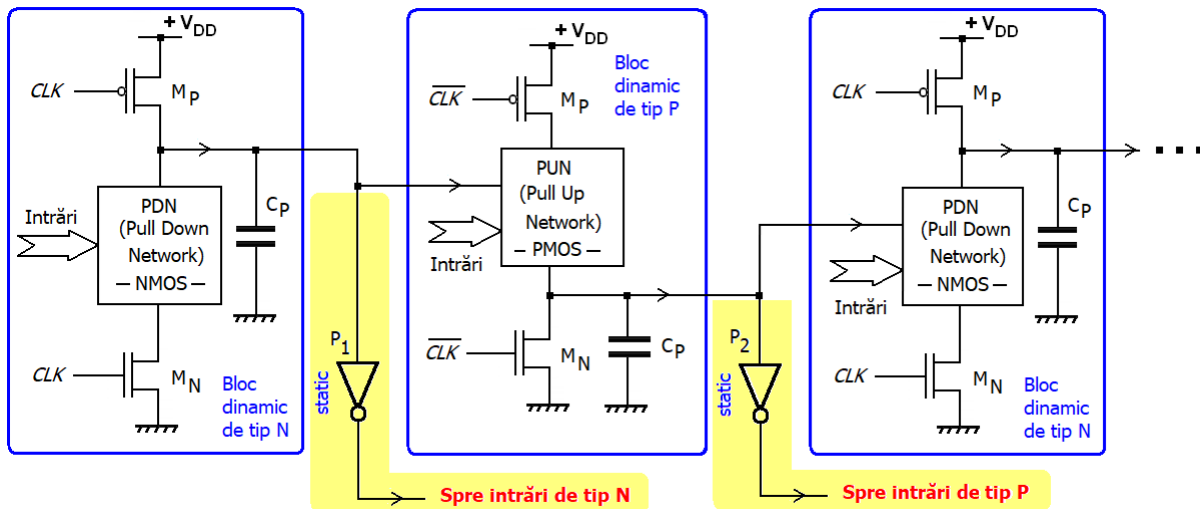


Fig. 18: Logica dinamică de tip NP, obținută prin alternarea de blocuri complementare

- Desfășurarea în timp a etapelor specifice logicii dinamice se arată în figura de mai jos;

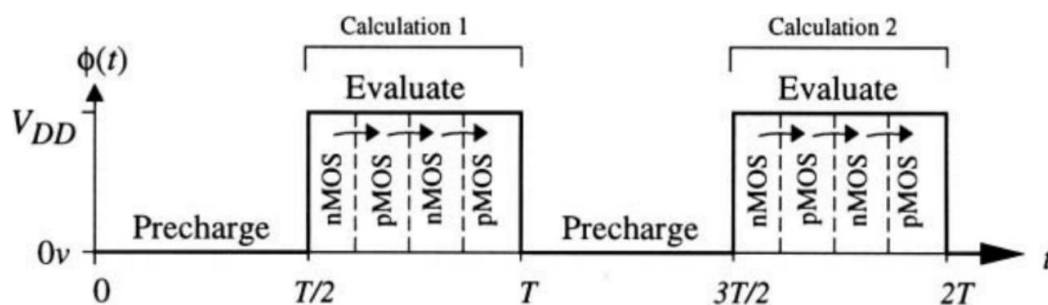


Fig. 19: Logica dinamică de tip NP – secvența de operații

- Dacă alternarea blocurilor este posibilă în permanență, nu mai avem nevoie de inversoarele statice;
- Utilizarea blocurilor dinamice de tip P ridică probleme deoarece sunt mai lente decât cele de tip N și reduc performanța globală a circuitului;
- Restul avantajelor/dezavantajelor pentru acest tip de logică sunt preluate de la blocurile dinamice constitutive;