

Lucrarea 2: Ceas digital + Facilități avansate în TINA

Scopul lucrării: Lucrarea urmărește:

- prezentării modului de folosire a numărătoarelor asincrone pentru realizarea unui ceas electronic cu secunde, minute, ore;
- prezentarea unor facilități avansate oferite de TINA:
 - o Generarea și utilizarea unui circuit de tip Macro;
 - o Utilizarea magistralelor în scopul asigurării unei vizibilități mai bune în cazul schemelor complexe.

I. Proiectarea divizoarelor de frecvență cu factor fix

De cele mai multe ori, realizarea divizoarelor de frecvență cu factor fix se bazează pe utilizarea numărătoarelor asincrone.

În procesul de proiectare a divizoarelor de frecvență cu factor fix, trebuie parcurse următoarele etape:

- alegerea numărătorului trebuie să îndeplinească condiția: $k < 2^n$, unde n reprezintă numărul de bistabili ai numărătorului binar.
- împărțirea stărilor numărătorului în două categorii:
 - stări permise (stările de la **0** la **$k-1$**) – pe durata acestor stări funcția de ștergere nu trebuie activată;
 - stări nepermise (stările mai mari decât **k**) – pe durata acestor stări funcția de ștergere trebuie activată.
- proiectarea un CLC care primește la intrare starea numărătorului și generează la ieșire un semnal de comandă a intrării de reset a numărătorului binar.

Modul de proiectare al acestor divizoare a studiat în laboratorul anterior.

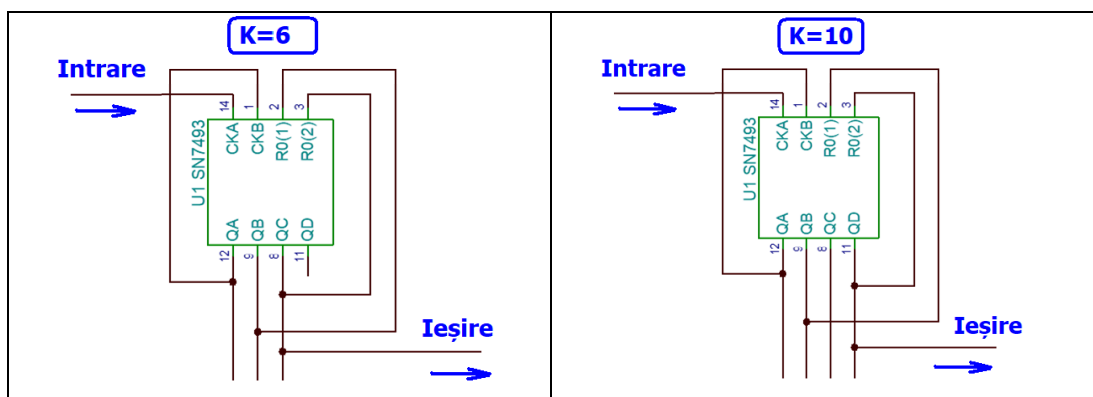


Fig. 1: Utilizarea circuitului 7493 pentru implementarea divizoarelor de frecvență cu factor fix.

II. Proiectarea unui ceas electronic

◆ Proiectarea schemei bloc a ceasului electronic

Realizarea unui ceas electronic nu este altceva decât legarea în serie (unul după altul) a unor divizoare de frecvență convenabil alese.

În funcție de precizia dorită a ceasului, frecvența semnalului de intrare poate fi:

- 1Hz (perioada semnalului de intrare este de o secundă)
- 10Hz (perioada semnalului de intrare este de o zecime de secundă)
- 100Hz (perioada semnalului de intrare este de o sutime de secundă)
- 1kHz (perioada semnalului de intrare este de o milisecundă)

În cazul nostru considerăm că semnalul de intrare are frecvența de 1Hz.

Schema bloc de principiu este prezentată în figura 2.

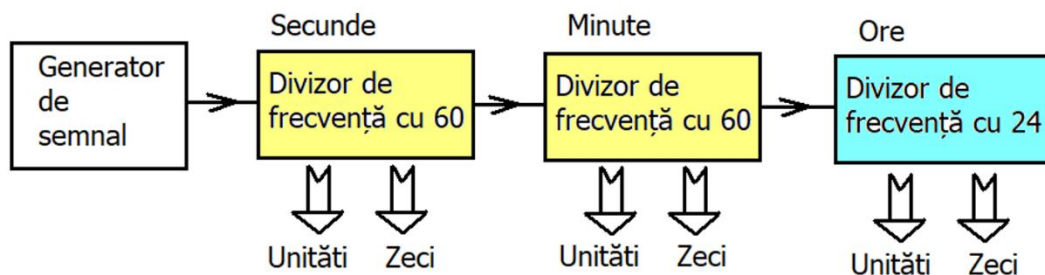


Fig. 2: Schema bloc de principiu pentru un ceas electronic

◆ Proiectarea divizorului de frecvență cu factorul $K=60$

Rolul blocului de divizare cu factorul $K=60$ este următorul:

- este folosit pentru comanda poziției de secunde și a poziției de minute;
- evoluează de la 00 la 59;
- poate fi realizat cu 2 circuite 7493 configurate în mod convenabil (așa cum se arată în figura 3);

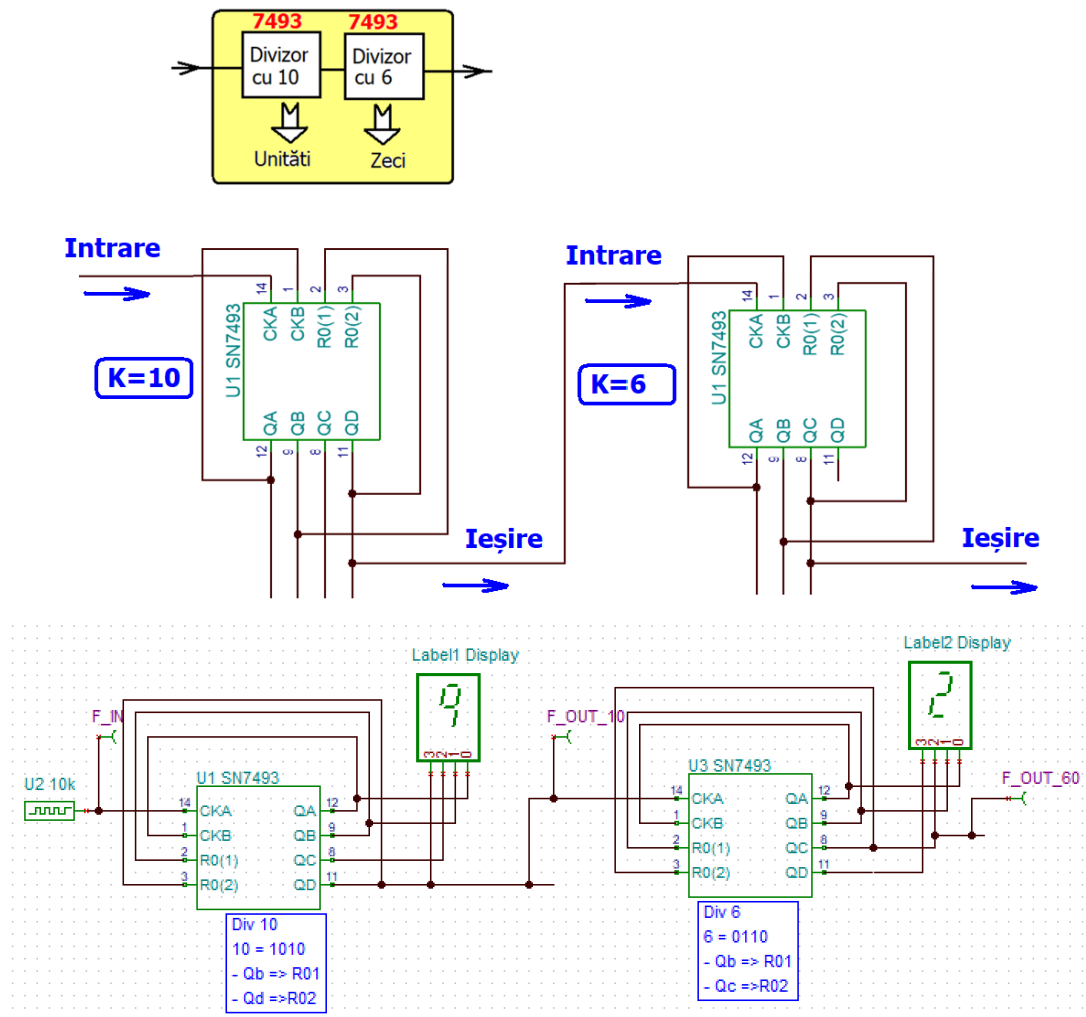


Fig. 3: Modul de implementare a divizorului de frecvență cu factorul K=60

◆Proiectarea divizorului de frecvență cu factorul K=24

Rolul blocului de divizare cu factorul K=60 este următorul:

- este folosit pentru comanda poziției de ore;
- evoluează de la 00 la 23;
- poate fi realizat cu 2 circuite 7490 configurate în mod convenabil (așa cum se arată în figura 3);
- se generează comandă de RESET pentru ambele circuite atunci când avem numărul 24;

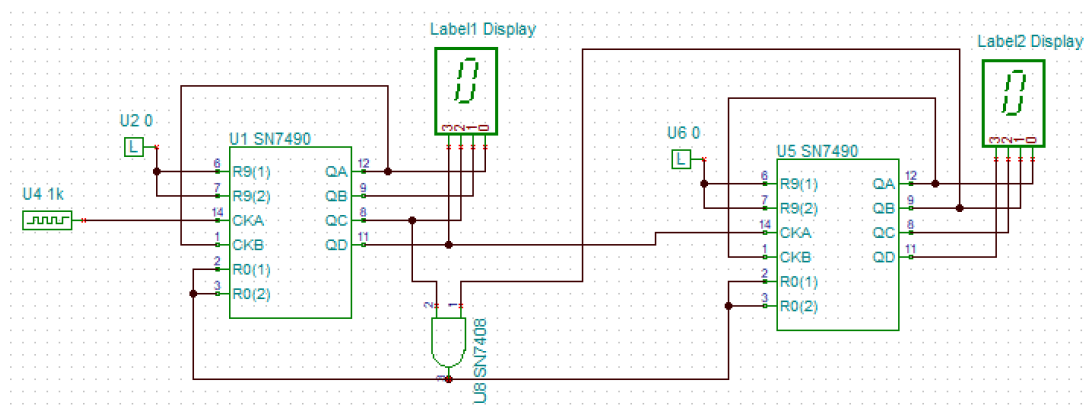
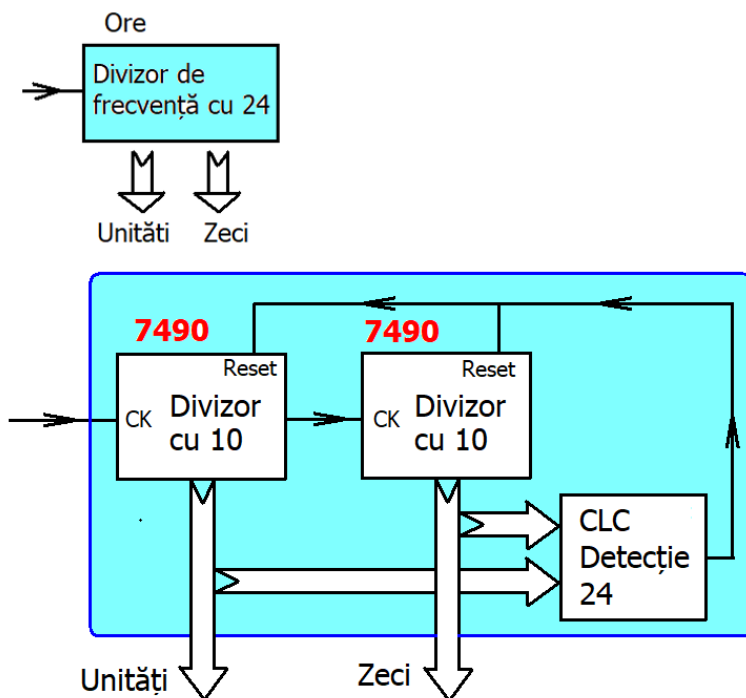


Fig. 4: Modul de implementare a divizorului de frecvență cu factorul $K=24$

◆Proiectarea schemei finale a ceasului electronic

Pornind de la schema bloc din figura 2 și ținând cont de schemele obținute pentru divizoarele de frecvență cu 60 (vezi figura 3), respectiv pentru divizorul cu 24 (vezi figura 4), se obține schema finală a ceasului electronic (vezi figura 5).

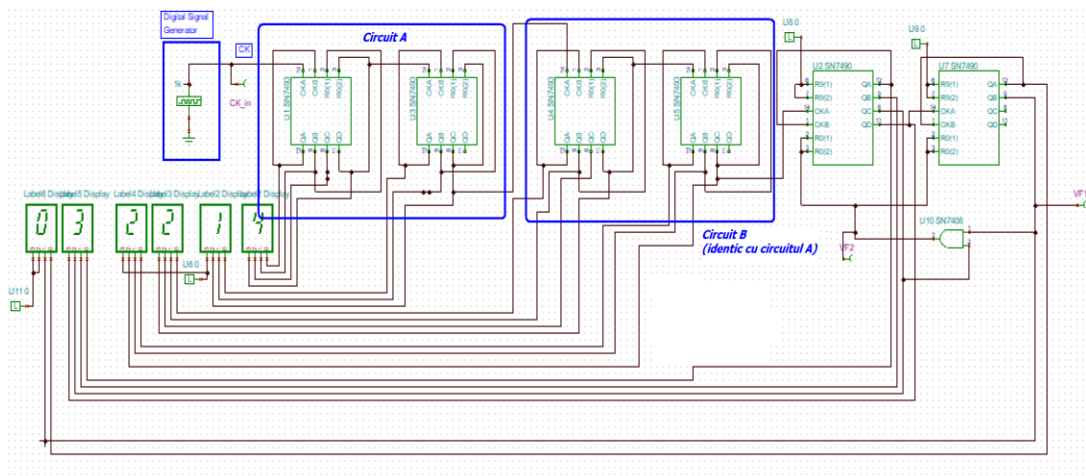


Fig.5. Schema electrică finală a ceasului electronic;

Schema din figura 5 poate fi redesenată, în sensul reducerii complexității, folosind o serie de facilități oferite de TINA: conceptul Macro și conceptul de Bus. Modul de lucru cu aceste concepte este prezentat în cele ce urmează.

III. Facilități avansate în TINA (Bus, Macro)

III.1. Utilizarea magistrelor (Bus)

Principalele aspecte legate de magistrale sunt prezentate mai jos:

- prin magistrală (bus) este referit un grup de fire pe care circulă informație digitală ce are aceeași semnificație, spre exemplu semnificație de adresă;
- magistralele sunt folosite pentru interconectarea componentelor dintr-un sistem digital de complexitate mai mare;
- mărimea magistralei este dată de numărul de fire (numărul de biți);
- utilizarea magistrelor în desenarea schemelor logice prezintă avantajul că generează scheme finale mai aerisite, mai vizibile și mai ușor de interpretat decât în cazul desenării tuturor firelor dintr-o magistrală;
- pentru utilizarea magistrelor se folosesc instrucțiuni speciale, sunt reprezentate cu linii mai groase și trebuie să aibe nume proprii unice;

În TINA, utilizarea unei magistrale presupune parcurgerea următoarelor etape:

- Din meniul *Insert*, se alege opțiunea *Bus*, iar apoi se desenează traseul ce trebuie urmat de respectiva magistrală (traseul se desenează similar ca în cazul instrucțiunii *Wire*);
- După trasare, se face dublu click pe magistrală și apare o fereastră în care trebuie specificate proprietățile magistralei:
 - În câmpul *ID*, se trece denumirea magistralei;

- Opțiunea *Show ID* este folosită dacă dorim ca numele magistralei să apară în schema logică;
- Pentru denumirea magistralei sunt două posibilități:
 - Fiecare fir are nume propriu, spre exemplu: **A, B, C, D**;
 - Magistrala are un singur nume iar diferențierea se face prin index, spre exemplu: **mag_test[0-7]**;
- Foarte adesea apare nevoia de a conecta un fir separat (*Wire*) la un fir ce face parte dintr-o magistrală. Pentru aceasta, după ce firul este conectat la magistrală, se face dublu click pe fir și în câmpul ID, trebuie aleasă o componentă ce aparține magistralei;

Pentru schema din figura 5, conceptul de Bus poate fi folosit pentru conectarea cifrelor din blocul de afișare la divizoarele de frecvență corespunzătoare. Așadar, putem folosi 6 magistrale pe 4 biți.

III.2. Utilizarea conceptului de Macro

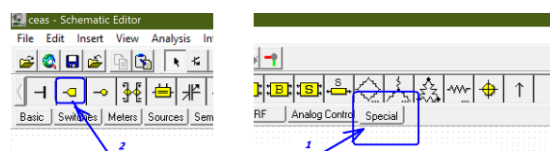
O altă facilitate oferită de TINA este foarte utilă în proiectarea modulară a schemelor de complexitate mare, este conceptul de macro circuit, pe scurt *Macro*.

De regulă, într-un *Macro* se introduc părți de circuit care se repetă de mai multe ori în interiorul sistemului digital. Aceste porțiuni se desenează o singură dată, sunt salvate sub forma unui macro și apoi pot fi apelate ori de câte ori este necesar (ca și cum ar fi o componentă de sine stătătoare).

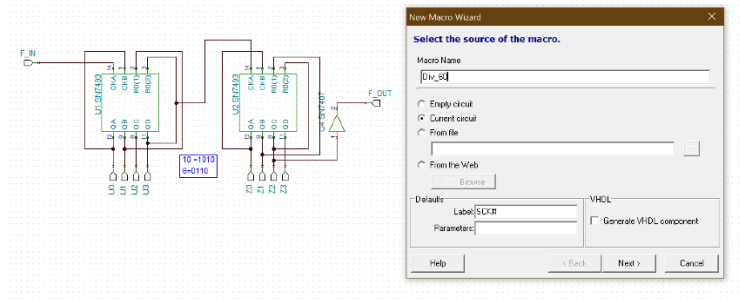
Într-un *Macro* se pot introduce mai multe modalități de descriere a circuitului electronic: schemă logică, descriere în limbaj SPICE, descriere în limbaj VHDL, etc. În lucrarea de față se prezintă doar generarea unui macro ce conține schemă logică.

Pentru generarea unui Macro se procedează astfel:

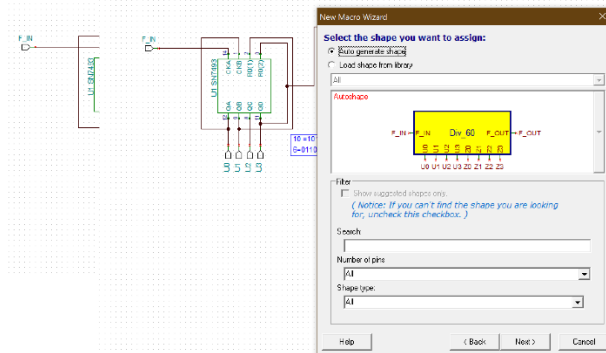
- Se deschide o filă nouă în TINA;
- Se desenează schema circuitului ce trebuie prins în Macro;
- **Atenție !** Intrările și ieșirile din *Macro* se fac prin intermediul unor conectori speciali ce trebuie luați din tab-ul **Special**, simbolul **Macro_Pin**;



- După desenarea schemei se trece la generarea Macro-ului:
 - Din meniul **Tools**, se alege opțiunea **New Macro Wizard**, iar apoi se aleg opțiunile din figura de mai jos:



- Se generează simbolul Macro-ului, folosind autogenerarea, după care se apasă Next;



- In final mai apare o fereastră în care se precizează calea în care este salvat Macro-ul.
- Pentru aducerea unui *Macro*, deja generat, se procedează astfel: din meniul **Insert**, se alege **Macro**, iar apoi se precizează calea unde a fost salvat *Macro*-ul. DE aici se alege *Macro*-ul dorit și se plasează în schemă;
 - Macro*-ul se interconectează ca orice componentă de sine stătătoare;

Pentru schema din figura 5, conceptul de *Macro* poate fi folosit astfel:

- un *Macro*, pentru implementarea divizorului de frecvență cu 60;
- un *Macro*, pentru implementarea divizorului de frecvență cu 24;

IV. Desfășurarea lucrării

IV.1. Testarea divizorului de frecvență cu 60 (pentru poziția secundelor și a secundelor);

Se cere verificarea, prin simulare interactivă, a divizorului cu factorul $K=60$, a cărui schemă este prezentată în figura 3;

IV.2. Realizarea unui circuit de tip Macro pentru divizorul de frecvență cu 60 (Div_60)

Din analiza schemei din figura 5 se observă că pentru secunde (*Circuit A*) și pentru minute (*Circuit B*) folosim scheme logice identice (schemde divizare cu 60). Pentru acest caz, este utilă generarea unui *Macro* care să conțină schema din *Circuit A* și apoi să folosim acest *Macro* pe pozițiile A și B.

Obs: Înainte de realizarea unui Macro, schema logică trebuie supusă unui proces de pregătire. Spre exemplu, pentru divizorul de frecvență cu 60 (vezi figura 3) trebuie parcurse următoarele etape:

- eliminarea celor două afișaje;
- eliminarea celor două Voltage Pin-uri;
- la toate intrările și la toate ieșirile din macro, trebuie aduse conexiuni de tip Macro_Pin;
- repetorul U4 este necesar pentru a face distincție între ieșirea Z2 și ieșirea F_out;

În urma acestui proces de pregătire, schema ce urmează a fi împachetată în Macro arată ca în figura 6;

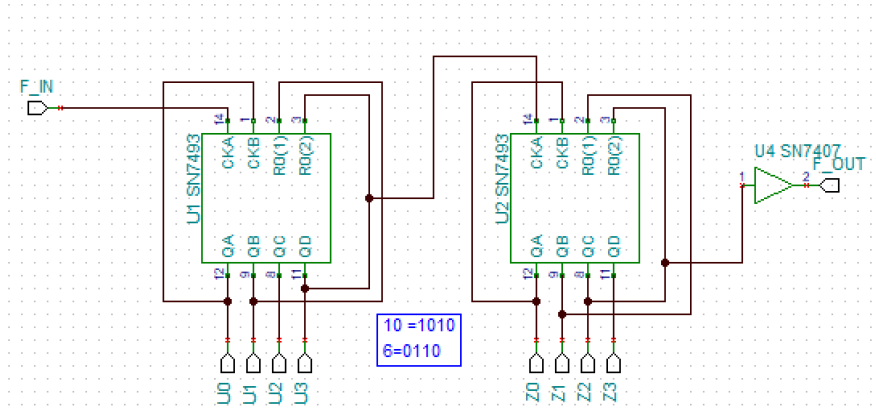


Fig.6. Schema electrică a divizorului cu 60 pregătită pentru implementare cu Macro;

Atenție: Se constată că circuitul Macro are următoarele intrări/ieșiri:

- Intrare pentru preluarea semnalului de la generatorul de semnal;
- Ieșire BCD (pe 4 biți) pentru fiecare numărator din divizor
- Ieșire de divizare cu 60 – pentru comanda intrării de numărare a Macro-ului următor. **Aici este necesar să adăugați un buffer între ieșirea de la numărator și ieșirea din Macro.**

IV.3. Testarea circuitului Macro folosit pentru implementarea divizorului cu 60, (Div_60)

După realizarea Macro-ului *Div_60*, se realizează un circuit simplu pentru testarea acestuia. Pentru aceasta, se parcurg următoarele etape:

- Se aduce un Macro de tip *Div_60* (circuit Macro ce a fost realizat în pasul anterior);
- La intrarea Macro de tip *Div_60* se adaugă un generator de tip Clock2;

- Se adaugă două componente de tip *HexDisplay*;
- Se conectează cele două afișaje la ieșirile din circuitul Macro, folosind magistrale pe 4 biți;
- Printr-o analiză interactivă se urmăresc stările prin care trece circuitul;

IV.4. Testarea divizorului de frecvență cu 24 (pentru poziția orelor);

Se cere verificarea, prin simulare interactivă, a divizorului cu factorul $K=24$, a cărui schemă este prezentată în figura 4;

IV.5. Realizarea unui circuit de tip Macro pentru divizorul de frecvență cu 24

Folosind modul de lucru de la Macro-ul anterior (cel de divizare cu 60), se cere realizarea unui Macro pentru divizorul de frecvență cu 24.

Pentru acest Macro, schema de pornire este cea din figura 4.

Atenție: Circuitul Macro trebuie să aibă:

- *Intrare pentru preluarea semnalului de la Macro-ul anterior;*
- *Ieșire BCD (pe 4 biți) pentru fiecare numărător din divizor;*

IV.6. Testarea circuitului Macro folosit pentru implementarea divizorului cu 24, (Div_24)

După realizarea Macro-ului *Div_24*, se realizează un circuit simplu pentru testarea acestuia. Pentru aceasta, se parcurg aceleași etapele cu cele folosite în testarea circuitului *Div_60*.

IV.7. Reproiectarea schemei ceasului digital folosind circuite Macro și conexiuni de tip Bus;

Se cere redesenarea schemei din figura 5 folosind circuite de tip Macro și conexiuni realizate prin magistrale.

Se parcurg următoarele etape:

- Se conectează în serie circuite de tip *Macro*, generate și testate anterior, după cum urmează:
 - Primul *Macro* este de tip *Div_60*;
 - Al doilea *Macro* este de tip *Div_60*;
 - Al treilea *Macro* este de tip *Div_24*;
- Se adaugă un generator de semnal la intrare primului *Macro*;
- Se adaugă câte o componentă de tip *HexDisplay* pe fiecare ieșire BCD din *Macro*-uri;
- Se adaugă magistrale pe 4 biți pentru realizarea conexiunilor dintre ieșirile *Macro* și afișaje;
- Se realizează o analiză interactivă, folosind un generator de semnal de frecvență mare (pentru a reuși să vedem schimbarea stărilor la pozițiile de ore);

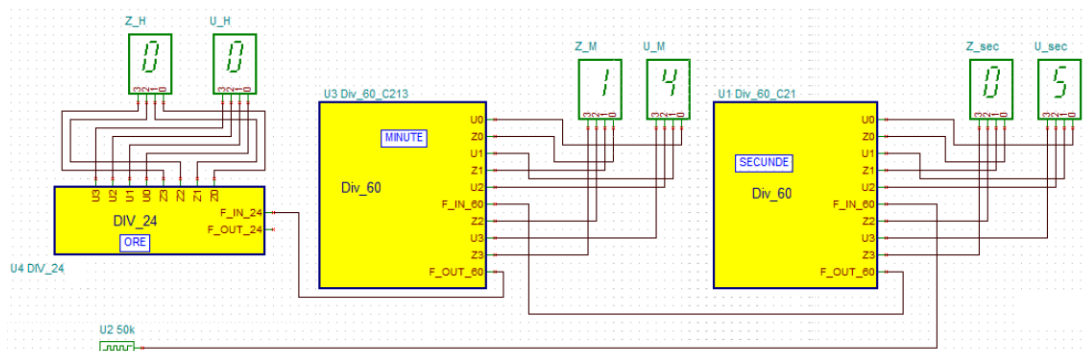


Fig.7. Schema electrică a ceasului electronic, folosind conceptul de Macro;

Anexă: Exemple de numărătoare asincrone implementate în circuite integrate comerciale

♦ Circuitul 74 LS 93 - numărător binar asincron pe 4 biți

- Intrarea de numărare este activă pe tranziția negativă a semnalului de ceas.
- Este organizat în două secțiuni: prima realizează o divizare cu 2 a frecvenței semnalului de intrare, iar a doua o divizare cu 8.
- Un numărător binar pe 4 biți, cu intrarea pe CP_0 , se obține prin realizarea unei conexiuni externe între Q_0 și CP_1 .
- Ștergerea numărătorului se execută asincron prin $MR_1 = MR_2 = 1$.

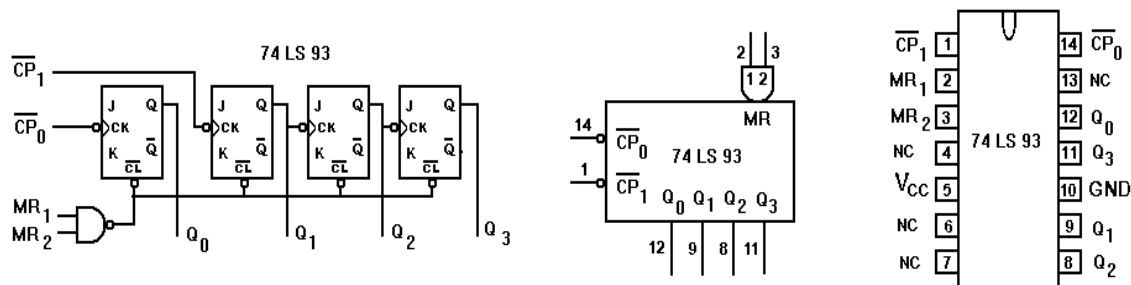


Fig. A1. Circuitul 74LS93: schemă logică, simbol, pinout

♦ Circuitul 74 LS 90 - numărător BCD asincron

- Circuitul este activ pe tranziția negativă a semnalului de ceas.
- Este organizat în două secțiuni: prima realizează o divizare cu 2 a frecvenței semnalului de intrare, iar a doua o divizare cu 5.
- Un numărător BCD, cu intrarea pe CP_0 , se obține prin realizarea unei conexiuni externe între Q_0 și CP_1 .
- Ștergerea numărătorului se execută în mod asincron prin $MR_1 = MR_2 = 1$.
- Prin $MS_1 = MS_2 = 1$, în numărător se încarcă în mod asincron constanta 9.

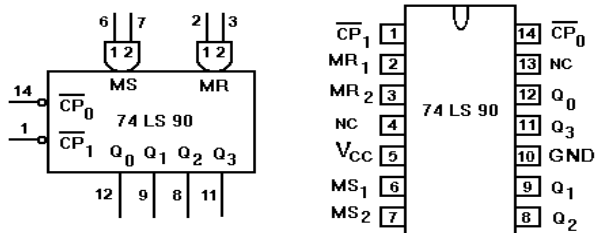


Fig. A2. Circuitul 74LS90: simbol, pinout