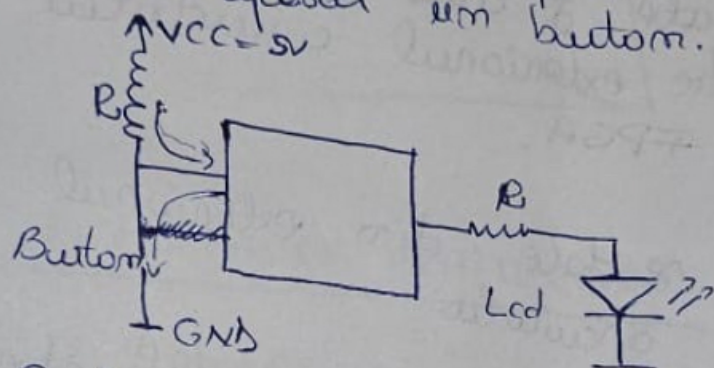


Să se realizeze un program în limb. VHDL prin care se aprinde un led atâtea timp cât este apăsat un buton.



Buton apăsat = 0V

Led aprins = 5V

```
LIBRARY IEEE;
USE IEEE_std_logic_1164_all;
```

```
ENTITY buton-led is
```

```
PORT(buton: IN std_logic;
      led: OUT std_logic);
```

```
END buton-led;
```

```
ARCHITECTURE descr OF buton-led is
```

```
BEGIN
```

```
led <= NOT buton;
```

```
END descr;
```

DECLARAȚIA DE TIP PORT.

În cazul entităților sunt declarate semnale de intrare/ieșire numite porturi. D.p.d.v fizic acestea reprezintă conexiuni fizice la pinii de intrare al circuitului FPGA (Field programmable Gate

SINTAXĂ:

PORT (nume: mod tip);

Prin „mod” se specifică tipul portului care poate fi: IN, OUT, BUFFER, INOUT.

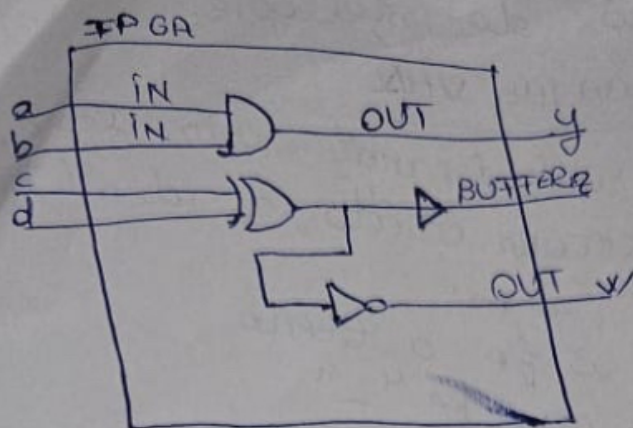
- ~~OUT~~ = semnalul poate fi citit numai din interiorul către exteriorul circuitului programabil FPGA.

- ~~IN~~ = citirea datelor se face din exteriorul către interiorul circuitului

- BUFFER = datele se citesc din interior către exterior ca și la modul OUT, dar acestea pot fi accesibile și în interiorul circuitului.

- INOUT = modul care întrunește toate cele 3 moduri anterioare.

Modul INOUT implică o complexitate mai mare de circuitistică ceea ce conduce la un timp de propagare mai mare. Pt a se obține viteză maximă de transfer a datelor se recomandă a se folosi modulele corespunzătoare porturilor respective (IN, OUT) și nu cele generale (INOUT, BUFFER).



DECLARAREA ARHITECTURII:

Arhitectura e unitatea prin care se definește relația dintre porturile de intrare-iesire definite în entitatea asociată acesteia.

SINTAXĂ:

ARCHITECTURE nume: arhitectură OF nume_entitate is
- zonă declarativă

BEGIN

- zonă de descriere concurentă

END nume_arhitectură;

~~Arhitectura~~

În zona de declarații pot fi declarate semnale interne, componente, tipuri sau subprograme.

Zona de descriere a componentelor circuitului se face între BEGIN și END. Această zonă e concurentă motiv pentru care toate specificațiile (instrucțiunile) sunt tratate în paralel.

În această zonă nu contează ordinea în care sunt scrise. De obicei acestea se scriu

Imbina o ordine logică de înțelegere.

IDENTIFICATORII ÎN LIMBAJUL VHDL

Identificatorii sunt formați din litere, cifre și ~~numere~~ " _ ". Pă creația corectă a identificatorilor trebuie respectate urm:

- primul caracter să fie o literă
- ultimul caracter nu trebuie să fie " _ "
- să nu existe succesiunea " _ _ "

În limb. VHDL sunt utilizate operații:

- logici (OR, AND, XOR, NOR, NAND, XNOR)
- aritmetici (+, -)
- de comparație (<, <=, >, >=, =, /=)
- de deplasare (SLL, SRL, SLA, SRA, ROL, ROB)

SLL = shift left logic

SRL = shift right logic

SLA = shift left arithmetic

SRA = shift right arithmetic

ROL = rotate left

ROB = rotate right

În cadrul cerințelor operațiilor vor fi fol.

În general asupra tipurilor "standard - logic",

"standard - logic - vector", "integer". Aceste tipuri

sunt imutabile în structuri reconfigurabile.