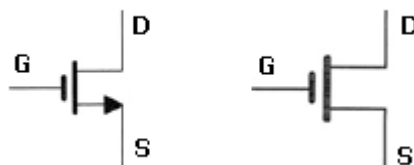


IV.1. Introducere

- În prezent se consideră că peste 3/4 din producția de circuite integrate, analogice sau digitale, este realizată în tehnologie MOS iar tehnologia bipolară este considerată uzată moral;
- Circuitele digitale realizate în tehnologie CMOS se împart în două mari categorii:
 - Circuite statice – la care funcția logică realizată de circuit este disponibilă în orice moment de timp;
 - Circuite dinamice – la care funcția logică realizată de circuit este disponibilă doar în anumite momente de timp;
- O altă clasificare ține cont de tipul de tranzistor MOS utilizat:
 - Logică PMOS – utilizare mai rară;
 - Logică NMOS – utilizare redusă;
 - Logică CMOS (Complementary MOS), logică ce folosește ambele tipuri de tranzistoare – foarte des folosită;
- Circuitele statice pot fi implementate în diferite moduri:
 - Logica bazată pe rețele complementare de tranzistoare;
 - Logica pseudo NMOS;
 - Logica bazată pe tranzistoare de trecere;
 - Logica bazată pe porți de transmisie;
 - Alte metode derivate din cele prezentate mai sus;
- Despre **tranzistorul NMOS**, folosit în circuite logice, se pot face următoarele precizări:
 - Tranzistorul este folosit ca un comutator electronic:



- Contact închis (conducție) – prin aplicarea valorii HIGH pe grilă;
- Contact deschis (întrerupere) – prin aplicarea valorii LOW pe grilă;
- Conduce bine valoarea logică LOW și mai prost valoarea logică HIGH;
- Este folosit de regulă pentru legarea ieșirii spre masă;
- Legarea în serie a două tranzistoare NMOS echivalează cu NAND;
- Legarea în paralel a două tranzistoare NMOS echivalează cu NOR;

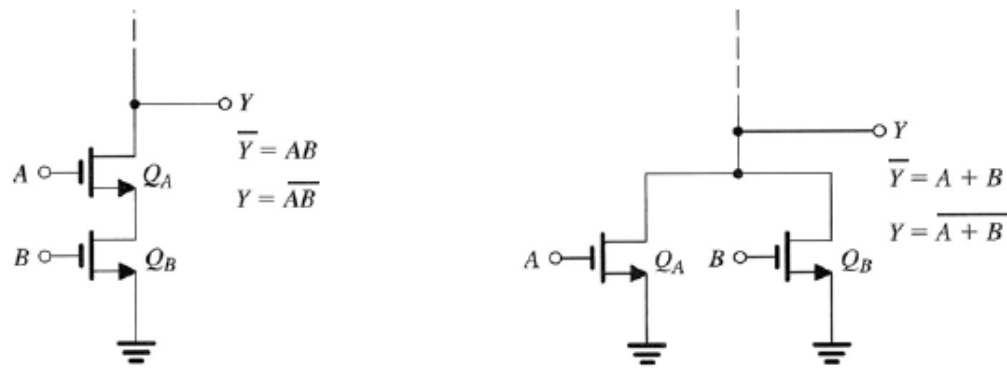
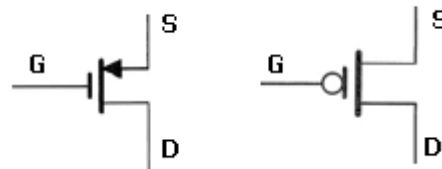


Fig. 1 Legarea tranzistoarelor NMOS în serie, respectiv în paralel

- Despre **tranzistorul PMOS**, folosit în circuite logice, se pot face următoarele precizări:
 - Tranzistorul este folosit ca un comutator electronic:



- Contact închis (conducție) – prin aplicarea valorii LOW pe grilă. Din acest motiv, în unele reprezentări grafice în simbolul tranzistorului se folosește un cerculeț înaintea grilei;
- Contact deschis (întrerupere) – prin aplicarea valorii HIGH pe grilă;
- Conduce bine valoarea logică HIGH și mai prost valoarea logică LOW;
- Este folosit de regulă pentru legarea ieșirii spre +VDD;
- Legarea în serie a două tranzistoare NMOS echivalează cu NOR;
- Legarea în paralel a două tranzistoare NMOS echivalează cu NAND;

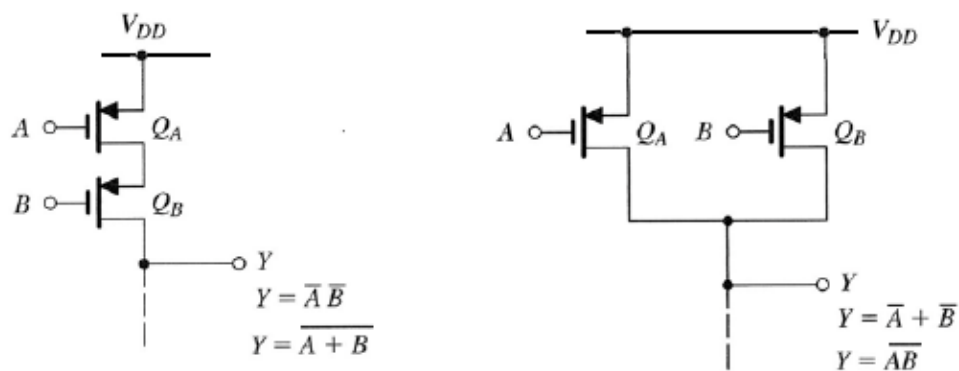


Fig. 2 Legarea tranzistoarelor PMOS în serie, respectiv în paralel

IV.2. Logica CMOS statică de tip complementare

IV.2.1. Schema bloc de principiu

- una dintre cele mai folosite metode de implementare statică a circuitelor logice combinaționale folosind tranzistoare MOS complementare;

- schema de principiu este prezentată în figura 3
- rețeaua Pull Up Network (PUN):
 - este formată numai din tranzistoare de tip PMOS;
 - are ca rol conectarea ieșirii Y la tensiunea de alimentare (atunci când funcția logică realizată de circuit o permite), în scopul asigurării nivelului de tensiune necesar stării logice HIGH;
 - sinteza schemei electrice se face ținând cont de expresia lui Y;
 - are o structură complementară cu PDN;

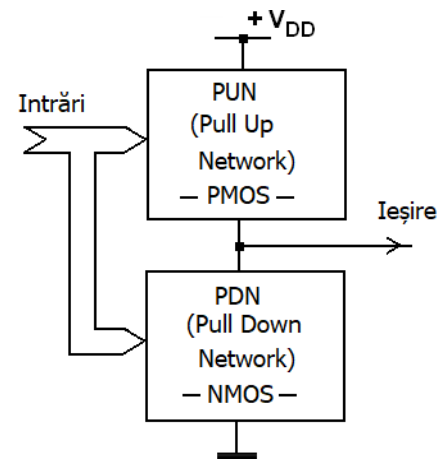
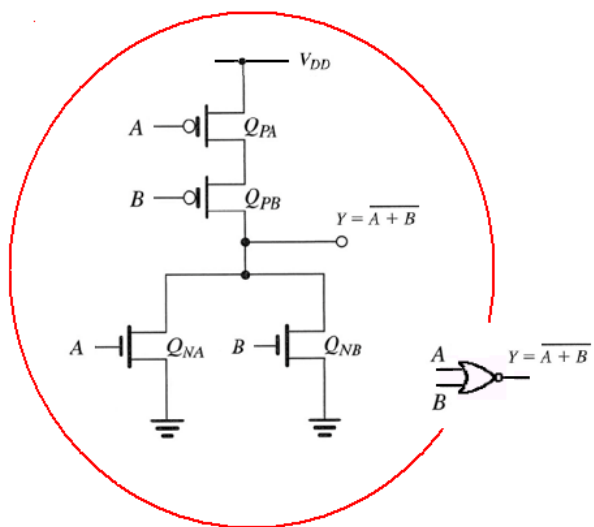
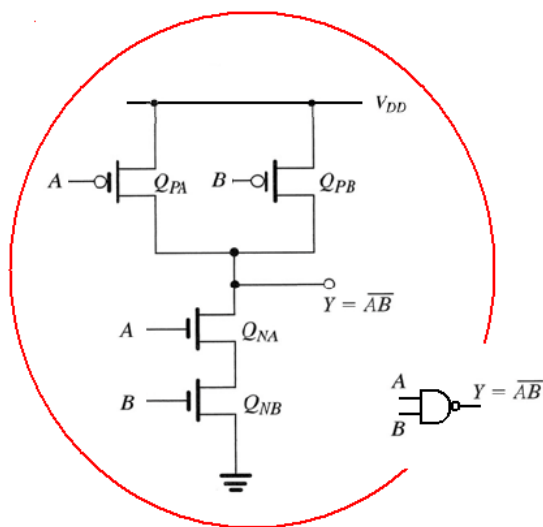


Fig. 3 Schema bloc de principiu pentru logica statică de tip complementar

- rețeaua Pull Down Network (PDN):
 - este formată numai din tranzistoare de tip NMOS;
 - are ca rol conectarea ieșirii Y la masă (atunci când funcția logică realizată de circuit o permite), în scopul asigurării nivelului de tensiune necesar stării logice LOW;
 - sinteza schemei electrice se face ținând cont de expresia lui \bar{Y} ;
 - are o structură complementară cu PUN;

◆ Exemple de porți logice implementate în logică statică de tip complementare



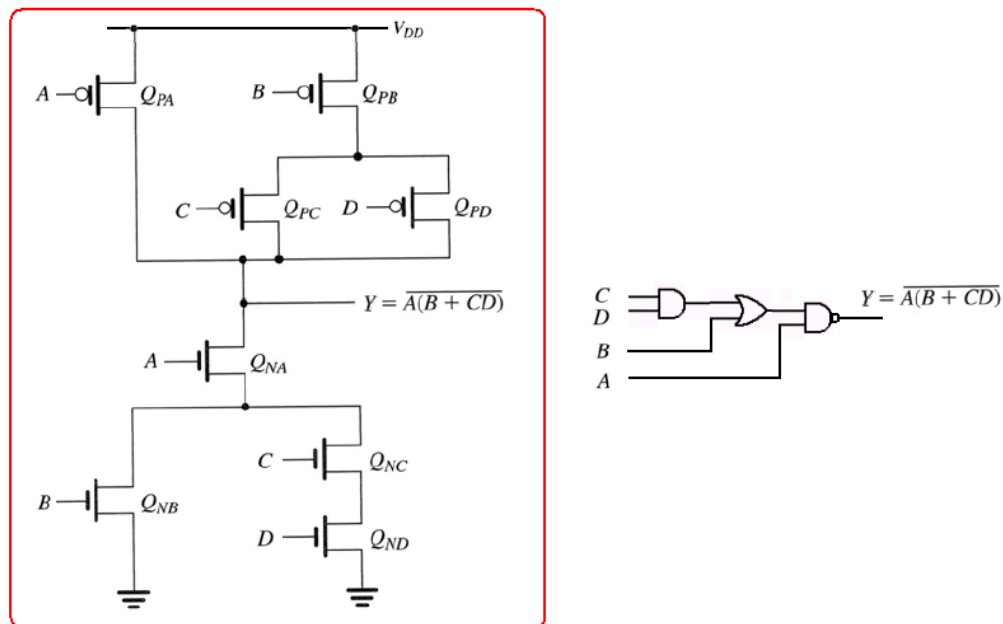


Fig. 4: Exemple funcții logice implementate în logica statică de tip complementar

IV.2.2. Sinteza schemelor logice

- Considerăm că avem de implementat funcția logică: $Y = \overline{A+B} + \overline{A} \cdot \overline{C}$
- Pentru determinarea PDN scriem ecuația pentru \overline{Y} și obținem: $\overline{Y} = \overline{\overline{A+B} + \overline{A} \cdot \overline{C}}$
- Aplicăm teorema lui DeMorgan și obținem succesiv:

$$\overline{Y} = (\overline{\overline{A+B}}) \cdot (\overline{\overline{A} \cdot \overline{C}}) = (A+B)(A+C)$$

$$\overline{Y} = A \cdot A + A \cdot C + B \cdot A + B \cdot C = A + A \cdot C + A \cdot B + B \cdot C$$

Folosim proprietatea $A + A \cdot C = A$, respectiv proprietatea $A + A \cdot B = A$, și obținem:

$$\overline{Y} = A + BC$$

- Ținem cont de modul de legare serie respectiv paralel a tranzistoarelor NMOS, obținem schema de mai jos:

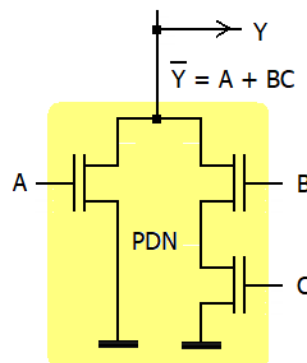


Fig. 5: Schema logică a rețelei PDN pentru funcția $Y = \overline{A+B} + \overline{A} \cdot \overline{C}$

- Pentru PUN, înlocuim legăturile serie cu legături paralele, respectiv legăturile serie cu legături paralele și obținem schema de mai jos:

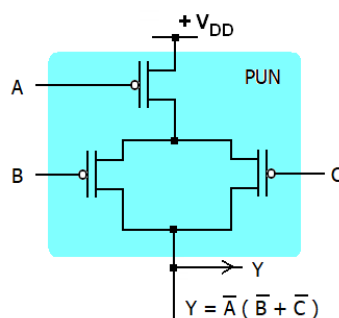


Fig. 6: Schema logică a rețelei PUN obținută prin complementarea rețelei PDN din figura anterioară

- Pentru schema finală, legăm în serie cele două rețele și obținem schema finală de mai jos:

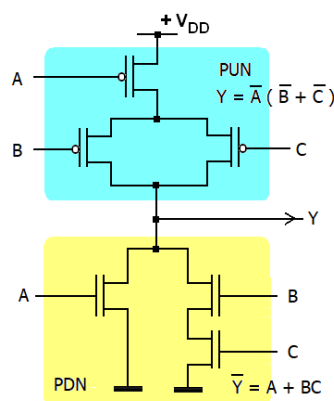


Fig.7: Schema logică completă pentru funcția $Y = \overline{A+B} + \overline{A} \cdot \overline{C}$

IV.2.3. Caracteristicile generale ale logicii statice cu rețele de tip complementar

- folosește două rețele de tranzistoare cu structuri complementare;
- valoarea logică HIGH de la ieșire este asigurată de o cale conductivă din PUN;
- valoarea logică LOW de la ieșire este asigurată de o cale conductivă din PDN;
- o poartă logică de tip NAND sau NOR cu N intrări necesită $2N$ tranzistoare;
- **Avantaje:**
 - nivele de tensiune sunt ferme;
 - nu avem putere disipată în regim static deoarece rețelele PUN și PDN lucrează în contratimp și nu există căi conductive între VDD și masă;
 - funcția logică realizată de circuit este disponibilă în orice moment de timp;
 - performanțele dinamice nu sunt influențate semnificativ de dimensiunile fizice ale tranzistoarelor (nu este o logică cu raport impuls);
- **Dezavantaje:**

- Folosește un număr mare de tranzistoare în raport cu alte metode de implementare;
- Ocupă o arie mare pe suprafața de siliciu;
- Viteză mică de operare din cauza numărului mare de tranzistoare, ceea ce determină capacități parazite mari;

IV.2.4. Aspecte privind dimensionarea tranzistoarelor

- Tranzistoarele PMOS și cele NMOS diferă destul de mult în ceea ce privește mobilitatea (tranzistorul PMOS are performanțe mai mici de 2÷3 ori);
- Efectul dimensiunilor tranzistoarelor asupra caracteristicii de transfer este prezentat în figura următoare.

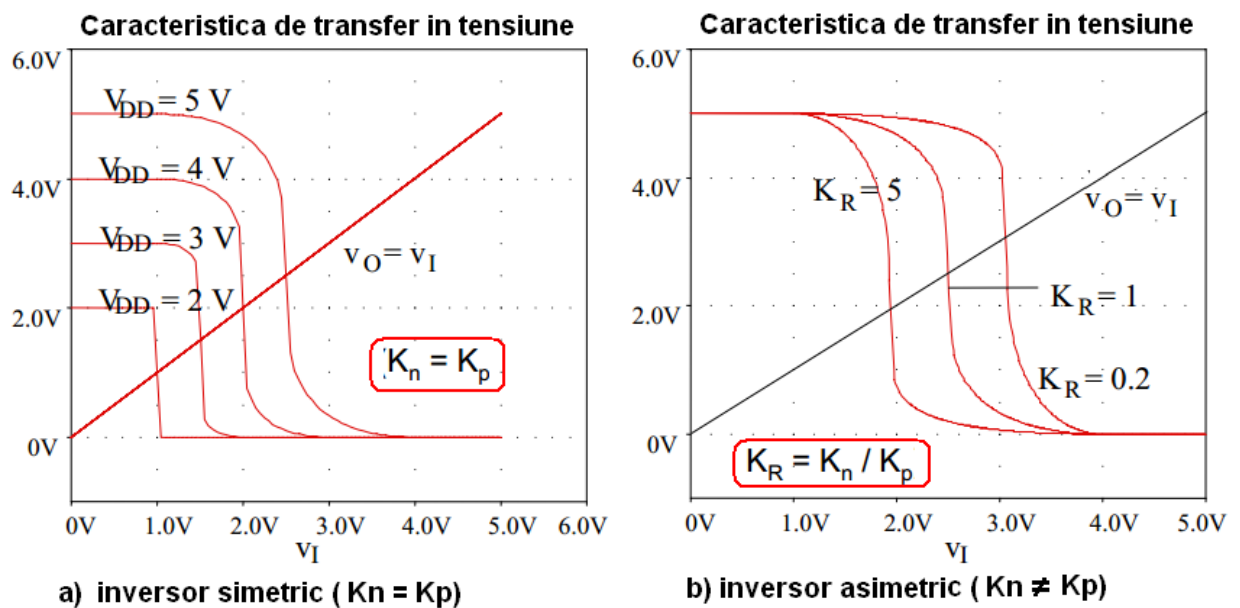


Fig. 8: Efectul dimensiunilor tranzistoarelor asupra Caracteristicii de Transfer în Tensiune

- Obținerea unei caracteristici de transfer simetrice presupune utilizarea unui tranzistor PMOS mai lat de 2,5 ori față de tranzistorul NMOS, spre exemplu: $(W/L)_P = 5$ iar $(W/L)_N = 2$;
- Pentru a menține comportamentul simetric pentru porțile cu mai multe intrări este necesar să modificăm dimensiunile tranzistoarelor, ca în figura de mai jos:

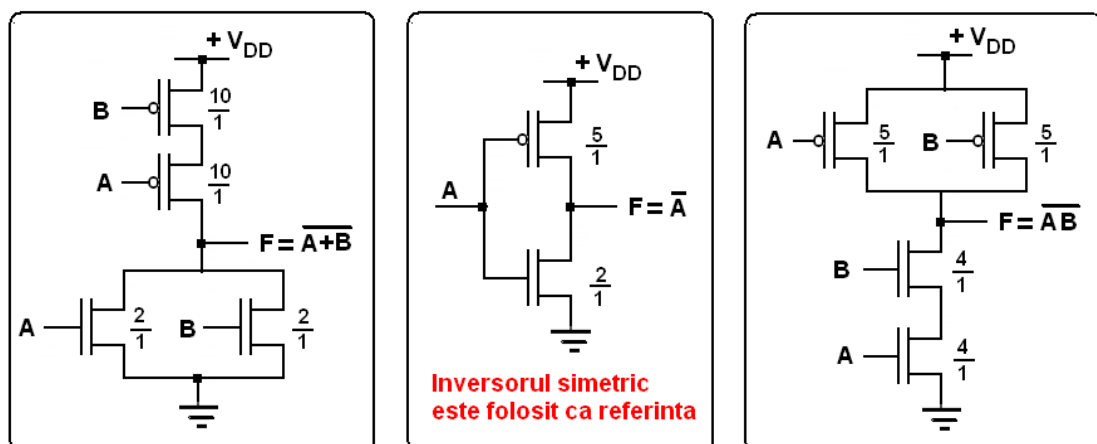


Fig.9: Dimensionarea tranzistoarelor pentru alte porți, folosind ca referință inversorul simetric

- Pentru dimensionarea corectă a tranzistoarelor din schemele mai complexe se aplică următoarele reguli:
 - Dacă în PUN numărul maxim de tranzistoare înseriate între V_{DD} și ieșire este m , atunci lățimea acestora trebuie să fie de m ori mai mare decât lățimea tranzistorului PMOS din inversorul simetric;
 - Dacă în PUN se menține un singur nivel de tranzistoare PMOS, dimensiunea lor rămâne aceeași cu cea a tranzistorului PMOS din inversorul simetric (vezi cazul PUN din poarta NAND);
 - Dacă în PDN numărul maxim de tranzistoare înseriate între ieșire și masă este n , atunci lățimea acestora trebuie să fie de n ori mai mare decât lățimea tranzistorului NMOS din inversorul simetric;
 - Dacă în PDN se menține un singur nivel de tranzistoare NMOS, acestea vor avea aceeași dimensiune cu tranzistorului NMOS din inversorul simetric (vezi cazul PDN din poarta NOR);
- Un exemplu ceva mai complex este prezentat în figura ce urmează:

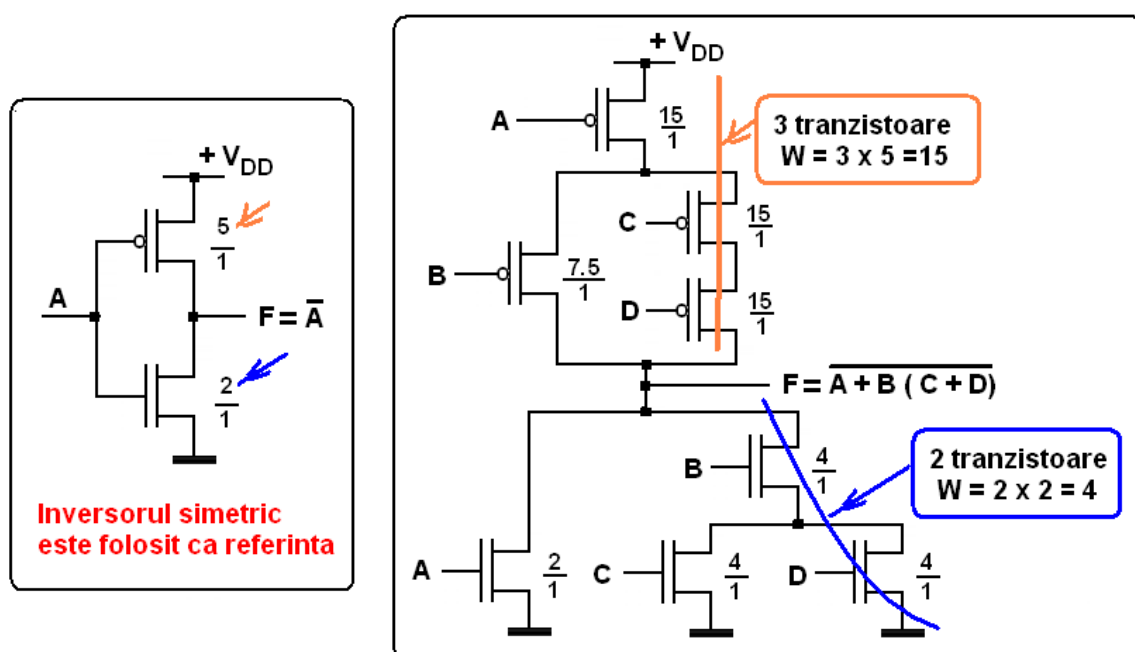


Fig. 10: Dimensionarea tranzistoarelor pentru circuite logice mai complexe, folosind ca referință inversorul simetric

De precizat că nu este obligatoriu ca o schemă să fie scalată în raport cu inversorul simetric. Dacă scalarea nu este făcută este afectat timpul de propagare și CTT.

IV.2.5. Puterea disipată în circuitele CMOS statice

- Estimarea puterii disipate în circuitele statice se face pentru inversor;
- Puterea disipată de către circuit este preluată de la sursa de alimentare;
- Puterea disipată prezintă trei componente importante:
 - Puterea disipată în regim dinamic (ponderea cea mai mare);

- Puterea disipată în regim de scurtcircuit;
- Puterea disipată în regim static (ponderea cea mai mică);

a) Puterea disipată în regim dinamic

- Este cea mai importantă componentă a puterii disipate;
- La ieșirea unui driver CMOS găsim o capacitate parazită formată prin sumarea capacității proprii precum și a capacităților de intrare ale intrărilor logice comandate;
- Trecerea ieșirii dintr-o stare logică în alta nu se poate face decât prin încărcarea/descărcarea capacități parazite echivalente percepute de către poarta driver;
- **Pentru cazul în care ieșirea trece din LOW în HIGH**, traseul de încărcare a capacității parazite C_p , este prezentat în figura de mai jos:

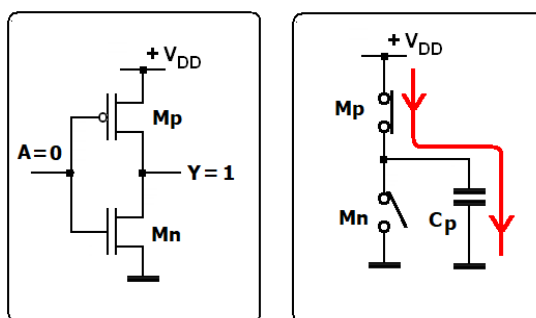


Fig. 11: Traseul de încărcare a capacității parazite pentru cazul în care ieșirea trece din LOW în HIGH

Energia preluată de la sursa de alimentare este dată de relația:

$$E_{VDD} = \int_0^{\infty} i_C(t) V_{DD} dt = \int_0^{\infty} C_P \frac{\partial v_C}{\partial t}(t) V_{DD} dt = C_P V_{DD} \int_0^{\infty} \partial v_C$$

$$E_{VDD} = C_P V_{DD} \int_0^{\infty} \partial v_C = C_P V_{DD} \cdot v_C \Big|_0^{\infty} = C_P V_{DD} (V_{DD} - 0) = C_P V_{DD}^2$$

$$E_{VDD} = C_P V_{DD}^2$$

Energia înmagazinată în capacitatea parazită este dată de relația:

$$E_{CP} = \int_0^{\infty} i_C(t) v_C dt = \int_0^{\infty} C_P \frac{\partial v_C}{\partial t}(t) v_C dt = C_P \int_0^{\infty} v_C \partial v_C$$

$$E_{CP} = C_P \int_0^{\infty} v_C \partial v_C = C_P \cdot \frac{1}{2} v_C^2 \Big|_0^{\infty} = \frac{1}{2} C_P (V_{DD}^2 - 0) = \frac{1}{2} C_P V_{DD}^2$$

$$E_{CP} = \frac{1}{2} C_P V_{DD}^2$$

Ultima relație ne arată că jumătate din energia preluată de la sursă este stocată în C_P iar cealaltă jumătate este pierdută sub formă de căldură pe rezistența internă a tranzistorului PMOS aflat în conducție;

- **Pentru cazul în care ieșirea trece din HIGH în LOW** capacitatea parazită (încărcată la tensiunea V_{DD} din etapa anterioară), se descarcă prin tranzistorul NMOS aflat în conducție pe traseul prezentat în figura ce urmează.

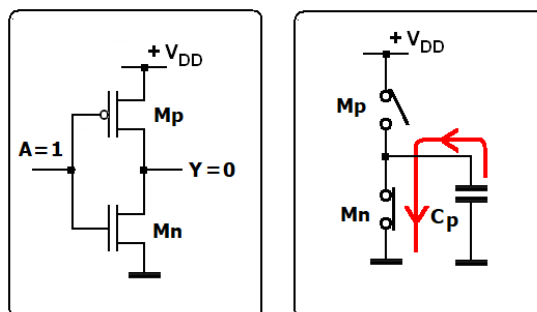


Fig. 12: Traseul de descărcare a capacității parazite pentru cazul în care ieșirea trece din HIGH în LOW

Toată energia înmagazinată în condensator se pierde prin disipație termică pe rezistența internă a tranzistorului NMOS aflat în conducție;

- În concluzie, pe o perioadă a semnalului de intrare, toată energia preluată de la sursa de alimentare este disipată termic;
- Puterea disipată pe o perioadă a semnalului de intrare este dată de relația:

$$P_D = \frac{E_{VDD}}{T_0} = f_{0 \rightarrow 1} \cdot E_{VDD} = f_{0 \rightarrow 1} C_P V_{DD}^2$$

$$P_D = f_{0 \rightarrow 1} C_P V_{DD}^2$$

Observații:

- puterea disipată este direct proporțională cu pătratul tensiunii de alimentare;
- reducerea tensiunii de alimentare V_{DD} este cea mai eficientă cale de a reduce puterea disipată – acesta este motivul pentru care s-a trecut de la 5V la tensiuni din ce în ce mai reduse cum ar fi: 3,3V urmată de 2,5V apoi 1,8V;
- $f_{0 \rightarrow 1}$ nu reprezintă frecvența semnalului de ceas ci frecvența tranzițiilor pozitive de la ieșirea porții;
- între frecvența semnalului de ceas f_{CLK} și frecvența tranzițiilor pozitive de la ieșire există o relație ce depinde de probabilitatea de apariție a tranzițiilor pozitive:

$$P_D = f_{0 \rightarrow 1} C_P V_{DD}^2 = P_{0 \rightarrow 1} f_{CLK} C_P V_{DD}^2$$

- pentru poarta NOR, în ipoteza ca intrările A și B au probabilități egale să fie unu sau zero, probabilitatea de apariție a unei tranziții pozitive la ieșire devine:

$$P_{0 \rightarrow 1}^{NOR} = P_{Y=1} \cdot P_{Y=0} = \frac{1}{4} \cdot \frac{3}{4} = \frac{3}{16} = 0.1875$$

- Relațiile de calcul pentru probabilitatea de apariție a tranziției pozitive la ieșire, pentru diferite tipuri de porți sunt date de relațiile:

$$P_{0 \rightarrow 1}^{AND} = (1 - P_A \cdot P_B) P_A \cdot P_B$$

$$P_{0 \rightarrow 1}^{OR} = (1 - P_A)(1 - P_B)[1 - (1 - P_A)(1 - P_B)]$$

$$P_{0 \rightarrow 1}^{XOR} = [1 - (P_A + P_B - 2P_A P_B)](P_A + P_B - 2P_A P_B)$$

- De cele mai multe ori, în relația de calcul pentru puterea disipată, probabilitatea de apariție a tranzițiilor pozitive este prinsă într-o așa zisă "capacitate echivalentă"

$$P_D = P_{0 \rightarrow 1} f_{CLK} C_P V_{DD}^2 = f_{CLK} P_{0 \rightarrow 1} C_P V_{DD}^2 = f_{CLK} C_{EQ} V_{DD}^2$$

$$P_D = f_{CLK} C_{EQ} V_{DD}^2$$

Exemplu: Estimați puterea disipată în regim dinamic pentru un circuit în tehnologie 0.25μm caracterizată prin: $C_p=15fF$, $V_{DD}=2.5V$, $f_{CLK}=500MHz$, $N=10^6$ porți. Se presupune că toate porțile sunt de tip NOR iar intrările au probabilitate egală de a se afla în zero sau unu.

- Dacă am avea o tranziție pozitivă la fiecare poartă, pe fiecare perioadă a semnalului de ceas am obține:

$$P_D = N \cdot f_{CLK} C_P V_{DD}^2 = 10^6 \cdot 500 \cdot 10^6 \cdot 15 \cdot 10^{-15} \cdot 2.5^2 = 46.875W$$

- În realitate puterea nu ajunge la această valoare deoarece probabilitatea ca poarta NOR să aibă tranziție pozitivă pe fiecare perioadă a semnalului de ceas nu are valoarea 1, așa cum am considerat mai devreme, valoarea cea mai probabilă este de 3/16, ceea ce înseamnă că puterea disipată devine:

$$P_D = N \cdot f_{CLK} P_{0 \rightarrow 1} C_P V_{DD}^2 = 10^6 \cdot 500 \cdot 10^6 \cdot \frac{3}{16} \cdot 15 \cdot 10^{-15} \cdot 2.5^2 = 8.789W$$

b) Puterea disipată în regim de scurtcircuit

- În mod ideal cele două rețele de tranzistoare nu trebuie să conducă simultan în nicio situație;
- Panta finită a semnalelor de intrare are ca efect negativ apariția unui regim tranzitoriu de scurtcircuit între V_{DD} și masă, regim cu durată foarte mică;
- Atunci când se face schimbarea stării logice de la ieșire, apar scurte momente de timp în care ambele rețele de tranzistoare conduc simultan și produc un scurtcircuit tranzitoriu între V_{DD} și masă;
- Această componentă este sub 10% din puterea disipată în regim dinamic;

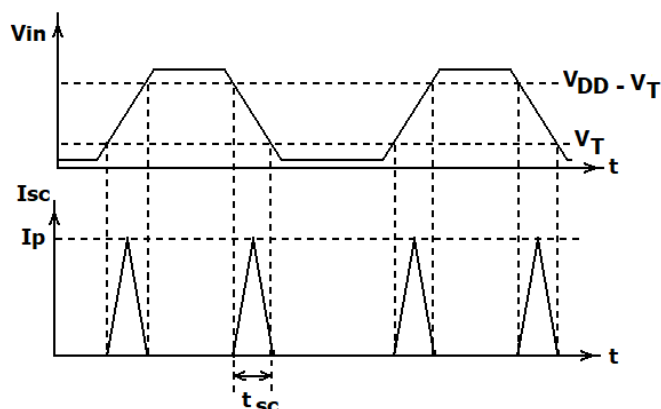


Fig. 13: Apariția curentului de scurtcircuit pe durata tranzițiilor semnalului digital

- Energia electrică preluată de la sursa de alimentare, pe durata regimului de scurtcircuit este estimată prin relația:

$$E_{VDD}^{SC} = \int_0^{\infty} i_{SC}(t) V_{DD} dt = V_{DD} \int_0^{\infty} i_{SC}(t) dt = V_{DD} \frac{1}{2} t_{SC} I_P$$

$$E_{VDD}^{SC} = V_{DD} \frac{1}{2} t_{SC} I_P = \frac{1}{2} \cdot \frac{t_{SC} I_P}{V_{DD}} \cdot V_{DD}^2 = \frac{1}{2} \cdot C_{SC} \cdot V_{DD}^2$$

- Puterea disipată pe o perioadă a semnalului de intrare este dată de relația:

$$P_D^{SC} = \frac{E_{VDD0 \rightarrow 1}^{SC} + E_{VDD1 \rightarrow 0}^{SC}}{T_O} = \frac{C_{SC} V_{DD}^2}{T_O} = f_{CLK} C_{SC} V_{DD}^2$$

- Ultima relație ne arată o similitudine între relațiile de calcul pentru cele două puteri disipate: cea în regim dinamic și cea în regim de scurtcircuit;
- Atenție că C_{SC} este o capacitate virtuală;

Observații:

- Valoarea de vârf a curentului de scurtcircuit, I_P , este puternic dependentă de o serie de factori precum:
 1. Dimensiunea fizică a tranzistoarelor;
 2. Curentul de saturație prin tranzistoare;
 3. Raportul dintre durata frontului de intrare și cea a frontului de ieșire;
- În situația în care, frontul de ieșire este mult mai lent decât frontul de intrare, durata regimului de scurtcircuit este aproape zero. Fronturi lente la ieșire se obțin pentru încărcări capacitive mari, caz în care curentul de scurtcircuit este aproape nul (efect benefic) dar, viteza maximă la care poate opera circuitul scade (efect negativ);
- În situația în care, frontul de ieșire este foarte scurt în raport cu cel de intrare, curentul de scurtcircuit este mare și este limitat doar de rezistența tranzistoarelor aflate în regim de conducție;

c) Puterea disipată în regim static

- În mod ideal nu ar trebui să avem putere disipată în regim static deoarece nu avem căi de conducție între VDD și masă.
- În cazul tranzistoarelor reale apar curenți de scurgere, de valori foarte mici (de ordinul $5 \div 10\text{nA}$), chiar dacă tranzistoarele sunt în starea off;
- Puterea disipată în regim static apare chiar și atunci când circuitul logic nu procesează semnale de intrare;
- Puterea disipată în regim static este aproape neglijabilă în raport cu celelalte două componente ale puterii totale disipate;
- Un aspect negativ este dat de faptul că, puterea disipată în regim static, se dublează la o creștere de temperatură de 10°C ;
- Valoarea tipică a puterii disipate în regim static pentru un circuit cu un milion de porți este de circa 0.125 mW ;
- Curentul de scurgere se reduce de circa 10 ori dacă este forțat să treacă prin două tranzistoare conectate în serie;