

## **Realizarea divizoarelor de frecvență cu numărătoare asincrone**

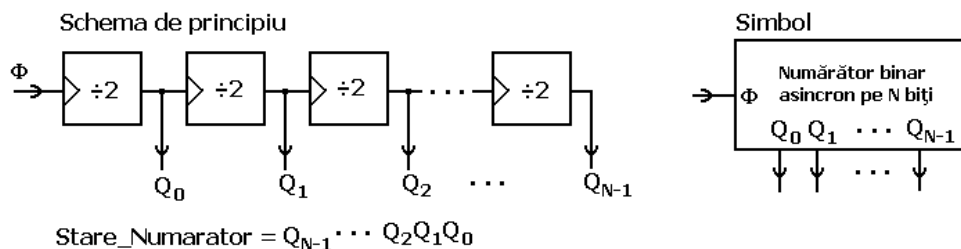
**Scop:** Înțelegerea modului de funcționare a numărătoarelor asincrone și utilizarea acestora în realizarea divizoarelor de frecvență.

### **I. Noțiuni teoretice**

#### **I.1. Numărătoare binare asincrone**

Numărătoarele sunt structuri secvențiale care pot parcurge un număr de stări distincte ca urmare a aplicării unor impulsuri la intrarea de numărare, intrare ce este de regulă notată prin CK, CP sau  $\Phi$ . Numărul stărilor distincte este dependent de numărul bistabililor din structură și de modalitatea de codificare a stărilor.

Numărătoarele binare asincrone se obțin prin legarea în serie a unor celule de divizare cu 2 a frecvenței semnalului de intrare, așa cum se arată în figura de mai jos.



*Fig.1: Structura internă a unui numărător binar asincron*

#### **♦ Caracteristici generale ale numărătoarelor binare asincrone:**

- Numărătoarele binare asincrone sunt cele mai simple structuri de numărare, motiv pentru care sunt și cele mai ieftine;
- Sunt realizate prin legarea în serie (cascadarea) a unor celule de divizoare cu 2 a frecvenței semnalului de intrare (vezi figura 1).
- Fiecare celulă de divizare cu 2 conține un bistabil configurat astfel încât să basculeze la fiecare tranziție a semnalului de intrare (modul de configurare este prezentat în figura 2);
- Intrarea de ceas a numărătorului este de fapt intrarea în prima celulă (în primul bistabil);
- Numărul stărilor distincte (capacitatea numărătorului), se calculează cu relația:  $C=2^{NUMĂR\_BISTABILI}$ .
- Starea numărătorului se obține prin citirea simultană a stărilor logice de la ieșirile celulelor de divizare, de la mare la mic (spre exemplu, pentru un numărător pe 4 biți, starea acestui este dată ieșirile  $Q_3Q_2Q_1Q_0$ );
- De regulă se folosește același tip de bistabil pentru toate celulele de divizare din structura numărătorului;
- Intrările de ștergere ale tuturor bistabililor din structură se leagă împreună pentru a realiza intrarea de ștergere a numărătorului (vezi figura 3).

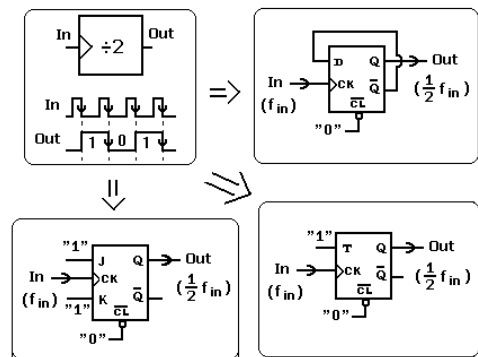


Fig.2: Modalități de realizare a celei de divizare cu 2 folosind diverse tipuri de bistabili

### Exemplu: Numărător binar asincron pe 4 biți realizat cu bistabili JK

O structură tipică de numărător asincron pe 4 biți, realizată cu bistabili JK, activi pe tranziția negativă a semnalului de ceas, este prezentată în fig. 3. Structuri asemănătoare se pot realiza și cu bistabili de alt tip configurați ca în fig.2.

Pentru acest caz, avem următoarea semnificație a semnalelor:

- $CK$ , intrare de numărare, sensibilă (activă) la tranziția negativă a semnalului aplicat;
- $CLR$ , intrare de *RESET*, de aducere la zero a numărătorului, activă pe nivelul *LOW* a semnalului aplicat acestei intrări;
- $Q_3, Q_2, Q_1, Q_0$  (sau notate echivalent cu  $Q_d, Q_b, Q_c, Q_a$ ) - ieșirile de numărare a căror stare logică, citite în ordinea indicată, indică în cod binar starea numărătorului (numărul impulsurilor acumulate). Ieșirea  $Q_d$ , indică cel mai semnificativ bit al stării numărătorului iar  $Q_a$  pe cel mai puțin semnificativ.

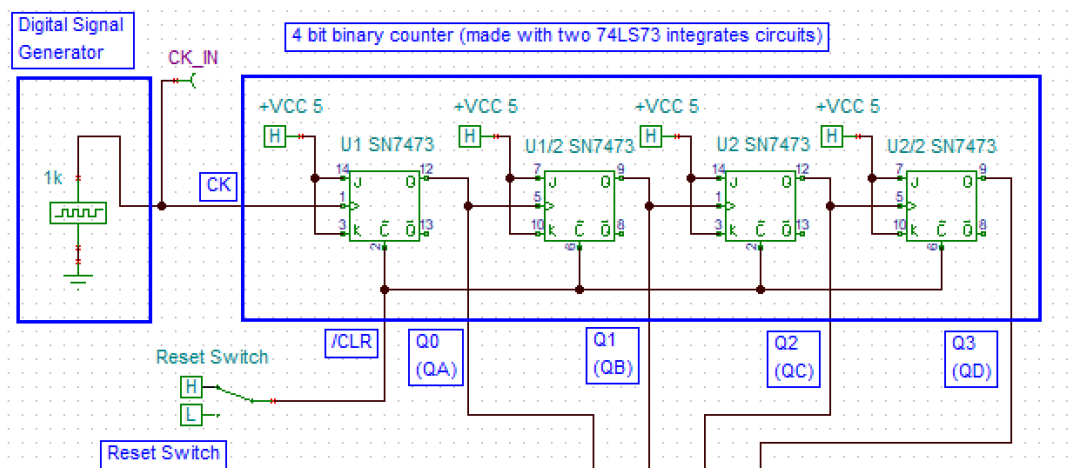


Fig. 3. Exemplu de numărător binar asincron pe 4 biți realizat cu bistabili JK

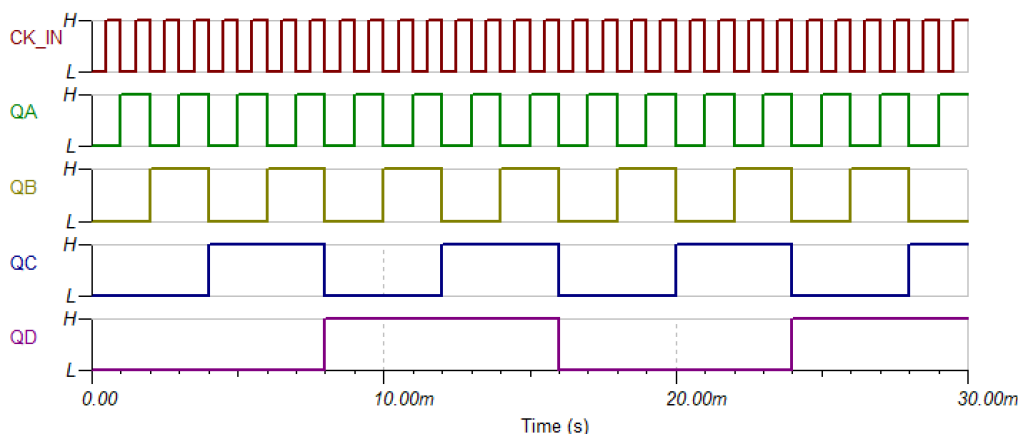


Fig. 4. Forma semnalelor de la ieșirile numărătorului

### Observații:

- După starea maximă, în cazul de față 1111, la următorul impuls numărătorul trece de la sine în starea zero și continuă numărarea.
- Frecvența semnalelor de ieșire scade la jumătate după fiecare bistabil.
- Numărătorul poate fi utilizat și ca divizor de frecvență a semnalelor digitale.
- În mod natural (fără conexiuni suplimentare, altele decât cele necesare cascaderii), factori de divizare în frecvență ai semnalului de intrare sunt puteri ale lui doi.

## II. Realizarea divizoarelor de frecvență cu numărătoare asincrone

### II.1. Exemple de numărătoare binare asincrone realizate în circuite integrate comerciale

În cele ce urmează sunt prezentate câteva structuri uzuale de numărătoare ce sunt disponibile în circuite integrate dedicate.

#### ♦ Circuitul **74 LS 93** - numărător binar asincron pe 4 biți

- Intrarea de numărare este activă pe tranziția negativă a semnalului de ceas.
- Este organizat în două secțiuni: prima realizează o divizare cu 2 a frecvenței semnalului de intrare, iar a doua o divizare cu 8.
- Un numărător binar pe 4 biți, cu intrarea pe  $CP_0$ , se obține prin realizarea unei conexiuni externe între  $Q_0$  și  $CP_1$ .
- Ștergerea numărătorului se execută asincron prin  $MR_1 = MR_2 = 1$ .

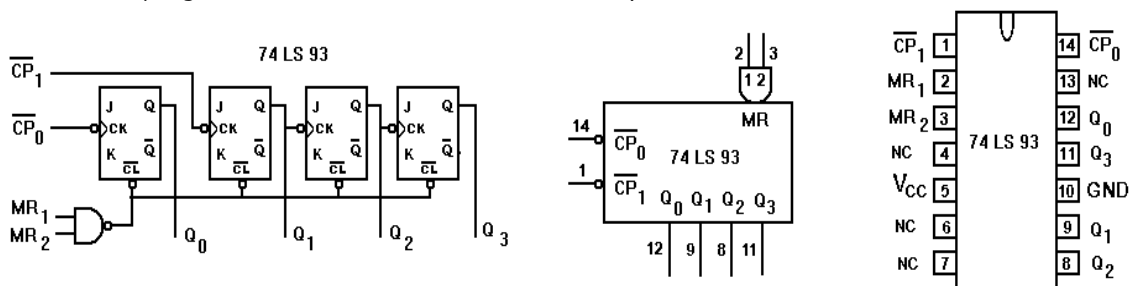


Fig. 5. Circuitul 74LS93: schemă logică, simbol, pinout

#### ♦ Circuitul **74 LS 90** - numărător BCD asincron

- Circuitul este activ pe tranziția negativă a semnalului de ceas.
- Este organizat în două secțiuni: prima realizează o divizare cu 2 a frecvenței semnalului de intrare, iar a doua o divizare cu 5.
- Un numărător BCD, cu intrarea pe  $CP_0$ , se obține prin realizarea unei conexiuni externe între  $Q_0$  și  $CP_1$ .
- Ștergerea numărătorului se execută în mod asincron prin  $MR_1 = MR_2 = 1$ .
- Prin  $MS_1 = MS_2 = 1$ , în numărător se încarcă în mod asincron constanta 9.

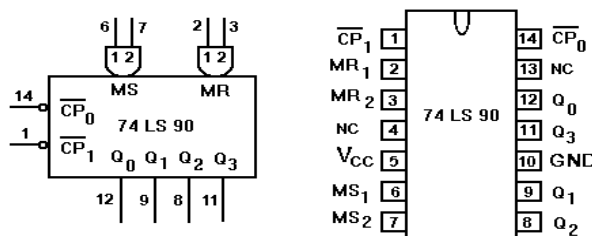


Fig. 6. Circuitul 74LS90: simbol, pinout

## II.2. Extinderea capacității de numărare (mărirea numărului de stări distincte)

Extinderea capacității de numărare (denumită uneori și cascaderare), se face prin conectarea convenabilă a mai multor circuite de capacitate mai mică. Modul de conectare este dependent de circuitele utilizate și de performanțele impuse numărătorului mare ce trebuie realizat.

*Cascadarea numărătoarelor asincrone* se face simplu, prin interconectarea bitului MSB al numărătorului  $n-1$ , la intrarea de ceas a numărătorului  $n$ . Această metodă este cunoscută sub denumirea de *Ripple Count*. Noua structură, de capacitate mai mare, are tot comportament de numărător asincron.

### ♦ Exemplul 1: Realizarea unui numărător pe 12 biți folosind circuite 7493

Un numărător asincron de capacitate mare (cu număr mare de ieșiri) se obține prin legarea în cascadă a unui număr convenabil de numărătoare de capacitate mai mică. Modul de conectare este următorul: ieșirea cu ponderea cea mai mare de la circuitul  $i$  se leagă la intrarea de ceas a circuitului  $i+1$ .

În cazul de față, pentru a obține un numărător pe 12 biți avem nevoie de trei circuite 74LS93, conectate ca în figura de mai jos:

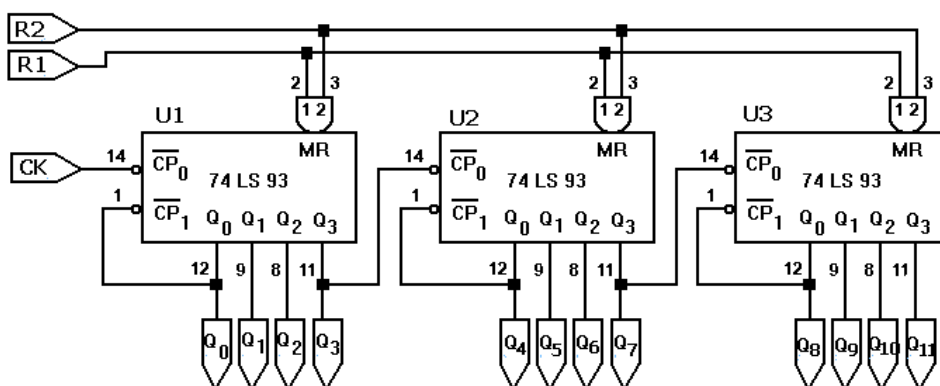


Fig. 7. Extinderea capacității de numărare de la 4 biți la 12 biți

Pentru schema anterioară se pot face următoarele precizări:

- fiecare circuit 74LS93 este configurat ca numărător pe 4 biți prin intermediul conexiunii externe dintre Q0 și  $\overline{CP1}$ ;
- ieșirea Q3 de la fiecare circuit este conectată la intrarea  $\overline{CP0}$  a circuitului următor;
- intrările de ștergere  $\overline{MR1}$  de la toate circuitele sunt legate împreună și formează intrare de ștergere R1 a numărătorului de 12 biți. În mod similar se procedează cu intrările  $\overline{MR2}$  și obținem cea de-a doua intrare de ștergere a numărătorului mare;
- ștergerea numărătorului mare, de 12 biți, se face numai dacă avem simultan  $R1=R2=1$ . Acest mod de lucru este moștenit de la circuitul 74LS93.
- pentru aplicații în care nu sunt necesare două intrări de ștergere, intrările R1 și R2 se pot lega împreună și obținem o singură intrare de ștergere activă pe unu logic.

◆ **Exemplul 2: Realizarea unui numărător BCD pe 3 decade folosind circuite 7490**

Pentru realizarea unui numărător zecimal pe trei decade folosim 3 circuite de tip 74LS90 conectate în cascadă, ca în figura de mai jos:

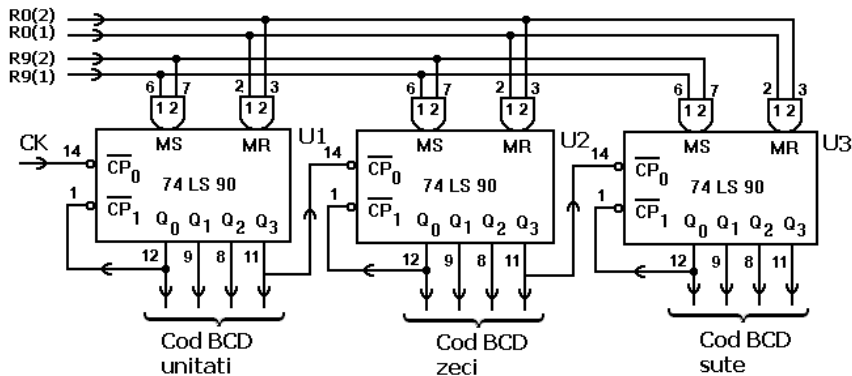


Fig. 8. Extinderea capacității de numărare de la o decadă la trei decade

Referitor la schema anterioară se pot face următoarele precizări:

- o semnalul de ceas se aplică doar la intrarea  $\overline{CP0}$  a primului circuit (U1);
- o fiecare circuit este configurat ca numărător zecimal pe o decadă prin conexiunea exterioară între  $\overline{CPI}$  și Q0;
- o circuitul U1 este folosit pentru unități, U2 pentru zeci iar U3 pentru sute;
- o conexiunile dintre Q3 și  $\overline{CP0}$  determină incrementarea circuitului de zeci la fiecare umplere a numărătorului de unități respectiv a celui de sute la fiecare umplere a celui de zeci;
- o numărul maxim de stări este egal cu 1000, notate de la 0 până la 999;
- o numărătorul mare, cu o mie de stări, prezintă două intrări de ștergere active pe unu logic R0(1), R0(2) și două intrări de aducere forțată în starea maximă R9(1), R9(2). Facem precizarea ca starea maximă pentru acest numărător este  $999_{10} = 1001\ 1001\ 1001_{BCD}$ .

### II.3. Realizarea divizoarelor de frecvență cu factor fix

Referitor la divizoarele de frecvență, cele mai importante aspecte ce trebuie precizate sunt:

- divizorul digital de frecvență este un circuit care are ca scop reducerea de  $k$  ori a frecvenței semnalului de intrare:

$$f_{out} = \frac{f_{in}}{K}$$

- factorul de divizare  $k$ , este un număr natural;
- cel mai rapid mod de a realiza un divizor de frecvență se obține prin utilizarea numărătoarelor;
- în principiu, realizarea unui divizor de frecvență cu factorul de divizare  $k$ , este echivalent cu sinteza unui numărator cu  $k$  stări distincte.
- numărătoarele binare realizează în mod natural (fără nicio intervenție din exterior) divizări cu factori  $k$  ce reprezintă puteri ale lui doi (spre exemplu se pot realiza divizări cu  $k=2$ ,  $k=4$ ,  $k=8$ ,  $k=16$  ...);
- în diverse aplicații practice apare necesitatea utilizării unor factori de divizare ce nu reprezintă puteri ale cifrei 2, (spre exemplu divizări cu 10). Pentru astfel de cazuri este necesar să utilizăm în mod convenabil facilitatea de ștergere (*Reset*);

În procesul de proiectare a divizoarelor de frecvență cu factor oarecare, trebuie parcurse următoarele etape:

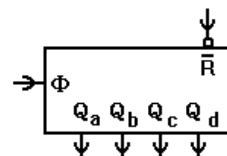
- alegerea număratorului trebuie să îndeplinească condiția:  $k < 2^N$ , unde  $N$  reprezintă numărul de bistabili ai număratorului binar.
- împărțirea stărilor număratorului în două categorii:
  - stări permise (stările de la **0** la  $k-1$ ) – pe durata acestor stări funcția de ștergere nu trebuie activată;
  - stări nepermise (stările mai mari decât  $k$ ) – pe durata acestor stări funcția de ștergere trebuie activată.
- proiectarea un CLC care primește la intrare starea număratorului și generează la ieșire un semnal de comandă a intrării de reset a număratorului binar.

♦ **Exemplul 1:** Realizarea unui divizor de frecvență cu 12 folosind un numărator binar generic de 4 biți

#### Etapa 1: Determinarea dimensiunii număratorului binar asincron.

Realizarea divizorului este posibilă numai dacă este satisfăcută condiția:  $k \leq 2^N$ , unde  $N$  reprezintă numărul de bistabili ai număratorului binar. Cu alte cuvinte, coeficientul de divizare trebuie să fie mai mic, sau cel mult egal, cu numărul stărilor distincte de care dispune număratorului.

În cazul de față este necesar un numărator pe 4 biți deoarece  $12 \leq 2^4$ .



**Etapa 2: Separarea stărilor numărătorului în stări permise și în stări nepermise.**

Reamintim că realizarea unui divizor de frecvență având factorul de divizare  $k=12$  presupune proiectarea unui numărător cu tot atâtea stări distincte.

Modul de lucru:

- se realizează tabelul de succesiune a stărilor pentru numărătorul pe 4 biți;
- primele 12 stări sunt declarate *stări permise*, iar restul sunt declarate *stări nepermise*;
- pentru stările permise intrarea de ștergere trebuie să fie inactivă  $\bar{R} = 1$ ;
- pentru prima stare nepermisă intrarea de ștergere trebuie să fie în mod obligatoriu activă,  $\bar{R} = 0$ ;
- pentru restul stărilor nepermise, activarea intrării de ștergere este opțională, poate avea valoarea **don't care**, deoarece numărătorul nu mai are cum să treacă prin aceste stări.

**Observații:**

- numărarea stărilor permise se începe în mod obligatoriu cu starea 0;
- prima stare nedorită este "atinsă tangențial", se trece prin ea doar câteva nanosecunde, ea nu este lăsată să existe.

$Q_d$	$Q_c$	$Q_b$	$Q_a$	$\bar{R}$	
0	0	0	0	1	Stări permise (intrarea de ștergere trebuie să fie inactivă) $\bar{R} = 1$
0	0	0	1	1	
0	0	1	0	1	
0	0	1	1	1	
0	1	0	0	1	
0	1	0	1	1	
0	1	1	0	1	
0	1	1	1	1	
1	0	0	0	1	
1	0	0	1	1	
1	0	1	0	1	
1	0	1	1	1	
1	1	0	0	0	Stări nepermise (intrarea de ștergere trebuie să fie activă) $\bar{R} = 0$
1	1	0	1	*	
1	1	1	0	*	
1	1	1	1	*	

**Etapa 3: Sinteza CLC-ului pentru comanda intrării de ștergere.**

CLC-ul primește la intrare starea numărătorului și generează la ieșire un semnal de comandă a intrării de ștergere a numărătorului binar.

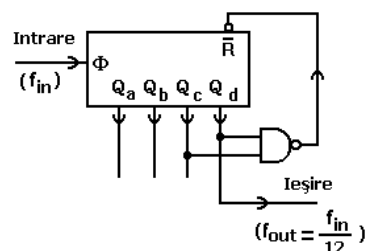
Se aplică a doua formă canonică și se ține cont de faptul că simbolul \*, poate fi considerată '0' sau '1'

$$\bar{R} = \overline{Qd} + \overline{Qc} = \overline{Qd} \overline{Qc}$$

		$Q_b Q_a$			
$Q_d Q_c$		00	01	11	10
	00	1	1	1	1
	01	1	1	1	1
	11	0	*	*	*
	10	1	1	1	1

**Etapa 4: Realizarea schemei logice**

Circuitul combinațional pentru comanda intrării de ștergere a numărătorului este conține o singură poartă NAND cu două intrări conectate la  $Q_D$  respectiv  $Q_B$ .





**Etapa 5:** Realizarea schemei electrice folosind circuite integrate standard

Realizarea divizorului de frecvență cu 12 cu ajutorul circuitului 74LS93 trebuie să ținem cont de următoarele aspecte:

- circuitul trebuie configurat ca numărător binar pe 4 biți (conexiune externă între Q0 și  $\overline{CP1}$ );
- poarta NAND din schema rezultată la punctul anterior este disponibilă în interiorul circuitului integrat, (vezi problemele anterioare);
- pentru eliminarea stărilor nedorite sunt necesare următoarele conexiuni externe: Q3 → MR1, Q2 → MR2;

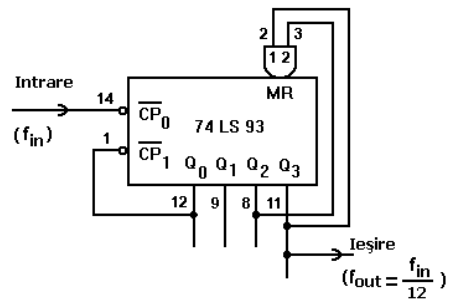


Fig. 9: Schema logică a divizorului de frecvență cu 12 folosind circuitul 7493

**II.4. Realizarea divizoarelor de frecvență cu factori de divizare de valoare mare**

În situația în care factorul de divizare este mai mare decât capacitatea numărătorului se poate recurge la una din soluțiile prezentate mai jos:

- legarea în serie a două divizoare de frecvență, proiectate după modelul prezentat în exemplul anterior. Schema de principiu este prezentată mai jos. Acest mod de lucru prezintă dezavantajul că are un timp mare de propagare între intrare și ieșire.

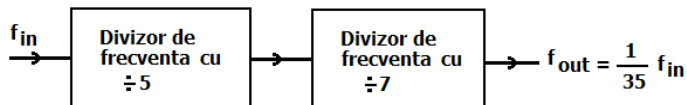


Fig. 10: Legarea în serie a divizoarelor de frecvență pentru realizarea factorilor mari

### III. Simulări

#### III.1. Realizarea și simularea unui numărător binar, generic, pe 4 biți

- Se realizează schema din figura de mai jos:

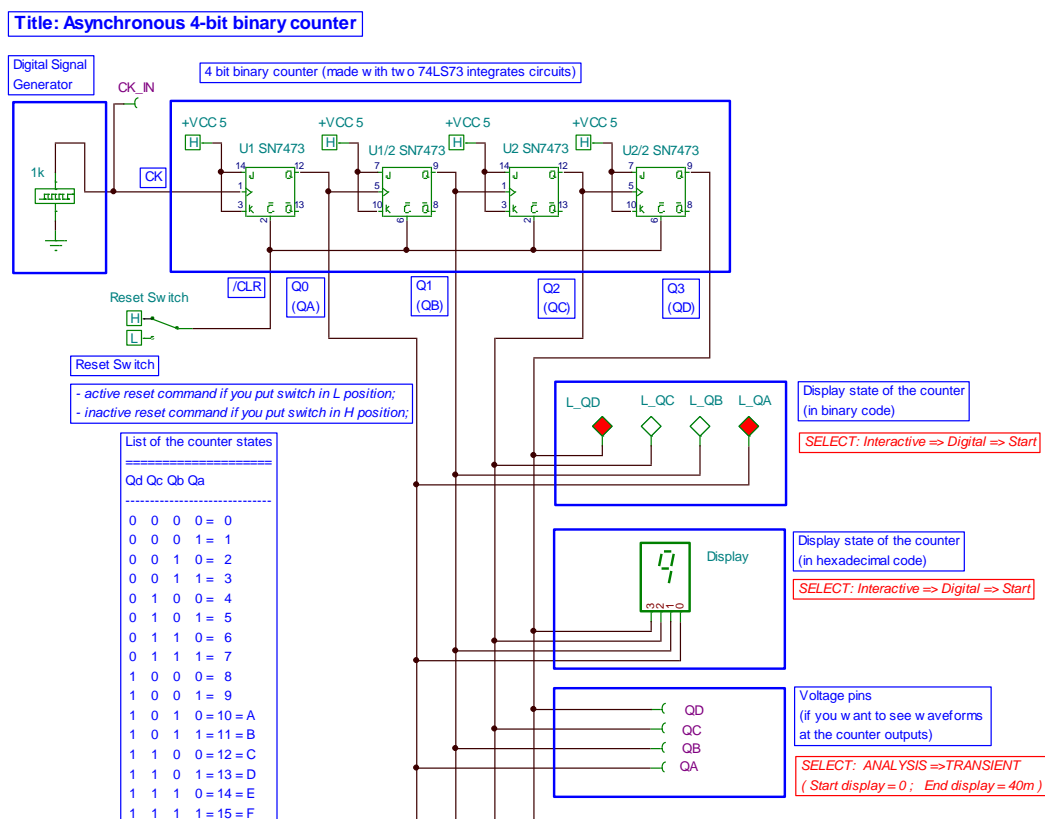


Fig. 11: Schema logică pentru simularea unui numărător pe 4 biți

- Se realizează o simulare interactivă folosind secvența: **Interactive** → **Digital** → **Start** ;
- Se urmăresc stările prin care trece numărătorul;

### III.2. Realizarea și simularea unui divizor de frecvență cu factorul $K=10$ , folosind un numărător generic pe 4 biti

- Pornind de la schema anterioară, adăugați poarta NAND și refaceti simularea;

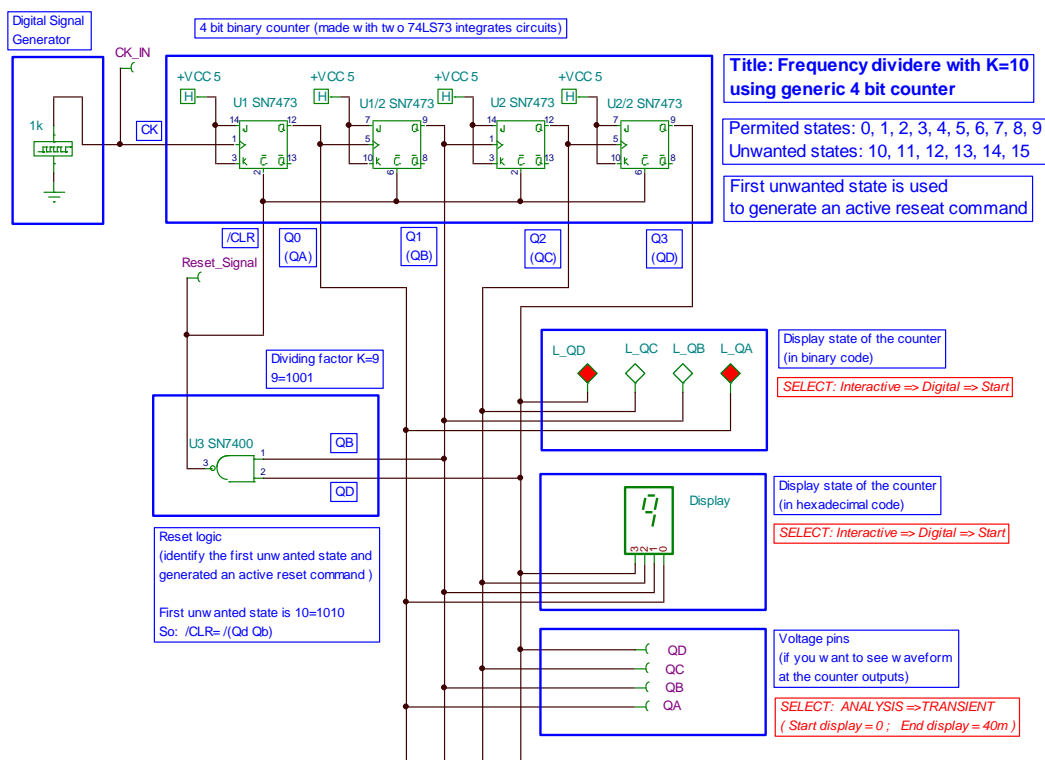


Fig. 12: Schema logică pentru simularea unui divizor de frecvență cu factorul  $k=10$

- Modificați modul de conectare a porți NAND astfel încât să obțineți următoarele divizări:
  - $k = 6$ ;
  - $k = 9$ ;

### III.3. Divizor de frecvență cu factorul $k=10$ , folosind circuitul 7493

Pentru realizarea divizoarelor de frecvență cu ajutorul circuitului 7493, se folosește schema din figura 13.

În utilizarea circuitului 7493 este necesar să ținem cont de următoarele aspecte:

- pentru realizarea numărătorului pe 4 biți este necesar să realizăm o conexiune externă de la ieșirea Q0 la intrarea CKB;
- poarta NAND din figurile anterioare (necesară implementării divizoarelor de frecvență) este prezentă în interiorul circuitului 7493, la intrările R0(1) și R0(2);
- factorul de divizare este stabilit de modul în care sunt conectate ieșirile de numărare la intrările de reset;

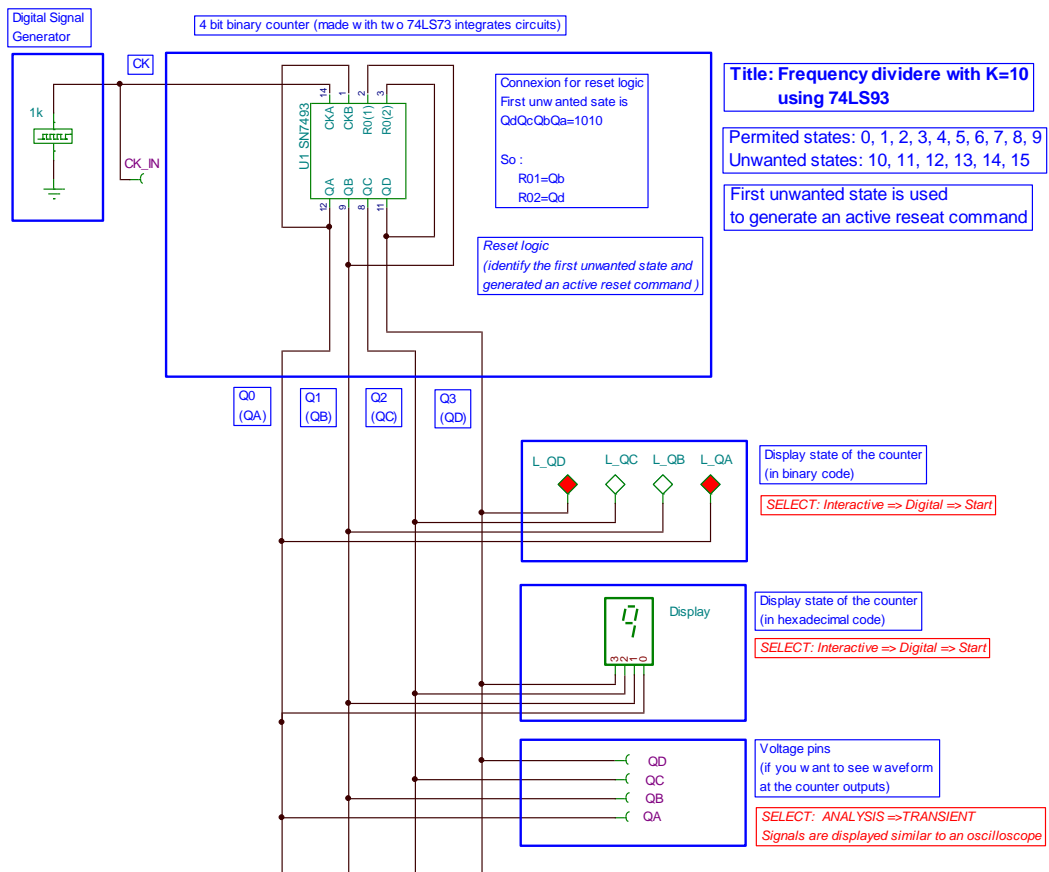


Fig. 13: Schema logică a unui divizor de frecvență cu factorul  $k=10$ , folosind 7493

- Modificați modul de conectare a porți NAND astfel încât să obțineți următoarele divizări:
  - $k = 6$ ;
  - $k = 9$ ;

### III.4. Divizor de frecvență cu factorul $k=60$

Pentru realizarea unui divizor cu factor mare, ce nu poate fi realizat cu un singur circuit 7493, este necesar să folosim două circuite 7493:

- un circuit este folosit pentru realizarea unui divizor cu factorul  $k_1=10$ ;
- un alt circuit este folosit pentru realizarea unui divizor cu factorul  $k_2=6$ ;

Prin legarea în serie a celor două divizoare, se obține un divizor mai mare având factorul de divizare echivalent:

$$K_{ech} = k_1 \times k_2 = 10 \times 6 = 60$$

Modul de conectare a celor două circuite 7493 este prezentat în figura 14.

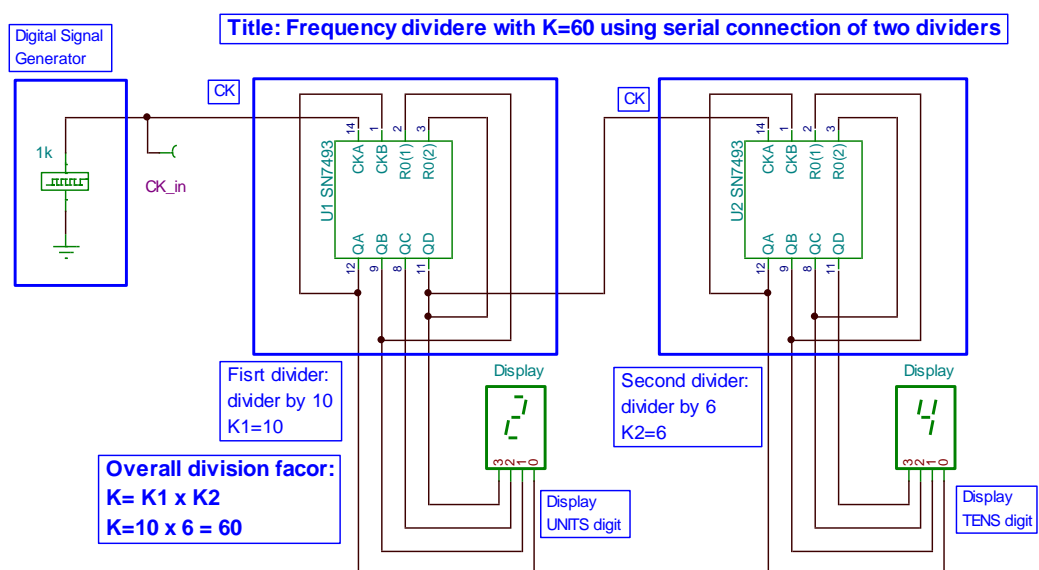


Fig. 14: Schema logică a unui divizor de frecvență cu factorul  $k=60$

### III.5. Proiectați un numărător care să aibă succesiunea stărilor similară cu cea a unui ceas electronic

Pentru realizarea acestei aplicații, se fac următoarele observații:

- se pot folosi circuite la alegere;
- stările minime/maxime pentru fiecare poziție din afișaj sunt:
  - pentru poziția secunde: starea minimă = 00, starea maximă = 59;
  - pentru poziția minute: starea minimă = 00, starea maximă = 59;
  - pentru ore: starea minimă = 00, starea maximă = 23;
- sunt necesare 6 circuite integrate;