



UNIVERSITATEA DIN PITESTI
ACADEMIA MAGISTRA VITAE



Facultatea de Electronică, Calculatoare
și Inginerie Electrică

LIMBAJE DE DESCRIERE HARDWARE

Licență CALCULATOARE



UNIVERSITATEA DIN PITESTI

ACADEMIA MAGISTRA VITAE

Facultatea de Electronică, Calculatoare

și Inginerie Electrică



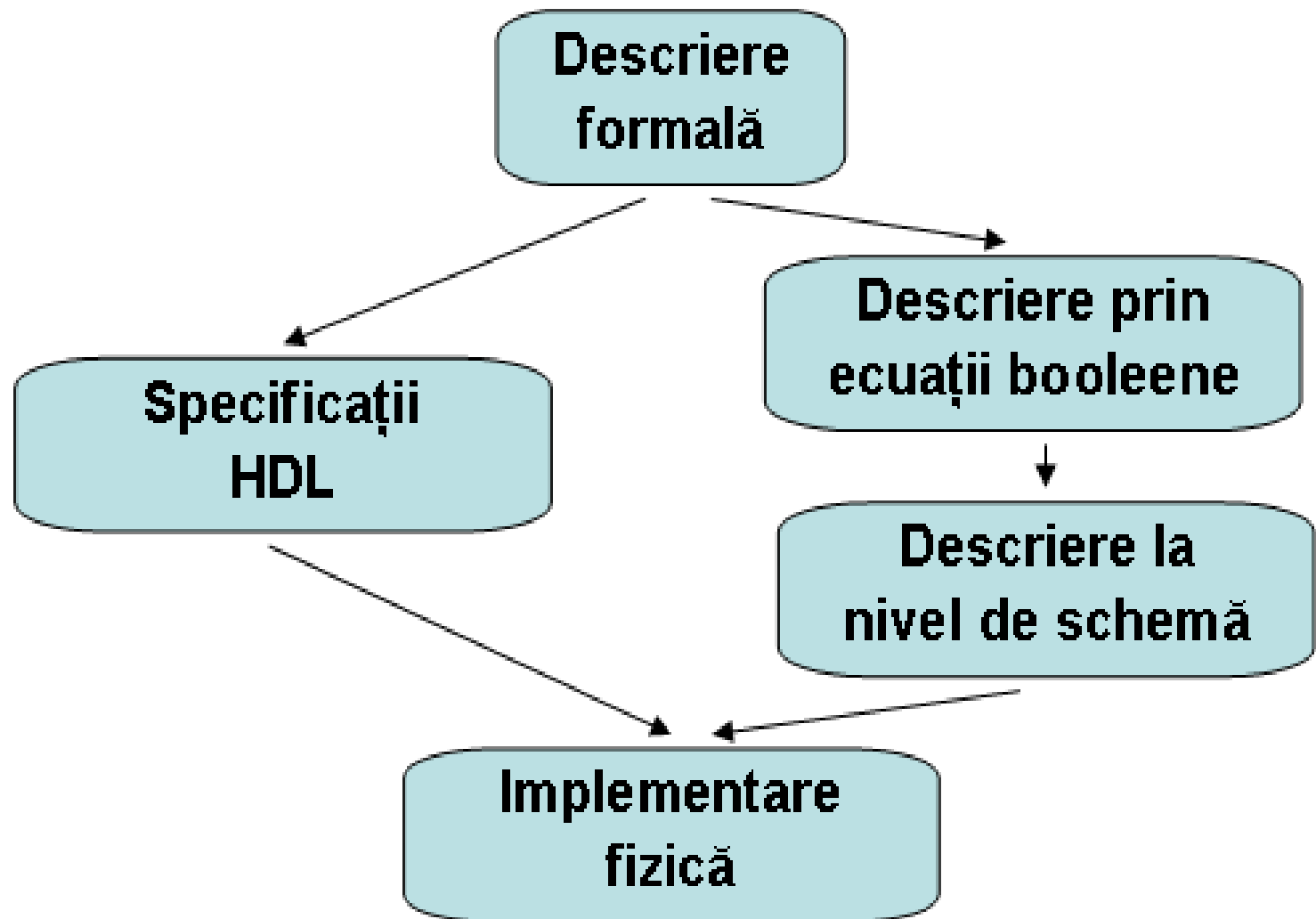
Cursul II

Structura programelor VHDL

Objective

- Primul program in VHDL
- Structura unui program
- Topologii de programare

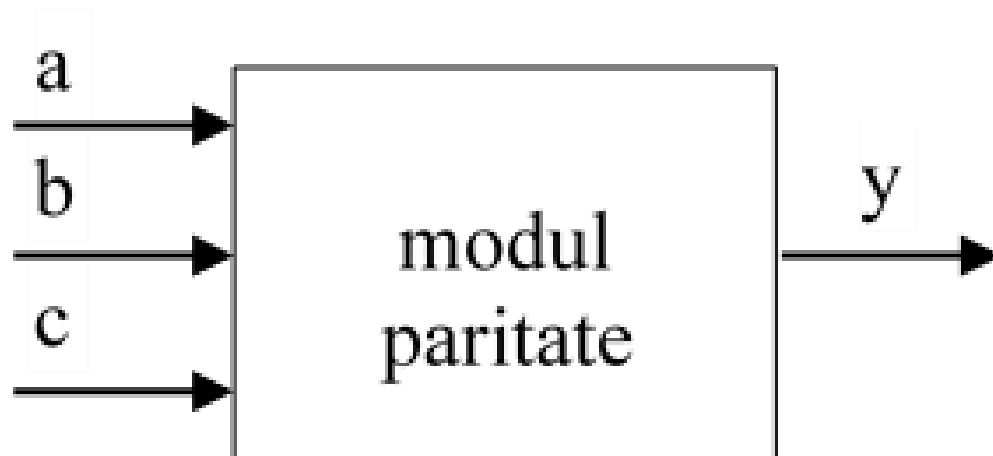
Traditional vs. HDL



Primul exemplu

Sa se implementeze un modul digital prin care se realizează determinarea parității unui număr binar reprezentat pe 3 biți.

Componenta digitală prezintă următoarele porturi de intrare ieșire:



Structura limbajului VHDL

Declaratii
librarie

```
library IEEE;  
use IEEE.STD_LOGIC_1164.ALL;
```

Entitate

```
entity mod_par is  
    Port ( a, b, c : in std_logic;  
           y : in std_logic);  
end mod_par;
```

Arhitectura

```
architecture descriere of mod_par is  
    -- zona declarativa  
begin  
    y <= a xor b xor c;  
end descriere;
```

Declararea librăriilor

LIBRARY nume_librarie

USE nume_librarie.nume_pachet.părți_pachet;

- ieee
LIBRARY ieee;
USE ieee std_logic_1164.all;
- standard
LIBRARY std;
USE std.standard.all;
- work

Pachete importante din biblioteca IEEE

- standard_logic_1164
- std_logic_arith
- std_logic_signed,
std_logic_unsigned
- pachetul **standard** din librăria **std**
- **work**

Continutul unei librării

LIBRARY

PACKAGE

FUNCTION

PROCEDURES

COMPONENTS

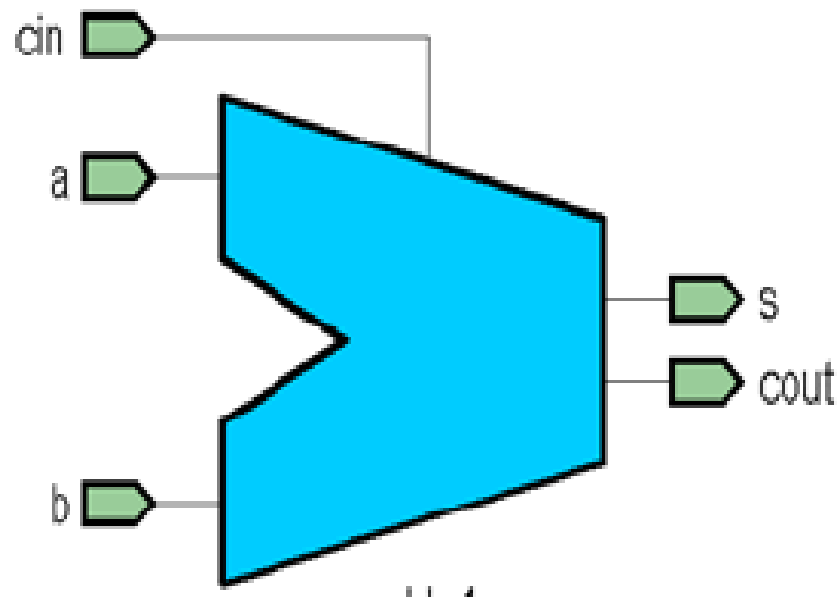
CONSTANTS

TYPES

Declararea entității (ENTITY)

```
ENTITY nume_entitate IS  
    GENERIC (lista de parametrii  
generici);  
    PORT (lista de porturi);  
END nume_entitate;
```

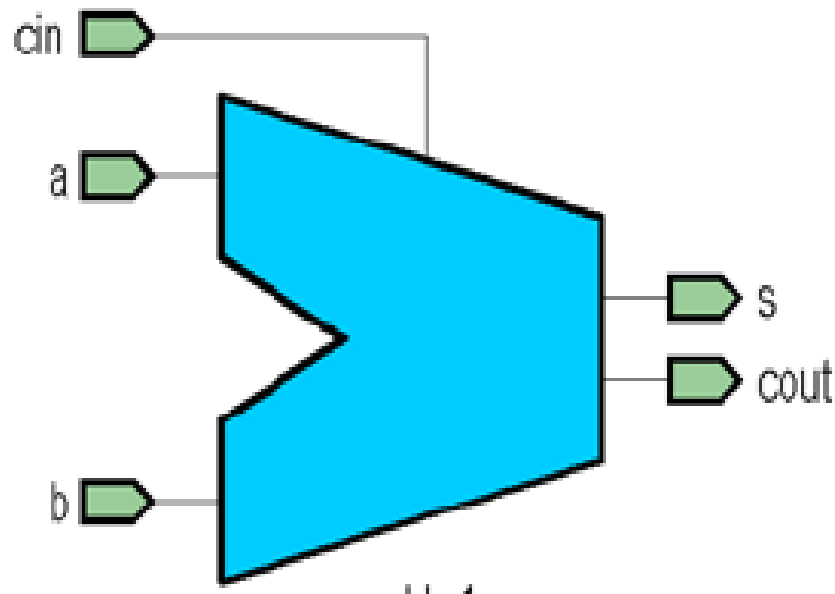
Exemplu de entitate



Sumator pe 1 octet

Parametrii generici

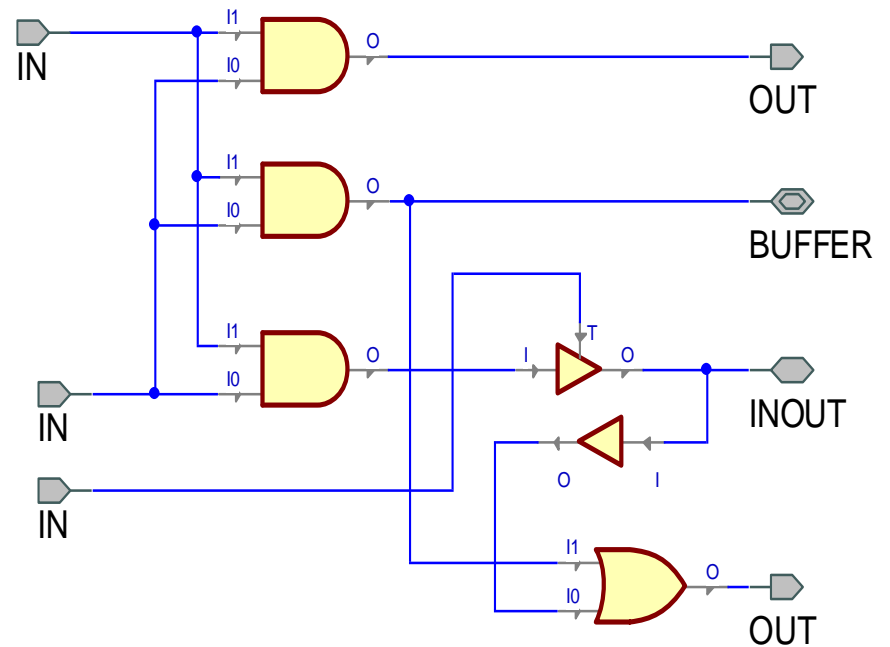
GENERIC (nr_iterații : integer := 146;
 dimens_magistrală := 8);



Declaratia de tip PORT

PORT (nume : mod tip);

- **IN**
- **OUT**
- **BUFFER**
- **INOUT**



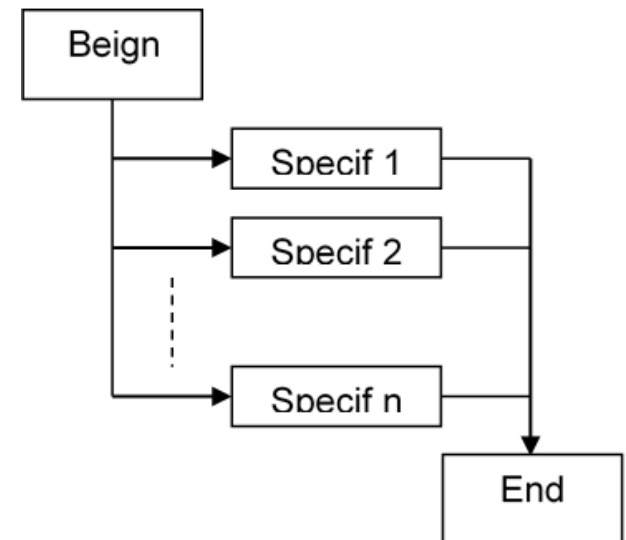
Declararea arhitecturii

```
ARCHITECTURE numele_arhitecturii OF numele_entitatii IS  
    { zona de declaratii  
BEGIN  
    { zona de specificații concurente  
END numele arhitecturii;
```

Tipuri de descrieri:

- flux de date;
- comportamentala;
- flux de date;

combinarea celor anterioare



Identificatori

Identificatorii sunt formați din numere, litere și/sau caracterul „_”. Pentru crearea unui identificator este necesară respectarea următoarelor reguli:

- Primul caracter sa fie o literă,
- Ultimul caracter să nu fie „_”
- Să nu existe succesiunea „__”.

Operatori logici

Tipul operatorului	Operatori	Tipul datelor
Logic	NOT, AND, NAND, OR, NOR, XOR, XNOR	BIT, BIT_VECTOR, STD_LOGIC, STD_LOGIC_VECTOR, STD_UNLOGIC, STD_UNLOGIC_VECTOR
Aritmetic	+, -, *, /, ** (mod, rem, abs)	INTEGER, SIGNED, UNSIGNED
Comparație	=, /=, <, >, <=, >=	aproape toți
Deplasare	sll, srl, sla, sra, rol, ror	BIT_VECTOR
Concatenare	&, (, , ,)	La fel ca la operatorii logici, pus SIGNED și UNSIGNED

Sumar

- Ce este HDL?
- Conceptul de programare hardware
- Limbaje HDL
- Un exemplu in VHDL
- Structura unui program
- Topologii