­­­­­­МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»

Кафедра систем автоматизованого проектування

Розрахунково-графічна робота

з дисципліни

«Комп’ютерна схемотехніка та архітектура комп’ютерів»

на тему

«Розрахунок і побудова блоку пам’яті»

Виконав

Студент групи КН-210

Бурак М.Т.

Прийняв

Старший викладач кафедри САПР

Панчак Р.Т. \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Львів-2020

**ІНДИВІДУАЛЬНЕ ЗАВДАННЯ ДО РГР**

Побудувати блок пам’яті постійного запам’ятовуючого пристрою об’ємом 8Кх8 з використанням мікросхем структурою 1Кх8. Вибрати тип мікросхеми пам’яті, область адресного простору. Синтезувавши дешифратор адрес і принципову електричну схему.

**ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ**

ОЗП – оперативно запам’ятовуючий пристрій

ПЗП – постійно запам’ятовуючий пристрій

МС – мікросхема

ДДНФ – досконала диз’юнктивна нормальна форма

СДНФ – скорочена диз’юнктивна нормальна форма

СКНФ − скорочена кон’юнктивна нормальна форма

**ЗМІСТ**

Індивідуальне завдання для розрахунково-графічної роботи...…………..…..2

Перелік умовних скорочень …………………………………………………….3

Вступ ………………………………………………………………………...…...5

1. Тип мікросхеми для побудови блоку пам’яті ……..….…………….…..…7
2. Виділення адресного простору для блоку пам’яті ..………..………….….9
3. Розрахунок визначення кількості мікросхем пам’яті для блоку ……......10
4. Синтез схеми дешифратора адрес для блоку пам’яті …………………....11
5. Аналіз результатів та висновки…...……………...………………………...13
6. Список використаної літератури ..................................................................14

Додаток (схема електрична принципова) .........................................................15

**Вступ**

Комп'ютер − це програмований пристрій, який виконує автоматичну обробку інформації і функціонування якого базується на двох основних принципах: автоматичного керування і збереження програми в пам'яті.

Пам'яттю комп'ютера називається сукупність різних пристроїв, призначених для приймання, зберігання і видачі двійкової інформації. У пам'ять персонального комп'ютера входять такі типи пам'яті:

* регістрова пам'ять процесора (мінімальна за ємністю; використовується для проміжного зберігання оперативної інформації);
* кеш-пам'ять(є зовнішня і внутрішня; використовується для тих областей ОЗП, до яких здійснювалося останнє звертання і є висока імовірність наступного звертання до цих самих даних);
* оперативна пам'ять(використовується для зберігання кодів програми і даних розміщення операційної системи, оперативного обміну даними між процесором ,зовнішньою пам'яттю і периферійними пристроями) ;
* постійна пам'ять (використовується для енергонезалежного зберігання системної інформації);
* зовнішня пам'ять.

При побудові блоку пам'яті певного типу виникає декілька задач:

* нарощення розрядності;
* нарощення об’єму;
* одночасне нарощення і розрядності і об’єму;

Для нарощення розрядності мікросхеми підключають паралельно. Для нарощення об’єму мікросхеми підключають послідовно, а для визначення, яку схему слід ввімкнути при певній адресації, будують адресний дешифратор. При виконанні завдання, в якому слід наростити і розрядність, і об’єм пам'яті, будуть організовуватись групи мікросхем(банки), які будуть підключені паралельно(для збільшення розрядності), а для нарощення об’єму ці групи підключать послідовно через дешифратор адрес.

Для виконання поставленої задачі потрібно дотримуватися наступного плану:

1. Визначити число ліній адресної шини, які підводяться до кожної окремої мікросхеми;
2. Визначити спосіб під’єднання мікросхем (послідовне, паралельне або мішане);
3. Визначити діапазон адрес області пам’яті;
4. Побудувати дешифратор (при чому для цього слід використати мінімальну кількість логічних елементів);
5. Побудувати схему електричну принципову.

**1. Вибір і обґрунтування типу мікросхеми пам'яті**

Для побудови блоку пам’яті відповідно до завдання я буду використовувати мікросхему КР556РТ20.

Організація мікросхеми, що відповідає моєму завданню РГР– 1х8.

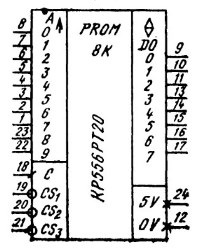
Я обрала дану мікросхему, тому що у неї значно менший час доступу до комірки пам’яті, на відміну від інших мікросхем з такою ж організацією. У КР556РТ20 він становить 30 нс, що є важливим параметром, адже в сучасних комп’ютерних системах ціниться швидкодія та надійність.

Напруга живлення типова, як і для всіх мікросхем цієї серії – 5В.

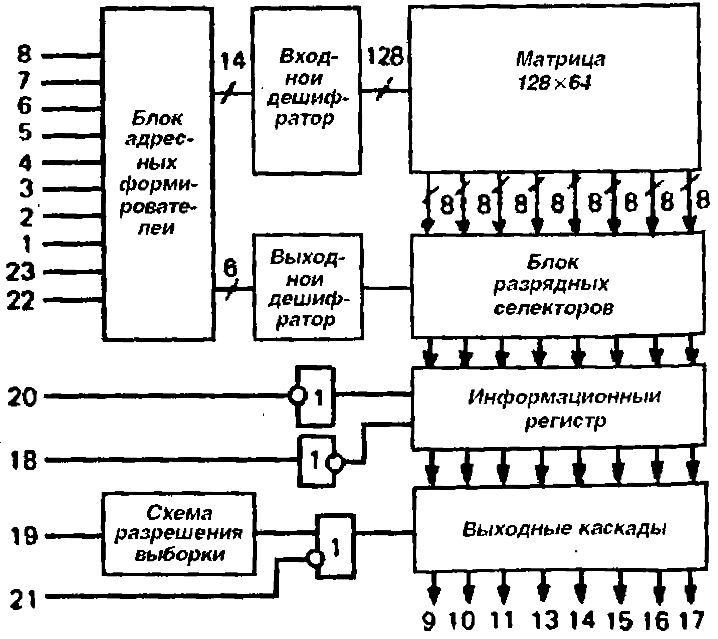
Інші технічні параметри мікросхеми КР556РТ20 наведено нижче в таблиці 1.1.

*Таблиця 1.1. Технічні параметри мікросхеми КМ1656РЕ3*

|  |  |
| --- | --- |
| Час вибору адреси | 30 нс |
| Час вибору дозволу | 45 нс |
| Номінальна напруга живлення | 5В |
| Вихідна напруга низького рівня | Не більше 0,5 В |
| Вихідна напруга високого рівня | Не менше 2,4 В |
| Вхідний струм низького рівня | |-250| мкА |
| Вхідний струм високого рівня | Не менше 40 мкА |
| Вихідний струм високого рівня | Не менше 100 мкА |
| Сумісність за входом і виходом | Зі схемами ТТЛ-3 |

Тепер розглянемо принципову схему КР556РТ20.

*Рис. 1.1. Умовно-графічне зображення КР556РТ20* *на схемі електричній принциповій*

*Рис. 1.2. Структурна схема мікросхеми КР556РТ20*

Призначення виводів мікросхеми КР556РТ20 наведено в таблиці 1.2.

*Таблиця 1.2. Призначення виводів мікросхеми КР556РТ20*

|  |  |  |
| --- | --- | --- |
| **Призначення виводів мікросхеми** *КР556РТ20* | | |
| **Вивід** | **Призначення вивода** | **Позначення на МС** |
| 1..8, 23, 22 | Адресні входи |  |
| 9..11, 13..17 | Інформаційні виходи |  |
| 18 | Вхід тактового сигналу | C |
| 19 | Вхід дозволу вибірки(синхронний) |  |
| 20 | Вхід попереднього встановлення |  |
| 21 | Вхід дозволу вибірки(асинхронний) |  |
| 24 | Напруга живлення | *5V* |
| 12 | Загальний | *0V* |

Щоб зрозуміти роботу даної мікросхеми, потрібно побачити таблицю роботи цієї мікросхеми (таблиця істинності). Вона представлена в таблиці 1.3.

*Таблиця 1.3. Таблиця істинності*

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Вхід** | | | | **Вихід** | **Режим роботи** |
|  |  | C |  |  |
| 0 | 1 | Х | Х | − | − |
| 0 | 0 | 0 | 0 | 0  1 | Запис логічного 0/ логічної 1 в регістр і зчитування на виході |
| 1 | 0 |  | Х | Z(після тактового імпульсу) | Зберігання |
| 0 | 0 |  | 1 | − | Нова інформація, записана по передньому фронту тактового імпульсу |

**2. Виділення адресного простору для блоку пам'яті**

В адресний простір входить 64К адрес пам’яті (216), що визначаються 16 - розрядною адресною шиною. Для МС 1Кх8КР556РТ20 доступно 10 адресних ліній (210 = 1024Б) ( – ). Інша частина решта адресних ліній ( – ) будуть використовуватись для побудови дешрифратора, а ті, які залишился () будуть використовуватися для побудови спільного блоку.

*Таблиця 2.1 Адреси мікросхеми пам'яті.*

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | | **Адреси** | | | | | | | | | | | | | | | |
| **A15** | **A14** | **A13** | **A12** | **А11** | **A10** | **A9** | **A8** | **A7** | **A6** | **A5** | **A4** | **A3** | **A2** | **A1** | **A0** |
| Банк0 | max | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| min | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| Банк1 | max | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| min | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| Банк2 | max | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| min | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| Банк3 | max | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| min | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| Банк4 | max | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| min | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| Банк5 | max | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| min | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| Банк6 | max | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| min | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| Банк7 | max | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| min | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

**=** 0000h = 0000 0000 0000 0000

**=** 0400h = 0000 0100 0000 0000

**=** 0800h = 0000 1000 0000 0000

**=** 0C00h = 0000 1100 0000 0000

**=** 1000h = 0001 0000 0000 0000

**=** 1400h = 0001 0100 0000 0000

**=** 1800h = 0001 1000 0000 0000

**=** 1C00h = 0001 1100 0000 0000

**=** 03FFh = 0000 0000 0000 0000

**=** 07FFh = 0000 0111 1111 1111

**=** 0BFFh = 0001 0111 1111 1111

**=** 0FFFh = 0001 1111 1111 1111

**=** 13FFh = 0001 0011 1111 1111

**=** 17FFh = 0001 0111 1111 1111

**=** 1BFFh = 0001 1011 1111 1111

**=** 1FFFh = 0001 1111 1111 1111

**3. Розрахунок визначення кількості мікросхем пам'яті для блоку**

Відповідно до завдання необхідно побудувати ПЗП об’ємом 8Кх8 базі мікросхем 1Кх8.

Для визначення кількості мікросхем використовуємо формулу:

M=K·L,

де К – кількість МС потрібних для нарощення розрядності пам'яті;

L – кількість МС потрібних для нарощення об’єму пам'яті;

Для того, щоб визначити кількість МС потрібних для нарощення розрядності пам'яті, я використовую формулу:

,

де  *n* – кількість розрядів блоку пам'яті;

*ni*– кількість розрядів МС;

Отже, К= = 1.

Для того, щоб визначити кількість МС потрібних для нарощення об’єму пам'яті використовуємо формулу:

,

де *l* – об’єм пам'яті пристрою;

*li* – об’єм пам'яті МС;

Отже, 8.

Отже M=1·8=8. Нам необхідно розробити блок пам’яті, який складатиметься з восьми мікросхем (вісім банків, в кожному банку по одній мікросхемі). Будуємо об’єм. При нарощуванні об’єму мікросхеми розташовуються послідовно.

**4. Синтез схеми дешифратора адрес для блоку пам'яті**

При каскадуванні мікросхем виникає потреба визначати – до якої саме з мікросхем іде звертання. Для адресного розподілу використовують адресні дешифратори, число виходів яких рівне L числу мікросхем.

Синтез схеми адресного дешифратора складається з послідовних етапів:

* табличного задання початкової та кінцевої адреси для заданого блоку пам’яті;
* представлення логічних виразів у СДНФ або СКНФ на основі таблиці;
* побудова комбінаційної схеми адресного дешифратора на основі логічного виразу.

На основі таблиці 2.1 запишемо логічний вираз у вигляді СДНФ:

=(А15·A14·A13)+ A 12+A11+A10;

=(А15·A14·A13)+ A 12+A11+A10`;

=(А15·A14·A13)+ A 12+A11`+A10;

=(А15·A14·A13)+ A 12+A11`+A10`;

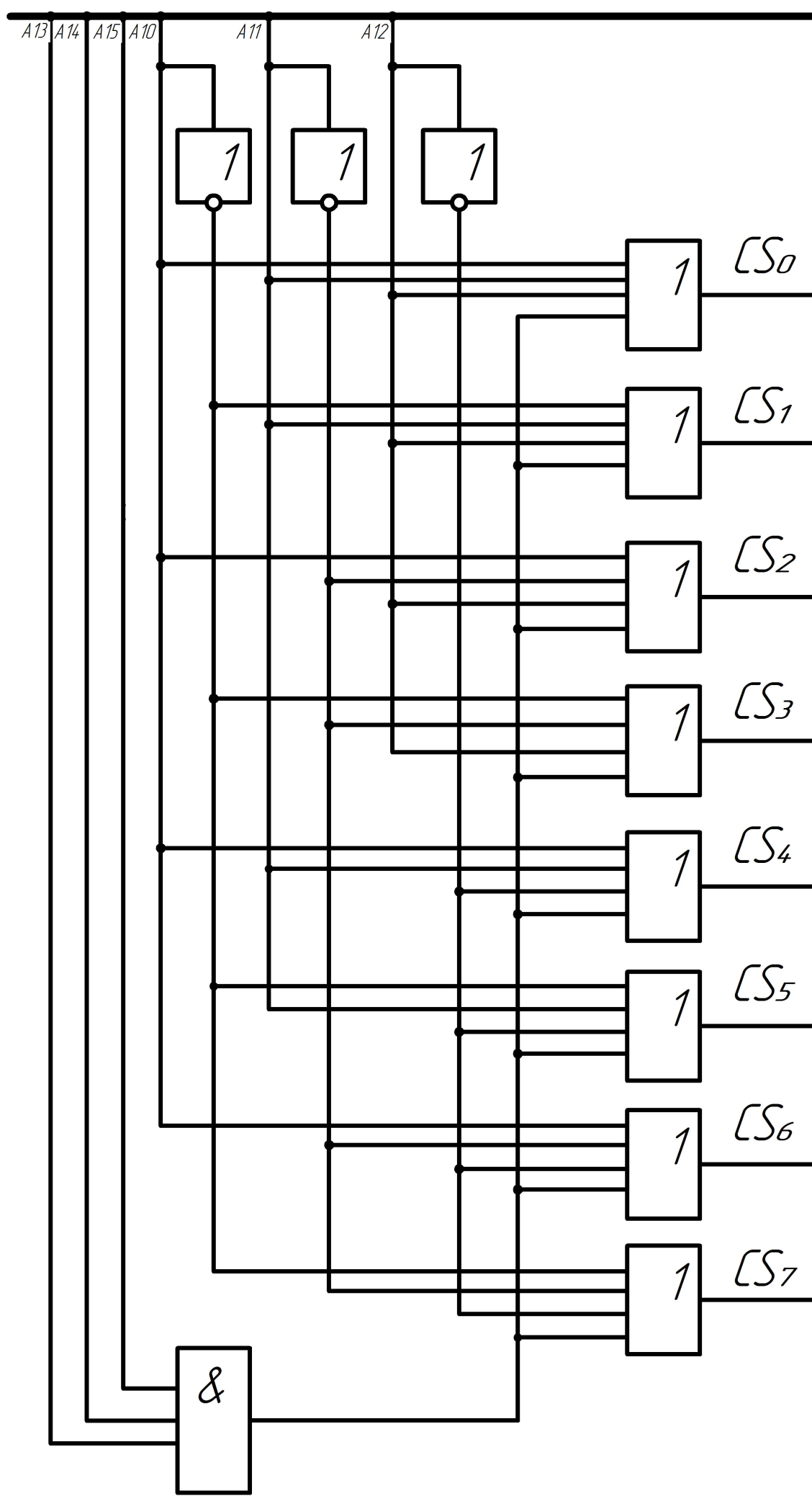
=(А15·A14·A13)+ A 12`+A11+A10;

=(А15·A14·A13)+ A 12`+A11+A10`;

=(А15·A14·A13)+ A 12`+A11`+A10;

=(А15·A14·A13)+ A 12`+A11`+A10`;

На рисунку 4.1 наведена комбінаційна схема реалізації адресного дешифратора.

**

*Рис. 4.1 Схема реалізації адресного дешифратора*

1. **Аналіз результатів та висновки**

Під час виконання даної графічно-розрахункової роботи, мною було спроектовано блок ПЗП розміром 8Кх8 на основі мікросхеми КР556РТ20 з організацією 1Кх8. Даний блок складається з восьми банків, під’єднаних послідовно.

Область адресного простору, у якому даний блок буде працювати

Апоч = 0000h = 0000 0000 0000 0000

**=** 1FFFh = 0001 1111 1111 1111.

Приведена принципова електрична схема даного блоку пам’яті.

**Список літератури**

1. Лебедев О.Н. Применение микросхем памяти в электронных устройствах. Справочное пособие – М.: Радио и связь, 1994.– 216 с.: ил.
2. Нефедов А.В. Интегральные микросхемы и их зарубежные аналоги: Справочник. Т. 5. – М.: ИП РадиоСофт, 2003. – 544 с.: ил.
3. Нефедов А.В. Интегральные микросхемы и их зарубежные аналоги: Справочник. Т. 6. – М.: КУбК-а, 1997. – 608 с.: ил.
4. Проектирование дискретных устройств на интегральных микросхемах: Справочник. – М.: Радио и связь, 1990. – 304 с.: ил.