****

**TREBALL FINAL DE MÀSTER**

**TÍTOL: Anàlisi de la interconnexió de dispositius lògics programables mitjançant Ethernet**

**AUTOR:** **Peshevski, Marko**

**DATA DE PRESENTACIÓ:** **Febrer, 2017**

**COGNOMS: Peshevski NOM: Marko**

**TITULACIÓ: Màster Universitari en Enginyeria de Sistemes Automàtics i Electrònica Industrial (MUESAEI)**

**PLA:**

**DIRECTOR: Mariano López García**

**DEPARTAMENT: EEL - Departament d'Enginyeria Electrònica**

**QUALIFICACIÓ DEL TFM**

|  |  |  |
| --- | --- | --- |
|  | **TRIBUNAL** |  |
| **PRESIDENT** | **SECRETARI** | **VOCAL** |

##### DATA DE LECTURA:

###### Aquest Projecte té en compte aspectes mediambientals:  Sí  No

**RESUM**

Amb una extensió màxima de 50 línies, i amb una llista de màxim 10 paraules clau, el resum és un text informatiu que permet decidir sobre la utilitat de llegir el document complet; ha de definir l’objectiu, els mètodes, els resultats i les conclusions presentats en el cos del document, en aquest ordre o destacant inicialment els resultats i les conclusions; ha de ser un text complet perquè sigui intel·ligible sense necessitat de referir-se a la memòria; ha de contenir la informació bàsica i el caràcter del document original. Com en tots els documents cal vetllar per la correcció d’estil, cal també emprar una nomenclatura normalitzada, i definir els termes no familiars les abreviacions i els símbols, quan apareguin per primera vegada en el resum. És la pàgina número 1 del document.

**Paraules clau (màxim 10):**

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

**ABSTRACT**

**Keywords (10 maximum):**

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

**SUMARI**

1. Introducció8
   1. Objectius8
2. FPGA9
   1. Estructura9
   2. Nuclis de propietat intel·lectual11
   3. MicroBlaze12
      1. Generació de Hardware12
      2. Programació de Software14
3. Ethernet9
   1. Capes de la pila de protocol5
   2. Funcionament a la placa utilitzada5
   3. MicroBlaze5
4. Implementació pràctica9
   1. LwIP5
   2. Pila programada per l’autor5
5. Resultats experimentals9
   1. Mètode d’estudi5
   2. Resultats estadístics5
   3. Comparació entre les piles5
   4. Conclusions5
6. conclusions i treball futur9
   1. Conclusió5
   2. Treball futur5
7. Bibliografia i Annexes9

**SUMARI DE FIGURES**

Figura 1. Estructura de la FPGA, altament simplificada 9

Figura 2. Cel·la lògica individual simplificada d’una FPGA 9

Figura 3. Representació simplificada d’un dels interruptors d’interconnexió d’una FPGA 10

Figura 4. Representació simplificada d’un dels blocs d’entrada/sortida de la FPGA 10

Figura 5. Foto de la placa utilitzada en aquest treball 11

Figura 6. Extracte d’una llista de IP cores disponibles per l’usuari 12

Figura 7. Vista de configuració dels mòduls IP core triats pel projecte en curs 13

Figura 6. Extracte d’una llista de IP cores disponibles per l’usuari 13

1. INTRODUCCIÓ

En aquest treball s’estudien els dispositius coneguts com FPGA, de l’anglès Field Programmable Gate Array. Aquests dispositius han crescut en popularitat al llarg de les últimes dècades degut a què cada cop s’han fet més accessibles i han incorporat major nombre d’elements lògics. A grans trets, són dispositius que permeten reprogramar les connexions entre els *blocs lògics* a l’interior dels mateixos, per aconseguir des de funcions lògiques senzilles, fins a aplicacions relativament complexes que necessitin d’una elevada densitat a nivell d’electrònica. El principal avantatge que ofereixen aquests dispositius respecte a d’altres dispositius similars i d’altres mètodes per implementar funcions lògiques és la seva gran integració (solen ser circuits integrats molt densos, amb un nombre d’elements lògics des de desenes de milers fins a milions), i la seva reprogramabilitat, a diferència dels circuits integrats i sistemes sobre xip dedicats.

Per altra banda, en aquest mateix treball s’analitza i estudia la connectivitat Ethernet. Aquesta connectivitat, que ja té una llarga vida, existeix des de la dècada dels 1970. És àmpliament coneguda i àmpliament utilitzada, tant a nivells industrials com a nivells d’electrònica de consum. És, per tant, de gran interès conèixer com funciona, i quines són les seves possibilitats i limitacions. Per sobre d’Ethernet, que només correspon a les capes física i de control d’accés al medi, generalment s’hi poden trobar altes protocols, com ara: ARP, TCP/IP, Token Ring, Token Bus, etcètera. Aquests protocols treballen amb les dades que es volen intercanviar entre els dos (o més) punts a la xarxa que estiguin comunicats.

En la present obra s’estudia i analitza com es poden unir tots dos mons, i quins són els avantatges i inconvenients. Essent que TCP/IP és una pila de protocols de comunicació global i molt utilitzada, existeixen moltes implementacions de la mateixa sobre moltes arquitectures diferents. En aquest document s’empra una de les implementacions més conegudes, lwIP. Generalment aquesta implementació s’utilitza en sistemes incrustats, amb microprocessadors restringits en memòria. Aquesta implementació es compara contra una implementació molt més bàsica, feta per l’autor, que permet intercanviar dades entre dos nodes en una xarxa ja existent, que respon només a algun dels protocols més bàsics d’una possible pila de protocols per establir una connexió entre dos equips connectats en una xarxa.

* 1. Objectius

Alguns dels objectius que s’han perseguit amb aquest treball són:

1. FPGA
   1. Estructura

Aquests dispositius, el nom dels quals traduït literalment és: formació de portes (lògiques) programables al camp (*in situ*); són un tipus de dispositius electrònics que permeten la generació de funcions lògiques, i aplicacions més complexes, mitjançant la reprogramació de l’estat dels seus blocs lògics i l’estat de les interconnexions entre aquests. Una imatge qualitativa de l’estructura interna d’una FPGA podria ser la de la Figura 1.



Figura . Estructura de la FPGA, altament simplificada

Els blocs lògics, coneguts també com cel·les lògiques són els elements capaços de realitzar funcions lògiques. Un exemple d’una cel·la es pot trobar a la Figura 2.



Figura . Cel·la lògica individual simplificada d’una FPGA

Segons es pot veure en aquesta Figura, cada cel·la d’una FPGA consisteix de 4 bits d’entrada (a, b, c i d), que permeten entrar informació a la cel·la, sigui del món exterior, com de la resta de cel·les. L’altra entrada (carry in), permetria encadenar cel·les per poder fer circuits sumadors més complexes. En aquestes cel·les, el que se selecciona en el moment de la programació de la pròpia FPGA és l’estat dels multiplexors, per aconseguir que la cel·la es comporti d’una determinada manera. A la sortida hi ha un biestable de tipus D (D Flip-Flop), governat per un senyal de rellotge. Aquest biestable és molt important degut a què els circuits que s’hagin de generar a les FPGA normalment han de ser síncrons. Cal notar que una cel·la real sol ser més complexa, amb més entrades i probablement amb més elements lògics al seu interior.

Altres elements presents a les FPGA són els recursos d’interconnexió. Aquests permeten encaminar les connexions entre els blocs lògics. Aquests recursos d’interconnexió consisteixen d’interruptors programables que permeten seleccionar quins camins han de seguir les pistes d’interconnexió dels blocs lògics de la FPGA. Una representació simplificada es pot veure a la Figura 3.



Figura . Representació simplificada d’un dels interruptors d’interconnexió d’una FPGA

Per últim, els elements que falta descriure d’una FPGA són els blocs d’entrada/sortida. Aquests blocs són trossos d’electrònica que permeten connectar la lògica generada pels blocs lògics, i connectada pels recursos d’interconnexió, amb els pins que connecten la FPGA al món exterior. Generalment solen incorporar electrònica per poder fer que un pin en concret sigui entrada/sortida, o estigui en estat d’alta impedància (control tri-estat).



Figura . Representació simplificada d’un dels blocs d’entrada/sortida de la FPGA

* 1. Nuclis de propietat intel·lectual

Degut a l’àmplia disponibilitat de portes lògiques dintre d’una FPGA, aquestes es poden programar perquè es comportin com altres sistemes sencers. Per exemple, trossos de la lògica disponible a la FPGA es poden programar per comportar-se com un microcontrolador, amb uns perifèrics determinats, a triar per l’usuari segons necessitats de l’aplicació. La resta de la lògica disponible es podria fer servir per implementar, per exemple, funcions lògiques que necessiten ser executades molt ràpidament, com ara les d’una memòria d’accés aleatori disponible pel microcontrolador, o algun tipus de processat de senyal digital.

Aquest tipus de programació aporta una flexibilitat molt gran, només limitada per la quantitat de blocs lògics disponibles. És per això que els grans fabricants de FPGA desenvolupen i permeten fer servir, de vegades sota llicència, els anomenats nuclis de propietat intel·lectual (IP core). Els IP core són implementacions en llenguatge de descripció de hardware d’algun dispositiu dins la lògica de la FPGA. Poden ser de diferents tipus: un controlador de memòria RAM DDR, un controlador d’accés al medi per Ethernet, un perifèric SPI, un microcontrolador sencer, etcètera. Quan aquests IP cores són implementats en llenguatge de descripció de hardware s’anomenen soft-cores. Més endavant, a la secció 2.4 es descriuran amb més detall els IP core utilitzats.

Existeixen també versions permanents dels soft-cores, que són incrustats al silici de la pròpia FPGA, generalment en forma de microprocessador. Aquests últims s’anomenen hard-cores, i existeix una gran varietat dels mateixos. Generalment s’utilitzen de forma híbrida en conjunt amb la resta de la lògica de la FPGA, fent servir algun bus d’interconnexió entre totes dues parts. Els grans fabricants es decanten per un o un altre tipus. Per exemple, el fabricant Xilinx ofereix models de FPGA amb un microprocessador PowerPC incrustat, mentre que per l’altra banda Altera ofereix molts models amb un ARM incrustat.

Per aquest treball, degut a la disponibilitat al departament, s’utilitza una placa amb FPGA d’un dels principals fabricants del mercat, Xilinx. La placa en qüestió és la Avnet Spartan-6 LX9 MicroBoard. Aquesta placa duu una FPGA XC6SLX9 de Xilinx. Aquesta FPGA és un dels models bàsics del fabricant Xilinx, i l’usuari disposa entre d’altres, de 9152 blocs lògics i un màxim de 200 entrades/sortides. Aquesta placa duu incorporada connectivitat Ethernet fins a 100 Mb/s, que s’utilitzarà en aquest treball.



Figura . Foto de la placa utilitzada en aquest treball

* 1. MicroBlaze

MicroBlaze és el nom que rep la implementació de microcontrolador soft-core del fabricant Xilinx. Aquest és un microcontrolador de tipus RISC (de l’anglès Reduced Instruction Set Computing), amb un nombre reduït d’instruccions de codi màquina. Aquests tipus de microcontroladors estan dissenyats per ser el més ràpid possibles amb la filosofia de tenir instruccions més senzilles d’executar sobre hardware suficientment potent com per executar-les fent servir el mínim nombre de cicles de rellotge. El MicroBlaze fa servir un bus d’interconnexió AXI entre els seus perifèrics, igual que en els microcontroladors ARM més moderns. Això fa que sigui relativament fàcil de programar per aquest microcontrolador, utilitzant un llenguatge d’alt nivell[[1]](#footnote-1) com podria ser C.

* + 1. Generació de hardware

La generació de hardware per una FPGA del fabricant Xilinx es fa mitjançant una eina del mateix fabricant (Xilinx Platform Studio) que permet incorporar IP cores a un disseny de hardware com si es tractés d’una llista seleccionable. Aquesta eina consta de tot el necessari per triar els IP cores que l’usuari necessita i fer tot el disseny, generació d’arxius i compilació perquè el següent pas sigui programar pel microcontrolador MicroBlaze.

Un exemple dels IP cores que es poden seleccionar en aquest programari es pot trobar a la Figura 6.



Figura 6. Extracte d’una llista de IP cores disponibles per l’usuari

Un cop es tenen seleccionats els IP cores que necessita l’usuari pel seu disseny aquests es mostren una altra part del programari on es pot veure com estaran organitzats segons els busos d’interconnexió entre els mateixos (busos hardware). En aquesta altra vista també es poden configurar paràmetres dels mòduls individualment, triar en quines adreces de memòria estaran situats, etcètera. Aquesta part del programari es pot veure a la Figura 7.

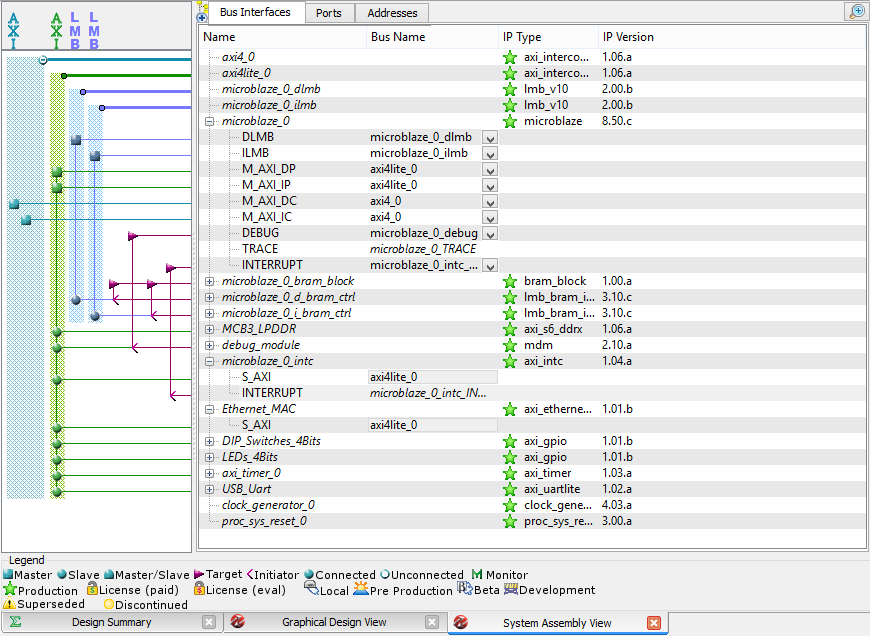


Figura 7. Vista de configuració dels mòduls IP core triats pel projecte en curs

Una vista útil més del programari és la d’assignació de adreces de memòria del disseny. En aquest cas, com la placa utilitzada té una memòria LPDDR de 64 MB, s’ha utilitzat el IP core per fer servir aquesta memòria per tenir espai pràcticament il·limitat pel codi del programa.

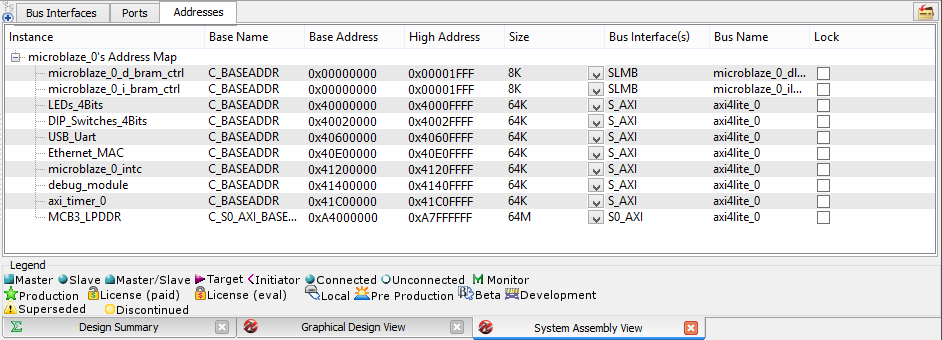


Figura 6. Extracte d’una llista de IP cores disponibles per l’usuari

Un cop tot el disseny ha estat configurat correctament, per poder utilitzar-lo per carregar-lo a una FPGA l’usuari ha de generar un arxiu conegut com bitstream. Aquest és l’arxiu de configuració de la lògica de la FPGA. Un cop es té aquest arxiu es pot carregar a la FPGA i el hardware es configurarà tal com l’usuari l’ha dissenyat. Aleshores, com es té un microcontrolador al sistema, aquest mateix s’ha de programar.

* + 1. Programació de Software

CONCLUSIONS

Les conclusions han de ser un reflex clar i ordenat de les deduccions fetes com a conseqüència del treball descrit al llarg del nucli del cos de la memòria. Es poden incloure dades quantitatives però no s’haurien de donar detalls de cap argument o resultat.

Les recomanacions són manifestacions concises d’alguna acció futura que sembli necessària, com a resultat directe de les conclusions o d’alguna experiència feta en el curs del treball objecte del projecte. No són necessàries, tret que estiguin completament justificades pel treball descrit. Aquest apartat no format part del cos del document i no necessita portar numeració de capítol

AGRAÏMENTS

Es poden incloure agraïments relatius a ajuts en la realització del treball i en la preparació del dcoument. No és habitual agrair les contribucions com ara un control de rutina, un petit ajut o uns agraïments de caràcter general. El reconeixement d’altres treballs emprats ha de fer-se en forma de referència. Els agraïments que fan referència a un text citat a i l’ús de taules i il·lustracions poden requerir reconeixement de drets d’autor.

BIBLIOGRAFIA

Únicament han de figurar en aquest apartat aquelles referències bibliogràfiques que hagin estat citades al llarg del TFG/TFM. Les entrades o els elements de la llista de referències han de donar-se segons l’esquema general Autor/Títol/Dades de la publicació

Per més informació us recomanem visiteu la pàgina web de Publica (que fa referència a l’elaboració de referències bibliògrafiques: http://publica.upc.edu/ca/estil/iso690

Exemples:

CARDONA, S. Teoria de màquines. Barcelona, Edicions UPC, 2000, p. 99-105

GUTOWSKI, T,G., DYM, C.L. Propagation of ground vibration: a review. Journal of Sound and Vibration. Vol. 49(2), 1976, p. 179-193.

ANNEX

1. Alt nivell en comparació amb el llenguatge d’assemblador. [↑](#footnote-ref-1)