

Generador de PWM (GPWM) Sintetico en FPGA

Cordero P. Cristel, Mendez N. Marlon, Ramirez R. Abner

Rivera P. Ismael, Ulloa S. Esteban

Instituto Tecnológico de Costa Rica, ITCR. Cartago, Costa Rica, II Semestre 2019

Abstract.-This material contains the process used and the step-by-step development of a digital logic circuit of pulse width modulation in an FPGA, in addition to the design and implementation process of the PWM, in a Nexys 3, which works with a Spartan 6 corresponding to the FPGA used for the development of the circuit, the results obtained in the functional tests are also included, specifying and detailing different problems and the respective solutions proposed by the group members, problems resulting from said design process. The explanation also includes the generation of additional efficiency comparison functions between the PWM circuit of the first stage and the one generated at this stage, the fast Fourier transform, its RMS value and the polar power diagram of the PWM circuits.

Keywords: Digital, Pulse Width Modulation PWM, FPGA, FFT.

Resumen.-El presente material contiene el proceso utilizado y el paso a paso de elaboracion de un circuito lógico digital de modulación por ancho de pulso en una FPGA , además del proceso de diseño e implementación del PWM, en una Nexys 3, la cual funciona con un Spartan 6 correspondiente a la FPGA empleada para el desarrollo del circuito, tambien se incluyen los re-

sultados obtenidos en las pruebas de funcionamiento especificando y detallando diferentes problemas y las respectivas soluciones propuestas por los miembros del grupo, problemas resultado de dicho proceso de diseño. Incluye además la explicación la generación de las funciones adicionales de comparación de eficiencia entre el circuito PWM de la primera etapa con el generado en esta etapa, la transformada rápida de Fourier, su valor RMS y el diagrama polar de potencia de los circuitos PWM .

Palabras Clave: Digital, Modulación por Ancho de Pulso PWM, FPGA, FFT.

1. Introducción

A continuación se presentara el informe final al proceso de diseño, programación del circuito PWM y funciones solicitadas, pruebas a la solución y demás tareas realizadas para el proyecto numero 2 del curso Taller de Diseño Digital, código EL-3313 del Instituto Tecnológico de Costa Rica para el primer semestre del 2019. En el se describe el proceso detallado para obtener el resultado esperado, haciendo uso de herramientas tanto de hardware como los es la tarjeta Nexys 3, la cual contiene una FPGA Spartan 6, para la cual se necesitaba el software ISE 14.7 en Verilog para programarla. Además de contener un resumen teórico

de los aspectos mas importantes utilizados y que llevaron a la solución final al problema propuesta por el grupo.

2. Marco Teórico

2.1. Modulación por Ancho de Pulso PWM

Un circuito modulador de ancho de pulso es aquel circuito dedicado a regular el ancho del pulso de una señal para así modificar el ciclo de trabajo de la señal cuadrada y con ello poder trabajar como regulador de la potencia de la señal antes modulada.

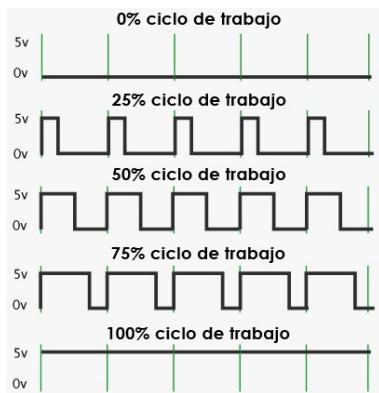


Fig 1: Ciclos de trabajo del PWM

En la figura 1 se muestra las cinco diferentes gráficas que se pueden obtener en las salidas de un PWM, también llamados ciclos de trabajo, en la primer parte gráfica se puede observar un ciclo de trabajo el 0 %, esto nos indica que la relación que entre el tiempo en que la señal se encuentra en un uno lógico (un valor de tensión igual a 5V) y el periodo de la misma es igual a cero, luego se presenta un ciclo de trabajo del 25 %, esto indica que del periodo total de la onda solo su cuarta parte se encuentra en un uno lógico, en la mis-

ma figura 1 se muestra como un ciclo de trabajo del 50 % representa que la mitad del total de la onda se encuentra en uno y la otra mitad en cero, exactamente espaciados cada ciclo, un ciclo de trabajo del 75 % nos indica como tres cuartas partes de la señal están en nivel activo mientras la tercera parte restante se encuentra inactiva y por ultimo un ciclo de trabajo del 100 % indica que toda la señal estará en activa siempre.

La utilización de moduladores de ancho de pulso son de gran uso de la industria, en especial en el control de velocidad de motores y/o generadores ya que al modificar el ciclo de trabajo de la señal que ingresa a estos dispositivos regula la tensión en señal activa con lo cual regula la velocidad del motor. Además son también usados de forma digital tal y como se muestra en el presente informe.

2.2. FPGA

Las FPGA (Field Programmable Gates Array) o Arreglo de Compuertas Programables en Campo es un circuito integrado implementado en electrónica digital, con el cual se puede reconfigurar hardware en su interior, esto nos permite desarrollar y diseñar una gran variedad de aplicaciones a comparación de microprocesadores ordinarios gracias a su versatilidad.

Regularmente las FPGA son programadas con software de descripción de hardware como lo son Verilog y VHDL, con esto entendemos que las FPGA no se programan usando funciones para generar software, si no, se describe el comportamiento de un circuito en su interior.



Fig 2: Nexys 3

En la figura 2 podemos observar una tarjeta Nexys 3 la cual contiene una FPGA Spartan 6, como se ve la Nexys 3 posee una gran variedad de inputs y outputs con los cuales es posible el desarrollo de una amplia gama de proyectos e ideas, las FPGA tienen diversas aplicaciones y son una herramienta muy útil y poderosa tanto para estudiantes como para ingenieros en el ámbito digital.

2.3. FFT

Una FFT (Fast Fourier Transform) o Transformada Rápida de Fourier es en síntesis una transformación matemática que nos permite tomar una señal en función en el tiempo y pasarla al dominio de la frecuencia, el algoritmo de esta transformada fue desarrollado por J.W.Cooley y J.W.Tukey en el año de 1965.

La transformada rápida de Fourier es una herramienta de suma importancia para el análisis digital de señales o incluso se aplica al filtrado de señales digitales.

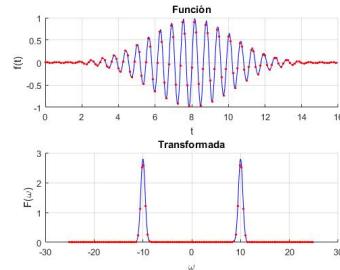


Fig 3: Ejemplo de un FFT

En la figura 3 se muestra un ejemplo de la transformación de una señal en el tiempo al dominio de la frecuencia, vemos que los picos de la señal de abajo corresponden a la transformada de Fourier, en esos puntos se representa la frecuencia a la que se tiene mayor potencia de la señal.

3. Modulador Digital PWM

3.1. Diseño TOP-DOWN

3.1.1. Diagrama de Primer Nivel

Para el diseño Top-Down del circuito PWM digital se mantuvo el mismo diseño que se uso para el primer proyecto. La figura 4 muestra el diagrama de primer nivel del DPWM a implementar, en ella se muestra las cuatro diferentes entradas que posee el sistema, a saber: Banco de baterías, el Reloj del sistema, el valor de corriente a comparar y el reset el sistema; en la misma figura 4 se representa la única salida del sistema.



Fig 4: Diagrama I Nivel DPWM

3.1.2. Diagrama de Segundo Nivel

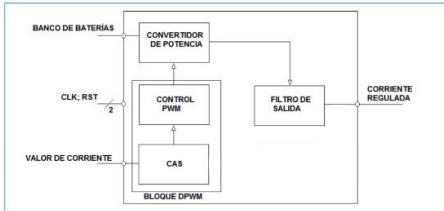


Fig 5: Diagrama II Nivel DPWM

En la figura 5 se muestra el diagrama de segundo nivel del DPWM, se logra apreciar que los valores de corriente ingresan al modulo CAS donde son comparados para luego ingresar al control PWM (estos dos módulos antes mencionados constituyen en conjunto el DPWM) al salir e este segundo modulo se compara con las señales de entrada del banco de baterías en un modulo llamado convertidor de potencia, para finalmente ser censada la señal por un filtro de salida.

3.1.3. Diagrama de Tercer Nivel

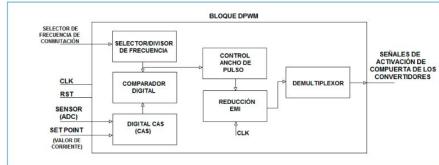


Fig 6: Diagrama III Nivel DPWM

En la figura 6 se muestra el diagrama de tercer nivel en el cual se observa que luego del divisor halla seleccionado la frecuencia de trabajo del PWM envía el valor obtenido al modulo que adecua el ancho del pulso, luego por el modulo de reducción de EMI, por ultimo en el diagrama se muestra un bloque de demultiplexación, que tomará la señal PWM y la dividirá correctamente entre el modo de conversión para la salida del sistema.

3.1.4. Diagrama de Cuarto Nivel

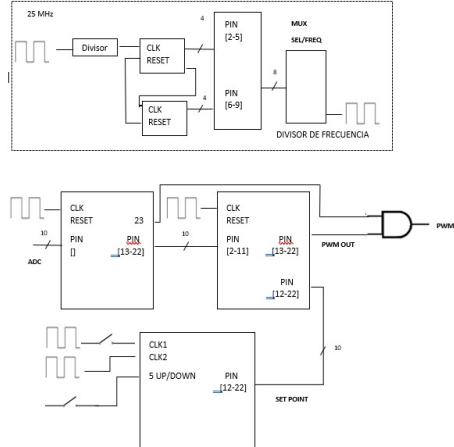


Fig 7: Diagrama IV Nivel DPWM

En la figura numero 7 se presenta el diagrama de cuarto nivel en el cual se muestra como el diagrama se divide en dos grandes módulos; el Divisor de Frecuencia y el Generador de PWM. En el modulo de divisor de frecuencia la señal cuadrada de 25 MHz ingresa a un divisor de frecuencia, este divisor alimenta al reloj del flip flop D numero 1, la salida de este FF1 alimenta las entradas con pines desde el 2 al 5 (bus de datos de 4 bits) del CPLD de este modulo, así mismo este FF1 alimenta el reloj de un nuevo flip flop D numero 2 que a su salida se le conectara en 4 bits tambien, los pines del 6 al 9 de la CPLD para completar los 8 bits de entrada de este. El CPLD entrega una salida en 8 bits a un multiplexor encargado de seleccionar el valor de frecuencia deseado y así entregar la señal de este modulo hacia el segundo CPLD del otro modulo.

Este otro modulo tiene una entrada de 10 bits a un CPLD de una señal ADC. En los pines 13 al 22 en 10 bits sale la señal que ingresa a los pines 2 al 11 de un nuevo CPLD que se encarga de generar el PWM que ademas alimenta otro en 10 bits ha-

cia el Set Point. La salida del pin numero 23 del primer CPLD junto con las salidas con pines del 13 al 22 del segundo CPLD ingresan conjuntamente a una compuerta AND que selecciona y entrega la señal final de salida del DPWM.

4. Resultados y Análisis

4.1. Módulos de Programación PWM en FPGA

Para el desarrollo del circuito PWM sintético debía implementarse en un FPGA segundo lo solicitado en el instructivo del segundo proyecto, a continuación se describen los módulos utilizados para el desarrollo del mismo, es importante mencionar que se utiliza el lenguaje de descripción de hardware Verilog.

4.1.1. Divisor de Frecuencia

El primer modulo que se desarrollo fue el divisor de frecuencia en la FPGA, con este divisor fue diseñado para escoger las frecuencias solicitadas para trabajar en el PWM las cuales van de los 30-200 kHz las cuales se ven reflejadas los 7 segmentos de la placa, en la figura 8 podemos encontrar el modulo montado en Verilog.

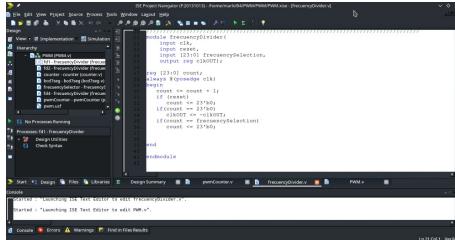


Fig 8: Modulo Divisor de Frecuencia

4.1.2. Contador de PWM

Con este modulo se compara la salida del PWM en la FPGA con el setpoint, para que la corriente de carga del setpoint sea menor a la deseada, así el bloque de circuito CAS compensa el ancho del pulso.

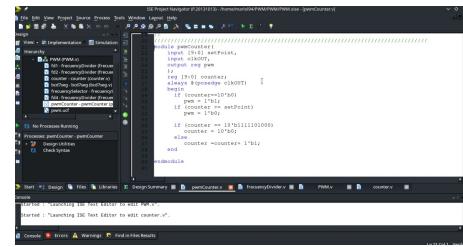


Fig 9: Modulo Contador del PWM

En la Figura 9 encontramos el modulo programada de la etapa de contador PWM implementado en Verilog.

4.1.3. PWM

Se observa en la Figura 10, el modulo PWM el cual es el modulo principal donde se llaman todos los módulos utilizados así como de los anteriores descritos. Vemos como además esta descrito el hardware del circuito, donde se designan tanto los cables, como sus entradas y salidas.

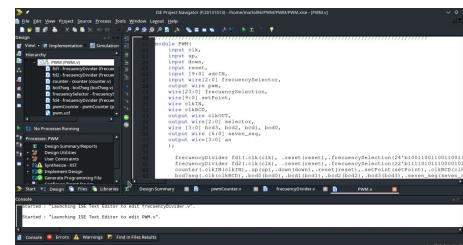


Fig 10: Modulo PWM

4.1.4. Análisis

En este apartado analizamos los resultados obtenidos de las pruebas al circuito

PWM que se creo en la FPGA, vemos como al variar las frecuencias a las que opera el circuito, cambia el ciclo de trabajo, para lo cual se obtiene una muestra en dos frecuencias distintas.

En la Figura 11 observamos que a una frecuencia de 29,95 kHz tenemos un ciclo de trabajo de un 10 por ciento, se obtiene una tensión de 1,047 Vrms en este ciclo, de los 3,3 Vrms máximos que alcanza la FPGA.

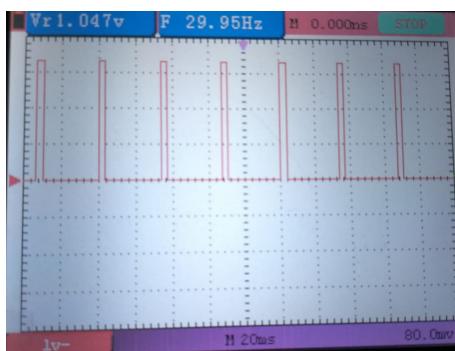


Fig 11: PWM al 10 por ciento

Para la Figura 12 tenemos una frecuencia de operación de 29,95 kHz, solo que en esta ocasión a un ciclo de trabajo del 50 por ciento, al tener un ciclo de trabajo mayor obtenemos una tensión Vrms mayor, correspondiente a 2.316 Vrms.

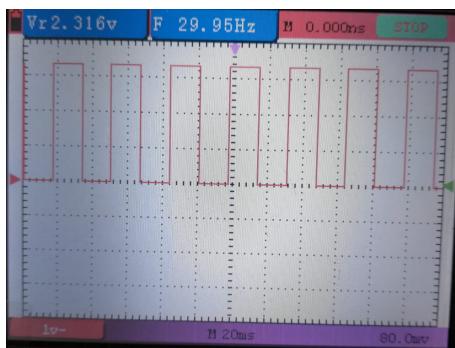


Fig 12: PWM al 50 por ciento

La Figura 13 nos muestra un ciclo de trabajo del 50 por ciento, sin embargo, a una frecuencia de 99,7 kHz, para la cual

se muestra una tensión de 2,349 Vrms.

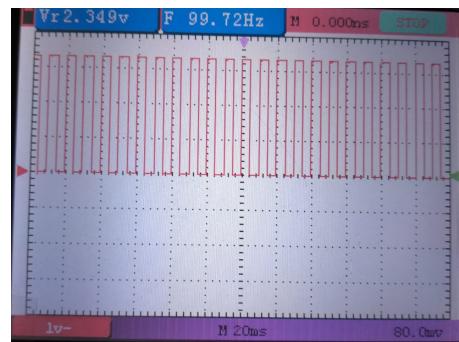


Fig 13: PWM al 50 por ciento a 99,7 kHz.

5. Conclusiones

Al finalizar este proyecto utilizando una FPGA por primera vez, encontramos de que estas placas son herramientas muy poderosas y versátiles para cualquier estudiante o ingeniero que se desenvuelva en la electrónica digital, ya que al trabajar con descripción de hardware se es capaz de realizar una gran cantidad de aplicaciones de acuerdo a las necesidades de quien la utiliza.

Para este proyecto en particular en comparación de la primera etapa del mismo, fue mucho mas sencillo desarrollar un PWM sintético que discreto, para el discreto fue necesario el uso de CPLD's las cuales debido a su antigüedad no fue tan simple su programación interna.

Por otro lado, al realizar pruebas en los circuitos PWM se deduce que a mayor ciclo de trabajo mayor es la tensión máxima entregada por el circuito, esto sin importar a que frecuencia se este trabajando.

6. Referencias Bi-bliográficas

[1] Que es un ciclo de trabajo?. (2019). Recuperado de <http://www.fluke.com>

[2] Como hacer una PCB en EAGLE. (2019). Recuperado de <http://bricogeek.com>

[3] PWM, función?. (2014). Recuperado de <http://www.rinconingenieril.es>

[4] Pong. P. Chu. (2008). FPGA Prototyping By Verilog Examples : Xilinx Spartan-3 Version (pp.17-365). ISBN 978-0-470-18532-2. USA: Cleveland State University.

[5] Eagle. (2017). CadSoft Computer GmbH y Autodesk [Software]. Recuperado de <http://www.cadsoft.io/downloads/>.

[6] FPGA, ¿Qué son? ¿Para qué sirven? y aplicaciones.(2018). Recuperado de <http://www.intesc.mx>