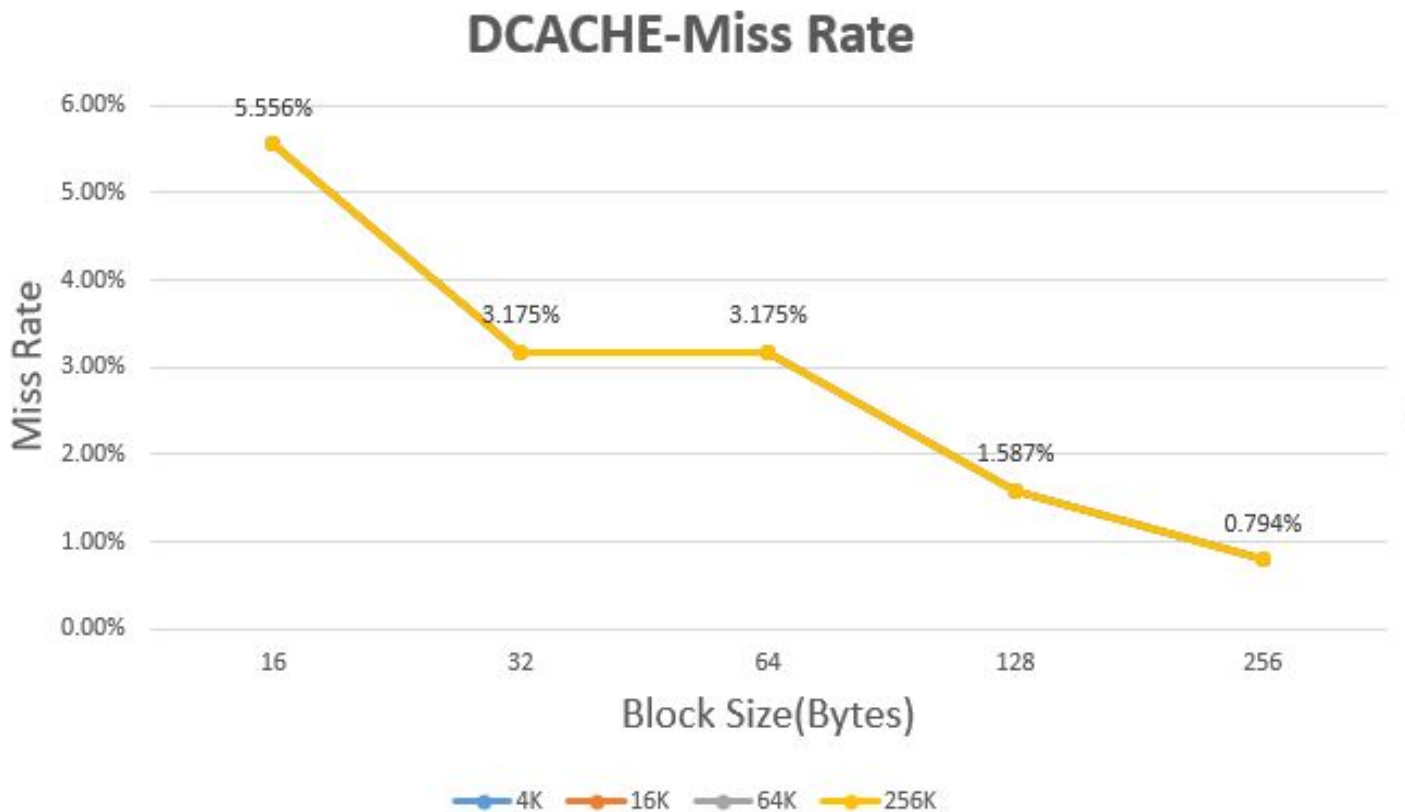


Computer Organization Lab 4

0616014 楊政道 0616225 張承遠

一、 Basic Problem

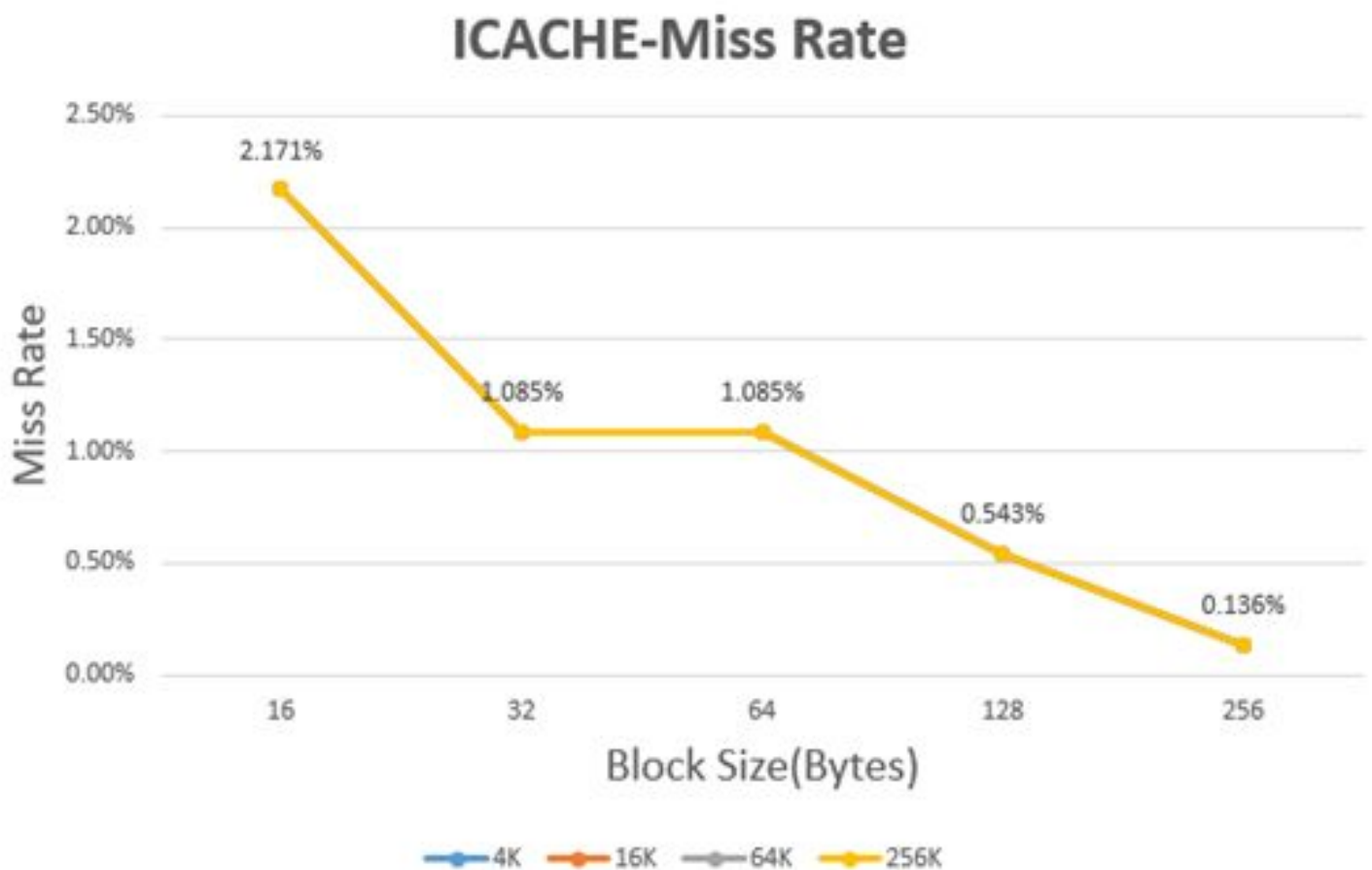
1. DCACHE Miss Rate Graph



Analysis:

根據上圖呈現出來的資訊可以觀察到，在相同的cache size中，miss rate 隨著block size的增加而減少，推測是當block size增加，每個block能夠存放的資料也會增加，進而使得compulsory miss的機率下降，而讓miss rate下降。而使用到的記憶體位置距離鄰近，每個cache呈現出來的結果相同。

2. ICACHE Miss Rate Graph

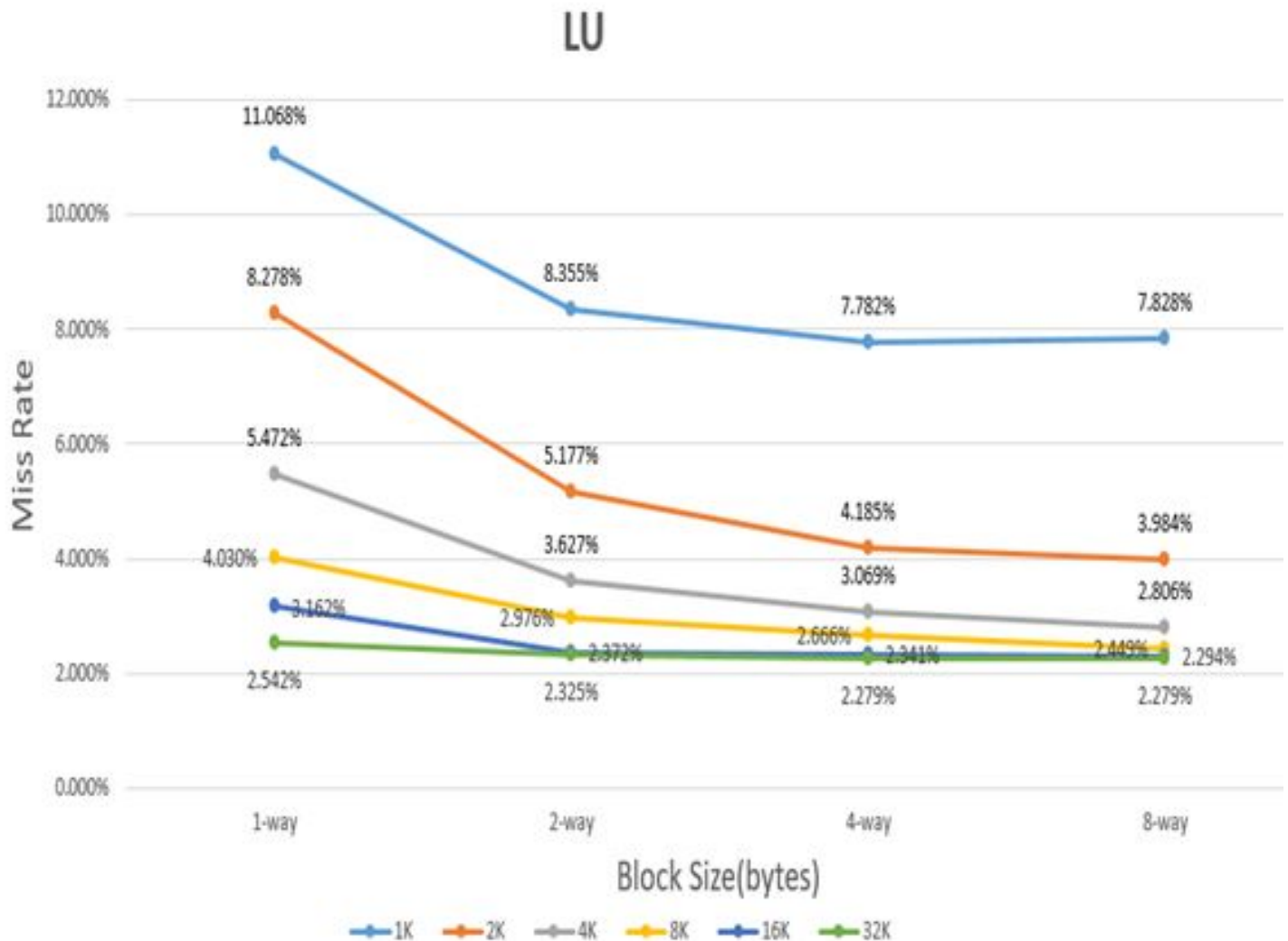


Analysis:

根據上圖呈現出來的資訊可以觀察到，和DCACHE結果類似，兩者均隨著cache size的上升而使得miss rate下降。兩者的變化幅度也差距不大，表示用到的記憶體位置距離也都很近，所以每個cache size所呈現的結果也一模一樣。

二、 Advanced Problem:

1. LU

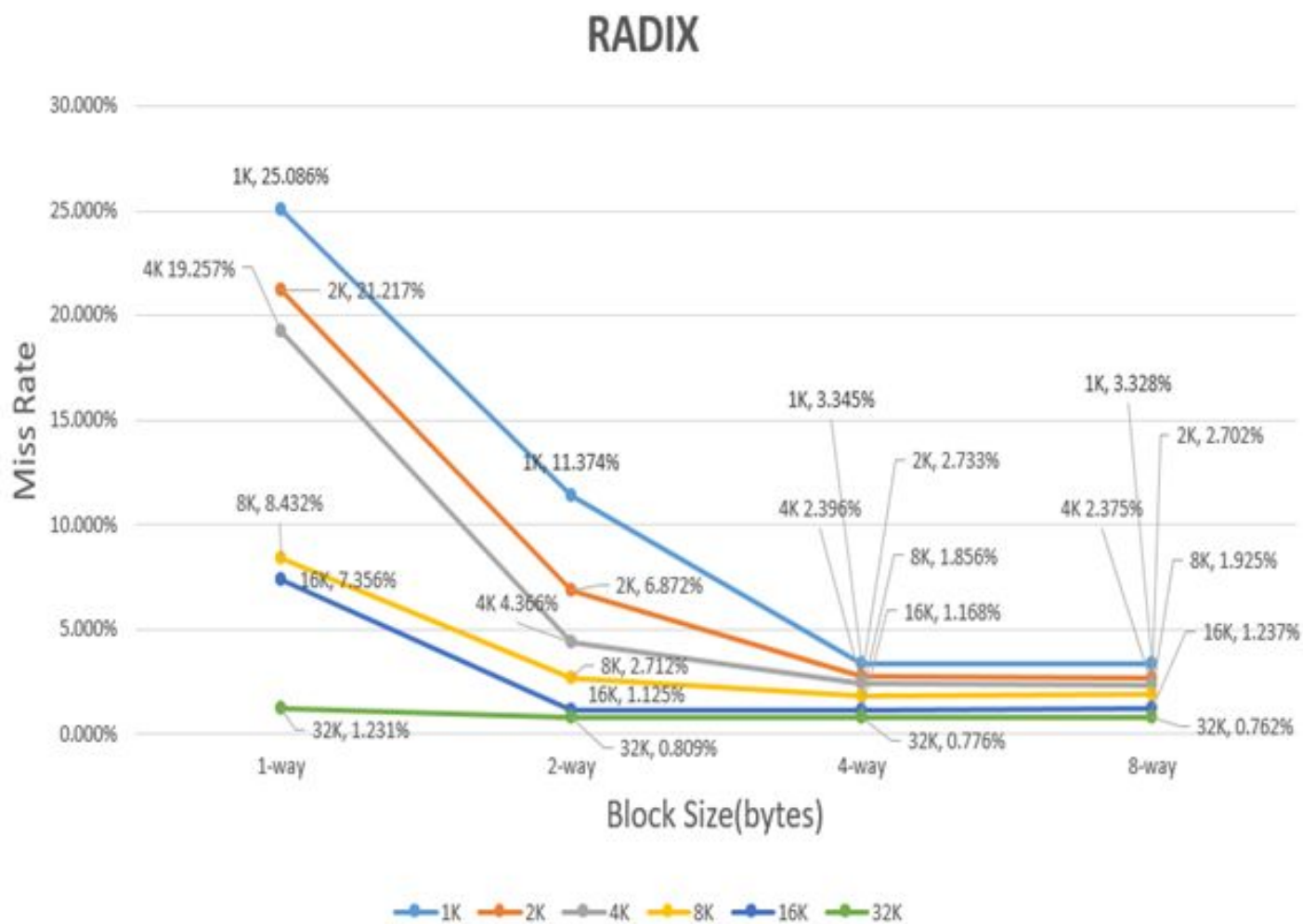


Analysis:

若固定associativity，可以看到當cache size增加，miss rate則會減少。由於cache size的增加使得cache中可以存放的東西變多，讓capacity miss降低而使得miss rate下降。

而若固定cache size，可以看到當associativity增加，miss rate也會減少。由於associativity的增加讓每一組中能夠存放的block數增加，讓整體的conflict miss降低而使得miss rate下降。

2. Radix:



Analysis:

這張圖和上一張圖類似，miss rate都會隨著cache size和associativity的上升而下降。但是以下降的幅度來說，RADIX顯的比LU來的明顯，尤其是改變associativity變因。可能RADIX的測資相較於LU來說更為集中，所以當associativity上升，conflict miss就會降低較多。

3. Total bit: (單位 : bit)

Associativity Cache Size	1-way	2-way	4-way	8-way
1K	8560	8576	8592	8608
2K	17088	17120	17152	17184
4K	34112	34176	34240	34304
8K	68096	68224	68352	68480
16K	135936	136192	136448	136704
32K	271360	271872	272384	272896

block size 固定為 64 bytes, 所以byte_offset為6 bit($\log_2 64$)

$\text{Index_offset} = \log_2(\text{cache_size} * 1024 / \text{block_size} / \text{Associativity})$

$\text{Tag_bit} = 32 - \text{byte_offset} - \text{index_offset}$

$\text{total_bits_in_a_block} = (\text{tag_bit} + \text{block_size} * 8 + 1) * \text{associativity}$

$\text{total_bits_in_a_cache} = (\text{total_bit_in_a_block}) * \text{cache_size} / \text{block_size}$