

Computer Organization Lab 5

0616014 楊政道 0616225 張承遠

1. Memory Stall Cycles

| Operation | abbreviation | Delay(cycle) |
|-----------------------------|--------------|--------------|
| Send the address | t_{sa} | 1 |
| Access single cache content | t_{asc} | 2 |
| Access L1 cache content | t_{alc} | 1 |
| Access L2 cache content | t_{a2c} | 10 |
| Access memory content | t_{am} | 100 |
| Send a word of data | t_{sw} | 1 |

1.1 One-word-wide memory organization

$$t_{\text{hit penalty}} = t_{sa} + t_{asc} + t_{sw} = 4_{\text{cycles}}$$

$$t_{\text{miss penalty}} = t_{sa} + 8 * (t_{sa} + t_{am} + t_{sw} + t_{asc}) + t_{asc} + t_{sw} = 836_{\text{cycles}}$$

1.2 Wider memory organization

$$t_{\text{hit penalty}} = t_{sa} + t_{asc} + t_{sw} = 4_{\text{cycles}}$$

$$t_{\text{miss penalty}} = t_{sa} + 8 * (t_{sa} + t_{am} + t_{sw} + t_{asc}) / 8 + t_{asc} + t_{sw} = 108_{\text{cycles}}$$

bandwidth = 8表示一次可以搬移8 words, 多一個 / 8。

1.3 Two-level memory organization

$$t_{\text{hit penalty}} = t_{sa} + t_{alc} + t_{sw} = 3_{\text{cycles}}$$

$$t_{\text{L1 cache miss penalty}} = t_{sa} + 4 * (t_{sa} + t_{a2c} + t_{sw} + t_{alc}) + t_{asc} + t_{sw} = 55_{\text{cycles}}$$

$$t_{\text{L2 cache miss penalty}} = t_{sa} + 4 * (t_{sa} + t_{a2c} + t_{sw} + t_{alc}) + 32 * (t_{sa} + t_{am} + t_{sw} + t_{a2c}) + t_{asc} + t_{sw} = 3639_{\text{cycles}}$$

2. Compare and Discuss

經過觀察三種不同cache model, 可以發現第二種cache model總是比第一種cache有較好的 performance, 因為第二種cache與第一種cache的差別在於當發生cache miss時, 第二種cache model可以一次傳輸8個word的data 從Memory到Cache, 相較於一次只能傳輸1個word data的第一種cache model, performance當然比較好。

而由於讀取memory中資料的penalty過大，在第三種model中在memory跟cache之間再加入一個cache以避免發生memory讀值，但經由這四個測資並沒有明顯的感受到和前兩個的差異，甚至有些還造成更大的penalty，推測的原因應該是第三種model要在測資規模大的時候才能夠顯著的展現出他的優勢，因為相較於前面兩個model，對於compulsory miss事件需要做的事情比較多(除了從memory讀值和更新L1 cache外，還需要更新L2 cache)，因此在測資規模不大的情況之下，很難展現出第三種model的優勢。