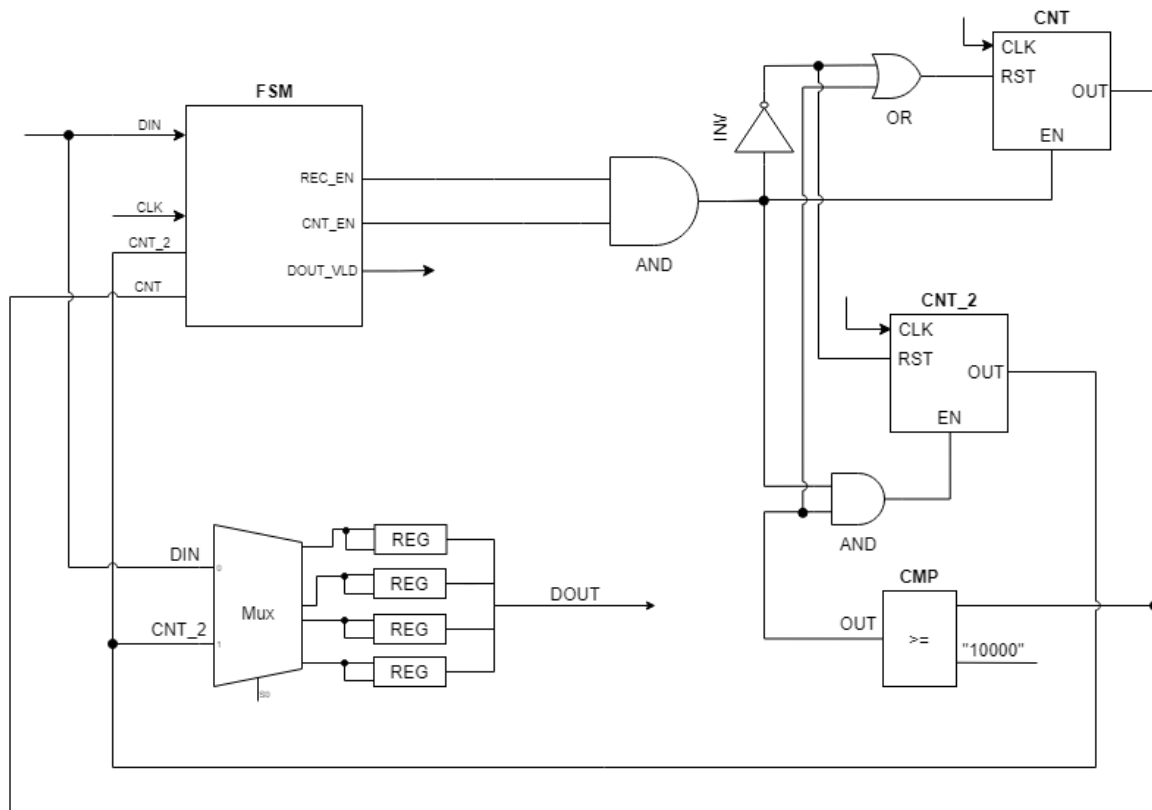


**Jméno:** Martin Bublavý  
**Login:** xbubla02

## Architektura navrženého obvodu (na úrovni RTL)

### Schéma obvodu:



Obrázek 1: RTL schéma

### Popis funkce:

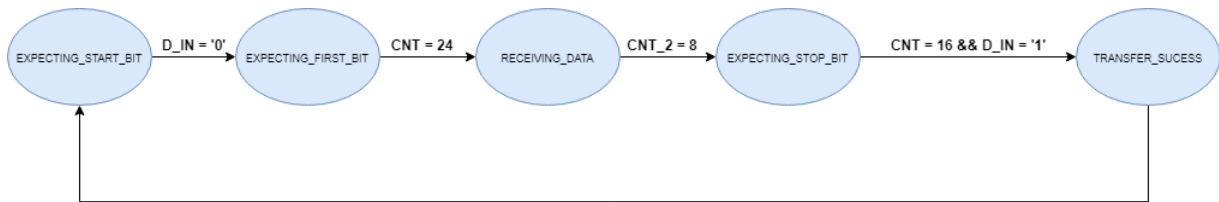
Akonáhle je CNT\_EN a REC\_EN aktivné, začína counter CNT počítat. Ak je CNT rovný/väčší 16 ("10000") tak začína čítať counter CNT\_2. Podľa hodnoty CNT\_2 sa určuje, do ktorého bitu vektora DOUT sa zapisuje hodnota DIN. Hodnota sa do DOUT zapisuje vždy keď má counter CNT hodnotu 16, následne sa resetuje.

## Návrh automatu (Finite State Machine)

### Schéma automatu:

Legenda:

- Stavy automatu: EXPECTING\_START\_BIT; EXPECTING\_FIRST\_BIT; RECEIVING\_DATA; EXPECTING\_STOP\_BIT; TRANSFER\_SUCESS
- Vstupné signály: CNT; CNT\_2; D\_IN

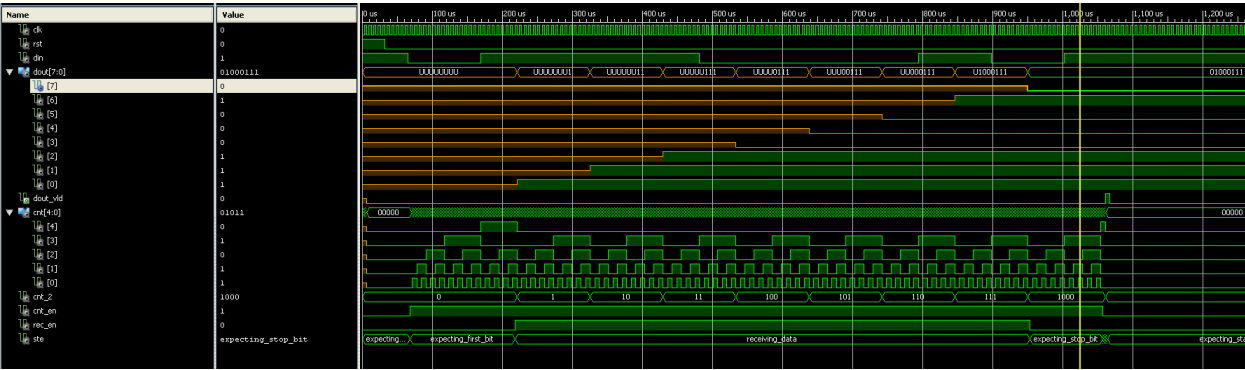


Obrázek 2: Schéma automatu

### Popis funkce:

- UART\_FSM má 5 stavov (EXPECTING\_START\_BIT; EXPECTING\_FIRST\_BIT; RECEIVING\_DATA; EXPECTING\_STOP\_BIT; TRANSFER\_SUCESS), pri začiatku procesu sa nachádza v stave EXPECTING\_START\_BIT a čaká sa na 'start\_bit' (log. '0'). Akonáhle sa zaznamená, prechádza sa do stavu EXPECTING\_FIRST\_BIT a counter CNT začína počítať. Po 24 hodinových signáloch sa zapíše nultý bit dátového slova do nultého bitu DOUT a prechádza sa do stavu RECEIVING\_DATA. Následne sa tento dej opakuje ďalších 7 krát no už len po každých šestnástich hodinových signáloch. O počte zapísaných bitov udržiava prehľad 2. counter CNT\_2. Akonáhle sa zapíše 7. bit prechádza sa do stavu EXPECTING\_STOP\_BIT, opäť sa čaká 16 hodinových signálov a potom sa kontroluje či je na vstupe log. '1' (stop bit) a prechádza sa do stavu TRANSFER\_SUCESS, v ktorom sa nastaví DOUT\_VLD na log '1'. Následne sa opäť prechádza do stavu EXPECTING\_START\_BIT, DOUT\_VLD sa nastaví na log. '0' a celý dej sa opakuje.

Simulácia 1. bytu:



Obrázek 3: Simulácia prijatia 1. bytu