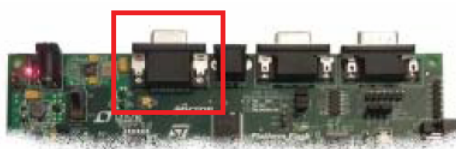
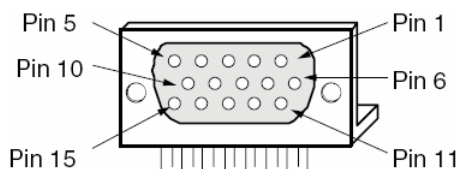
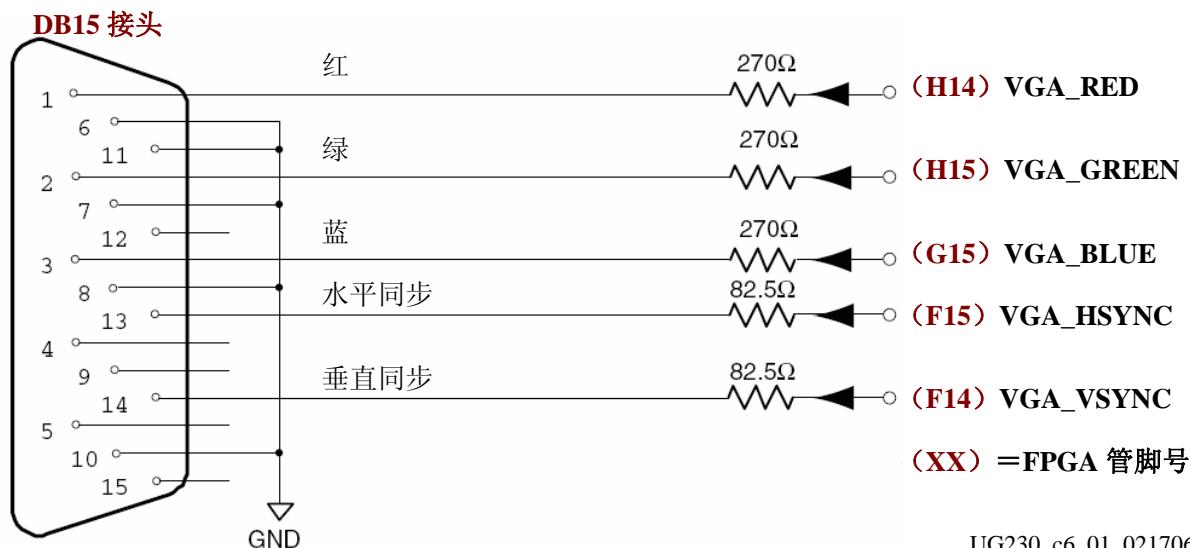


VGA 显示接口

Spartan-3E 开发板通过一个 DB15 接头提供了 VGA 显示接口。可使用标准显示器线缆连接此接口和显示器或平板 LCD。如图 6-1 所示，VGA 接口是沿板上方最左边的接口。



DB15 VGA 接头（前视）



UG230_c6_01_021706

图 6-1 Spartan-3E 开发板上的 VGA 连接

Spartan-3E 开发板上的 FPGA 直接通过电阻驱动 5 个 VGA 信号。色彩信号 VGA_RED, VGA_GREEN, VGA_BLUE 各代表色彩编码数据中的 1 位。色彩信号线都串联着电阻，与 VGA 线缆中的 75Ω 端电阻共同保证颜色信号处于 VGA 标准指定的 0—0.7V 范围内。VGA_HSYNC（水平同步）与 VGA_VSYNC（垂直同步）信号使用 LVTTL 或 LVC MOS33 输入输出电压标准。驱动 VGA_RED, VGA_GREEN, VGA_BLUE 高低变化可生成表 6-1 所示的 8 种颜色。

表 6-1 3 位颜色编码

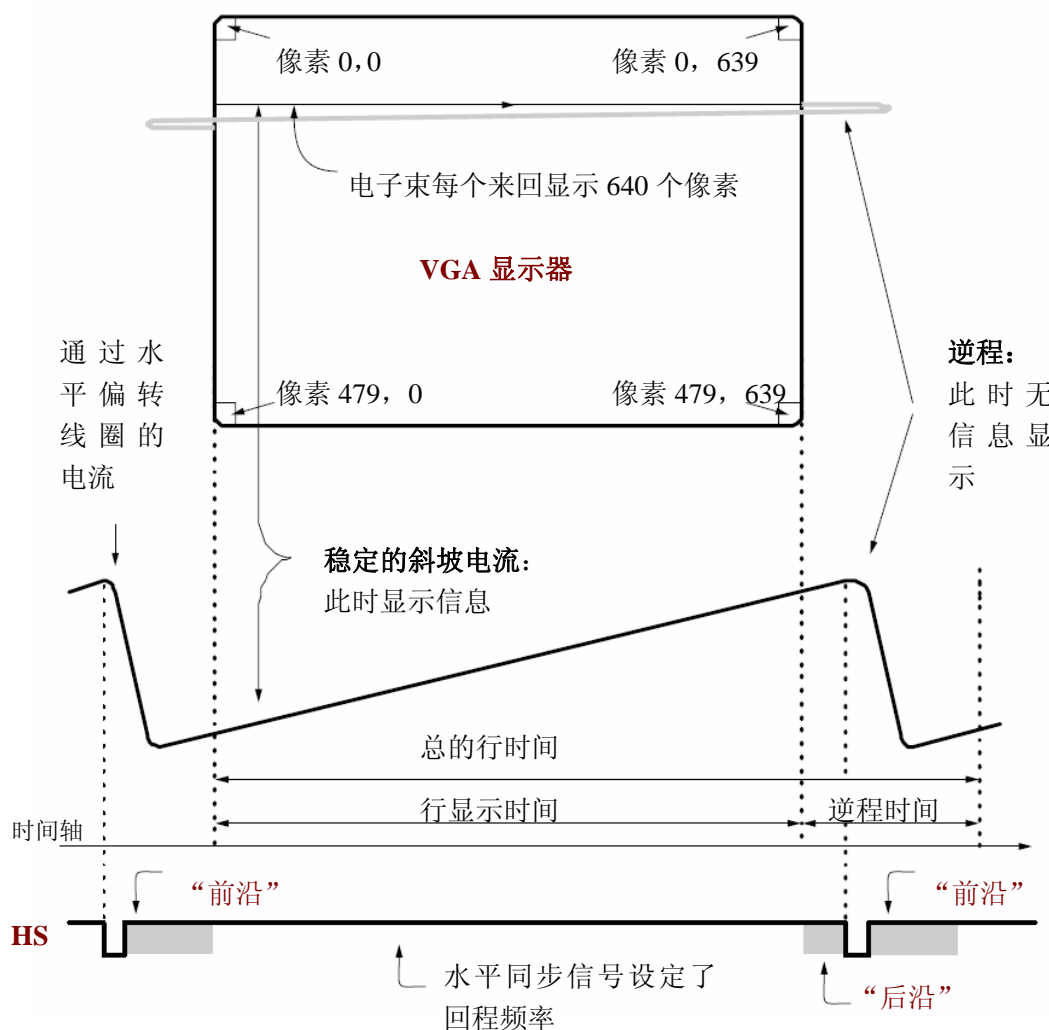
VGA_RED	VGA_GREEN	VGA_BLUE	颜色结果
0	0	0	黑
0	0	1	蓝
0	1	0	绿
0	1	1	青
1	0	0	红
1	0	1	粉
1	1	0	黄
1	1	1	白

VGA 信号时序由 Video Electronics Standards Association (VESA) 制定，发行，销售，并持有版权。以下提供的 VGA 系统和时序方面的信息是一个例子，演示了 FPGA 可以如何驱动 VGA 显示器工作在 640x480 模式。更多详细的信息以及更高 VGA 频率的信息请参考 VESA 网站以及其他电子方面的网站（见 57 页“相关资料”）。

60Hz，640x480 分辨率 VGA 显示的信号时序

基于 CRT（阴极射线管）的 VGA 显示器使用幅度调制方式，移动电子束（阴极射线）在荧光粉覆盖的屏幕上显示信息。而液晶显示器（LCD）则通过开关阵列控制施加在液晶上的电压，进而改变液晶的光线透射率来控制每个像素的亮度。尽管以下的叙述中只提到 CRT 显示器，但 LCD 显示器已经演化为与 CRT 使用同样的信号时序。因此，以下叙述对 CRT 和 LCD 都适用。

在 CRT 中，电流的波形通过线圈产生磁场，从而使电子束发生偏转，左右的水平扫描和上下的垂直扫描在显示屏上产生光栅。如图 6-2 所示，只在电子束的正行程移动，即从左向右，从上向下移动时，才显示信息。而当电子束从右返回左，或从底部返回顶部时不显示信息。因此很多潜在的显示时间都耗费在逆程周期，这期间电子束被复位并保持稳定，以开始一个新的水平或垂直扫描过程。



UG230_c6_02_021706

图 6-2 CRT 显示时序示例

分辨率决定了电子束的截面大小，电子束扫过显示屏的频率和电子束强度被调制的频率。

当代的 VGA 显示器支持多种显示分辨率，而 VGA 控制器通过产生时序信号以控制光栅模式来决定分辨率。控制器产生 TTL 电平的同步脉冲，控制通过偏转线圈的电流频率，从而确保施加在电子枪上的像素或视频数据信号出现在正确的时间。

通常，视频数据来自于视频缓冲存储器，它为每个像素分配一个或多个字节空间。Spartan-3E 开发板只为每个像素分配 3 位空间，用于产生表 6-1 中所示的 8 种可能颜色中的一种。视频控制器会获取缓冲存储器中的视频数据并精确的在电子束扫过给定像素时使用。

如图 6-2 所示，VGA 控制器产生水平同步信号（HS）和垂直同步信号（VS），并在每个像素时钟发出视频数据。像素时钟决定了显示一个像素信息所用的时间。VS 信号决定了显示刷新频率，或者说是屏幕上所有视频信息被重新绘制的频率。最小刷新频率是显示屏荧光粉特性和电子束强度的函数，典型值在 60Hz 到 120Hz 之间。在给定的刷新频率下，显示的水平行数决定了逆程频率。

VGA 信号时序

表 6-2 中的信号时序由使用 25MHz 像素时钟和 60Hz ± 1 刷新频率的 640 像素×480 行显示模式推导而来。图 6-3 表示了每个时序符号的相对关系。同步脉冲宽度（ T_{PW} ）和脉冲前后沿间隙（ T_{FP} 和 T_{BP} ）的时序位置是基于对多种 VGA 显示器时序信号的观察而得到。脉冲前后沿间隙是在同步脉冲之前和之后的一段时间，在这些时间内无法显示信息。

表 6-2 640X480 模式 VGA 时序

符号	参数	垂直同步（VS）			水平同步（HS）	
		时间	时钟	行数	时间	时钟
T_S	同步脉冲时间	16.7 ms	416,800	521	32 μ s	800
T_{DISP}	显示时间	15.36 ms	384,000	480	25.6 μ s	640
T_{PW}	脉冲宽度	64 μ s	1,600	2	3.84 μ s	96
T_{FP}	前沿	320 μ s	8,000	10	640 ns	16
T_{BP}	后沿	928 μ s	23,200	29	1.92 μ s	48

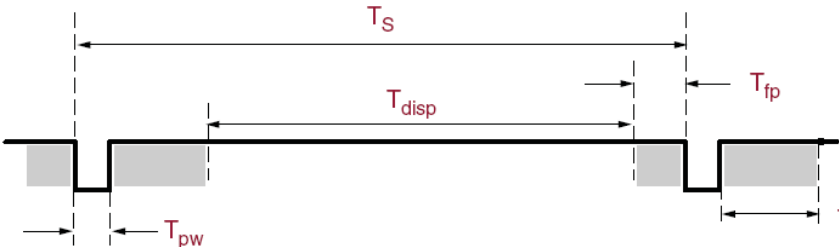


图 6-3 VGA 控制时序

UG230_c6_03_021706

通常，由一个计数器对像素时钟进行计数来控制水平方向的时序。计数值解码后产生 HS 信号。此计数器跟踪的是给定行上的当前显示的象素位置。

而另一个计数器跟踪垂直时序。垂直同步计数器在每个 HS 脉冲发生时增加，计数值解码后产生 VS 信号。此计数器跟踪的是当前显示的行。这两个连续运行的计数器形成了指向视频显示缓冲区的地址。例如，板载 DDR SDRAM 就提供了理想的显示缓冲区。

在起始的 HS 脉冲和 VS 脉冲之间没有指定任何时序关系。因此，这些计数器可以向更容易产生 RAM 地址的解码方式优化，也可以向最简单的产生同步脉冲的解码方式优化。

UCF 位置约束

图 6-4 提供了 VGA 显示接口的 UCF 约束，包括指定的 IO 管脚，逻辑电平，输出摆率和输出驱动电流。

```
NET "VGA_RED"      LOC = "H14"    | IOSTANDARD = LVTTTL | DRIVE = 8 | SLEW = FAST ;  
NET "VGA_GREEN"    LOC = "H15"    | IOSTANDARD = LVTTTL | DRIVE = 8 | SLEW = FAST ;  
NET "VGA_BLUE"     LOC = "G15"    | IOSTANDARD = LVTTTL | DRIVE = 8 | SLEW = FAST ;  
NET "VGA_HSYNC"    LOC = "F15"    | IOSTANDARD = LVTTTL | DRIVE = 8 | SLEW = FAST ;  
NET "VGA_VSYNC"    LOC = "F14"    | IOSTANDARD = LVTTTL | DRIVE = 8 | SLEW = FAST ;
```

图 6-4 VGA 显示接口的 UCF 约束

相关资料

VESA

<http://www.vesa.org>

VGA timing information

http://www.epanorama.net/documents/pc/vga_timing.html

