

# Progetto Finale di Reti Logiche

Martina Riva

Matricola: 959511 - Codice Persona: 10756775

Anno Accademico 2022-2023

## INDICE:

---

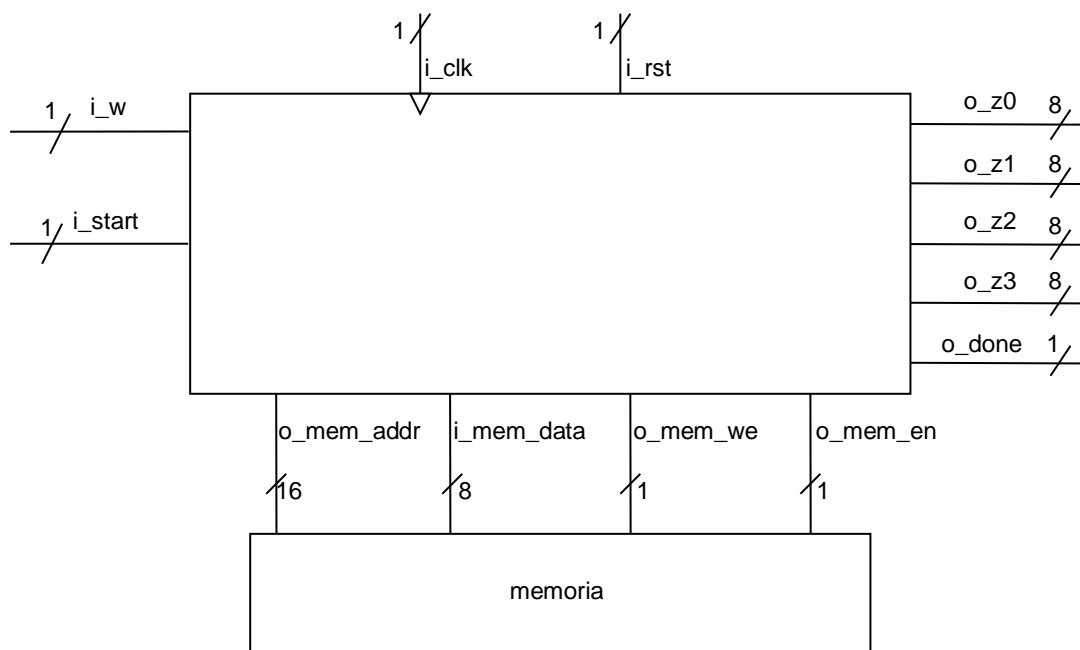
1. INTRODUZIONE
2. ARCHITETTURA
3. RISULTATI SPERIMENTALI
4. CONCLUSIONI

## 1. INTRODUZIONE: SPECIFICHE DI PROGETTO

Scopo del progetto è implementare un modulo HW che presenta: un segnale di clock, un segnale di reset asincrono, due ingressi primari da un bit (W e START), e 5 canali di uscita: Z0, Z1, Z2, Z3 (vettori di 8 bit) e DONE (1 bit). Come si vede nella figura sottostante, il modulo deve interfacciarsi con la memoria, attraverso i seguenti segnali:

- o\_mem\_addr è il segnale che manda l'indirizzo alla memoria;
- i\_mem\_data è il segnale che contiene il dato letto dalla memoria (letto all'indirizzo contenuto in o\_mem\_addr);
- o\_mem\_en è il segnale di enable: se settato a 1, è abilitata la lettura/scrittura dalla memoria, se a 0 è disabilitata;
- o\_mem\_we è il segnale di write enable: se settato a 1 è possibile scrivere in memoria.

La memoria, ricevuto l'indirizzo di memoria in ingresso, sul fronte di salita del clock, abilita la lettura del dato, che viene restituito dopo 2ns.



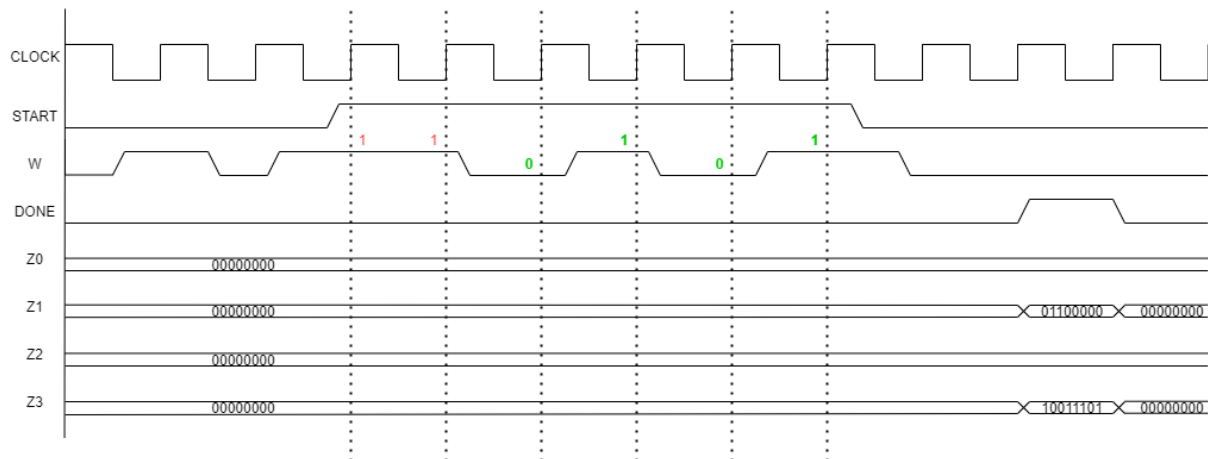
All'inizio del funzionamento viene sempre dato il segnale di RESET che setta a zero le uscite. Dopo il reset, in qualsiasi istante, START può diventare 1 per almeno due cicli di clock ma non più di 18. Quando START è a 1 la sequenza di bit in ingresso, letti sul fronte di salita del clock su W, è valida ed è così interpretata:

- i primi due bit rappresentano i bit di intestazione che identificano il canale d'uscita. Questi bit vengono necessariamente letti, in quanto START è garantito rimanere a zero per almeno due cicli di clock. Ad esempio: se il primo bit letto è 1 e il secondo è 0 allora l'uscita corrispondente sarà Z2 (rappresentata dalla codifica 10)
- i bit seguenti vengono letti se e finché START è 1, e rappresentano l'indirizzo di memoria in cui è memorizzato il dato che si vuole cercare. I bit letti variano da 0 a 16

bit ma gli indirizzi di memoria sono tutti di 16 bit; quindi, talvolta è necessario estendere l'indirizzo con 0 sui bit più significativi.

Calcolato l'indirizzo di memoria, è possibile leggere il dato da 8 bit che viene indirizzato a una delle quattro uscite a seconda dei due bit di intestazione. I valori delle uscite sono resi visibili solo quando DONE è settato a 1 e i canali, ad eccezione del canale associato al messaggio, mantengono i valori precedentemente assegnati (8 bit a 0 nel caso non siano mai stati indirizzati messaggi verso il canale). DONE rimane a 1 per un solo ciclo di clock e, di conseguenza, anche i valori delle 4 uscite da 8 bit sono visibili solo per un ciclo di clock. START può tornare a 1 solo dopo che DONE è tornato a 0.

L'esempio seguente serve a semplificare il funzionamento del modulo.



Nell'esempio quando il segnale di START è a 1 la sequenza in ingresso è valida:

- i primi due bit letti sul fronte di salita del clock: **11** sono i bit di intestazione che codificano il canale d'uscita Z3;
- l'indirizzo di memoria è 000000000000**0101** formato dai bit letti con estensione dello zero.

All'indirizzo di memoria viene letto il dato: 10011101

Quando DONE è settato a 1, i dati sulle uscite sono visibili: il dato viene scritto sull'uscita Z3, mentre sulle altre uscite vengono mostrati gli ultimi valori memorizzati (in questo caso in Z1 viene mostrato 01100000). Dopo un ciclo di clock DONE torna a 0, così come le altre uscite.

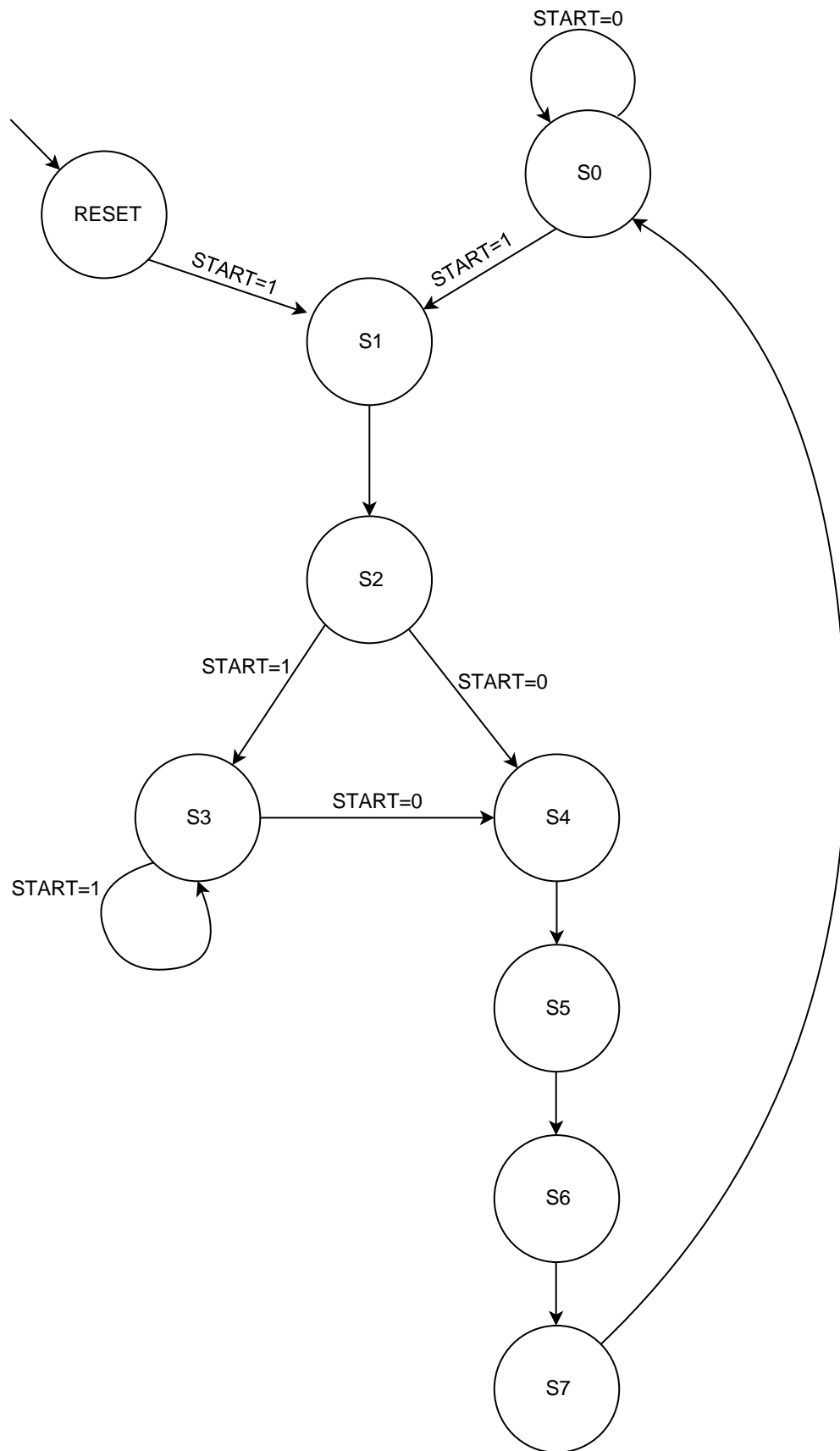
## 2. ARCHITETTURA: SCELTE PROGETTUALI

Il progetto rappresenta un circuito sequenziale, implementato da una macchina a stati. È organizzato in tre processi:

- *processo sensibile ai segnali di CLOCK e RESET:*
  - quando il segnale di RESET è alto, lo stato corrente della FSM diventa lo stato di reset e i segnali correnti vengono settati a 0;
  - sul fronte di salita del CLOCK il processo passa allo stato prossimo, e i valori correnti dei segnali vengono aggiornati (gestione dei registri).
- *funzione di stato prossimo:* definisce la logica di transizione della macchina a stati.
- *funzione di uscita:* vengono calcolati i valori delle uscite e gestiti i registri (ovvero aggiornati i valori “next”).

La macchina a stati è organizzata in 9 stati:

1. STATO DI RESET: quando il segnale di RESET (asincrono) è a 1, i registri delle uscite, dei primi due bit, dell’indirizzo di memoria e del bit letto in ingresso vengono messi a 0.
2. S0: è lo stato di partenza, che è diverso dal reset perché vengono mantenuti in memoria valori dei registri delle uscite. Si attende in questo stato fintanto che lo START non è alto.
3. S1: è lo stato in cui si legge il primo bit di W valido, ovvero il primo bit dei due di intestazione. Si passa poi allo stato S2 visto che START è garantito rimanere a 1 per almeno due cicli di clock.
4. S2: è lo stato in cui viene letto il secondo bit di intestazione. Se START è ancora attivo si passa allo stato S3, altrimenti la lettura dei bit in ingresso è terminata e si passa allo stato S4.
5. S3: stato in cui si legge un bit in ingresso, lo si concatena con 15 bit a 0 che lo precedono, e si somma questo vettore da 16 bit col doppio dell’indirizzo in memoria precedentemente calcolato (memorizzato nei registri). In pratica viene effettuato uno SHIFT LEFT dell’indirizzo memorizzato, e sommato con il bit appena letto in input su W. Vengono così letti gli N bit e calcolato l’indirizzo di memoria. Se START rimane a uno si torna in questo stato per aggiungere il bit letto sul fronte di salita del clock, altrimenti si procede allo stato S4.
6. S4: è lo stato che abilita la lettura dalla memoria e passa alla memoria l’indirizzo da leggere. Indipendentemente dallo START si passa allo stato successivo S5.
7. S5: stato di attesa della lettura dalla memoria, poiché restituisce il dato letto dopo 2ns e un periodo di clock è di almeno 100ns.
8. S6: stato in cui si memorizza il dato letto dalla memoria nel registro dell’uscita indicata dai bit di intestazione.
9. S7: stato in cui DONE è a 1 e i valori delle uscite sono visibili, cioè vengono settate coi valori memorizzati. Si torna poi allo stato S0.



### 3. RISULTATI SPERIMENTALI

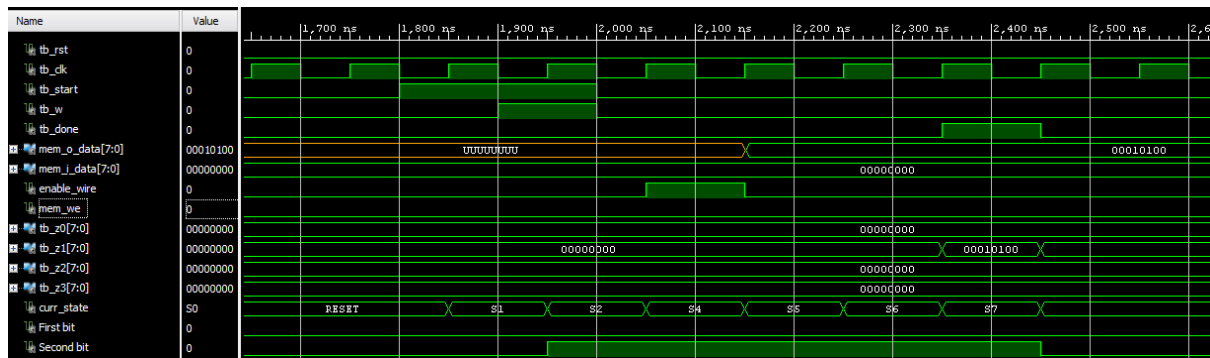
Il componente è sintetizzabile: presenta 55 flip flop e 0 latch, come si vede in figura.

1. Slice Logic

Site Type	Used	Fixed	Available	Util%
Slice LUTs*	85	0	134600	0.06
LUT as Logic	85	0	134600	0.06
LUT as Memory	0	0	46200	0.00
Slice Registers	55	0	269200	0.02
Register as Flip Flop	55	0	269200	0.02
Register as Latch	0	0	269200	0.00
F7 Muxes	0	0	67300	0.00
F8 Muxes	0	0	33650	0.00

Il progetto passa tutti i test forniti in Behavioral simulation e in Post-Synthesis Functional simulation. Di seguito vengono analizzati alcuni dei test più significativi per il corretto funzionamento del modulo HW e i casi limite.

#### Tb\_1.vhdl



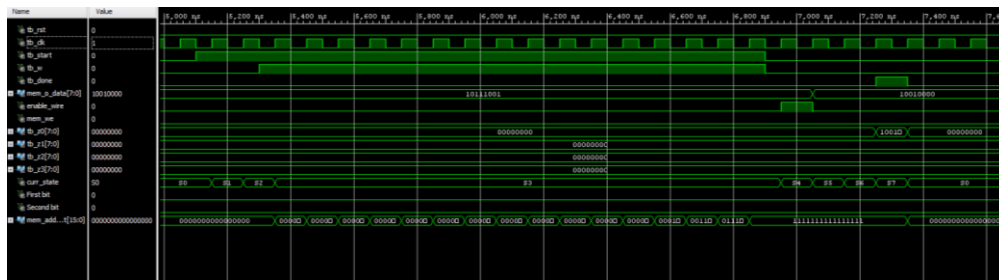
Dopo il segnale di RESET, a 1,800ns START diventa 1 per due cicli di clock: viene letto il primo bit sul fronte di salita del clock su W (in questo caso 0) e il secondo bit (1). Questo è un caso limite: il caso in cui vengono letti solo 2 bit in ingresso, e l'indirizzo di memoria è un vettore di 16 bit tutti a 0. Il dato letto a questo indirizzo di memoria è 00010100 e viene visualizzato sull'uscita Z1 (codifica 01) quando DONE è settato a 1 (nello stato S7).

La condizione limite si ripete altre volte (a 9,800ns, a 19,400ns, a 27,400ns): START è attivo per due cicli di clock e l'indirizzo di memoria sarà di nuovo un vettore di 16 bit a 0.

Il test valuta anche altri indirizzi di memoria, leggendo N bit di indirizzo in ingresso che variano da 0 a 16. Sovrascrive anche i registri delle uscite che erano già stati indirizzati (ad esempio Z1).

Inoltre, viene settato a uno il segnale di RESET (a 18,100ns) e viene quindi testato che i registri delle uscite memorizzino i valori di default (00000000), e il processo continui.

## Tb\_2.vhdl



Viene testato un altro caso limite: START alto per 18 cicli di clock. Infatti, a 5,100ns il segnale di START passa a 1 e si iniziano a leggere i bit in ingresso in W: i primi due bit letti, i bit di intestazione, sono 00 (quindi l'uscita su cui verrà mostrato il dato sarà Z0); i bit successivi, letti sul fronte di salita del clock, formano un vettore di 16 bit tutti a 1.

Lo stesso identico caso viene testato un'altra volta, a 21,600ns, e si verifica effettivamente che viene letto lo stesso dato dalla memoria.

Inoltre, il segnale di RESET dato in questo test all'inizio, dura solo 1 ciclo di clock, mentre nel test precedente dura più di un ciclo di clock, ma ciò è influente per il reset stesso.

## 4. CONCLUSIONI

I test forniti sono sufficienti a valutare i due casi limite: 2 bit in ingresso con indirizzo di memoria di 16 bit a 0, oppure 18 bit in ingresso.

Qui vengono analizzati solo due dei test forniti, poiché presentano i due casi limite e i casi più generici con N bit in ingresso variabili tra 2 e 18, dunque sono sufficienti per verificare l'effettivo funzionamento del modulo.

Inoltre, è interessante notare che gli input in ingresso sono forniti come sequenza di bit, mentre le uscite sono vettori di bit (uscite in parallelo).