Proceso	Llegada	CPU	Prioridad	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	TR	TE
P1	0	4		>1	2	3	4<																		4	0
P2	2	6				>		1	2	3	4	5	6<												8	2
Р3	3	4					>							1	2	3	4<								11	7
P4	6	5								^								1	2	3	4	5<			13	8
P5	8	2										^											1	2<	13	11
FCFS			R Qeue	1	2	3	4	5																	9.8	5.6

Proceso	Llegada	CPU	Prioridad	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	TR	TE
P1	0	4		>1	2	3	4<																		4	0
P2	2	6				>													1	2	3	4	5	6<	19	13
Р3	3	4					>	1	2	3	4<														5	1
P4	6	5								^				1	2	3	4	5<							9	4
P5	8	2										>1	2												2	0
SJF			R Qeue	1	2	3	4	5																	7.8	3.6

Proceso	Llegada	CPU	Prioridad	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	TR	TE
P1	0	4		>1	2	3		4<																	5	1
P2	2	6				>	1			2			3				4				5		6<		18	12
Р3	3	4					^		1		2			3				4<							12	8
P4	6	5								>		1				2				3		4		5<	15	10
P5	8	2										>			1				2<						8	6
RR TV	Q=1		R Qeue	1	1	1	2	1	3	2	3	4	2	3	5	4	2	3	5	4	2	4	2	4	11.6	7.4

Proceso	Llegada	CPU	Prioridad	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	TR	TE
P1	0	4		>1	2	3	4<																		4	0
P2	2	6				>		1	2	3	4	5	6<												8	2
Р3	3	4					>							1	2	3	4<								11	7
P4	6	5								^								1	2	3	4	5			13	8
P5	8	2										>											1	2<	13	11
RR TV	Q=6		R Qeue	1	2	3	4	5																	9.8	5,6