

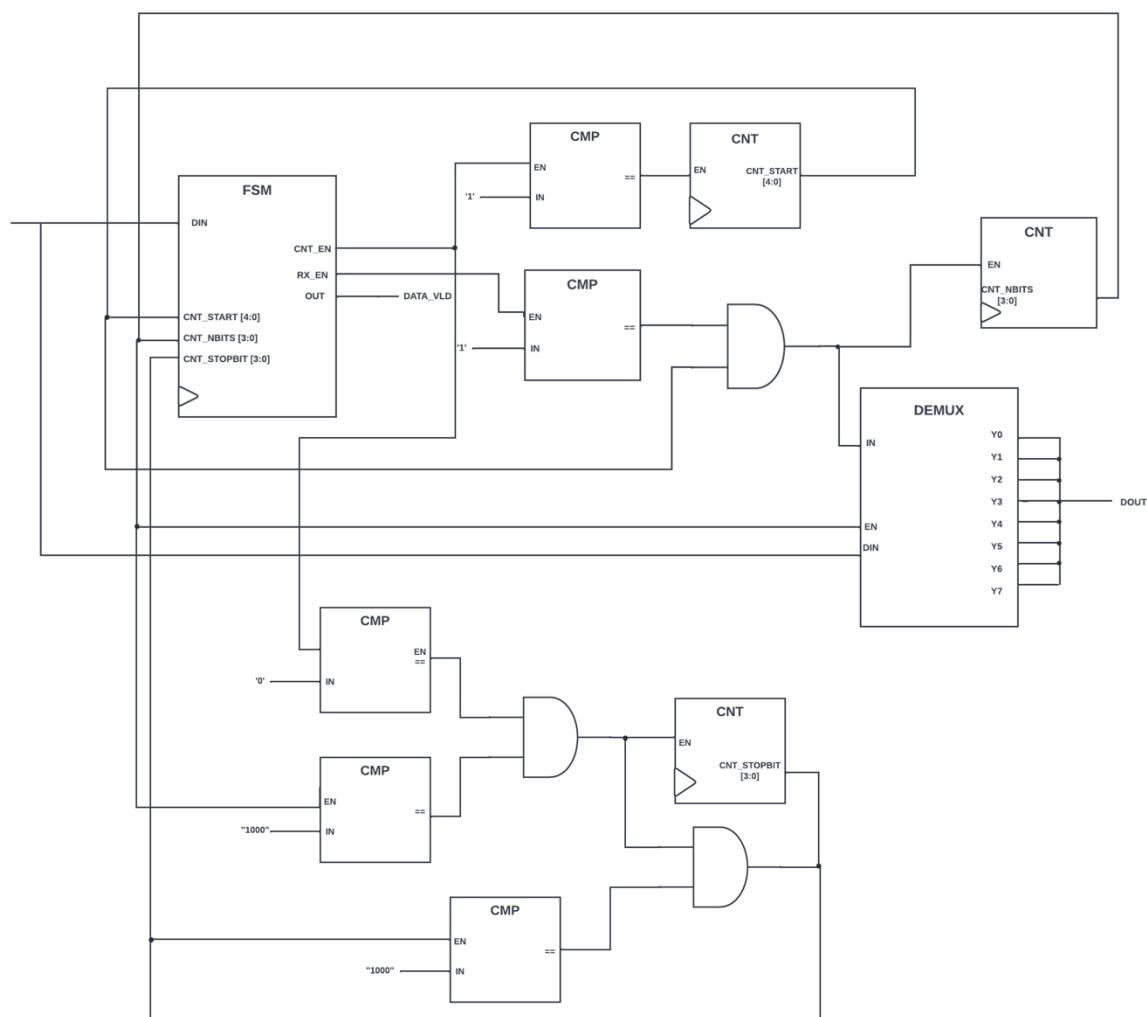
Výstupná správa

Meno: Martin Kubička

Login: xkubic45

Architektúra navrhnutého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkcie

- FSM – Fine state machine
- CNT_START – počítadlo na získanie pozície MID BIT
- CNT_NBITS – počítadlo na počítanie uložených bitov
- CNT_STOPBIT – počítadlo pre získanie konca STOP BITU

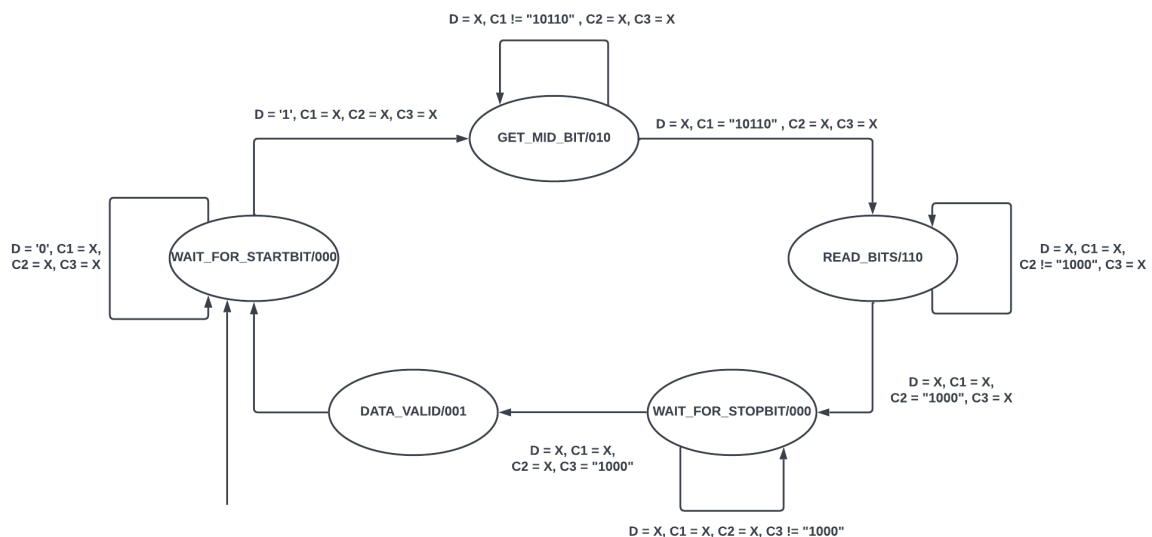
Na začiatku obvod čaká na START BIT. Keď sa zachytí START BIT tak obvod začne čakať 22 hodinových cyklov aby sa dostal na požadovaný MID BIT. Keď táto podmienka bude splnená,

obvod rátať počet načítaných bitov. Každý načítaný bit sa pošle do demultiplexoru. Na konci sa dostaneme na koniec STOP BITU a platnosť dátového slova na porte DOUT sa potvrdí nastavením príznaku DOUT_VLD.

Návrh automatu (Finite State Machine)

Schéma automatu

Stavy automatu: WAIT_FOR_STARTBIT, GET_MID_BIT, READ_BITS, WAIT_FOR_STOPBIT, DATA_VALID
 Vstupné signály: D = DIN, C1 = CNT_START, C2 = CNT_NBITS, C3 = CNT_STOPBIT
 Moorove výstupy: RX_EN, CNT_EN, DATA_VLD



Popis funkcie

Na začiatku automat čaká v stave WAIT_FOR_STARTBIT na začiatok prenosu dokým DIN sa nerovná logickej 0. Následne sa presunie do stavu GET_MID a čaká kým CNT_START sa nerovná 22, pretože sa chceme dostať na MIDBIT. Automat sa presunie do stavu READ_BITS kde číta 8 bitov. Keď sa CNT_NBITS rovná 8, tak sa presunie do stavu WAIT_FOR_STOPBIT, kde sa dostane na koniec STOP BITU. Keď CNT_STOPBIT sa rovná 8 tak sa presunie do stavu DATA_VALID a následne do stavu WAIT_FOR_STARTBIT, kde čaká na nový začiatok procesu.

Snímky obrazovky zo simulácie

