



# Desarrollo sobre FPGA de bloque de comunicación con Sintetizador LMX2594

Trabajo Práctico Final

Circuitos Lógicos Programables

Autor:

Ing. Martin Paura Bersan

Director:

Ing. Daniel Jacoby (ITBA)

*13 de agosto de 2024*

## Historial de cambios

Revisión	Detalles de los cambios realizados	Fecha
A	Creación del documento	18 de junio de 2024
B	Primera entrega	13 de Agosto de 2024

## Índice

<b>Introducción</b>	<b>4</b>
1.1 Contenido	4
1.2 Definiciones, Acrónimos y Abreviaturas	4
1.3 Referencias	5
<b>Breve explicación de lo implementado</b>	<b>5</b>
<b>Diagrama de flujo de la Maquina de Estado.</b>	<b>7</b>
<b>Diagrama Bloque de los módulos desarrollados/utilizados</b>	<b>7</b>
<b>Simulaciones</b>	<b>8</b>
<b>Tabla de uso de los recursos de la FPGA</b>	<b>10</b>

## Introducción

El presente documento detallará todos los aspectos relacionados con las especificaciones del proyecto "Desarrollo sobre FPGA de bloque de comunicación con Sintetizador LMX2594". El objetivo del proyecto es desarrollar un módulo de comunicación SPI entre la lógica programable de la plataforma de desarrollo Arty Z7 y el Sintetizador basado en el integrado LMX2595.

### 1.1. Contenido

Los contenidos del presente Informe son:

1. Breve explicación de lo implementado.
2. Diagrama de flujo de la Máquina de Estado.
3. Diagrama Bloque de los módulos desarrollados/utilizados.
4. Simulaciones.
5. Tabla de uso de los recursos de la FPGA.

### 1.2. Definiciones, Acrónimos y Abreviaturas

1. HW Hardware
2. FW Firmware
3. SW Software
4. FOCUS Emprendimiento y proyecto del sistema general.
5. HDL *Hardware Description Language*
6. N/A No aplica
7. RADAR *RAdio Detection And Ranging*
8. SDR *Software Defined Radio*
9. SAR *Synthetic Aperture Radar*
10. UART *Universal Asynchronous Receiver Transmitter*
11. FPGA *Field Programmable Gate Array*
12. AXI *Advanced eXtensible Interface*
13. RAM *Random Access Memory*
14. HBC *High-Bandwidth Connectivity*

### 1.3. Referencias

- 1 LMX2594 Evaluation board user manual.
- 2 LMX2594 Datasheet.

### Breve explicación de lo implementado

El objetivo del proyecto final de la especialización consta de la implementación de un procesador de imágenes SAR sobre FPGA. El mismo debe ser capaz de comunicarse con el sintetizador (que se encarga de emitir las señales de radar con frecuencia variable), la antena receptora (LP Filter) que envía una señal analógica de las señales recibidas (reflejadas en la superficie) y el GPSRTK que informa la posición actual del módulo. Posteriormente, debe procesar la información captada y generar una imagen SAR que será transmitida a la computadora central del satélite.

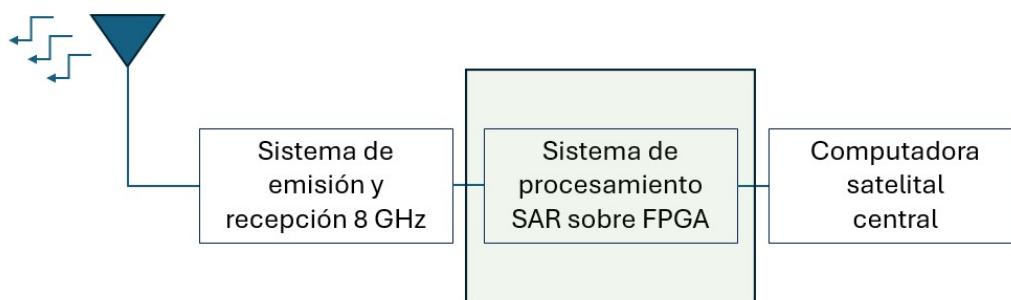


Figura 1. Diagrama en bloques del sistema SAR.

Para llevar a cabo lo antes mencionado se seleccionaron distintos protocolos de comunicación entre los equipamientos como se muestra en la Figura 2. Como alcance del proyecto final de la materia "Circuitos Lógicos Programables" se desarrolló el sistema de comunicación entre la FPGA y el sintetizador. Este último utiliza el integrado LMX2594, el cual recibe las instrucciones de configuración mediante SPI, una señal de inicio de rampa para el barrido en frecuencia de la señal emitida (SYNC 5KHz) y un clk de 100 Mhz para el funcionamiento interno.

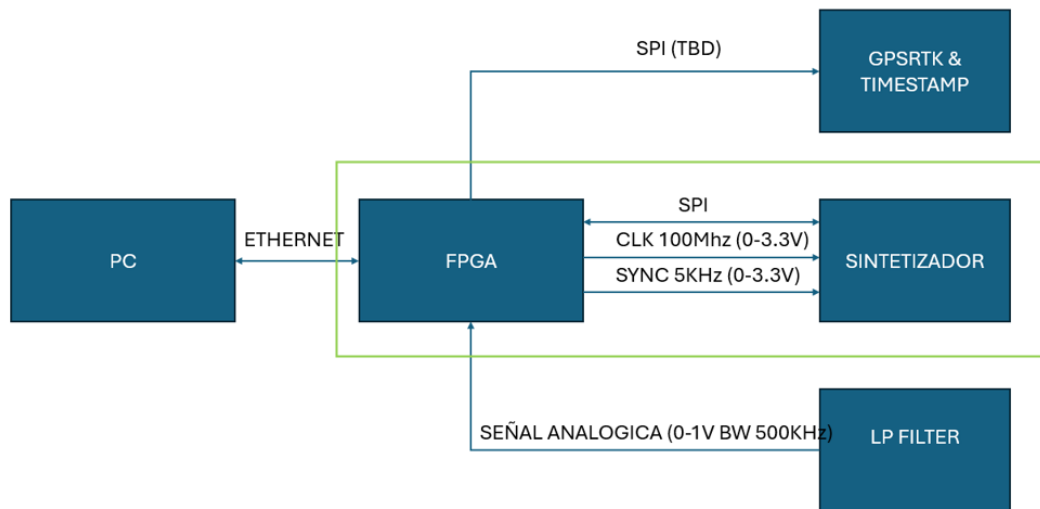


Figura 2. Diagrama en bloques del proyecto CLP.

Para ello se desarrollo un modulo SPI que recibe las señales de control, Direcccionamiento, Datos de Salida, Dato de Entrada y Señal de Final de Comunicación.

1. rst: Activo alto, Resetea el módulo.
2. ena: Activo alto, Inicia la secuencia de Comunicación.
3. clk\_in: Activo alto, ingreso reloj de referencia.
4. PrescaleFactor: Natural, factor de división entre el reloj de ingreso y el utilizado para la comunicación.
5. csb: Activo bajo, Selector de dispositivo de comunicación SPI.
6. sclk: Reloj de comunicación SPI (los datos se toman en el flanco ascendente).
7. sdat: Activo alto, Datos transmitidos desde el módulo (FPGA) al sintetizador LMX2594.
8. smux: Activo alto, Datos transmitidos desde el sintetizador LMX2594 al módulo (FPGA).
9. r\_nw: Read-Not Write, selector de modo escritura (low) o lectura (high).
10. addr: Direccion del registro al que se desea ingresar datos o leer valor actual.
11. data\_tx: Dato a ser cargados en el sintetizador.
12. data\_rx: Datos a ser leídos por el módulo(FPGA).
13. cc: Activo alto, Inidicador de final de secuencia de comunicación.

Para las pruebas de funcionamiento del módulo se utilizo el puerto serial virtual del process system, y este posteriormente mediante los AXI BUS se comunicaban con el modulo SPI implementado en la lógica programable para transmitir los datos recibidos.

## Diagrama de flujo de la Maquina de Estado.

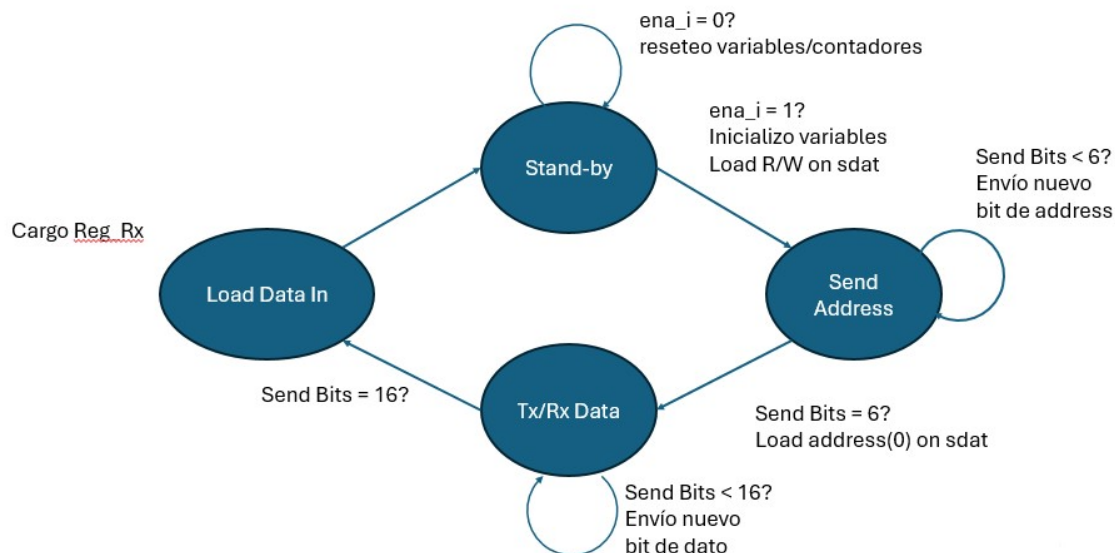


Figura 3. Diagrama Máquina de Estados SPI.

## Diagrama Bloque de los módulos desarrollados/utilizados

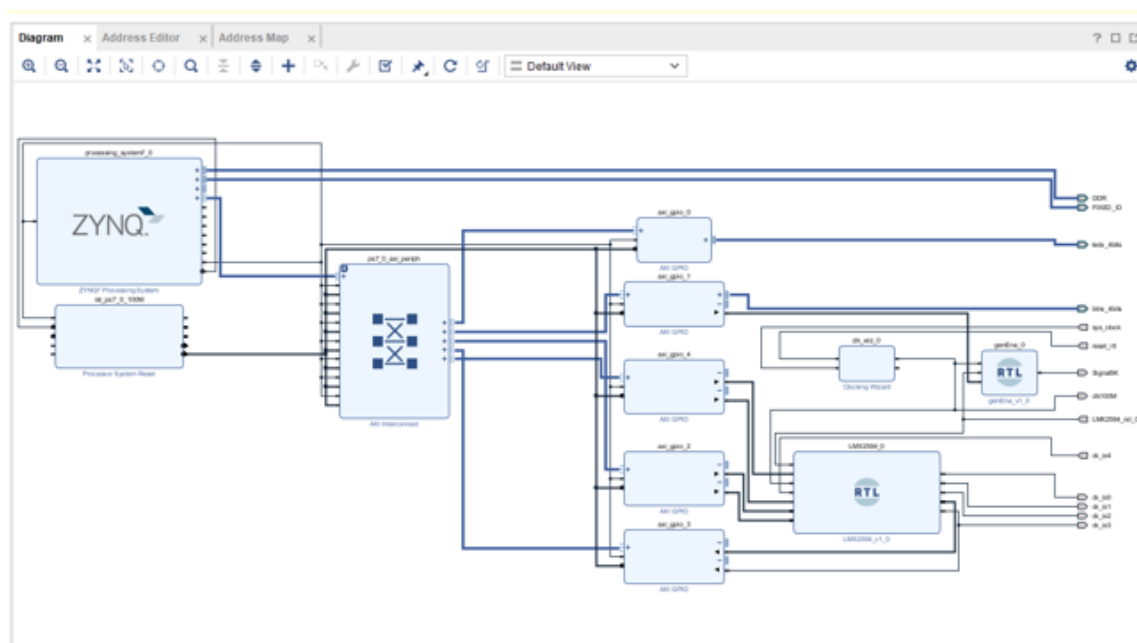


Figura 4. Diagrama en Bloque General de la implementación (PS y PL).

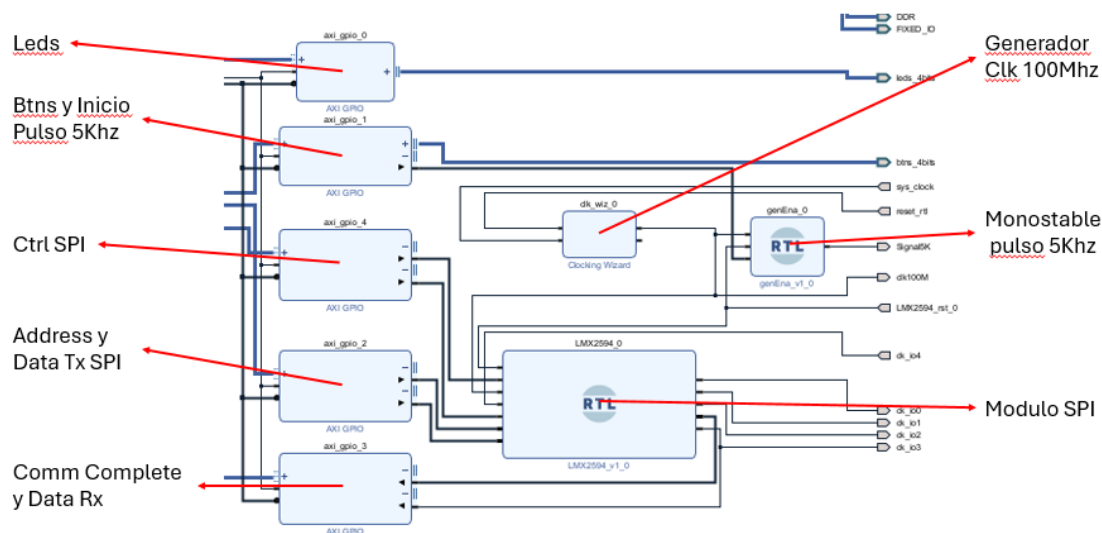


Figura 5. Bloques implementados para CLP (AXI y PL).

## Simulaciones

A continuación, en la Figura [6] se muestra una simulación considerando un puente entre el puerto de salida de datos seriales y el puerto de ingreso. En la primera trama el dato enviado es 0x5555, y al final de la comunicación el registro de entrada toma ese valor. En la segunda trama se envía el dato 0xAAAA y se observa que al final de la comunicación el valor del dato leído es el mismo, 0xAAAA.

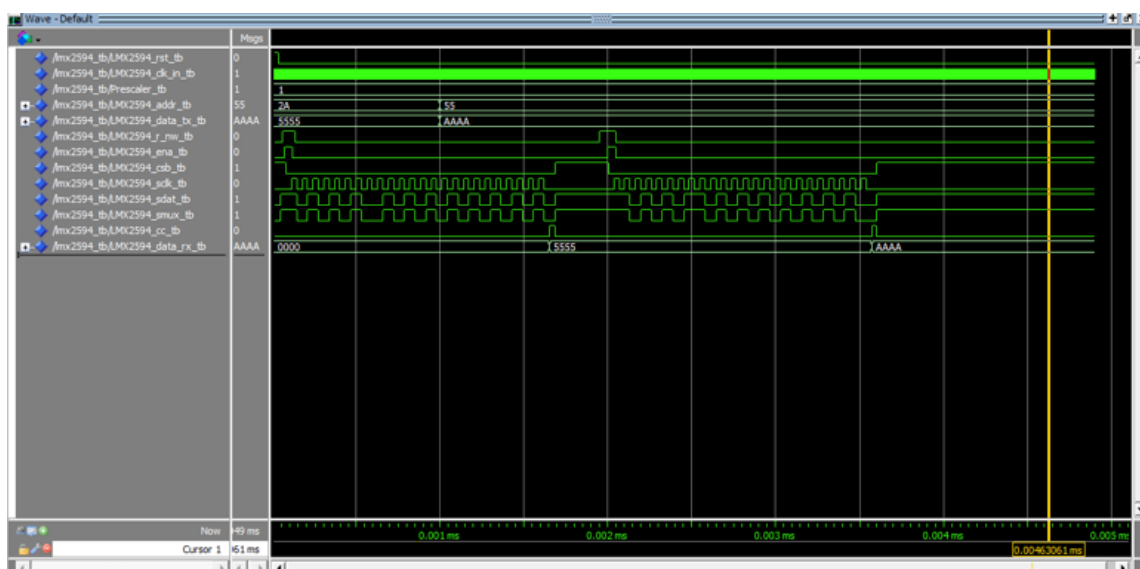


Figura 6. Simulación con puente entre el puerto de entrada y salida de datos.

Mediciones realizadas en laboratorio de la salida de los puertos de a FPGA. Se envían datos mediante el puerto serial al PS y estos datos son reenviados mediante el módulo SPI.



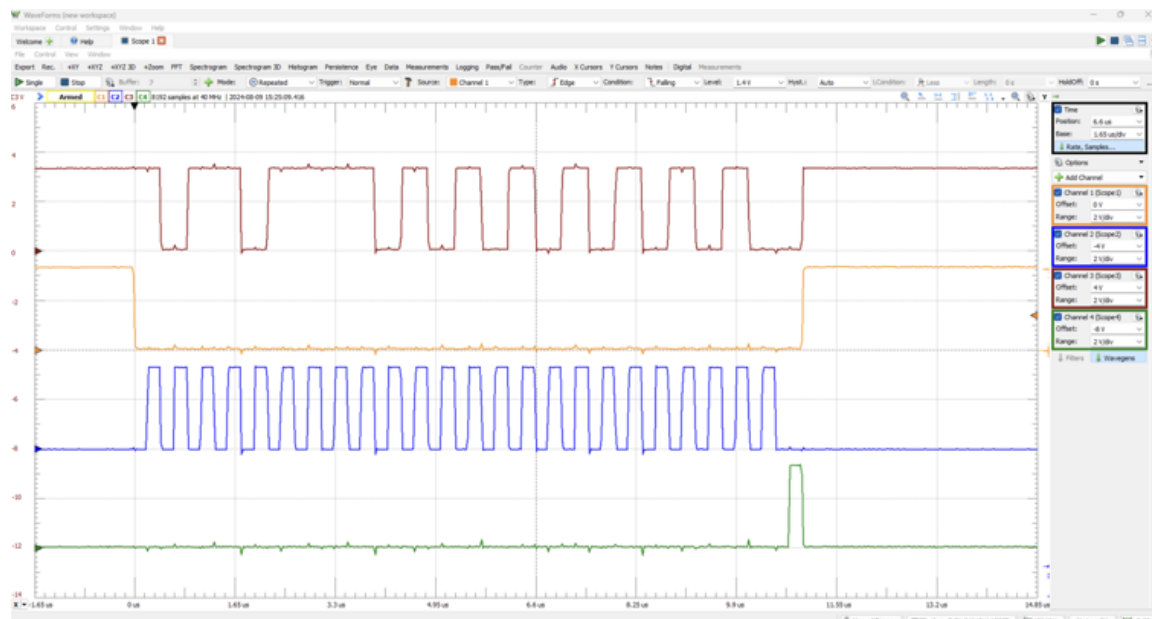


Figura 7. Mediciones R/W=Read; Add=0x6F('o'); Data=0xAA

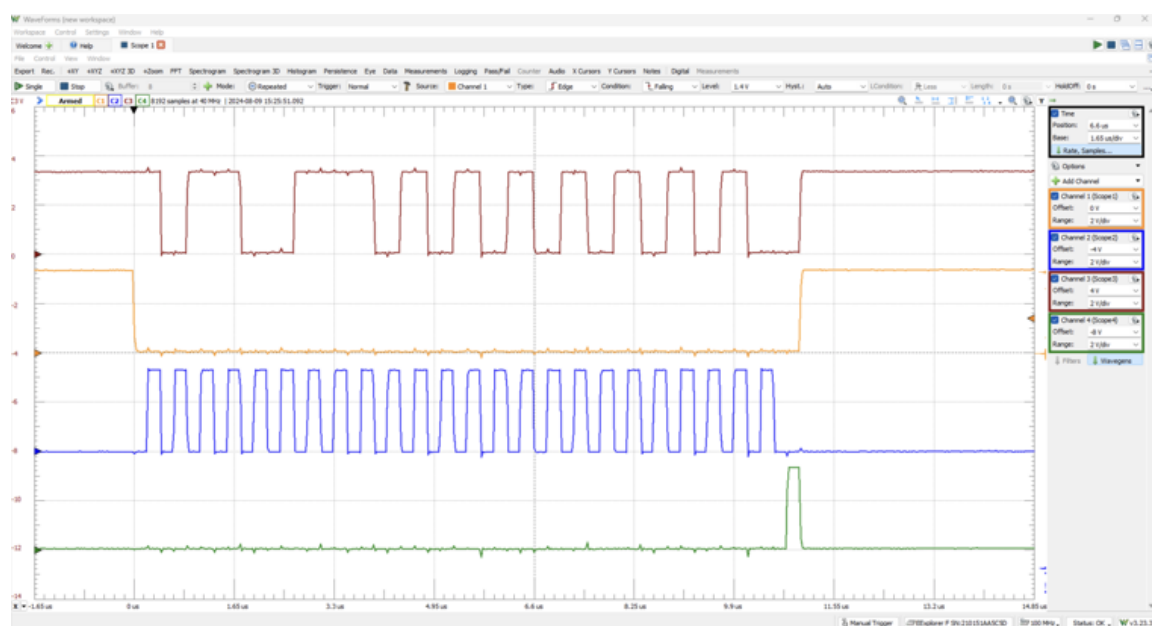


Figura 8. Mediciones R/W=Read; Add=0x67('g'); Data=0xAA



Figura 9. Mediciones R/W=Read; Add=0x35('5')= orden de disparo señal Sync 5Khz; Data=0xAA

## Tabla de uso de los recursos de la FPGA

Copyright 1986-2022 Xilinx, Inc. All Rights Reserved. Copyright 2022-2024 Advanced Micro Devices, Inc. All Rights Reserved.

```

Tool Version : Vivado v.2024.1 (win64) Build 5076996 Wed May 22 18:37:14 MDT 2024
Date        : Sun Aug 11 13:29:24 2024
Host       : COURIE running 64-bit major release (build 9200)
Command    : report_utilization -file C:/Users/mpaur/.Xilinx/PruebaVitis/project_clp/utilization_report.txt -name utilization_1
Design     : blq_top_wrapper
Device     : xc7z020clg400-1
Speed File : -1
Design State : Routed
  
```

#### Utilization Design Information

##### Table of Contents

1. Slice Logic
  - 1.1 Summary of Registers by Type
2. Slice Logic Distribution
3. Memory
4. DSP
5. IO and GT Specific
6. Clocking
7. Specific Feature
8. Primitives
9. Black Boxes
10. Instantiated Netlists

##### 1. Slice Logic

Site Type	Used	Fixed	Prohibited	Available	Util%
Slice LUTs	891	0	0	53200	1.67
LUT as Logic	829	0	0	53200	1.56
LUT as Memory	62	0	0	17400	0.36
LUT as Distributed RAM	0	0			
LUT as Shift Register	62	0			
Slice Registers	1228	0	0	106400	1.15
Register as Flip Flop	1228	0	0	106400	1.15
Register as Latch	0	0	0	106400	0.00
F7 Muxes	1	0	0	26600	<0.01
F8 Muxes	0	0	0	13300	0.00

\* Warning! LUT value is adjusted to account for LUT combining.

##### 1.1 Summary of Registers by Type

Total	Clock Enable	Synchronous	Asynchronous
0	-	-	-
0	-	-	Set
0	-	-	Reset
0	-	Set	-
0	-	Reset	-
0	Yes	-	-
0	Yes	-	Set
0	Yes	-	Reset
47	Yes	Set	-
1181	Yes	Reset	-

##### 2. Slice Logic Distribution

Site Type	Used	Fixed	Prohibited	Available	Util%
Slice	360	0	0	13300	2.71
SLICEL	220	0			
SLICEM	140	0			
LUT as Logic	829	0	0	53200	1.56
using O5 output only	0				
using O6 output only	594				
using O5 and O6	235				
LUT as Memory	62	0	0	17400	0.36
LUT as Distributed RAM	0	0			
using O5 output only	0				
using O6 output only	0				
using O5 and O6	0				
LUT as Shift Register	62	0			
using O5 output only	0				
using O6 output only	58				
using O5 and O6	4				
Slice Registers	1228	0	0	106400	1.15
Register driven from within the Slice	703				
Register driven from outside the Slice	525				
LUT in front of the register is unused	441				
LUT in front of the register is used	84				
Unique Control Sets	74		0	13300	0.56

\* \* Note: Available Control Sets calculated as Slice \* 1, Review the Control Sets Report for more information regarding control sets.

#### 8. Primitives

Ref Name	Used	Functional Category
FDRE	1181	Flop & Latch
LUT6	319	LUT
LUT3	298	LUT
LUT5	182	LUT
LUT4	159	LUT
BIBUF	130	IO
LUT2	85	LUT
SRLC32E	47	Distributed Memory
FDSE	47	Flop & Latch
CARRY4	23	CarryLogic
LUT1	21	LUT
SRL16E	19	Distributed Memory
OBUF	10	IO
IBUF	8	IO
BUFG	4	Clock
PS7	1	Specialized Resource
MUXF7	1	MuxF7
MMCME2_ADV	1	Clock

#### 9. Black Boxes

Ref Name	Used
----------	------

#### 10. Instantiated Netlists

Ref Name	Used
blq_top_xbar_0	1
blq_top_rst_ps7_0_100M_0	1
blq_top_processing_system7_0_0	1
blq_top_genEna_0_1	1
blq_top_clk_wiz_0_0	1
blq_top_axi_gpio_4_0	1
blq_top_axi_gpio_3_0	1
blq_top_axi_gpio_2_0	1
blq_top_axi_gpio_1_0	1
blq_top_axi_gpio_0_0	1
blq_top_auto_pc_0	1
blq_top_LMX2594_0_0	1

#### 3. Memory

Site Type	Used	Fixed	Prohibited	Available	Util%
Block RAM Tile	0	0	0	140	0.00
RAMB36/FIFO*	0	0	0	140	0.00
RAMB18	0	0	0	280	0.00

\* Note: Each Block RAM Tile only has one FIFO logic available and therefore can accommodate only one FIFO36E1 or one FIFO18E1. However, if a

#### 4. DSP

Site Type	Used	Fixed	Prohibited	Available	Util%
DSPs	0	0	0	220	0.00

#### 5. IO and GT Specific

Site Type	Used	Fixed	Prohibited	Available	Util%
Bonded IOB	18	18	0	125	14.40
IOB Master Pads	10				
IOB Slave Pads	8				
Bonded IPADs	0	0	0	2	0.00
Bonded IOPADs	130	130	0	130	100.00
PHY CONTROL	0	0	0	4	0.00
PHASER_REF	0	0	0	4	0.00
OUT_FIFO	0	0	0	16	0.00
IN_FIFO	0	0	0	16	0.00
IDELAYCTRL	0	0	0	4	0.00
IBUFDS	0	0	0	121	0.00
PHASER_OUT/PHASER_OUT_PHY	0	0	0	16	0.00
PHASER_IN/PHASER_IN_PHY	0	0	0	16	0.00
IDELAYE2/IDELAYE2_FINEDELAY	0	0	0	200	0.00
ILOGIC	0	0	0	125	0.00
OLOGIC	0	0	0	125	0.00