

Universidad de Costa Rica

Facultad de Ingeniería
Escuela de Ingeniería Eléctrica
IE0323 – Circuitos Digitales I
II ciclo 2022

Proyecto Verilog

Marvin Andrés Castro Castro
C01884

Profesor: Geovanny Delgado Cascante

9 de Diciembre, 2022

Índice

1. Problema 1	1
1.1. Ecuaciones lógicas ONES_COUNT, PARITY_GEN, PARITY_SOLVER	1
1.1.1. ONES_COUNT	1
1.1.2. PARITY_GEN	1
1.1.3. PARITY_SOLVER	2
1.2. Diseño topológico PARITY_SEVEN	3
2. Problema 2	5
2.1. Diagrama ASM	5
2.2. Vectores de Prueba	6
2.3. Diagrama de tiempo	7

Índice de figuras

1. MK para w_i , ONES_COUNT	1
2. MK para w_j , ONES_COUNT	1
3. MK para PARITY_GEN, P_i	2
4. MK para PARITY_SOLVER, R	3
5. Diseño topológico para PARITY_SEVEN	3
6. Implementación de ONES_COUNT por medio de multiplexores 4X1	4
7. Diagrama ASM para la mezcladora	5
8. Diagrama de tiempo para la mezcladora	7

Índice de tablas

1. Tabla de verdad para PARITY_GEN	2
2. Tabla de verdad para PARITY_SOLVER	2

1. Problema 1

1.1. Ecuaciones lógicas ONES_COUNT, PARITY_GEN, PARITY_SOLVER

1.1.1. ONES_COUNT

Este primer módulo toma dos bits de la palabra a analizar y pone en sus salidas la cantidad de entradas activas en esos dos bits (en decimal). Las posibles salidas son 0, 1 y 2. Si la salida es 0 bits activos, $w_i = 0$, $w_j = 0$. Si la salida es 1 bit activo, $w_i = 0$, $w_j = 1$, y si la salida son 2 bits activos, $w_i = 1$, $w_j = 0$.

Ya que se tienen dos salidas y dos entradas, su lógica combinacional estará dada por dos mapas de Karnaugh de dos variables cada uno.

Primeramente, para la salida w_j , esta se activa siempre que X_i o X_j valgan uno.

		X_j
		$\overline{X_j}$
X_i	0	1
$\overline{X_i}$	1	0

Figura 1: MK para w_i , ONES_COUNT

Su función mínima es

$$w_i = X_i \overline{X_j} + X_j \overline{X_i} \quad (1)$$

la que corresponde a una compuerta XOR.

Para la salida w_i , esta se activa únicamente cuando X_i y X_j sean uno, es decir, ambas entradas se encuentren activas.

		X_j
		$\overline{X_j}$
X_i	0	0
$\overline{X_i}$	0	1

Figura 2: MK para w_j , ONES_COUNT

$$w_j = X_i X_j \quad (2)$$

la que corresponde a una compuerta AND.

1.1.2. PARITY_GEN

Este segundo módulo activa su única salida P cuando la cantidad de entradas satisface la paridad PAR, es decir, cuando se encuentra una cantidad PAR de entradas activas. Por medio de una tabla de verdad se ve de la siguiente manera.

w_i	w_j	x_k	P_i
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	x
1	1	1	x

Tabla 1: Tabla de verdad para PARITY_GEN

Donde se observa que se activa la salida P_i cuando las tres entradas son cero, esto debido a que en este caso igual se cumple la paridad de la palabra. Los minterminos 6 y 7 se hacen condiciones no importa, ya que el módulo ONES_COUNT no puede tener como salida a w_i y w_j activos de manera simultánea.

En un mapa de Karnaugh se visualiza de la siguiente manera:

		w_j	
		1	0
		1	0
		x	x
		x_K	
w_i	1	0	1
	1	0	x

Figura 3: MK para PARITY_GEN, P_i

Su función mínima entonces es

$$P_i = \overline{w_j} \overline{x_K} + w_j x_K \quad (3)$$

1.1.3. PARITY_SOLVER

Finalmente, el tercer módulo PARITY_SOLVER genera el bit de paridad R. Como se está trabajando para paridad PAR, se tiene que, si la palabra tiene una cantidad PAR de entradas activas, el bit de paridad R será 0. De no ser par la cantidad de entradas activas, R será 1.

P_i	P_j	x_L	R
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Tabla 2: Tabla de verdad para PARITY_SOLVER

		P_j	
		0	1
P_i		1	0
		0	1
	X_L		

Figura 4: MK para PARITY_SOLVER, R

Su función mínima:

$$R = P_i \overline{P_j} \overline{x_L} + \overline{P_i} \overline{P_j} x_L + P_i P_j x_L + \overline{P_i} P_j \overline{x_L} \quad (4)$$

1.2. Diseño topológico PARITY_SEVEN

Para analizar una palabra de 7 bits se dispone de una topología con dos módulos ONES_COUNT, dos módulos PARITY_GEN y un único módulo PARITY_SOLVER

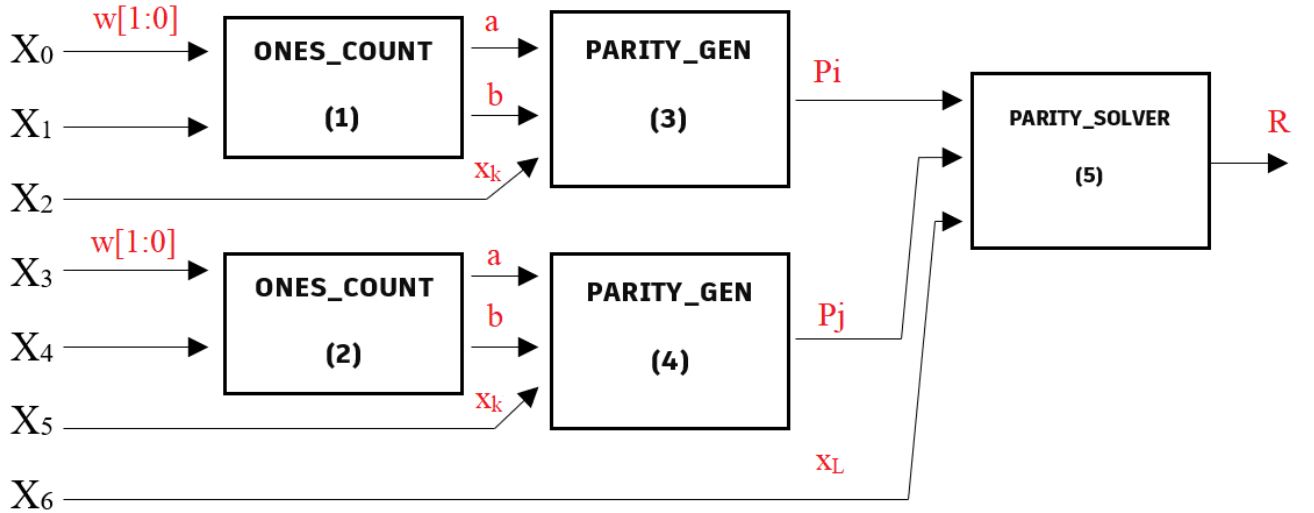


Figura 5: Diseño topológico para PARITY_SEVEN

Por medio de la figura 5 se puede ver también la configuración de wires para su implementación en Verilog. La salida w_i del módulo ONES_COUNT se iguala al wire a , y la salida w_j se iguala al wire b . Para PARITY_GEN, su salida P_i se implementa como el wire P_i , y la salida P_j como P_j .

Cabe destacar que la implementación del módulo ONES_COUNT se dio por medio de multiplexores 4X1. El diagrama resultante se muestra en la siguiente figura.

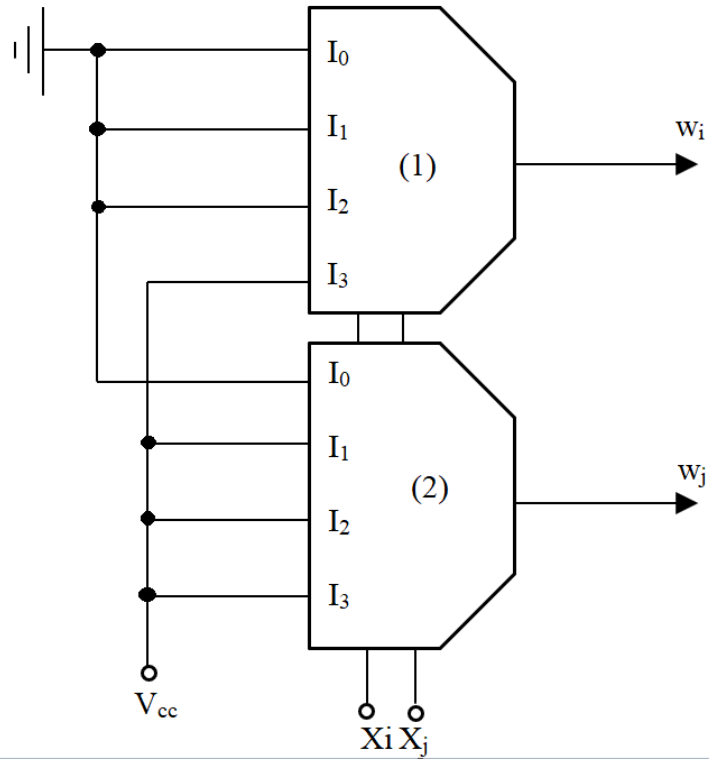


Figura 6: Implementación de ONES_COUNT por medio de multiplexores 4X1

Donde se puede ver que para el primer multiplexor, las entradas I_0, I_1, I_2 están conectadas a tierra y únicamente I_3 se conecta a V_{cc} . Para el segundo multiplexor I_1, I_2, I_3 se conectan a V_{cc} y solo I_0 se conecta a tierra.

2. Problema 2

2.1. Diagrama ASM

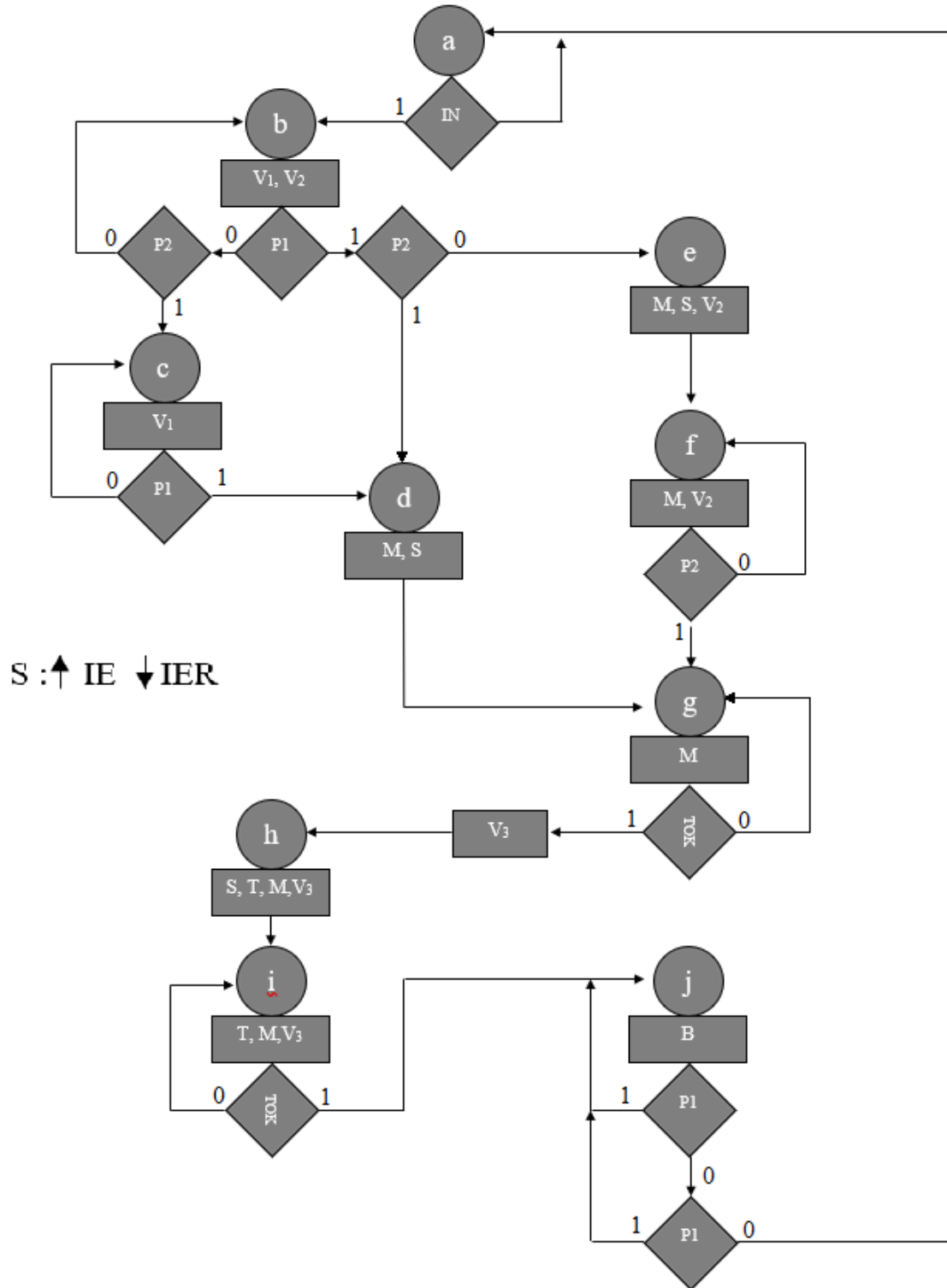


Figura 7: Diagrama ASM para la mezcladora

- a) Estado a (1000): Esperando botón de inicio IN
- b) Estado b (1100): Botón de inicio recibido, activando salidas V_1, V_2
- c) Estado c (1110): Llenado de V_2 listo, continua llenado de V_1

- d) Estado d (1111): Llenado de V_1 y V_2 listos, encender motor mezclado, enviar pulso de tiempo
- e) Estado e (0111): Llenado de V_1 pero no de V_2 , se enciende motor de mezclado, envia pulso de tiempo y continua V_2
- f) Estado f (0011): Verificar si P_2 está listo. Motor sigue encendido
- g) Estado g (0001): Verificar si ya acabó el tiempo, motor sigue encendido.
- h) Estado h (0000): Tiempo acabado, se abre V_3 , sigue el motor activo, se cambia el tiempo a T2 y se envia un pulso de tiempo.
- i) Estado i (0100): Tiempo T acabado, apagar motor y V_3
- j) Estado j (0010): Esperar a que P_1 , P_2 se desactiven.

2.2. Vectores de Prueba

- 0000: Estado a. Salidas: 0
- 1000: Estado b. Se pone IN en uno para que transicione del estado a al b. Salidas: V_1 , V_2
- 1010: Estado c. Se pone P2 activo. Salida: V_1
- 1110: Estado d. Se pone P1 activo. Salidas: M, S
- 0000: Estado g. Se desactivan las entradas. Salida: M
- 1110: Estado g. Se queda en el mismo estado ya que TOK no está activo. Salida: M
- 1111: Estado h. Se transiciona al estado siguiente ya que TOK si está activo. Salida S, T, M, V_3 como salida de Mealy
- 1101: Estado i. Salidas: T, M, V_3
- 1001: Estado j. Salida: B
- 0100: Estado j. Se queda en el estado j ya que las entradas P1 o P2 siguen activas.
- 0000: Estado a. Se regresa para pasar por todos los estados. Salidas: 0
- 1100: Estado e. Al tener P1 y P2 activos, se transiciona al estado e. Salidas: M, S, V_2
- 0010: Estado f. Se mantiene P2 activo y se pasa al estado f. Salidas: M, V_2

Esta configuración de vectores de prueba pasa por todos los estados de la máquina.

2.3. Diagrama de tiempo

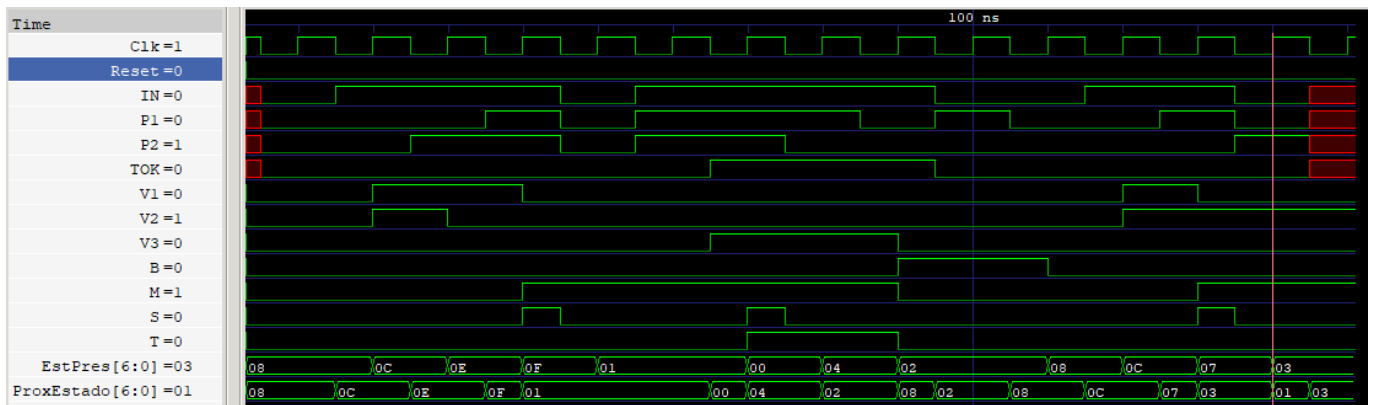


Figura 8: Diagrama de tiempo para la mezcladora

Por este diagrama de tiempo, se puede ver un comportamiento satisfactorio en la máquina. Analizando alguno de los estados, se puede ver que estos cumplen con las salidas propuestas en el diagrama ASM. Primeramente, para el estado A (cuando ninguna entrada es activa) se ve que la máquina no produce ninguna salida. Para los demás ciclos, por ejemplo el estado b ($IN = 1$) las salidas resultantes son V_1, V_2 . Esto cumple para todos los estados de la máquina. Además, por medio del diagrama de tiempos, se puede ver que la salida S está acondicionada para que dure medio ciclo del reloj.