

Moore's Law: Herausforderungen der Halbleiterindustrie

Ekincioglu, Melih
Hochschule Mannheim
Fakultät für Informatik
Paul-Wittsack-Str. 10, 68163 Mannheim

Zusammenfassung—Das Ziel dieser Arbeit ist es die Herausforderungen und möglichen Lösungen der modernen Halbleitertechnologien zu erklären und sie mit Moores Vorhersage zu der Integrationsdichte zu vergleichen. Dazu wird als erstes die Entstehung und Definition von Moores Gesetz erläutert. Daraufhin werden aktuelle Chipherstellungstechnologien, wie die EUV-Lithographie näher erklärt. Weiterhin wird vermittelt wie diese Technologie sich in der Zukunft weiterentwickeln wird und ob alternative Designideen, wie das 3D Stacking, potentielle Lösungen sind.

Inhaltsverzeichnis

1	Einleitung	1
2	Integrationsdichte	1
2.1	Integrierte Schaltung	1
2.2	Moore's Law	2
2.3	Historische Entwicklung	2
2.4	Technologieknoten (Node)	2
3	Fertigungsverfahren	3
3.1	Überblick	3
3.2	EUV-Lithographie	3
3.3	Unterschiede zwischen DUV und EUV	4
4	Zukunft der Halbleiterindustrie	4
4.1	high-NA EUV	4
4.2	3D Stacking	5
4.3	Steigende Integrationsdichte im Überblick	5
5	Ausblick und Fazit	6
	Literatur	6

1. Einleitung

Die Prozessoren von Smartphones, Laptops, Desktop Rechnern und vielen weiteren elektronischen Geräten werden von Generation zu Generation immer kleiner, dichter, schneller und effizienter [1], [2].

Die aus Halbleitermaterial bestehenden integrierten Schaltungen, werden durch ein bestimmtes Verfahren hergestellt [3]. Diese Technologie wird, seit der Einführung von Transistoren, jede Generation innoviert und verbessert [4].

Gordon E. Moore hat dazu erstmals im Jahre 1965 vorhergesagt, dass die Integrationsdichte sich jedes Jahr verdoppeln würde [5]. Einige Experten und Wissenschaftler betrachten diese Aussage heute jedoch mit Skepsis [6], [7].

Doch die Halbleiterindustrie hat die Hoffnung nicht aufgegeben [4]. Innovationen der Fertigungstechnik werden weiterhin erforscht, neue Materialien kommen zum Einsatz und das Entwerfen von neuen Architekturen wird ebenfalls fortgesetzt [1], [4].

Um das Problem zu erkennen ist es an erster Stelle wichtig, die Technologie und das benötigte Fachwissen zu verstehen. In dieser Ausarbeitung wird als erstes auf Moores Gesetz eingegangen. Dann werden die technischen Details und Eigenschaften des Fertigungsverfahrens erläutert und mit fortschrittlicheren Technologien verglichen. Zum Schluss wird eine Zukunftsperspektive der Halbleitertechnologie dargestellt und die Herausforderungen genannt, die damit verbunden sind.

2. Integrationsdichte

2.1. Integrierte Schaltung

Eine integrierte Schaltung, oder auch IC genannt, ist eine vollständige, elektrische Schaltung die unter anderem durch Halbleitertechnologie gefertigt wird. Bei der Integration eines Chips, verwendet man als Halbleitermaterial monokristallines Silizium [8].

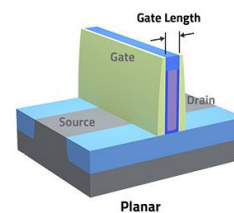


Abbildung 1. Ein Planartransistor mit Source und Drain Kondensatoren. Zwischen beiden Komponenten befindet sich der Gate-Stack [9].

Der gefertigte Planartransistor, der in Abbildung 1 zu sehen ist, verfügt über einen Drain und eine Source. Zwischen diesen beiden Elektroden befindet sich der Gate-Stack, der den Elektronen-Fluss kontrolliert [10].

Die Fertigung der integrierten Schaltung erfolgt schichtweise. Die drei Schritte, die angewendet werden sind die Diffusion, die Oxidation und schließlich die Ätzung. So entsteht der Transistor gemeinsam mit seinen Widerständen und Kondensatoren. Da der Druckprozess auf einer einzelnen Halbleiterplatte erfolgt, werden die parallel erstellten Chips zurecht geschnitten. Im englischen werden diese auch "Dies" genannt [8]. Die dabei entstehenden Mikroprozessoren sind in den meisten Fällen keine 2 cm² groß [11].

2.2. Moore's Law

Seit der Erfindung des Transistors im Jahre 1947, werden integrierte Schaltungen immer kleiner und günstiger [12], [13]. Während die Halbleiterindustrie vor 50 Jahren sich damit schwer tat, hunderte von Transistoren zu fertigen, werden heutzutage Mikroprozessoren gefertigt die das Millionenfache beinhalten [10]. Der Wert der Halbleiterindustrie hat sich seit den siebziger Jahren um das Hundertfache erhöht und zählt weiterhin als eines der innovativsten Gebiete der modernen Wissenschaft [12].

Die erste Beobachtung dieser Entwicklung kam von Gordon E. Moore, dem Erfinder von Fairchild Semiconductor [11]. In seinem Paper, verfasst und veröffentlicht im Electronics Magazin im Jahre 1965, hat Moore vorhergesagt, dass es im Jahre 1975 es Mikroprozessoren geben wird, die 65000 Komponenten beinhalten werden [5]. Moore meinte somit, dass die Integrationsdichte sich jedes Jahr um das doppelte erhöhen wird [12].

Des weiteren hatte seine These auch einen wirtschaftlichen Aspekt. Ohne das Miniaturisieren wäre die Halbleiterindustrie dazu gezwungen im größere Chips herzustellen. Denn bei zu großen Chips besteht die Gefahr, dass nicht mehr alles auf dem Chip funktionsfähig ist und somit die Fertigungseffizienz daran leidet [13].

2.3. Historische Entwicklung

Moore's Vorhersage hat sich im Laufe der Jahre geändert und wurde sogar von Moore selber wieder aufgegriffen und umdefiniert [12].

Ursprünglich hatte man mit Moore's Gesetz die Anzahl der Transistoren (inkl. Widerstände und Kondensatoren) pro integrierte Schaltung gemeint. Im Laufe des digitalen Zeitalters hatte sich der Fokus geändert, indem immer mehr analoge Komponenten durch digitale ersetzt wurden [11].

Im originalen Paper bezog sich Moore in seiner Vorhersage auf den 16-Kbit CCD Speicher [5]. Dieser hatte allerdings im Jahr 1975 keine Relevanz mehr im Mainstream Segment [12].

Durch den rapiden Fortschritt der Halbleiterindustrie, wurden Komponenten bei weiteren Schrumpfung unterschiedlich dimensioniert. Beispielsweise gab es nun Speicherchips, die mit 32000 Komponenten, insgesamt nur 16000 Transistoren bildeten [10], [11]. Diese ungenaue und unproportionale Skalierung hat Moore dazu bewegt seine Vorhersage umzudefinieren [11].

1975 hat er ein weiteres Paper zu diesem Thema veröffentlicht [12]. Moore war der Meinung, dass die Komplexität eine viel wichtigere Rolle spielen würde.[11]

Diese Komplexität hat er in drei unterschiedliche Punkte unterteilt [11]:

- Größere Chipfläche [11]
- Verringerte Featuregröße [11]
- Verbesserte Komponenten/Schaltkreisdesigns [11]

Die Featuregröße ist ein Synonym für die Größe bzw. den Abstand individueller Transistoren. Die Unterteilung hatte folgende Gründe: Die Größe der Transistoren wurden jede Generation 21% kleiner. Eine jährliche Reduktion der Featuregröße um 10% hat dazu verholfen, 25% mehr Transistoren auf die selbe Fläche platzieren

zu können. Mit der Chipfläche ist die Flächengröße des Chips nach der Fertigung gemeint. Außerdem wurden die Chips jedes Jahr 20% größer. Moore hat geglaubt, dass das umstrukturieren und umbauen der Komponenten ein Limit haben wird. Diese Faktor, hat er „Design-Cleverness“ genannt. Diese hat er in seinem Paper mit 33% angegeben. Zusammengerechnet hatte man somit, jedes Jahr, ein doppeltes Wachstum ($1,25 \times 1,20 \times 1,25 = 2,0$) [11].

Moore war bewusst, dass nun mehrere Faktoren eine Rolle spielen würden [12]. Barrieren der Fertigung wurden historisch gesehen immer mit neuen Technologien überwunden [12]. Eine Grenze hat er jedoch gesehen [11]: Er war der Meinung, dass die Verbesserung der Komponenten und bessere Schaltkreisdesigns nicht ewig weitergehen könnten [11].

Statt alle 12 Monate waren es jetzt alle 18-24 Monate [11], [13]. Diese Vorhersage hatte sich angefangen von 1975 bis zu dem Jahr 2002 als korrekt erwiesen [13]. Moore's neuen Erkenntnis war ein Erfolg [11]. Seitdem gab es von Moore keine weiteren Veröffentlichungen zu diesem Thema [12].

Obwohl Moore nie es selber ein Gesetz genannt hat, war es stattdessen Carver Mead, der zum ersten mal Moore's Beobachtung als „Moore's Law“ bezeichnete [12]. Moore's Gesetz war so präzise, dass selbst die Semiconductor Industry Association (SIA) im Jahre 1994, es als einen Industrie Standard anerkannte [11].

Obwohl viele eine Zukunft der Transistoren mit Skepsis betrachteten, ist die integrierte Schaltung aus unserem modernen Umfeld nicht mehr wegzudenken. Tatsache ist, dass Moore's Law die Industrie für immer veränderte [12].

2.4. Technologieknoten (Node)

Historisch gesehen, wurde die Transistoren-Metrik anhand von Metal-Half-Pitch und Gate-Längen gemessen [11]. Metal-Half-Pitch ist der halbe Abstand vom Beginn einer Metallverbindung bis zum Beginn der Nächsten. Die Stelle, an denen der Half-Pitch-Wert gemessen wird, wird in Abbildung 2 verdeutlicht [10], [11].

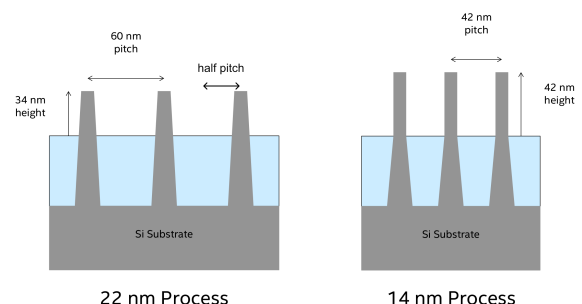


Abbildung 2. Pitchlängen-Beispiele im 22nm und 14nm Prozess von Intel. Der Half-Pitch-Länge wird im linken Beispiel verdeutlicht [14].

Die Größe des Prozesses wurde mit dem sogenannten „Technologieknoten“ angegeben. Seit der Einführung der integrierten Schaltung wurden hierfür Gate-Längen und Half-Pitches verwendet. Somit wusste man, dass Transistoren mit einer kürzeren Gate-Länge, schnellere Schaltzeiten hatten. Bis zu den siebziger und achtziger Jahren

hatte man noch die Gate-Länge und Half-Pitch Methode angewendet [10].

Diese beiden Messungen haben sich jedoch seit den neunziger Jahren immer mehr von aneinander unterschieden. Die Gate-Länge wurde aus Leistungs- und Effizienzgründen deutlich kleiner gefertigt, im Gegensatz zu anderen Komponenten. Diese unproportionale Fertigung machte die Messung, die sich auf reale Werte bezog, unbrauchbar. Beispielsweise verfügt Intels 22nm Technologieknoten über 26nm Gate-Längen, 40nm Half-Pitches und 8nm weite Fins [10].

Die Messungen von heute, haben praktisch gesehen, ihre Bedeutung verloren. Heutzutage bestimmt die Marketing-Abteilung der Halbleiterindustrie den Technologieknoten [10].

3. Fertigungsverfahren

3.1. Überblick

Eine integrierte Schaltung besteht aus mehreren unterschiedlichen Komponenten, die auf einer Siliziumplatte gefertigt werden. Die Bauelemente werden Schritt für Schritt mit einem Laserdruckverfahren auf eine Halbleiterscheibe gelasert. Diese, aus Silizium hergestellten Scheiben, werden auch „Wafer“ genannt. Eines dieser Wafer wird in Abbildung 3 dargestellt. Wie man sehen kann, ist der Transistor, ein Teil des Chips und der Chip wiederum Teil des ganzen Wafers. Ein Wafer ist in der Regel im Durchmesser 30cm groß. Im Vergleich dazu sind die Chips, die später aus dem Wafer herausgeschnitten werden nur 10mm klein [3].

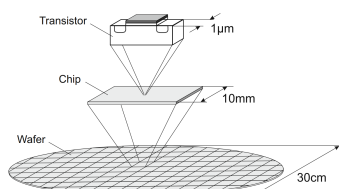


Abbildung 3. Ein Chip und dessen Transistor, der sich auf einem Wafer befindet [3].

Da mit diesem Prozessablauf viele und unterschiedliche Schaltkreisdesigns gefertigt werden können, beschränkt sich die folgende Beschreibung nur auf die CMOS-Technologie. CMOS steht kurz für „Complementary Metal Oxide Semiconductor“ und zählt in der Fertigung bei integrierten Schaltungen als die meist genutzte Technologie. Chips für moderne Computer, mobile Geräte und auch somit Logikbausteine werden in der CMOS-Technologie gefertigt. Grund dafür ist auch unter anderem die sehr geringe Verlustleistung im Ruhezustand [8].

Die Schaltungen werden mit einem bestimmten Verfahren, schichtweise auf dem Wafer konstruiert [3].

Die Schritte, die für das Verfahren benötigt werden, sind in Abbildung 4 sortiert [3].

Der Prozessablauf beginnt mit einer Grundschrift, bestehend aus Silizium, auf der sich später eine Teilstruktur der Schaltung befinden wird [3].

Nachdem die zu strukturierende Schicht auf das Substrat aufgetragen wurde, kommt auf diese Schicht nochmal

ein lichtempfindliches Material, dem sogenannten Fotolack [3].

Als nächstes kommt der lithographische Prozess. Die Lithographie ist eine, durch Laser betriebenes, Druckverfahren, um integrierte Schaltungen herzustellen [15]. Bevor es zur Projizierung kommt, wird eine Maske verwendet, die ein gewünschtes Muster auf den Fotolack abbildet [4]. Mit dieser Abbildung wird schließlich der lithographische Prozess angewendet [3]. Hier ist in der Abbildung 4 zu erkennen, dass dank der Maske nur die nötigen Stellen belichtet worden sind [3].

Denn die belichteten Stellen werden im nächsten Schritt so entfernt, dass nur noch die Musterform übrig bleibt. Der übrige Fotolack wird dann durch ein chemisches Verfahren auf das Siliziumsubstrat geätzt [3].

Wiederholt, können so beliebige Muster oder Strukturen auf dem Wafer hergestellt werden. Allerdings wird bei jedem Prozessablauf eine neue Maske benötigt und kann daher zu einer erhöhten Komplexität führen und somit auch den Prozess erschweren. [3]

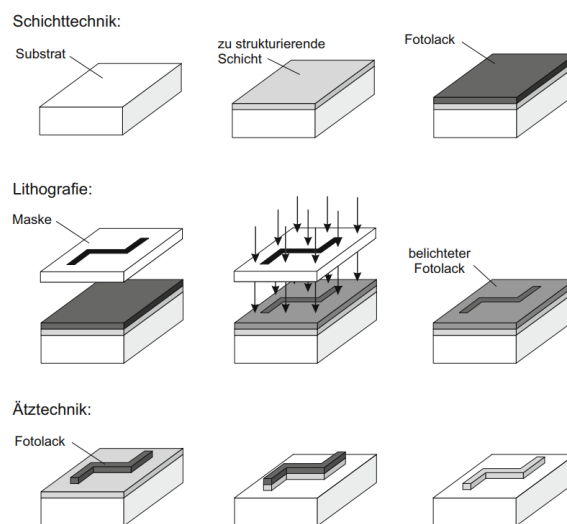


Abbildung 4. Grundlegender Prozessablauf der Schichttechnik, Lithografie und Ätztechnik [3].

3.2. EUV-Lithographie

EUV-L steht kurz für „Extrem Ultraviolette Lithographie“ und wird unter anderem von der Halbleiterindustrie verwendet um moderne Chips zu fertigen [16].

Die EUV-Maschinen, die von ASML hergestellt werden, sind riesige Aggregate, die bis zu 80m² Platz einnehmen können. Außerdem besitzen die Maschinen über einen 50m² großen Laser, der für das Druckverfahren benötigt wird. Diese werden Schrittweise von ASMLs Technikexperten gefertigt und an Kunden wie Samsung, GlobalFoundries oder Taiwan Semiconductor Manufacturing Co. (TSMC) verkauft [4]. Eines dieser EUV-Maschinen ist in Abbildung 5 zu sehen. Hierbei handelt es sich um den TWINSCAN NXE:3400B, entwickelt und hergestellt von ASML [17].

Wie bereits in Kapitel 3.1 erwähnt, gibt es ein bestimmtes Verfahren, auf einem Wafer, Chips zu fertigen. Eines dieser Schritte, ist die Lithographie [3]. Das Licht,



Abbildung 5. TWINSCAN NXE:3400B, hergestellt von ASML [17]

dass die Maske durchdringt und ein Muster auf dem Wafer projiziert, wird von einem Laser ausgestrahlt [4]. In der Halbleiterindustrie werden viele moderne Prozessoren mit Lichtstrahlen gefertigt, die eine Wellenlänge von 193nm haben [1].

Diese Lichtquelle ist allerdings für die Prozessoren überdimensioniert. Eine so große Wellenlänge wird nicht benötigt, da das Licht nicht Features fertigen kann, die kleiner sind als die Wellenlänge selbst. Aus diesem Grund müssen Umwege und Tricks eingesetzt werden, um auf das gewünschte Muster zu kommen [4]. In den meisten Fällen müssen dazu für ein simples Feature mehrere Prozessabläufe vollzogen werden [3], [4]. Die komplexesten Prozessoren benötigen hierfür beispielsweise 80 Schichten [4]. In der Halbleiterindustrie werden Strahlen mit einer Wellenlänge von 193nm bis 248nm „Deep Ultraviolett Lithographie“ genannt, oder auch kurz „DUV“-Lithographie [1].

Der EUV-Laser hingegen ist dazu in der Lage Lichtstrahlen zu werfen, die eine Wellenlänge von nur 13.5nm betragen [4]. Bedeutet: Eine 20-fache Verbesserung der Lichtquelle [1].

Diese enorme Verbesserung wird dank der erhöhten Leistung der Lichtquelle ermöglicht. Seit Jahren hat ASML nach einer stärkeren Lichtquelle geforscht, die über 200 Watt Licht ausstrahlen kann. In der Praxis ist die Lichtquelle nun dazu in der Lage bis zu 250W-starke Laserstrahlen auszuwerfen [4].

Die Sorgen für die Lichtquelle sind für den Hersteller vorerst behoben. Allerdings sind mit der neuen Fertigung neue Probleme aufgetreten [4].

Eines dieser Probleme ist die Fotomaske. Durch die deutlich geringe Wellenlänge des Lichtstrahls, müssen auch die Fotomasken angepasst werden. Diese sind nämlich unvollkommen und können wegen ihrer erhöhten Empfindlichkeit viele Mängel und Fehler auf ihrer Oberfläche aufweisen. ASML hat zudem aktuell keine Tools und Möglichkeiten, die Fotomasken zu reinigen oder zu überprüfen [4].

Aus diesem Grund gibt es sogenannte transparente „Schutzfolien“, die man auf die Fotomasken aufträgt [18]. Schutzfolien und Qualitätskontrollen von Fotomasken werden weiterhin von ASML und Samsung erforscht und verbessert. Des Weiteren sind sich die Experten von ASML und Samsung sicher, Diese und weitere Unvollkommenheiten in naher Zukunft lösen zu können [4].

Die Beschaffenheit der Objektive, die das Licht reflektieren, müssen auch verbessert werden [18]. In EUV-Maschinen kommen wegen der erhöhten Hitze des Laser-

strahls sogenannte „Multilayeroptiken“ zum Einsatz [19]. Diese Optiken besitzen eine gemischte Beschichtung aus Molybdän und Silizium [20]. Im Zusammenhang bietet diese Schicht eine weitaus besserer Wärmebeständigkeit [19].

3.3. Unterschiede zwischen DUV und EUV

Unterscheiden tun sich EUV-Maschinen vor allem an der Lichtquelle [4]. Die Lichtquelle zählt als eines der größten Herausforderungen der Halbleiterindustrie [16]. Eine 20-fache Reduzierung der Wellenlänge ist ein enormer Fortschritt [18]. CEO von VLSIresearch, Dan Hutcheson, ist der Meinung, dass dies sogar die größte fundamentale Veränderung ist, die die Halbleiterindustrie je vollbracht hat [4].

Der maßgebende Unterschied zwischen beiden Technologien liegt im Anfang des Prozessablaufs:

Um in den Maschinen „extrem Ultraviolette“ Strahlung zu erzeugen, benötigt man an erster Stelle eine luftdichte Vakuumkammer. In dieser Kammer wird ein Zinn-Tropfen abgefeuert, der später auf präzise Weise von zwei aufeinander folgenden Strahlen getroffen wird. Einer dieser Strahlen berührt den Tropfen und transformiert ihn somit in eine winzige und durchsichtige Scheibe. Der Zweite betrachtet die Zinnscheibe mit so viel Energie, dass sie zu einer leuchtenden Plasmakugel geformt wird. Diese Kugel ist dann dazu in der Lage EUV-Licht auszustrahlen [4].

Die Schritte, die für ein EUV basierendes lithographisches Verfahren angewendet werden, sind drei bis vier mal effizienter als die der DUV basierten Maschinen. Beispielsweise behauptet Chiphersteller GlobaFoundries statt 15 Schichten, jetzt nur noch 5 Schichten fertigen zu müssen [4].

Ein großer Vorteil des DUV-L Prozessablaufs sind neben den geringeren Kosten, die vergleichsweise hohe Zuverlässigkeit der Fertigung [1]. EUV-Maschinen sind noch in den Startlöchern der Entwicklung. Dank der steigenden Nachfrage und ständigen Weiterentwicklung wird EUV-Technologie immer günstiger und rentiert sich für Hersteller und Kunden immer mehr [4].

4. Zukunft der Halbleiterindustrie

4.1. high-NA EUV

EUV-L Technologie wird bereits in der Massenproduktion angewendet [21]. Wie bereits in Kapitel 3.3 erwähnt, arbeitet ASMLs EUV-lithographische Technologie drei bis vier mal effizienter als der Vorgänger. Der Fertigungsprozess kann weiterhin auf unterschiedlichen Gebieten verbessert werden [18]. Eines dieser Gebiete ist, wie bereits erläutert, die Lichtquelle [4].

Um die Fertigung auf den 3nm Prozess zu erweitern benötigt ASML eine Lichtquelle, die über 500W Licht ausstrahlen kann. Laut ASML ist dies möglich, indem man die Laser-Leistung anhebt und man gleichzeitig auf eine effizientere und stabilere Bauweise der EUV-Maschinen setzt [4]. Die verbesserten Komponenten betreffen unter anderem die Objektive, die verwendeten Chemikalien, das Material und die Mechanik [1].

Die Weiterentwicklung der nächsten Generation von EUV-Maschinen wird in der Halbleiterindustrie unter anderem als high-NA EUV bezeichnet [16]. Dabei steht high-NA kurz für „high numerical aperture“ und beschreibt die Linsengröße der Objektive, die in den EUV-Maschinen zum Einsatz kommen [22]. Definiert, ist die numerische Apertur eine dimensionslose Größe und beschreibt das Fokussierungsvermögen eines optischen Elements [23]. Im Falle der Lithographie bezieht sich die Fokussierung auf das Licht, das vom Laser ausgestrahlt wird [22]. Je höher der Wert, umso mehr Licht kann auf einen Punkt fokussiert werden [23]. ASMLs TWINSCAN NXE:3400B verwendet eine Objektiv mit einer Projektion von 0.33 NA. Diese EUV-Maschine ist dazu in der Lage, den 7nm und 5nm Technologieknoten herzustellen [17]. Für den bereits angekündigten 3nm Technologieknoten, wird ASML ein Objektiv mit einem Wert von 0.55 NA einsetzen [1].

4.2. 3D Stacking

Neben der Forschung und Weiterentwicklung von EUV-Maschinen, gibt es auch Architektur-bedingte Veränderungen, die man an integrierten Schaltungen vornehmen kann [7]. Eines dieser Möglichkeiten ist das 3D-stapeln von Chips. Seit mehr als 50 Jahren sind integrierte Schaltungen und Transistoren zweidimensional gewesen [24]. Mit dem ständigen Miniaturisieren von integrierten Schaltungen wird die Integrationsdichte in unbekannter Zukunft an ein Ende gelangen [6]. Chips lassen sich immer schwieriger skalieren und benötigen daher andere Aussichten, um sich an Moores Vorhersage noch weiterhin halten zu können [7].

Der homogene Designtrend ändert sich von einer steigenden Integrationsdichte, hinzu zu einer immer beliebter werdende heterogenen Architektur [7].

Um eine heterogene Architektur besser zu beschreiben, ist in Abbildung 6 ein Vergleich abgebildet. Links ist ein zweidimensionaler Chip zu sehen. Auf diesem Chip befinden sich neben der CPU auch die Grafikeinheit, der Cache und ein Beschleuniger. Daher auch der Name „System-on-a-Chip“ (SoC). Auf die Eigenschaften der einzelnen Komponenten wird nicht näher eingegangen, da sie sonst den Rahmen dieser Ausarbeitung überschreiten würde [7].

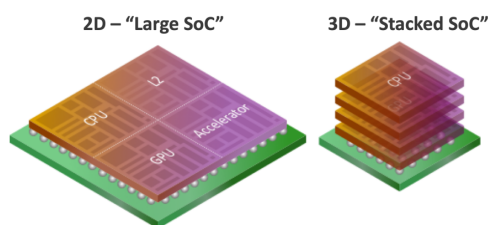


Abbildung 6. Links ist ein großer und zweidimensionaler SoC abgebildet. Auf der Rechten Seite sieht man einen gestapelten SoC, der vier mal weniger Platz einnimmt [7].

Auf der rechten Seite ist die 3D gestapelte Version des Chips zu sehen. Dieser ist vier mal kompakter als die zweidimensionale Lösung [7].

Ermöglicht wird diese Technologie durch sogenannte TSVs. TSV steht kurz für „Through Silicon Via“. Ver-

bunden werden die vorgefertigten Chips durch Drähte, die durch das Silizium verlaufen. Diese Drähte werden auch „Vias“ genannt und sind in der Anwendung nur einige Mikrometer lang [24].

Das stapeln von Silizium gefertigten Chips bietet viele Vorteile. So kann beispielsweise ein Teil eines Chips mit der EUV-Technologie gefertigt werden und der Rest nur mit der DUV-Technologie. Das spart Kosten, verbessert die Stabilität und erhöht die Produktionsgeschwindigkeit, da hier nicht mehr ein großer und homogener Chip, sondern mehrere kleine „Chip-lets“ gefertigt werden [7].

Speicherchips von Samsung und Micron werden bereits mit dieser Technologie massenproduziert. Im Jahre 2012 konnte Samsung zeigen, dass die Verwendung von 3D-Speicher im Vergleich zu 2D Speicher, die Dichte um 50% erhöhte und den Stromverbrauch um 40% senkte [24].

Integrierte Schaltungen die redundante Strukturen aufweisen und ein einfaches Design besitzen, wie zum Beispiel Bildsensoren, DRAM Speicher oder NAND Flash Speicher sind in der Praxis einfach zu stapeln. Die Fertigung dieser Produkte sind für Chiphersteller keine Herausforderung [7].

Im Gegensatz dazu sind komplexere Logikanwendungen wie Prozessoren oder Grafikchips nur limitiert skalierbar [7]. Das dargestellte Beispiel in Abbildung 6 gehört zu der Kategorie „High-Density 3D Integration“ und wird von Chipherstellern wie Intel bereits gefertigt [7], [25]. Intels „Foveros 3D Integration Technology“ wird in der Intel Lakefield Architektur eingesetzt [25], [26].

Auch AMD hat im März 2020 bekannt gegeben, in naher Zukunft auf 3D gestapelte Technologien zu setzen. Im Mai 2021, auf der Computex Versammlung hat AMD unter anderem ihre „3D V-Cache“ Technologie präsentiert. Außerdem hat CEO von AMD, Lisa Su, angekündigt auf TSVs zu setzen, um die Kommunikation zwischen Siliziumschichten zu ermöglichen [27].

4.3. Steigende Integrationsdichte im Überblick

Taiwan Semiconductor Manufacturing Co. (TSMC) gilt als eines der größten und erfolgreichsten Halbleiterunternehmen der Industrie [28]. Dies ist auch anhand der fortschreitenden Integrationsdichte zu erkennen [29].

Um einen Überblick zu bekommen, sind in der Tabelle 1 einige dieser Technologieknoten und deren Integrationsdichten zu finden [29]. Da die Namensgebung der Technologieknoten nicht den realen gemessenen Werten entspricht, wird hier stattdessen die Dichte genannt [10]. Die Einheit der Integrationsdichte wird hier mit Millionen Transistoren pro Quadratmillimeter angegeben [30].

Tabelle 1. TSMC TECHNOLOGIEKNOTEN UND INTEGRATIONSDICHTEN, NACH WIKICHIP [29]

Technologieknoten	Integrationsdichte
(2015) TSMC N16	28.88M Tr/mm ²
(2017) TSMC N10	52.51M Tr/mm ²
(2018) TSMC N7	91.20M Tr/mm ²
(2020) TSMC N5	171.3M Tr/mm ²
(2021) TSMC N3	291.21M Tr/mm ²

Wie auf der Tabelle 1 zu sehen ist, ist die Tendenz steigend. Der 5nm Technologieknoten ist 70% dichter

als der 7nm Vorgänger [29]. Schon bereits 2022 möchte TSMC Kunden und Partnern den 3nm Technologieknoten anbieten. Dieser soll mit knapp 292 Millionen Transistoren pro mm^2 ebenfalls 70% mehr Transistoren beinhalten als der 5nm Technologieknoten [28].

Im Mai 2021 hat TSMC in der Fachzeitschrift *Nature* einen wissenschaftlichen Artikel über ihren Halbleiterfortschritt veröffentlicht [31]. In diesem Artikel hat TSMC gemeinsam mit der nationalen Universität Taiwans (NTU) und dem Massachusetts-Institut für Technologie (MIT) einen Erfolg des 1nm Technologieknotens erzielen können. Die Forschungsergebnisse zeigten, dass das Verwenden vom Halbmetall Bismut (Bi) als Kontaktelektrode dazu führt, den Widerstand im Transistor stark reduzieren zu können [32].

Durch die verringerten Widerstand war es nun möglich, den Strom zu erhöhen. Dies soll zu einer besseren Effizienz und erhöhten Leistung führen [32].

Neben TSMC forscht auch IBM intensiv an top aktuellen Halbleitertechnologien. Im Mai 2021, dem selben Monat indem auch der Artikel von TSMC veröffentlicht worden ist, hat IBM bekannt gegeben, mit Erfolg den ersten 2nm Chip hergestellt zu haben. Die Integrationsdichte hat IBM mit umgerechneten 333M Tr/ mm^2 angegeben: 14% dichter als TSMCs 3nm Technologieknoten [30].

5. Ausblick und Fazit

Die Technologieknoten der letzten 10 Jahren zeigen, dass die Integrationsdichte weiterhin deutlich wächst [29]. ASML, TSMC und IBM haben mit ihren Forschungen erwiesen, dass es in naher Zukunft auch so weiter gehen wird [28], [30]. Mit einer jährlichen Wachstumsrate von lediglich 70%, zeigt die Halbleiterindustrie jedoch, dass Moores Gesetz so langsam an ein Ende gelangt [6].

Der Einsatz von neuen Architekturen, wie das 3D stapeln von Chiplets ist immer beliebter geworden [24]. Wenn Wissenschaftler, Halbleiterexperten und Schaltkreisdesigner weiterhin an Moores Gesetz festhalten möchten, bleibt ihnen keine andere Wahl, als das Gebiet der Chiplets und 3D Architekturen aufzunehmen und weiterzuentwickeln [7].

Literatur

- [1] M. van den Brink, „Continued Scaling in Semiconductor Manufacturing Enabled by Advances in Lithography“, in *2019 IEEE International Electron Devices Meeting (IEDM)*, IEEE, Dez. 2019. DOI: 10.1109/iedm19573.2019.8993590.
- [2] T. N. Theis und H.-S. P. Wong, „The End of Moore’s Law: A New Beginning for Information Technology“, *Computing in Science & Engineering*, Jg. 19, Nr. 2, S. 41–50, März 2017. DOI: 10.1109/mcse.2017.29.
- [3] H. Göbel, „Herstellung integrierter Schaltungen in CMOS-Technik“, in *Einführung in die Halbleiter-Schaltungstechnik*. Berlin, Heidelberg: Springer Berlin Heidelberg, 2019, S. 347–381. DOI: 10.1007/978-3-662-56563-6_12. Adresse: https://doi.org/10.1007/978-3-662-56563-6_12.
- [4] S. K. Moore, „EUV lithography finally ready for fabs“, *IEEE Spectrum*, Jg. 55, Nr. 1, S. 46–48, Jan. 2018. DOI: 10.1109/mspec.2018.8241736.
- [5] G. E. Moore, „Cramming more components onto integrated circuits, Reprinted from *Electronics*, volume 38, number 8, April 19, 1965, pp.114 ff.“, *IEEE Solid-State Circuits Society Newsletter*, Jg. 11, Nr. 3, S. 33–35, Sep. 2006. DOI: 10.1109/n-ssc.2006.4785860.
- [6] R. I. Fuentes, „Wafer thinning for 3D integration“, in *2013 IEEE International 3D Systems Integration Conference (3DIC)*, IEEE, Okt. 2013. DOI: 10.1109/3dic.2013.6702381.
- [7] S. Sinha, X. Xu, M. Bhargava, S. Das, B. Cline und G. Yeric, *Stack up your chips: Betting on 3D integration to augment Moore’s Law scaling*, 2020. arXiv: 2005.10866 [cs.AR].
- [8] L. Stiny, „Grundlagen integrierter Halbleiterschaltungen“, in *Aktive elektronische Bauelemente: Aufbau, Struktur, Wirkungsweise, Eigenschaften und praktischer Einsatz diskreter und integrierter Halbleiter-Bauteile*. Wiesbaden: Springer Fachmedien Wiesbaden, 2019, S. 519–573. DOI: 10.1007/978-3-658-24752-2_9. Adresse: https://doi.org/10.1007/978-3-658-24752-2_9.
- [9] N. Draeger, „Scaling Up And Down“, *Semiconductor Engineering*, Techn. Ber., Okt. 2019. Adresse: <https://semiengineering.com/scaling-up-and-down/>.
- [10] S. K. Moore, „The node is nonsense“, *IEEE Spectrum*, Jg. 57, Nr. 8, S. 24–30, Aug. 2020. DOI: 10.1109/mspec.2020.9150552.
- [11] C. A. Mack, „Fifty Years of Moore’s Law“, *IEEE Transactions on Semiconductor Manufacturing*, Jg. 24, Nr. 2, S. 202–207, Mai 2011. DOI: 10.1109/tsm.2010.2096437.
- [12] G. Hutcheson, „The Economic Implications of Moore’s Law“, in *High Dielectric Constant Materials*, Springer-Verlag, 2005, S. 1–30. DOI: 10.1007/3-540-26462-0_1.
- [13] J. Mardinly, „Moore’s Law and its Effect on Microscopy in the Semiconductor Industry“, in *Springer Proceedings in Physics*, Springer Netherlands, 2008, S. 361–373. DOI: 10.1007/978-1-4020-8615-1_79.
- [14] R. Smith, „Intel’s 14nm Technology in Detail“, *AnandTech*, Techn. Ber., Aug. 2014. Adresse: <https://www.anandtech.com/show/8367/intels-14nm-technology-in-detail>.
- [15] R. H. Stulen und D. W. Sweeney, „Extreme ultraviolet lithography“, *IEEE Journal of Quantum Electronics*, Jg. 35, Nr. 5, S. 694–699, 1999. DOI: 10.1109/3.760315.
- [16] A. Erdmann, H. Mesilhy, P. Evanschitzky, V. Philipsen, F. Timmermans und M. Bauer, „Perspectives and tradeoffs of absorber materials for high NA EUV lithography“, *Journal of Micro/Nanolithography, MEMS, and MOEMS*, Jg. 19, Nr. 04, Okt. 2020. DOI: 10.1117/1.jmm.19.4.041001.
- [17] *EUV Lithography Systems - TWINSKAN NXE:3400B*. Adresse: <https://www.asml.com/en/products/euv-lithography-systems/twinscan-nxe3400b>.

- [18] G. E. Moore, „Lithography and the future of Moore’s Law“, *IEEE Solid-State Circuits Society Newsletter*, Jg. 11, Nr. 3, S. 37–42, Sep. 2006. DOI: 10.1109/n-ssc.2006.4785861.
- [19] S. Yulin, *Mo/Si-Schichtsysteme für die EUV-Lithographie*. Adresse: <https://www.iof.fraunhofer.de/de/geschaeftsfelder/funktionale-oberflaechen-und-schichten/euv-roentgen-optiken/mo-si-schichtsysteme-euv-lithographie.html>.
- [20] S. Braun, „Molybdän/Silizium-Multischichten mit Pikometer-Präzision für die EUV-Lithographie“, *Fraunhofer IWS Jahresbericht 2006*, S. 73, 2006. Adresse: https://www.iws.fraunhofer.de/content/dam/iws/de/documents/publikationen/jahresberichtsbeitraege/JB_IWS_2006_de_S78.pdf.
- [21] J. Frazelle, „Commit to memory“, *Communications of the ACM*, Jg. 63, Nr. 6, S. 38–41, Mai 2020. DOI: 10.1145/3386522.
- [22] *Lithography Principles - Lenses & mirrors*. Adresse: <https://www.asml.com/en/technology/lithography-principles/lenses-and-mirrors>.
- [23] E. Hecht, *Optik*, 4. Auflage. Oldenbourg Verlag, 2005, Kap. 5.7, S. 357.
- [24] G. Anthes, „Chips go upscale“, *Communications of the ACM*, Jg. 55, Nr. 9, S. 14–16, Sep. 2012. DOI: 10.1145/2330667.2330673.
- [25] C. Prasad et al., „Silicon Reliability Characterization of Intel’s Foveros 3D Integration Technology for Logic-on-Logic Die Stacking“, in *2020 IEEE International Reliability Physics Symposium (IRPS)*, IEEE, Apr. 2020. DOI: 10.1109/irps45951.2020.9129277.
- [26] D. B. Ingerly et al., „Foveros: 3D Integration and the use of Face-to-Face Chip Stacking for Logic Devices“, in *2019 IEEE International Electron Devices Meeting (IEDM)*, IEEE, Dez. 2019. DOI: 10.1109/iedm19573.2019.8993637.
- [27] I. Cutress, „AMD Demonstrates Stacked 3D V-Cache Technology: 192 MB at 2 TB/sec“, AnandTech, Techn. Ber., Mai 2021. Adresse: <https://www.anandtech.com/show/16725/amd-demonstrates-stacked-vcache-technology-2-tbsec-for-15-gaming>.
- [28] A. Shilov, „TSMC Update: 2nm in Development, 3nm and 4nm on Track for 2022“, AnandTech, Techn. Ber., Apr. 2021. Adresse: <https://www.anandtech.com/show/16639/tsmc-update-2nm-in-development-3nm-4nm-on-track-for-2022>.
- [29] D. Shor, „TSMC Ramps 5nm, Discloses 3nm to Pack Over a Quarter-Billion Transistors Per Square Millimeter“, WikiChip Fuse, Techn. Ber., Apr. 2020. Adresse: <https://fuse.wikichip.org/news/3453/tsmc-ramps-5nm-discloses-3nm-to-pack-over-a-quarter-billion-transistors-per-square-millimeter>.
- [30] I. Cutress, „IBM Creates First 2nm Chip“, AnandTech, Techn. Ber., Mai 2021. Adresse: <https://www.anandtech.com/show/16656/ibm-creates-first-2nm-chip>.
- [31] D. Wirth, „TSMC: Durchbruch auf dem Weg zu 1-Nanometer-Chips?“, all-electronics, Techn. Ber., Mai 2021. Adresse: <https://www.all-electronics.de/markt/durchbruch-auf-dem-weg-zu-1-nanometer-chips-238.html>.
- [32] P.-C. Shen et al., „Ultralow contact resistance between semimetal and monolayer semiconductors“, *Nature*, Jg. 593, Nr. 7858, S. 211–217, Mai 2021. DOI: 10.1038/s41586-021-03472-9.