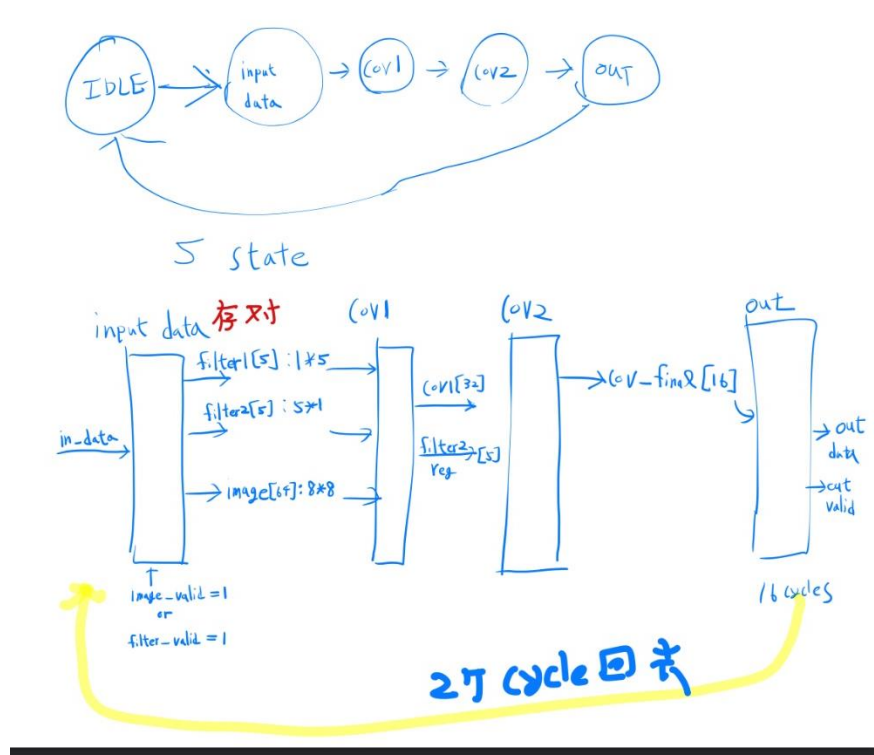


一、設計方法：

我這次設計的方式如下圖，一開始讀值的時候存放進專用的 register，然後根據不同 convolution 的階段再儲存不同的 reg，最後輸出

二、架構圖：



三、心得報告：

我覺得這次要自己寫 design, pattern, 測資，花蠻多時間的，這禮拜很緊張，我上禮拜把心力花在實習面試&找台北房子&看房了（拿到新思 offer 了耶嘿），變成是沒在寫作業，這禮拜又要期中考，看來是不用睡了，哭哭

四、困難與解決：

這次主要是 03 出現 timing violation 跟 unknown，我一直找到底哪裡 valid 沒寫好或 array 定義沒定義清楚，結果調整 pattern clock period 從 5 變 5.5 就好了，沒想到這個也會影響。